



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월08일
 (11) 등록번호 10-0871976
 (24) 등록일자 2008년11월27일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2007-0072162

(22) 출원일자 2007년07월19일

심사청구일자 2007년07월19일

(56) 선행기술조사문헌

KR1020050102165 A*

KR1020060072980 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

윤계용

서울 강남구 도곡동 타워팰리스 F동 1502호

(74) 대리인

허용록

전체 청구항 수 : 총 11 항

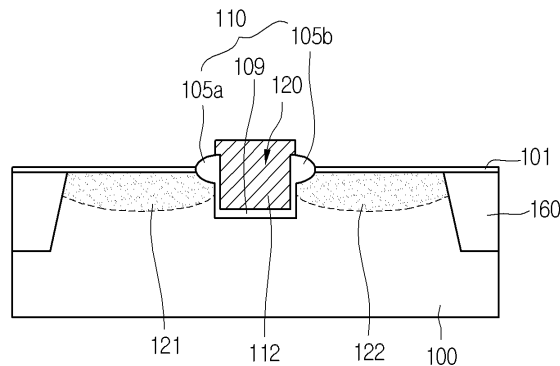
심사관 : 홍성의

(54) 반도체 소자 및 그 제조 방법

(57) 요약

실시예는 리세스 게이트 구조를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다. 실시예에 따른 반도체 소자의 제조 방법은, 반도체 기판 상에 선택적으로 산화막 패턴을 형성하는 단계, 상기 반도체 기판 상에 상기 산화막 패턴의 양측 모서리로부터 일정 영역을 덮는 절연막 패턴을 형성하는 단계, 상기 산화막 패턴 및 상기 반도체 기판을 식각하여 상기 양측 모서리의 제 1 및 제 2 산화막 패턴과 리세스를 형성하는 단계, 상기 리세스 내부의 상기 반도체 기판에 제 3 산화막 패턴을 형성하여 상기 제 1 내지 제 3 산화막 패턴으로 이루어진 게이트 절연막을 형성하는 단계 및, 상기 리세스 내에 게이트 패턴을 형성하는 단계를 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

반도체 기관 상에 선택적으로 산화막 패턴을 형성하는 단계;

상기 반도체 기관 상에 상기 산화막 패턴의 양측 모서리로부터 일정 영역을 덮는 절연막 패턴을 형성하는 단계;

상기 산화막 패턴 및 상기 반도체 기관을 식각하여 상기 양측 모서리의 제 1 및 제 2 산화막 패턴과 리세스를 형성하는 단계;

상기 리세스 내부의 상기 반도체 기관에 제 3 산화막 패턴을 형성하여 상기 제 1 내지 제 3 산화막 패턴으로 이루어진 게이트 절연막을 형성하는 단계; 및

상기 리세스 내에 게이트 패턴을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1항에 있어서,

상기 게이트 패턴을 형성하는 단계 이후에,

상기 절연막 패턴을 제거하는 단계;

상기 게이트 패턴 양측의 상기 반도체 기관에 불순물을 주입하여 소스 및 드레인 영역을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 3

제 1항에 있어서,

반도체 기관 상에 선택적으로 산화막 패턴을 형성하는 단계에 있어서,

상기 반도체 기관 전면에 버퍼 산화막을 형성하는 단계;

상기 버퍼 산화막 상에 상기 산화막 패턴이 형성될 부분을 노출시키는 패턴을 형성하는 단계;

상기 노출된 버퍼 산화막을 산화시켜 상기 버퍼 산화막보다 두꺼운 산화막 패턴을 형성하는 단계; 및

상기 산화막 패턴이 형성될 부분을 노출시키는 상기 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제 3항에 있어서,

상기 버퍼 산화막과 상기 산화막 패턴이 형성될 부분을 노출시키는 상기 패턴 사이에 질화실리콘막이 더 형성된 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제 1항에 있어서,

상기 절연막 패턴은 산화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제 1항에 있어서,

상기 제 3 산화막 패턴의 두께는 상기 제 1 및 제 2 산화막 패턴의 두께보다 얇은 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

제 1항에 있어서,

상기 제 1 산화막 패턴 및 상기 제 2 산화막 패턴의 폭은 동일한 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

제 1항에 있어서,

상기 제 3 산화막 패턴은 열산화 방법을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

리세스 트랜지스터의 구조에 있어서,

반도체 기판 표면에서 하부로 형성된 리세스 내에 형성된 게이트 패턴;

상기 게이트 패턴의 일측의 상기 반도체 기판에 형성된 소스 영역 및 타측에 형성된 드레인 영역; 및

상기 리세스의 모서리의 상측에 형성되고 상기 게이트 패턴과 상기 드레인 영역을 이격시키며 상기 게이트 패턴과 상기 드레인 영역의 오버랩 사이즈를 줄이기 위한 제 1 산화막 패턴, 상기 게이트 패턴과 상기 소스 영역을 이격시키는 제 2 산화막 패턴, 상기 리세스의 내벽을 따라 형성된 제 3 산화막 패턴으로 이루어진 게이트 절연막을 포함하는 반도체 소자.

청구항 10

제 9항에 있어서,

상기 제 1 산화막 패턴 및 상기 제 2 산화막 패턴의 두께가 상기 제 3 산화막 패턴의 두께보다 두꺼운 것을 특징으로 하는 반도체 소자.

청구항 11

제 9항에 있어서,

상기 제 1 산화막 패턴과 상기 제 2 산화막 패턴의 크기는 동일한 것을 특징으로 하는 반도체 소자.

명세서

발명의 상세한 설명

기술분야

<1> 실시예는 리세스 게이트 구조를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

<2> 일반적으로 모스(MOS) 트랜지스터는 게이트와 드레인 영역과 소오스 영역을 가지는 구조로 이루어진다. 반도체 소자의 집적도가 향상되면서 트랜지스터의 크기가 점차 작아질 것이 요구되어 왔으나, 소오스와 드레인의 접합 깊이를 무한정 얇게 할 수 없다는 제약성이 있다. 이것은 채널의 길이가 점점 감소함에 따라 소오스와 드레인의 공핍 영역이 채널속으로 침투하여 유효 채널 길이가 줄어들고, 문턱전압(threshold voltage)이 감소함으로써, 모스 트랜지스터에서 게이트 제어의 기능이 상실되는 단채널 효과(short channel effect)가 발생하기 때문이다. 또한, 채널의 길이가 짧아짐에 따라 게이트 유도 드레인 리키지(GIDL:Gate Induced Drain leakage)와 같은 누설 전류가 발생하는 문제점이 있다.

발명의 내용

해결하고자하는 과제

<3> 실시예는 게이트 유도 드레인 전류와 같은 누설 전류의 발생을 최소화할 수 있는 반도체 소자 및 그 제조 방법을 제공하는 목적이 있다.

과제 해결수단

- <4> 실시예에 따른 반도체 소자의 제조 방법은, 반도체 기판 상에 선택적으로 산화막 패턴을 형성하는 단계,
- <5> 상기 반도체 기판 상에 상기 산화막 패턴의 양측 모서리로부터 일정 영역을 덮는 절연막 패턴을 형성하는 단계,
- <6> 상기 산화막 패턴 및 상기 반도체 기판을 식각하여 상기 양측 모서리의 제 1 및 제 2 산화막 패턴과 리세스를 형성하는 단계,
- <7> 상기 리세스 내부의 상기 반도체 기판에 제 3 산화막 패턴을 형성하여 상기 제 1 내지 제 3 산화막 패턴으로 이루어진 게이트 절연막을 형성하는 단계 및, 상기 리세스 내에 게이트 패턴을 형성하는 단계를 포함한다.
- <8> 실시예에 따른 반도체 소자는, 리세스 트랜지스터의 구조에 있어서,
- <9> 반도체 기판 표면에서 하부로 형성된 리세스 내에 형성된 게이트 패턴,
- <10> 상기 게이트 패턴의 일측의 상기 반도체 기판에 형성된 소스 영역 및 타측에 형성된 드레인 영역 및,
- <11> 상기 리세스의 모서리에 형성되고 상기 게이트 패턴과 상기 드레인 영역을 이격시키며 상기 게이트 패턴과 상기 드레인 영역의 오버랩 사이즈를 줄이기 위한 제 1 산화막 패턴, 상기 게이트 패턴과 상기 소스 영역을 이격시키는 제 2 산화막 패턴, 상기 리세스의 내벽을 따라 형성된 제 3 산화막 패턴으로 이루어진 게이트 절연막을 포함한다.

효 과

- <12> 실시예는 반도체 소자에서 게이트 유도 드레인 리키지와 같은 누설 전류의 발생을 최소화하여 트랜지스터의 성능을 향상시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <13> 이하, 첨부한 도면을 참조로 하여 실시예들에 따른 반도체 패키지 및 그 제조 방법을 구체적으로 설명한다. 이하, "제 1 ", "제 2 " 등으로 언급되는 경우 이는 부재들을 한정하기 위한 것이 아니라 부재들을 구분하고 적어도 두개를 구비하고 있음을 보여주는 것이다. 따라서, 상기 "제 1 ", "제 2 "등으로 언급되는 경우 부재들이 복수 개 구비되어 있음이 명백하며, 각 부재들이 선택적으로 또는 교환적으로 사용될 수도 있다. 또한, 첨부한 도면의 각 구성요소들의 크기(치수)는 발명의 이해를 돕기 위하여 확대하여 도시한 것이며, 도시된 각 구성요소들의 치수의 비율은 실제 치수의 비율과 다를 수도 있다. 또한, 도면에 도시된 모든 구성요소들이 본 발명에 반드시 포함되어야 하거나 한정되는 것은 아니며 본 발명의 핵심적인 특징을 제외한 구성 요소들은 부가 또는 삭제될 수도 있다. 본 발명에 따른 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on/above/over/upper)"에 또는 "아래(down/below/under/lower)"에 형성되는 것으로 기재되는 경우에 있어, 그 의미는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들에 접촉되어 형성되는 경우로 해석될 수도 있으며, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 그 사이에 추가적으로 형성되는 경우로 해석될 수도 있다. 따라서, 그 의미는 발명의 기술적 사상에 의하여 판단되어야 한다.
- <14> 도 1 내지 도 8은 실시예에 따른 반도체 소자를 제조하는 순서를 보여주는 단면도들이다.
- <15> 도 1에 도시한 바와 같이, 반도체 기판(100)에 활성 영역을 정의하는 소자 분리막 패턴(160)이 형성된다.
- <16> 예를 들어, 상기 소자 분리막 패턴(160)은 셀로우 트렌치 격리 패턴(shallow trench isolation pattern)일 수 있다.
- <17> 상기 소자 분리막 패턴(160)이 형성된 반도체 기판(100) 전면에 버퍼 산화막(101)을 형성한다.
- <18> 상기 버퍼 산화막(101)은 열산화 방법에 의해 형성된 산화막일 수 있다.
- <19> 상기 버퍼 산화막(101) 상에 질화실리콘막이 형성될 수도 있다.
- <20> 상기 버퍼 산화막(101) 상에 제 1 절연막 패턴(103)이 형성된다.
- <21> 예를 들어, 상기 제 1 절연막 패턴(103)은 상기 TEOS로 이루어진 물질을 포함할 수 있다.

- <22> 도 2에 도시한 바와 같이, 상기 제 1 절연막 패턴(103)에 의해 노출된 상기 반도체 기판(100)을 산화시킨다.
- <23> 상기 반도체 기판(100)을 산화하기 이전에 상기 제 1 절연막 패턴(103)을 마스크로 상기 질화실리콘막을 선택적으로 식각하는 공정을 수행할 수도 있다.
- <24> 상기 제 1 절연막 패턴(103)에 의해 노출된 상기 반도체 기판(100)은 선택적으로 산화막이 성장하여 산화막 패턴(105)을 형성한다.
- <25> 도 3에 도시한 바와 같이, 상기 제 1 절연막 패턴(103)을 제거하여 상기 버퍼 산화막(101) 및 산화막 패턴(105)을 노출시킨다.
- <26> 상기 버퍼 산화막(101)보다 상기 산화막 패턴(105)이 상부로 다소 돌출되어 있을 수 있다. 상기 버퍼 산화막(101)보다 상기 산화막 패턴(105)의 두께가 더 두꺼울 수 있다.
- <27> 도 4에 도시한 바와 같이, 상기 반도체 기판(100) 상에 제 2 절연막 패턴(107)을 형성한다.
- <28> 상기 제 2 절연막 패턴(107)은 상기 버퍼 산화막(101)을 덮는다. 상기 제 2 절연막 패턴(107)은 상기 산화막 패턴(105)의 일부를 덮는다.
- <29> 상기 제 2 절연막 패턴(107)은 상기 산화막 패턴(105)의 양측 모서리로부터 일정 길이만큼 덮는다.
- <30> 상기 제 2 절연막 패턴(107)은 상기 산화막 패턴(105)을 노출시킨다.
- <31> 상기 제 2 절연막 패턴(107)의 개구부의 폭은 추후 형성될 게이트 패턴의 폭과 거의 일치할 수 있다.
- <32> 상기 제 2 절연막 패턴(107)을 마스크로 상기 산화막 패턴(105) 및 상기 반도체 기판(100)을 식각하여 리세스(recess)(120)를 형성한다.
- <33> 상기 리세스(120)는 산화막 패턴(105)을 관통하여 형성되므로, 상기 산화막 패턴(105)은 양측으로 제 1 산화막 패턴(105a) 및 제 2 산화막 패턴(105b)이 형성된다.
- <34> 상기 제 1 산화막 패턴(105a) 및 상기 제 2 산화막 패턴(105b)의 두께는 거의 일치한다.
- <35> 이후, 도 6에 도시한 바와 같이, 상기 제 2 절연막 패턴(107)이 남아있는 상태에서 상기 반도체 기판(100)을 산화시켜 상기 리세스(120) 내에 제 2 두께의 제 3 산화막 패턴(109)을 형성한다.
- <36> 상기 제 3 산화막 패턴(109)은 열산화 방식으로 형성될 수 있다.
- <37> 상기 제 3 산화막 패턴(109)은 노출된 상기 리세스(120) 내의 상기 반도체 기판(100)이 산화되어 형성되는 것으로, 상기 제 1 및 제 2 산화막 패턴(105a, 105b)보다 얇게 형성된다. 즉, 상기 제 2 두께는 상기 제 1 두께보다 작다.
- <38> 게이트 절연막(110)은 상기 제 1 산화막 패턴(105a), 상기 제 2 산화막 패턴(105b) 및 상기 제 3 산화막 패턴(109)을 포함한다.
- <39> 상기 게이트 절연막(110)의 두께는 위치에 따라 다르게 되며, 상기 게이트 절연막(110)의 에지부의 게이트 절연막(110)의 두께가 중앙보다 두껍게 된다.
- <40> 상기와 같이, 상기 게이트 절연막(110)의 양측 모서리의 두께가 증가됨으로 인하여 게이트와 소스/드레인 간의 전계가 감소하여 게이트 유도 드레인 리키지를 최소화할 수 있다.
- <41> 도 7에 도시한 바와 같이, 상기 제 2 절연막 패턴(107) 상에 폴리 실리콘을 증착하고 화학적 기계적 연마 방법으로 폴리 실리콘층을 연마하여 상기 리세스(120) 내에 매립된 게이트 패턴(112)을 형성한다.
- <42> 이와 달리, 상기 게이트 패턴(112)은 상기 폴리 실리콘층을 마스크 공정으로 패터닝하여 형성할 수도 있다.
- <43> 상기 게이트 패턴(112)은 폴리 실리콘을 증착하여 형성될 수 있으며, 콘택 저항을 줄이기 위하여 금속 실리사이드막을 추가하여 형성할 수도 있다. 상기 금속 실리사이드막은 텅스텐 실리사이드 또는 탄탈륨 실리사이드 Ehsms 몰리브덴 실리사이드 중 적어도 하나일 수 있다.
- <44> 도 8에 도시한 바와 같이, 상기 제 2 절연막 패턴(107)을 제거한다.
- <45> 상기 게이트 패턴(112)은 상기 게이트 절연막(110)으로부터 소정 돌출되어 형성될 수 있다.
- <46> 상기 게이트 패턴(112)이 형성된 상기 반도체 기판(100) 상에 게이트 캡핑막을 형성할 수도 있다. 상기 게이트

캐핑막은 실리콘 질화막으로 형성될 수 있다.

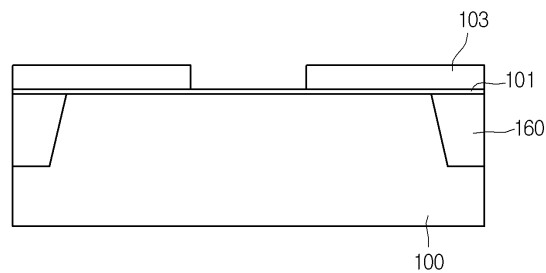
- <47> 상기 게이트 패턴(112)이 형성되지 않은 상기 반도체 기판(100)의 활성 영역에 고농도의 불순물을 주입하여 소스 및 드레인 영역(121, 122)을 형성한다.
- <48> 상기 게이트 패턴(112) 측벽에는 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중 적어도 하나를 포함하는 게이트 스페이서가 형성될 수 있다.
- <49> 상기와 같이 형성된 리세스 게이트 구조의 트랜지스터는 상기 게이트 절연막에 의해 게이트와 드레인 영역 간의 오버랩 정도가 작아지므로 게이트 유도 드레인 리키지를 줄일 수 있다.
- <50> 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

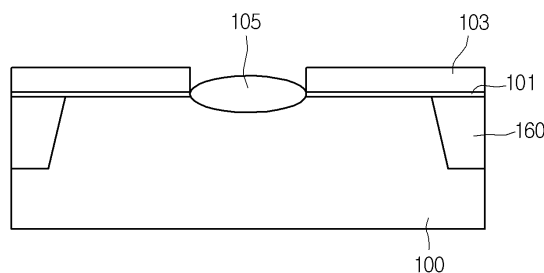
- <51> 도 1 내지 도 8은 실시예에 따른 반도체 소자를 제조하는 순서를 보여주는 단면도들.
- <52> <도면의 주요부분에 대한 부호 설명>
- <53> 100 : 반도체 기판 101 : 버퍼 산화막
- <54> 103 : 제 1 절연막 패턴 105 : 산화막 패턴
- <55> 105a : 제 1 산화막 패턴 105b : 제 2 산화막 패턴
- <56> 107 : 제 2 절연막 패턴 109 : 제 3 산화막 패턴
- <57> 110 : 게이트 절연막 120 : 리세스
- <58> 121, 122 : 소스 및 드레인 영역 160 : 소자 분리막 패턴

도면

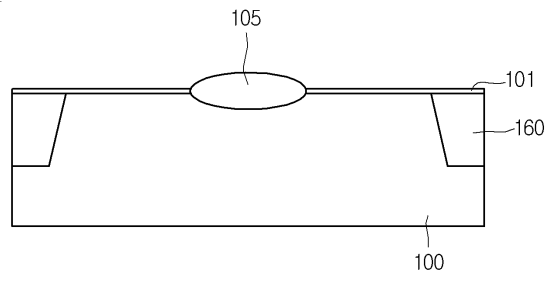
도면1



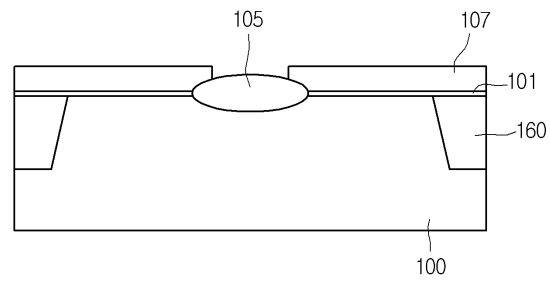
도면2



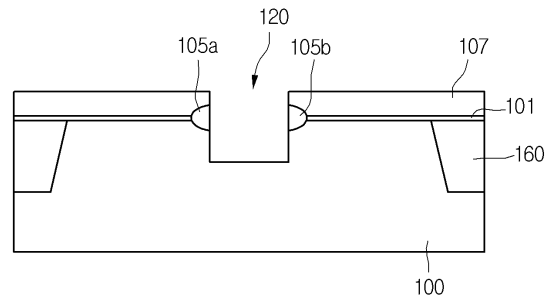
도면3



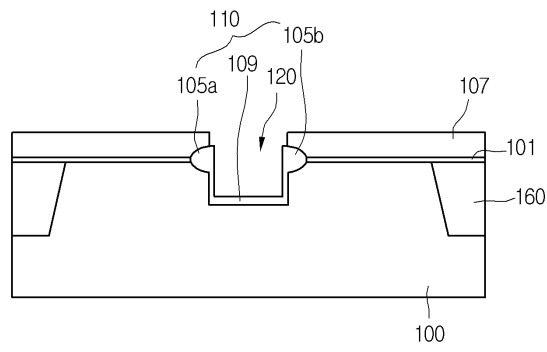
도면4



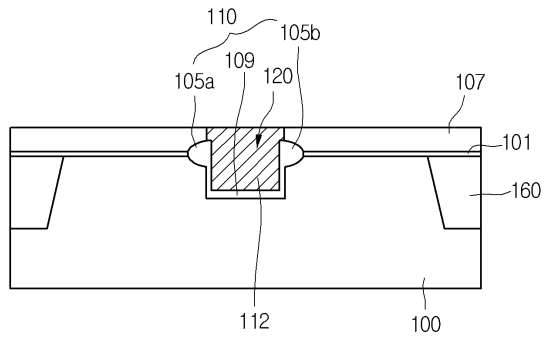
도면5



도면6



도면7



도면8

