



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I713036 B

(45) 公告日：中華民國 109 (2020) 年 12 月 11 日

(21) 申請案號：105128068

(22) 申請日：中華民國 105 (2016) 年 08 月 31 日

(51) Int. Cl. : **G11C16/24 (2006.01)**

(30) 優先權：2016/04/11 南韓 10-2016-0044100

(71) 申請人：南韓商愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)
南韓

(72) 發明人：鄭會三 JEONG, HOE SAM (KR)

(74) 代理人：閻啓泰；林景郁

(56) 參考文獻：

US 2009/0003033A1

US 2012/0235708A1

US 2014/0043928A1

審查人員：劉繼誠

申請專利範圍項數：19 項 圖式數：11 共 40 頁

(54) 名稱

用於抑制讀取干擾的非揮發性記憶體裝置

(57) 摘要

一種非揮發性記憶體裝置包括非揮發性記憶體單元；感測電路，耦接在耦接至非揮發性記憶體單元的位元線的感測輸入線和感測輸出線之間；感測輸出接地部分，如果感測電路的輸出信號具有低電位，則所述感測輸出接地部分將感測電路的輸出信號固定在低電位；以及位元線接地部分，如果感測電路的輸出信號固定在低電位，則所述位元線接地部分將位元線電壓固定在接地電壓。

A nonvolatile memory device includes a nonvolatile memory cell, a sensing circuit coupled between a sensing input line coupled to a bit line of the nonvolatile memory cell and a sensing output line, a sensing output grounding portion fixing an output signal of the sensing circuit at a low level if the output signal of the sensing circuit has a low level, and a bit line grounding portion fixing a bit line voltage at a ground voltage if the output signal of the sensing circuit is fixed at a low level.

指定代表圖：

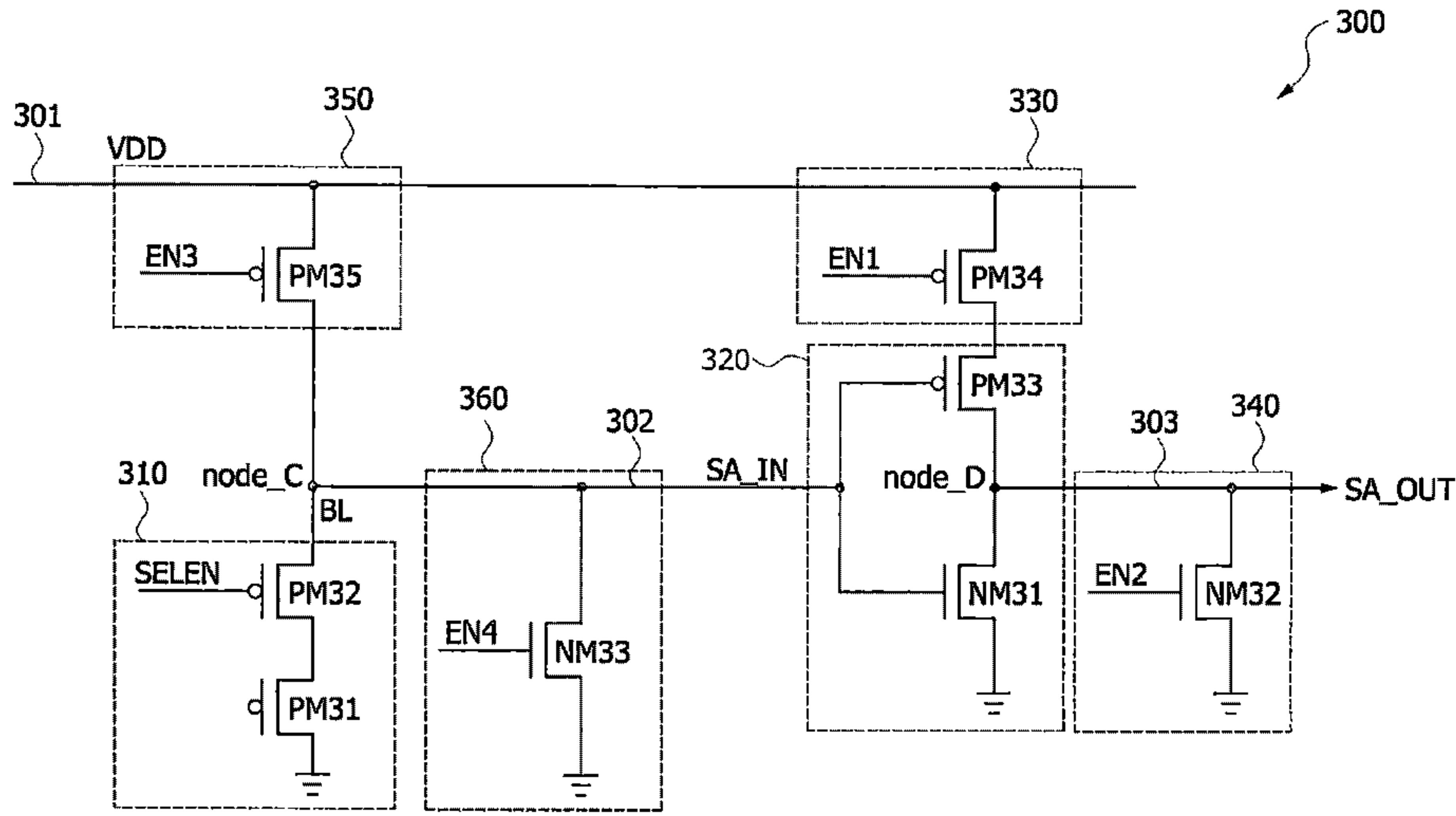


圖3

符號簡單說明：

- 300 . . . 非揮發性記憶體裝置
- 301 . . . 電源電壓線
- 302 . . . 感測輸入線
- 303 . . . 感測輸出線
- 310 . . . 非揮發性記憶體單元
- 320 . . . 感測電路
- 330 . . . 第一開關部分
- 340 . . . 感測輸出接地部分
- 350 . . . 電阻式負載/第二開關部分
- 360 . . . 位元線接地部分

I713036

發明摘要

※ 申請案號：105128068

※ 申請日：105年8月31日

※IPC 分類：**G11C 16/24** (2006.01)

【發明名稱】(中文/英文)

用於抑制讀取干擾的非揮發性記憶體裝置

NONVOLATILE MEMORY DEVICE FOR SUPPRESSING A READ
DISTURBANCES

【中文】

一種非揮發性記憶體裝置包括非揮發性記憶體單元；感測電路，耦接在耦接至非揮發性記憶體單元的位元線的感測輸入線和感測輸出線之間；感測輸出接地部分，如果感測電路的輸出信號具有低電位，則所述感測輸出接地部分將感測電路的輸出信號固定在低電位；以及位元線接地部分，如果感測電路的輸出信號固定在低電位，則所述位元線接地部分將位元線電壓固定在接地電壓。

【英文】

A nonvolatile memory device includes a nonvolatile memory cell, a sensing circuit coupled between a sensing input line coupled to a bit line of the nonvolatile memory cell and a sensing output line, a sensing output grounding portion fixing an output signal of the sensing circuit at a low level if the output signal of the sensing circuit has a low level, and a bit line grounding portion fixing a bit line voltage at a ground voltage if the output signal of the sensing circuit is fixed at a low level.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

- 300 非揮發性記憶體裝置
- 301 電源電壓線
- 302 感測輸入線
- 303 感測輸出線
- 310 非揮發性記憶體單元
- 320 感測電路
- 330 第一開關部分
- 340 感測輸出接地部分
- 350 電阻式負載/第二開關部分
- 360 位元線接地部分

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於抑制讀取干擾的非揮發性記憶體裝置

NONVOLATILE MEMORY DEVICE FOR SUPPRESSING A READ
DISTURBANCES

【技術領域】

【0001】 本公開的各種實施例涉及一種半導體記憶體裝置，以及更具體地，涉及一種用於抑制讀取干擾的非揮發性記憶體裝置。

【0002】 相關申請的交叉引用

【0003】 本申請要求 2016 年 4 月 11 日提交的申請號為 10-2016-0044100 的韓國申請的優先權，其通過引用整體合併於此。

【先前技術】

【0004】 半導體記憶體裝置根據其資料揮發性通常分為隨機存取記憶體 (RAM) 裝置和唯讀記憶體 (ROM) 裝置。RAM 裝置是在 RAM 裝置的電源中斷時遺失儲存的資料的揮發性裝置。與此相反，ROM 裝置在 ROM 裝置的電源中斷時保留儲存的資料。ROM 裝置根據資料登錄方法 (即，資料程式化方法) 也可以分為可程式化 ROM (PROM) 裝置和遮罩型 ROM 裝置。PROM 裝置可以在未被程式化的情況下製造和銷售，並且可以在 PROM 裝置製造以後由消費者 (例如，用戶) 直接程式化。遮罩型 ROM 裝置在其製造過程中可以使用注入遮罩來程式化，所述注入遮罩基於使用者要求的資料來製造。PROM 裝置可以包括一次 PROM (OTPROM) 裝置、可抹除 PROM (EPROM) 裝置和電可抹除 PROM (EEPROM) 裝置。一旦 OTPROM

裝置被程式化，則 OTPROM 裝置的程式化資料不能被改變。

【0005】 非揮發性記憶體裝置（例如，OTPROM 裝置）採用 NMOS 電晶體或 PMOS 電晶體作為單元電晶體。如果 PMOS 電晶體被用作非揮發性記憶體裝置的單元電晶體，則 PMOS 電晶體可以具有關斷狀態作為初始狀態，以及可以具有導通狀態作為程式化狀態。PMOS 電晶體的讀取操作可以通過感測連接至從 PMOS 電晶體中選中的任意一個 PMOS 電晶體的位元線的電壓位準來執行。在此情況下，位元線的電壓位準可以通過耦接在電源電壓線和位元線之間的負載電阻器的電阻和選中的 PMOS 電晶體的等效電阻的電阻比來確定。

【發明內容】

【0006】 各種實施例針對一種用於抑制讀取干擾的非揮發性記憶體裝置。

【0007】 根據實施例的非揮發性記憶體裝置包括非揮發性記憶體單元；感測電路，設置在耦接至非揮發性記憶體單元的位元線的感測輸入線和感測輸出線之間；感測輸出接地部分，在感測電路的輸出信號具有低電位時，所述感測輸出接地部分將感測電路的輸出信號固定在低電位；以及位元線接地部分，在感測電路的輸出信號固定在低電位時，所述位元線接地部分將位元線電壓固定在接地電壓。

【圖式簡單說明】

【0008】 根據附圖和所附詳細描述，本發明構思的各種實施例將變得更加明顯，其中：

【0009】 圖 1 是圖示常規非揮發性記憶體裝置的示例的電路圖。

【0010】 圖 2 是圖示常規非揮發性記憶體裝置的另一示例的電路圖。

【0011】 圖 3 是圖示根據本公開的一個實施例的非揮發性記憶體裝置的電路圖。

【0012】 圖 4 是圖示根據本公開的一個實施例在非揮發性記憶體裝置中採用的致能信號產生器的電路圖。

【0013】 圖 5 是圖示在讀取操作之前，圖 3 的非揮發性記憶體裝置中採用的致能信號產生器的操作的電路圖。

【0014】 圖 6 是圖示在讀取操作之前，圖 3 的非揮發性記憶體裝置的狀態的電路圖。

【0015】 圖 7 是圖示在開始單元電晶體的讀取操作以後，在圖 3 的非揮發性記憶體裝置中採用的致能信號產生器的操作的電路圖。

【0016】 圖 8 是圖示在開始被程式化的單元電晶體的讀取操作以後，圖 3 的非揮發性記憶體裝置的讀取操作的電路圖。

【0017】 圖 9 是圖示在開始具有初始狀態的單元電晶體的讀取操作以後，圖 3 的非揮發性記憶體裝置的讀取操作的電路圖。

【0018】 圖 10 是圖示通過單元電晶體的讀取操作確定單元電晶體的初始狀態之後，在圖 3 的非揮發性記憶體裝置中採用的致能信號產生器的操作的電路圖。

【0019】 圖 11 是圖示在確定具有初始狀態的單元電晶體的状态之後，圖 3 的非揮發性記憶體裝置的操作的電路圖。

【實施方式】

【0020】 下面將參照附圖通過各種實施例來描述本公開。

【0021】 然而，本公開可以以不同的形式來實施，而不應當被解釋為局限于本文說明的實施例。相反地，這些實施例作為示例被提供以使得本公開將徹底且完整，而且將本公開的各個方面和特點充分傳達給本領域技術人員。

【0022】 將理解的是，雖然在本文中可以使用術語“第一”、“第二”和“第三”等來描述各種元件，但這些元件不受這些術語的限制。這些術語是用來將一個元件與另一元件區分開。因此，在不脫離本公開的精神和範圍的情況下，下面描述的第一元件也可以被稱作第二元件或第三元件。

【0023】 附圖不一定成比例，在某些情況下，為了清楚地圖示實施例的特徵，比例可能已經被誇大。

【0024】 本文中使用的術語僅用於描述特定實施例的目的，而非意在限制本公開。如本文中所用，除非上下文清楚地另外指出，否則單數形式意在也包括複數形式。還將理解的是，術語“包含”、“包含有”、“包括”和“包括有”在本說明書中使用時，表示所述元件的存在，但不排除一個或更多個其它元件的存在或添加。如本文中所用，術語“和/或”包括一個或更多個相關聯的列出項的任意組合和所有組合。

【0025】 除非另外定義，否則本文中所使用的所有術語（包括技術術語和科學術語）具有與本公開所屬領域技術人員通常所理解的意思相同的意思。還將理解的是，諸如在通用詞典中定義的術語應當被解釋為具有與它們在相關領域的背景中的意思一致的意思，而不以理想化或過度形式化的意義來解釋，除非本文中明確如此定義。

【0026】 在下面的描述中，闡述了大量具體細節以提供對本公開的透徹理解。可以在無這些具體細節中的一些或全部的情況下實施本公開。在其它情況下，未詳細描述大眾所知的製程結構和/或製程，以免不必要地混淆本公開。

【0027】 此外，當將一元件稱作位於另一元件“上”、“之上”、“上方”、“下”、“下面”時，其意在表示相對位置關係，但不是用來限制該元件直接接觸另一元件或在兩者之間存在至少一個中間元件的特定情況。因此，在文中使用的術語（諸如“上”、“之上”、“上方”、“下”、“下面”等）僅是出於描述特定實施例之目的，不是意在限制本公開的範圍。此外，當將一個元件被稱作“連接”或“耦接”至另一元件時，該元件可以直接電連接或直接機械連接或直接電耦接或直接機械耦接至另一元件，或可以通過替換兩者之間的其它元件而形成連接關係或耦接關係。

【0028】 圖 1 是圖示常規非揮發性記憶體裝置 100 的示例的電路圖。參照圖 1，非揮發性記憶體裝置 100 包括非揮發性記憶體單元 110、電阻式負載部分 120 和感測電路 130。非揮發性記憶體單元 110 包括用作單元電晶體的第一 PMOS 電晶體 PM01 和用作選擇電晶體的第二 PMOS 電晶體 PM02。第一 PMOS 電晶體 PM01 的閘極對應於浮置閘極(floating gate)，並且第一 PMOS 電晶體 PM01 的汲極耦接至接地端子。第一 PMOS 電晶體 PM01 的源極直接耦接至第二 PMOS 電晶體 PM02 的汲極。選擇致能信號 SELEN(selection enable signal)被施加到第二 PMOS 電晶體 PM02 的閘極。第二 PMOS 電晶體 PM02 的源極經由位元線 BL 耦接至第一節點 A。

【0029】 電阻式負載部分 120 包括耦接在電源電壓線 101 和第一節點

A 之間的電阻式負載。電阻式負載使用第三 PMOS 電晶體 PM03 來實現。感測放大器致能信號 SAEN 被施加到第三 PMOS 電晶體 PM03 的閘極。第三 PMOS 電晶體 PM03 的源極和汲極分別耦接至電源電壓線 101 和第一節點 A。如果第三 PMOS 電晶體 PM03 導通，則第三 PMOS 電晶體 PM03 用作耦接在電源電壓線 101 和第一節點 A 之間的電阻式元件。

【0030】 感測電路 130 具有包括第一 NMOS 電晶體 NM01 和第四 PMOS 電晶體 PM04 的互補金屬氧化物半導體 (CMOS) 反相器的結構。第一 NMOS 電晶體 NM01 的閘極和第四 PMOS 電晶體 PM04 的閘極接收經由感測輸入線 102 施加的感測輸入信號 SA_IN。感測輸入線 102 耦接至第一節點 A。第一 NMOS 電晶體 NM01 的源極耦接至接地端子。第一 NMOS 電晶體 NM01 的汲極耦接至第四 PMOS 電晶體 PM04 的汲極。第四 PMOS 電晶體 PM04 的源極耦接至施加了電源電壓 VDD 的電源電壓線 101。第一 NMOS 電晶體 NM01 的汲極和第四 PMOS 電晶體 PM04 的汲極耦接至感測輸出線 103。感測輸出信號 SA_OUT 經由感測輸出線 103 輸出。

【0031】 用作單元電晶體的第一 PMOS 電晶體 PM01 在單元電晶體被程式化之前具有關斷狀態作為初始狀態，以及在程式化單元電晶體之後具有導通狀態作為程式化狀態。初始狀態表示第一 PMOS 電晶體 PM01 具有關斷狀態，以及程式化狀態表示第一 PMOS 電晶體 PM01 具有導通狀態。

【0032】 為了讀出第一 PMOS 電晶體 PM01 的狀態，施加低電位的選擇致能信號 SELEN 以使第二 PMOS 電晶體 PM02 導通。施加低電位的感測放大器致能信號 SAEN 以使第三 PMOS 電晶體 PM03 導通。第一節點 A 的位元線電壓具有通過從經由電源電壓線 101 施加的電源電壓 VDD 減去電壓

降而獲得的值，其中電壓降是由於導通的第三 PMOS 電晶體 PM03 的電阻式元件引起的。位元線電壓對應於感測輸入信號 SA_IN。感測輸入信號 SA_IN 被施加到感測電路 130。

【0033】 如果第一 PMOS 電晶體 PM01 具有關斷狀態作為初始狀態，則第一節點 A 和接地端子之間的電阻在理想情況下具有無限值。然而，該電阻實質上不是無限大，而是與導通的第三 PMOS 電晶體 PM03 的電阻相比顯示出非常大的值。因此，第一節點 A 的電壓（即感測輸入信號 SA_IN）具有實質上等於電源電壓 VDD 的電壓。如果等於電源電壓 VDD 的感測輸入信號 SA_IN 被施加到感測電路 130，則第一 NMOS 電晶體 NM01 導通，而第四 PMOS 電晶體 PM04 未導通。由於僅第一 NMOS 電晶體 NM01 導通，因此接地電壓（例如 0V）作為感測輸出信號 SA_OUT 來輸出。照此，當接地電壓作為感測電路 130 的感測輸出信號 SA_OUT 來輸出時，用作單元電晶體的第一 PMOS 電晶體 PM01 被確定為具有初始狀態。

【0034】 如果第一 PMOS 電晶體 PM01 具有程式化狀態，則在第一節點 A 和接地端子之間的電阻在理想情況下具有零的值。然而，所述電阻實質上不是零，而是與導通的第三 PMOS 電晶體 PM03 的電阻相比顯示出非常小的值。因此，第一節點 A 的電壓（即感測輸入信號 SA_IN）具有實質上等於接地電壓（例如，0V）的電壓。如果 0V 的感測輸入信號 SA_IN 被輸入到感測電路 130，則第一 NMOS 電晶體 NM01 不導通，而第四 PMOS 電晶體 PM04 導通。由於僅第四 PMOS 電晶體 PM04 導通，因此電源電壓 VDD 可以作為感測輸出信號 SA_OUT 來輸出。照此，當電源電壓 VDD 作為感測電路 130 的感測輸出信號 SA_OUT 來輸出時，用作單元電晶體的第一 PMOS

電晶體 PM01 被確定為具有程式化狀態。

【0035】 當第一 PMOS 電晶體 PM01 具有初始狀態時，如果第三 PMOS 電晶體 PM03 導通以對第一 PMOS 電晶體 PM01 執行讀取操作，則接近電源電壓 VDD 的位元線電壓可以被施加到第一節點 A。在第一 PMOS 電晶體 PM01 的讀取操作期間，位元線電壓被持續地施加到用作單元電晶體的第一 PMOS 電晶體 PM01。隨著電源電壓 VDD 大小增加，第一 PMOS 電晶體 PM01 的特性可能改變。在某些情況下，可能發生電流經由第一 PMOS 電晶體 PM01 流到接地端子的讀取干擾現象。

【0036】 圖 2 是圖示常規非揮發性記憶體裝置 200 的另一示例的電路圖。參見圖 2，非揮發性記憶體裝置 200 包括非揮發性記憶體單元 210、電阻式負載部分 220、讀取干擾抑制部分 230 和感測電路 240。非揮發性記憶體單元 210 包括用作單元電晶體的第一 PMOS 電晶體 PM11 和用作選擇電晶體的第二 PMOS 電晶體 PM12。第一 PMOS 電晶體 PM11 的閘極對應於浮置閘極，並且第一 PMOS 電晶體 PM11 的汲極耦接至接地端子。第一 PMOS 電晶體 PM11 的源極直接耦接至第二 PMOS 電晶體 PM12 的汲極。選擇致能信號 SELEN 被施加到第二 PMOS 電晶體 PM12 的閘極。第二 PMOS 電晶體 PM12 的源極耦接至位元線 BL。

【0037】 電阻式負載部分 220 包括耦接在電源電壓線 201 和第一節點 B 之間的電阻式負載。電阻式負載使用第三 PMOS 電晶體 PM13 來實現。第一感測放大器致能信號 SAEN1 被施加到第三 PMOS 電晶體 PM13 的閘極。第三 PMOS 電晶體 PM13 的源極和汲極分別耦接至電源電壓線 201 和第一節點 B。如果第三 PMOS 電晶體 PM13 導通，則第三 PMOS 電晶體 PM13 用作

在電源電壓線 201 和第一節點 B 之間的電阻式元件。

【0038】 讀取干擾抑制部分 230 包括第一 NMOS 電晶體 NM11。第二感測放大器致能信號 SAEN2 被輸入到第一 NMOS 電晶體 NM11 的閘極。第二感測放大器致能信號 SAEN2 具有與反相的第一感測放大器致能信號 SAEN1 相對應的值。第一 NMOS 電晶體 NM11 的汲極和源極分別耦接至第一節點 B 和位元線 BL。因此，從第一節點 B 分叉的感測輸入線 202 和位元線 BL 通過第一 NMOS 電晶體 NM11 分離。

【0039】 感測電路 240 具有包括第二 NMOS 電晶體 NM12 和第四 PMOS 電晶體 PM14 的 CMOS 反相器的結構。第二 NMOS 電晶體 NM12 的閘極和第四 PMOS 電晶體 PM14 的閘極接收經由感測輸入線 202 施加的感測輸入信號 SA_IN。感測輸入線 202 耦接至第一節點 B。第二 NMOS 電晶體 NM12 的源極耦接至接地端子。第二 NMOS 電晶體 NM12 的汲極耦接至第四 PMOS 電晶體 PM14 的汲極。第四 PMOS 電晶體 PM14 的源極耦接至施加了電源電壓 VDD 的電源電壓線 201。第二 NMOS 電晶體 NM12 的汲極和第四 PMOS 電晶體 PM14 的汲極耦接至感測輸出線 203。感測輸出信號 SA_OUT 經由感測輸出線 203 而輸出。

【0040】 為了用作單元電晶體的第一 PMOS 電晶體 PM11 的讀取操作，如果低電位的第一感測放大器致能信號 SAEN1 和高電位的第二感測放大器致能信號 SAEN2 被分別施加到第三 PMOS 電晶體 PM13 的閘極和第一 NMOS 電晶體 NM11 的閘極，則耦接至感測輸入線 202 的第一節點 B 的電壓具有通過從電源電壓 VDD 減去電壓降而獲得的值，所述電壓降是由於第三 PMOS 電晶體 PM13 的電阻式元件引起的。

【0041】 施加到位元線 BL 的電壓具有通過從第一節點 B 的電壓減去第一 NMOS 電晶體 NM11 的閾值電壓而獲得的值。照此，位元線 BL 的電壓可以通過設置第一 NMOS 電晶體 NM11 而從第一節點 B 的電壓減小了第一 NMOS 電晶體 NM11 的閾值電壓。因此，可以抑制具有初始狀態的第一 PMOS 電晶體 PM11 的特性在讀取操作期間通過位元線電壓而改變的現象。然而，耦接至感測輸入線 202 的第一節點 B 的電壓需要具有使第一 NMOS 電晶體 NM11 導通所必需的值，因此可以減少在低電源電壓 VDD 處的讀取裕量。

【0042】 圖 3 是圖示根據本公開的一個實施例的非揮發性記憶體裝置 300 的電路圖。參見圖 3，非揮發性記憶體裝置 300 可以包括非揮發性記憶體單元 310、感測電路 320、第一開關部分 330、感測輸出接地部分 340、電阻式負載/第二開關部分 350 以及位元線接地部分 360。非揮發性記憶體單元 310 可以耦接在第一節點 C 和接地端子之間。非揮發性記憶體單元 310 的位元線 BL 可以耦接至第一節點 C。

【0043】 感測電路 320 可以耦接在耦接至第一節點 C 的感測輸入線 302 和感測輸出線 303 之間。第一開關部分 330 可以耦接在電源電壓線 301 和感測電路 320 之間。感測輸出接地部分 340 可以耦接在感測輸出線 303 和接地端子之間。電阻式負載/第二開關部分 350 可以耦接在電源電壓線 301 和第一節點 C 之間。位元線接地部分 360 可以耦接在感測輸入線 302 和接地端子之間。

【0044】 非揮發性記憶體單元 310 可以包括用作單元電晶體的第一 PMOS 電晶體 PM31 和用作選擇電晶體的第二 PMOS 電晶體 PM32。第一 PMOS 電晶體 PM31 可以具有浮置閘極。第一 PMOS 電晶體 PM31 的汲極可

以耦接至接地端子。第一 PMOS 電晶體 PM31 的源極可以直接耦接至第二 PMOS 電晶體 PM32 的汲極。選擇致能信號 SELEN 可以被施加到第二 PMOS 電晶體 PM32 的閘極。第二 PMOS 電晶體 PM32 的源極可以經由位元線 BL 耦接至第一節點 C。

【0045】 感測電路 320 可以具有包括第一 NMOS 電晶體 NM31 和第三 PMOS 電晶體 PM33 的 CMOS 反相器的結構。第一 NMOS 電晶體 NM31 的閘極和第三 PMOS 電晶體 PM33 的閘極可以共同耦接至感測輸入線 302。感測輸入線 302 可以傳輸感測輸入信號 SA_IN。感測輸入線 302 可以耦接至第一節點 C。第一 NMOS 電晶體 NM31 的源極可以耦接至接地端子。第一 NMOS 電晶體 NM31 的汲極可以耦接至第三 PMOS 電晶體 PM33 的汲極。第三 PMOS 電晶體 PM33 的源極可以經由第一開關部分 330 耦接至電源電壓線 301。耦接在第一 NMOS 電晶體 NM31 的汲極和第三 PMOS 電晶體 PM33 的汲極之間的第二節點 D 可以耦接至感測輸出線 303。感測輸出信號 SA_OUT 可以經由感測輸出線 303 輸出。

【0046】 第一開關部分 330 可以包括耦接在電源電壓線 301 和感測電路 320 的第三 PMOS 電晶體 PM33 之間的第四 PMOS 電晶體 PM34。第四 PMOS 電晶體 PM34 的源極可以耦接至電源電壓線 301，而第四 PMOS 電晶體 PM34 的汲極可以耦接至第三 PMOS 電晶體 PM33 的源極。第一致能信號 EN1 可以被輸入到第四 PMOS 電晶體 PM34 的閘極。如果第四 PMOS 電晶體 PM34 關斷，則感測電路 320 的第三 PMOS 電晶體 PM33 也可以關斷。

【0047】 感測輸出接地部分 340 可以包括耦接在感測輸出線 303 和接地端子之間的第二 NMOS 電晶體 NM32。第二 NMOS 電晶體 NM32 的汲極

和源極可以分別耦接至感測輸出線 303 和接地端子。第二致能信號 EN2 可以被輸入到第二 NMOS 電晶體 NM32 的閘極。如果高電位的第二致能信號 EN2 被施加到第二 NMOS 電晶體 NM32 的閘極，則第二 NMOS 電晶體 NM32 可以導通。在此情況下，如果用作單元電晶體的第一 PMOS 電晶體 PM31 具有初始狀態並且第三 PMOS 電晶體 PM33 和第四 PMOS 電晶體 PM34 二者都關斷，則感測電路 320 的輸出信號可以固定在接地電壓（即，低電位的輸出信號）。

【0048】 電阻式負載/第二開關部分 350 可以使用耦接在電源電壓線 301 和包括第一節點 C 的位元線 BL 之間的電阻式負載來實現。在一些實施例中，電阻式負載可以包括第五 PMOS 電晶體 PM35。第五 PMOS 電晶體 PM35 可以用作開關裝置，同時用作電阻式負載。第三致能信號 EN3 可以被施加到第五 PMOS 電晶體 PM35 的閘極。第五 PMOS 電晶體 PM35 的源極和汲極可以分別耦接至電源電壓線 301 和第一節點 C。如果第五 PMOS 電晶體 PM35 導通，則第五 PMOS 電晶體 PM35 可以用作在電源電壓線 301 和第一節點 C 之間的電阻式元件。如果第五 PMOS 電晶體 PM35 關斷，則電源電壓線 301 和第一節點 C 可以電開路。

【0049】 位元線接地部分 360 可以包括第三 NMOS 電晶體 NM33，並且耦接在感測輸入線 302 和接地端子之間。第三 NMOS 電晶體 NM33 的汲極和源極可以分別耦接至感測輸入線 302 和接地端子。第四致能信號 EN4 可以被施加到第三 NMOS 電晶體 NM33 的閘極。如果高電位的第四致能信號 EN4 被施加到第三 NMOS 電晶體 NM33 的閘極，則第三 NMOS 電晶體 NM33 可以導通。在此情況下，如果用作單元電晶體的第一 PMOS 電晶體

PM31 具有初始狀態，並且第二 PMOS 電晶體 PM32 和第五 PMOS 電晶體 PM35 分別導通和關斷，則感測輸入線 302（即位元線 BL）可以固定在接地電壓，並且感測電路 320 的輸出信號固定在低電位。

【0050】 第一致能信號 EN1、第二致能信號 EN2、第三致能信號 EN3 和第四致能信號 EN4 可以通過致能信號產生器來輸出，所述第一致能信號 EN1、第二致能信號 EN2、第三致能信號 EN3 和第四致能信號 EN4 被施加到根據實施例的非揮發性記憶體裝置 300 的第四 PMOS 電晶體 PM34 的閘極、第二 NMOS 電晶體 NM32 的閘極、第五 PMOS 電晶體 PM35 的閘極和第三 NMOS 電晶體 NM33 的閘極。從致能信號產生器輸出的致能信號可以以第一致能信號 EN1、第二致能信號 EN2、第三致能信號 EN3 和第四致能信號 EN4 的次序輸出。因此，可以順序地執行第四 PMOS 電晶體 PM34 的開關操作、第二 NMOS 電晶體 NM32 的開關操作、第五 PMOS 電晶體 PM35 的開關操作和第三 NMOS 電晶體 NM33 的開關操作。

【0051】 圖 4 是圖示根據本公開的一個實施例在非揮發性記憶體裝置中採用的致能信號產生器 400 的電路圖。參考圖 4，致能信號產生器 400 可以接收來自感測輸出線 303（見圖 3）的感測輸出信號 SA_OUT 和感測放大器致能信號 SAEN，並且可以輸出第一致能信號 EN1、第二致能信號 EN2、第三致能信號 EN3 和第四致能信號 EN4。第一致能信號 EN1、第二致能信號 EN2、第三致能信號 EN3 和第四致能信號 EN4 可以順序地輸出。致能信號產生器 400 可以包括施加了感測輸出信號 SA_OUT 的第一反相器 401。第一反相器 401 的輸出信號可以與感測放大器致能信號 SAEN 一起被施加到第一反及閘 411。第一反及閘 411 的輸出信號可以被施加到第二反相器 402。

第二反相器 402 的輸出信號可以構成第一致能信號 EN1。

【0052】 第二反相器 402 的輸出信號與感測放大器致能信號 SAEN 可以被施加到第二反及閘 412。第二反及閘 412 的輸出信號可以被施加到第三反相器 403。第三反相器 403 的輸出信號可以構成第二致能信號 EN2。第二反及閘 412 的輸出信號與感測放大器致能信號 SAEN 可以被施加到第三反及閘 413。第三反及閘 413 的輸出信號可以構成第三致能信號 EN3。第三反及閘 413 的輸出信號可以被施加到第四反相器 404。第四反相器 404 的輸出信號可以被施加到第五反相器 405。第五反相器 405 的輸出信號可以構成第四致能信號 EN4。

【0053】 圖 5 是圖示在圖 3 的非揮發性記憶體裝置的讀取操作之前，致能信號產生器 400 的操作的電路圖。圖 6 是圖示在讀取操作之前，圖 3 的非揮發性記憶體裝置的狀態的電路圖。在圖 5 和圖 6 中，與在圖 3 和圖 4 中所使用的相同的附圖標記或標誌符表示相同的元件。

【0054】 參考圖 5 和圖 6，在非揮發性記憶體裝置的讀取操作之前，如果感測放大器致能信號 SAEN 具有低電位，則感測輸出信號 SA_OUT 可以設置為高電位（例如，高信號）。由於尚未執行讀取操作，因此不能判斷用作單元電晶體的第一 PMOS 電晶體 PM31 具有程式化狀態還是初始狀態。感測放大器致能信號 SAEN 維持低電位狀態。如在圖 5 所示，高電位的感測輸出信號 SA_OUT 和低電位的感測放大器致能信號 SAEN 被施加到致能信號產生器 400。

【0055】 第一反相器 401 可以輸出低電位的信號。第一反及閘 411 接收低電位的信號和低電位的感測放大器致能信號 SAEN，並且第一反及閘

411 可以輸出高電位的信號以及傳輸該信號到第二反相器 402。當第一反及閘 411 接收低電位的感測放大器致能信號 SAEN 時，第一反及閘 411 可以輸出高電位的信號，而不管感測輸出信號 SA_OUT 的信號電位如何。第二反相器 402 可以輸出低電位的信號。從第二反相器 402 輸出的信號可以構成低電位的第一致能信號 EN1。

【0056】 第二反及閘 412 接收從第二反相器 402 輸出的低電位的信號以及低電位的感測放大器致能信號 SAEN，可以輸出高電位的信號以及傳輸該信號到第三反相器 403。第二反及閘 412 接收低電位的感測放大器致能信號 SAEN 並可以輸出高電位的信號，而不管第二反相器 402 的輸出信號的信號電位如何。第三反相器 403 可以輸出低電位的信號。第三反相器 403 的輸出信號可以構成低電位的第二致能信號 EN2。第三反及閘 413 接收從第二反及閘 412 輸出的高電位的信號和低電位的感測放大器致能信號 SAEN，並可以輸出高電位的信號。第三反及閘 413 接收低電位的感測放大器致能信號 SAEN，可以輸出高電位的信號而不管第二反及閘 412 的輸出信號的信號電位如何。第三反及閘 413 的輸出信號可以構成高電位的第三致能信號 EN3。從第三反及閘 413 的輸出的高電位的信號可以被輸入第四反相器 404。第四反相器 404 可以輸出低電位的信號並傳輸該信號到第五反相器 405。第五反相器 405 的輸出信號可以構成高電位的第四致能信號 EN4。

【0057】 在非揮發性記憶體單元的讀取操作之前，可以供應低電位的第一致能信號 EN1、低電位的第二致能信號 EN2、高電位的第三致能信號 EN3 和高電位的第四致能信號 EN4。照此，如果低電位的第一致能信號 EN1、低電位的第二致能信號 EN2、高電位的第三致能信號 EN3 和高電位

的第四致能信號 EN4 順序輸出，如圖 6 所示，則第一開關部分 330 的第四 PMOS 電晶體 PM34 可以導通。感測輸出接地部分 340 的第二 NMOS 電晶體 NM32 可以關斷。電阻負載/第二開關部分 350 的第五 PMOS 電晶體 PM35 可以關斷。位元線接地部分 360 的第三 NMOS 電晶體 NM33 可以導通。由於第五 PMOS 電晶體 PM35 關斷且第三 NMOS 電晶體 NM33 導通，則接地電壓可以被施加到第一節點 C（即位元線 BL 和感測輸入線 302）。由於第二 NMOS 電晶體 NM32 關斷且低電位的信號被施加到感測輸入線 302，則感測電路 320 的第一 NMOS 電晶體 NM31 可以關斷，同時感測電路 320 的第三 PMOS 電晶體 PM33 可以導通。因此，感測輸出信號 SA_OUT 可以維持高電位的狀態。

【0058】 圖 7 是圖示在開始圖 3 的非揮發性記憶體裝置的單元電晶體的讀取操作以後，致能信號產生器 400 的操作的電路圖。在圖 7 中，與在圖 4 中所使用的相同的附圖標記或標誌符表示相同的元件。參照圖 7，在讀取操作開始以後，感測放大器致能信號 SAEN 從低電位改變為高電位。由於感測放大器致能信號 SAEN 改變為高電位，因此對單元電晶體執行讀取操作。如果感測放大器致能信號 SAEN 從低電位改變為高電位，則致能信號產生器 400 產生新的致能信號。具體地，如在圖 7 中所示，高電位的感測輸出信號 SA_OUT 和高電位的感測放大器致能信號 SAEN 被施加到致能信號產生器 400。第一反相器 401 可以輸出低電位的信號。第一反及閘 411 接收從第一反相器 401 輸出的低電位的信號和高電位的感測放大致能信號 SAEN，並且第一反及閘 411 可以輸出高電位的信號以及將該信號傳輸到第二反相器 402。第二反相器 402 的輸出信號可以構成低電位的第一致能信號

EN1。

【0059】 第二反及閘 412 接收從第二反相器 402 輸出的低電位的信號和高電位的感測放大器致能信號 SAEN，並且第二反及閘 412 可以輸出高電位的信號以及將該信號傳輸到第三反相器 403。第三反相器 403 可以輸出低電位的信號。第三反相器 403 的輸出信號可以構成低電位的第二致能信號 EN2。第三反及閘 413 接收從第二反及閘 412 輸出的高電位的信號和高電位的感測放大器致能信號 SAEN，並且可以輸出低電位的信號。第三反及閘 413 的輸出信號可以構成低電位的第三致能信號 EN3。從第三反及閘 413 輸出的低電位的信號可以被施加到第四反相器 404。第四反相器 404 可以輸出高電位的信號並且將該信號傳輸到第五反相器 405。第五反相器 405 的輸出信號可以構成低電位的第四致能信號 EN4。

【0060】 圖 8 是圖示在開始圖 3 的非揮發性記憶體裝置的被程式化的單元電晶體的讀取操作以後，讀取操作的電路圖。在圖 8 中，與在圖 3 中所使用的相同的附圖標記和標誌符表示相同的元件。參考圖 8，由於第一致能信號 EN1 維持低信號的狀態，因此第一開關部分 330 的第四 PMOS 電晶體 PM34 可以維持導通狀態。此外，由於第二致能信號 EN2 維持低信號的狀態，因此感測輸出接地部分 340 的第二 NMOS 電晶體 NM32 可以維持關斷狀態。因此，感測電路 320 可以輸出第二節點 D 的電壓作為感測輸出信號 SA_OUT。由於第三致能信號 EN3 從高信號改變為低信號，因此電阻式負載/第二開關部分 350 的第五 PMOS 電晶體 PM35 可以導通。由於第四致能信號 EN4 從高信號改變為低信號，因此第三 NMOS 電晶體 NM33 可以關斷。照此，在開始非揮發性記憶體單元的讀取操作之後，可以供應每個都

具有低電位的第一致能信號 EN1、第二致能信號 EN2、第三致能信號 EN3 和第四致能信號 EN4。

【0061】 當第一 PMOS 電晶體 PM31 是具有程式化狀態的記憶體單元時，感測輸入信號（即施加到第一節點 C 的電壓）可以變成低電位的信號。因此，構成感測電路 320 的第一 NMOS 電晶體 NM31 關斷，同時構成感測電路 320 的第三 PMOS 電晶體 PM33 可以導通。由於第二 NMOS 電晶體 NM32 維持關斷狀態，而第四 PMOS 電晶體 PM34 維持導通狀態，因此從感測輸出線 303 輸出的感測輸出信號 SA_OUT 可以維持高信號的狀態。照此，如果感測輸出信號 SA_OUT 在預定時間段被感測為高電位的信號，則用作單元電晶體的第一 PMOS 電晶體 PM31 可以被確定為被程式化單元。在具有程式化狀態的第一 PMOS 電晶體 PM31 的讀取操作期間，因為位元線 BL 電壓維持接近接地電壓的電壓，所以第一 PMOS 電晶體 PM31 可以不會受到來自位元線電壓的壓力。

【0062】 圖 9 是圖示在開始具有初始狀態的單元電晶體的讀取操作以後，圖 3 的非揮發性記憶體裝置的讀取操作的電路圖。在圖 9 中，與在圖 3 中所使用的相同的附圖標記和標誌符表示相同的元件。參考圖 9，由於第一致能信號 EN1 維持低信號的狀態，因此第一開關部分 330 的第四 PMOS 電晶體 PM34 可以維持導通狀態。此外，由於第二致能信號 EN2 維持低信號的狀態，因此感測輸出接地部分 340 的第二 NMOS 電晶體 NM32 可以維持關斷狀態。因此，感測電路 320 輸出第二節點 D 的電壓作為感測輸出信號 SA_OUT。由於第三致能信號 EN3 從高信號改變為低信號，因此電阻式負載/第二開關部分 350 的第五 PMOS 電晶體 PM35 可以導通。由於第四致

能信號 EN4 從高信號改變為低信號，因此第三 NMOS 電晶體 NM33 可以關斷。

【0063】 當第一 PMOS 電晶體 PM31 是具有初始狀態的記憶體單元時，感測輸入信號 SA_IN 可以從低信號改變為高信號。因此，構成感測電路 320 的第一 NMOS 電晶體 NM31 可以導通，同時構成感測電路 320 的第三 PMOS 電晶體 PM33 可以關斷。由於第二 NMOS 電晶體 NM32 維持關斷狀態，因此從感測輸出線 303 輸出的感測輸出信號 SA_OUT 可以從高信號改變為低信號。當感測輸出信號 SA_OUT 被感測為低信號時，第一 PMOS 電晶體 PM31 可以被確定為具有初始狀態的記憶體單元。如果第一 PMOS 電晶體 PM31 的狀態被確定為具有初始狀態的記憶體單元（即，低電位的感測輸出信號被輸出），則在維持低電位的感測輸出信號 SA_OUT 的同時，接地電壓被施加到位元線 BL，因此抑制非揮發性記憶體單元 310 受到來自位元線 BL 電壓的壓力。

【0064】 圖 10 是圖示通過單元電晶體的讀取操作確定單元電晶體的初始狀態之後，在圖 3 的非揮發性記憶體裝置中採用的致能信號產生器的操作的電路圖。在圖 10 中，與在圖 410 中所使用的相同的附圖標記和標誌符表示相同的元件。參考圖 10，在確定單元電晶體的初始狀態以後，如果感測輸出信號 SA_OUT 從高信號改變為低信號，則致能信號產生器 400 可以產生新的致能信號。具體地，低電位的感測輸出信號 SA_OUT 和高電位的感測放大器致能信號 SAEN 被施加到致能信號產生器 400。第一反相器 401 可以輸出高電位的信號。第一反及閘 411 接收從第一反相器 401 輸出的高電位的信號和高電位的感測放大器致能信號 SAEN，可以輸出低電位的信號，

並且第一反及閘 411 將該信號傳輸到第二反相器 402。第二反相器 402 可以輸出高電位的信號。第二反相器 402 的輸出信號可以構成高電位的第一致能信號 EN1。

【0065】 第二反及閘 412 接收從第二反相器 402 輸出的高電位的信號和高電位的感測放大器致能信號 SAEN，第二反及閘 412 可以輸出低電位的信號並將該信號傳輸到第三反相器 403。第三反相器 403 可以輸出高電位的信號。第三反相器 403 的輸出信號可以構成高電位的第二致能信號 EN2。第三反及閘 413 接收從第二反及閘 412 輸出的低電位的信號和高電位的感測放大器致能信號 SAEN，並且第三反及閘 413 可以輸出高電位的信號。第三反及閘 413 的輸出信號可以構成高電位的第三致能信號 EN3。從第三反及閘 413 輸出的高電位的信號可以被施加到第四反相器 404。第四反相器 404 可以輸出低電位的信號並將該信號傳輸到第五反相器 405。第五反相器 405 的輸出信號可以構成高電位的第四致能信號 EN4。照此，如果感測輸出信號 SA_OUT 在非揮發性記憶體單元的讀取操作期間從高信號改變為低信號，則致能信號產生器 400 可以產生高信號（即，第一致能信號到第四致能信號 EN1、EN2、EN3 和 EN4）。

【0066】 圖 11 是圖示在確定具有初始狀態的單元電晶體的狀態之後，圖 3 的非揮發性記憶體裝置的操作的電路圖。在圖 11 中，與在圖 3 中所使用的相同的附圖標記和標誌符表示相同的元件。參考圖 11，由於第一致能信號 EN1 從低信號改變為高信號，因此第一開關部分 330 的第四 PMOS 電晶體 PM34 可以關斷。因此，在電源電壓線 301 和感測電路 320 之間的電連接可以變成開路狀態。由於第二致能信號 EN2 從低信號改變為高信號，

因此感測輸出接地部分 340 的第二 NMOS 電晶體 NM32 可以導通。因此，感測輸出線 303 可以維持接地電壓，並且感測輸出信號 SA_OUT 可以維持為低信號。

【0067】 由於第三致能信號 EN3 從低信號改變為高信號，因此電阻式負載/第二開關部分 350 的第五 PMOS 電晶體 PM35 可以關斷。因此，在電源電壓線 301 和位元線 BL 之間的電連接可以變成開路狀態。由於第四致能信號 EN4 從低信號改變為高信號，因此第三 NMOS 電晶體 NM33 可以導通。因此，接地電壓可以被施加到第一節點 C (即接地電壓可以被施加到位元線 BL 和感測輸入線 302)。換言之，用作單元電晶體的第一 PMOS 電晶體 PM31 不會受到來自位元線 BL 電壓的壓力，直到所有的讀取操作結束為止。

【0068】 根據一些實施例，當對具有初始狀態的單元電晶體執行讀取操作時，在確定單元電晶體的狀態以後，在維持感測輸出電壓的同時，位元線電壓被固定在接地電壓。因此，單元電晶體不會受到來自位元線 BL 電壓的壓力，直到所有的讀取操作結束為止。

【0069】 已經出於說明目的公開了本發明構思的實施例。本領域技術人員可以意識到：在不脫離所附申請專利範圍所公開的本發明構思的範圍和精神的情況下，各種修改、添加和替換是可能的。

【符號說明】

【0070】

- 100 非揮發性記憶體裝置
- 101 電源電壓線

- 102 感測輸入線
- 103 感測輸出線
- 110 非揮發性記憶體單元
- 120 電阻式負載部分
- 130 感測電路
- 200 非揮發性記憶體裝置
- 201 電源電壓線
- 202 感測輸入線
- 203 感測輸出線
- 210 非揮發性記憶體單元
- 220 電阻式負載部分
- 230 讀取干擾抑制部分
- 240 感測電路
- 300 非揮發性記憶體裝置
- 301 電源電壓線
- 302 感測輸入線
- 303 感測輸出線
- 310 非揮發性記憶體單元
- 320 感測電路
- 330 第一開關部分
- 340 感測輸出接地部分
- 350 電阻式負載/第二開關部分

- 360 位元線接地部分
- 400 致能信號產生器
- 401 第一反相器
- 402 第二反相器
- 403 第三反相器
- 404 第四反相器
- 405 第五反相器
- 411 第一反及閘
- 412 第二反及閘
- 413 第三反及閘

申請專利範圍

1. 一種非揮發性記憶體裝置，包括：

非揮發性記憶體單元；

感測電路，耦接在感測輸入線和感測輸出線之間，所述感測輸入線耦接至非揮發性記憶體單元的位元線；

感測輸出接地部分，如果所述感測電路的感測輸出信號具有低電位，則所述感測輸出接地部分將所述感測輸出信號固定在低電位；

位元線接地部分，如果所述感測電路的所述感測輸出信號固定在低電位，則所述位元線接地部分將位元線電壓固定在接地電壓；以及

致能信號產生器，產生第一致能信號至第四致能信號，

其中，所述致能信號產生器接收來自所述感測輸出線的所述感測輸出信號和感測放大器致能信號，並且依序輸出所述第一致能信號至所述第四致能信號。

2. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述非揮發性記憶體單元包括具有浮置閘極、源極和耦接到接地端子的汲極的第一 PMOS 電晶體。
3. 如申請專利範圍第 2 項所述的非揮發性記憶體裝置，其中，所述非揮發性記憶體單元還包括耦接在位元線和第一 PMOS 電晶體之間的選擇電晶體。
4. 如申請專利範圍第 3 項所述的非揮發性記憶體裝置，其中，所述選擇電晶體包括第二 PMOS 電晶體，所述第二 PMOS 電晶體具有耦接至位元線的源極、耦接至第一 PMOS 電晶體的源極的汲極以及耦接至選擇

致能信號線的閘極。

5. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述感測電路包括 CMOS 反相器，所述 CMOS 反相器包括耦接至電源電壓線的第三 PMOS 電晶體以及耦接至接地端子的第一 NMOS 電晶體。
6. 如申請專利範圍第 5 項所述的非揮發性記憶體裝置，其中，所述第三 PMOS 電晶體的閘極和所述第一 NMOS 電晶體的閘極耦接至所述感測輸入線，以及所述第三 PMOS 電晶體的汲極和所述第一 NMOS 電晶體的汲極耦接至感測輸出線。
7. 如申請專利範圍第 6 項所述的非揮發性記憶體裝置，還包括耦接在所述電源電壓線和所述感測電路之間的第一開關部分。
8. 如申請專利範圍第 7 項所述的非揮發性記憶體裝置，其中，所述第一開關部分包括第四 PMOS 電晶體，所述第四 PMOS 電晶體具有被施加了第一致能信號的閘極、耦接至所述電源電壓線的源極以及耦接至所述第三 PMOS 電晶體的源極的汲極。
9. 如申請專利範圍第 8 項所述的非揮發性記憶體裝置，其中，所述感測輸出接地部分耦接在所述感測輸出線和所述接地端子之間。
10. 如申請專利範圍第 9 項所述的非揮發性記憶體裝置，其中，所述感測輸出接地部分包括第二 NMOS 電晶體，所述第二 NMOS 電晶體具有被施加了第二致能信號的閘極、耦接至所述感測輸出線的汲極以及耦接至所述接地端子的源極。
11. 如申請專利範圍第 10 項所述的非揮發性記憶體裝置，還包括耦接在所述電源電壓線和所述位元線之間的電阻式負載/第二開關部分。

12. 如申請專利範圍第 11 項所述的非揮發性記憶體裝置，其中，所述電阻式負載/第二開關部分包括第五 PMOS 電晶體，所述第五 PMOS 電晶體具有被施加了第三致能信號的閘極、耦接至所述電源電壓線的源極以及耦接至所述位元線的汲極。
13. 如申請專利範圍第 12 項所述的非揮發性記憶體裝置，其中，所述位元線接地部分耦接在所述感測輸入線和所述接地端子之間。
14. 如申請專利範圍第 13 項所述的非揮發性記憶體裝置，其中，所述位元線接地部分包括第三 NMOS 電晶體，所述第三 NMOS 電晶體具有被施加了第四致能信號的閘極、耦接至所述感測輸入線的汲極以及耦接至所述接地端子的源極。
15. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述致能信號產生器包括：
 - 第一反相器，被施加了所述感測輸出信號；
 - 第一反及(NAND)閘，被施加了來自所述第一反相器的輸出信號和所述感測放大器致能信號；
 - 第二反相器，被施加了所述第一反及閘的輸出信號，以及輸出所述第一致能信號；
 - 第二反及閘，被施加了所述第二反相器的輸出信號和所述感測放大器致能信號；
 - 第三反相器，被施加了所述第二反及閘的輸出信號，以及輸出所述第二致能信號；
 - 第三反及閘，被施加了所述第二反及閘的輸出信號和所述感測放大

器致能信號，以及輸出所述第三致能信號；

第四反相器，被施加了所述第三反及閘的輸出信號；以及

第五反相器，被施加了所述第四反相器的輸出信號，以及輸出所述第四致能信號。

16. 如申請專利範圍第 15 項所述的非揮發性記憶體裝置，

其中，在非揮發性記憶體單元的讀取操作之前，所述感測輸出信號被設置為高信號並且對所述致能信號產生器供應低電位的所述感測放大器致能信號；並且

其中，在非揮發性記憶體單元的讀取操作開始之後，高電位的所述感測放大器致能信號被供應到所述致能信號產生器。

17. 如申請專利範圍第 16 項所述的非揮發性記憶體裝置，其中，在非揮發性記憶體單元的讀取操作之前，供應低電位的所述第一致能信號和所述第二致能信號以及高電位的所述第三致能信號和所述第四致能信號。

18. 如申請專利範圍第 17 項所述的非揮發性記憶體裝置，其中，在開始非揮發性記憶體單元的讀取操作以後，供應低電位的所述第一致能信號至所述第四致能信號。

19. 如申請專利範圍第 18 項所述的非揮發性記憶體裝置，其中，如果所述感測輸出信號在非揮發性記憶體單元的讀取操作期間從高電位改變為低電位，則供應高電位的所述第一致能信號至所述第四致能信號。

圖式

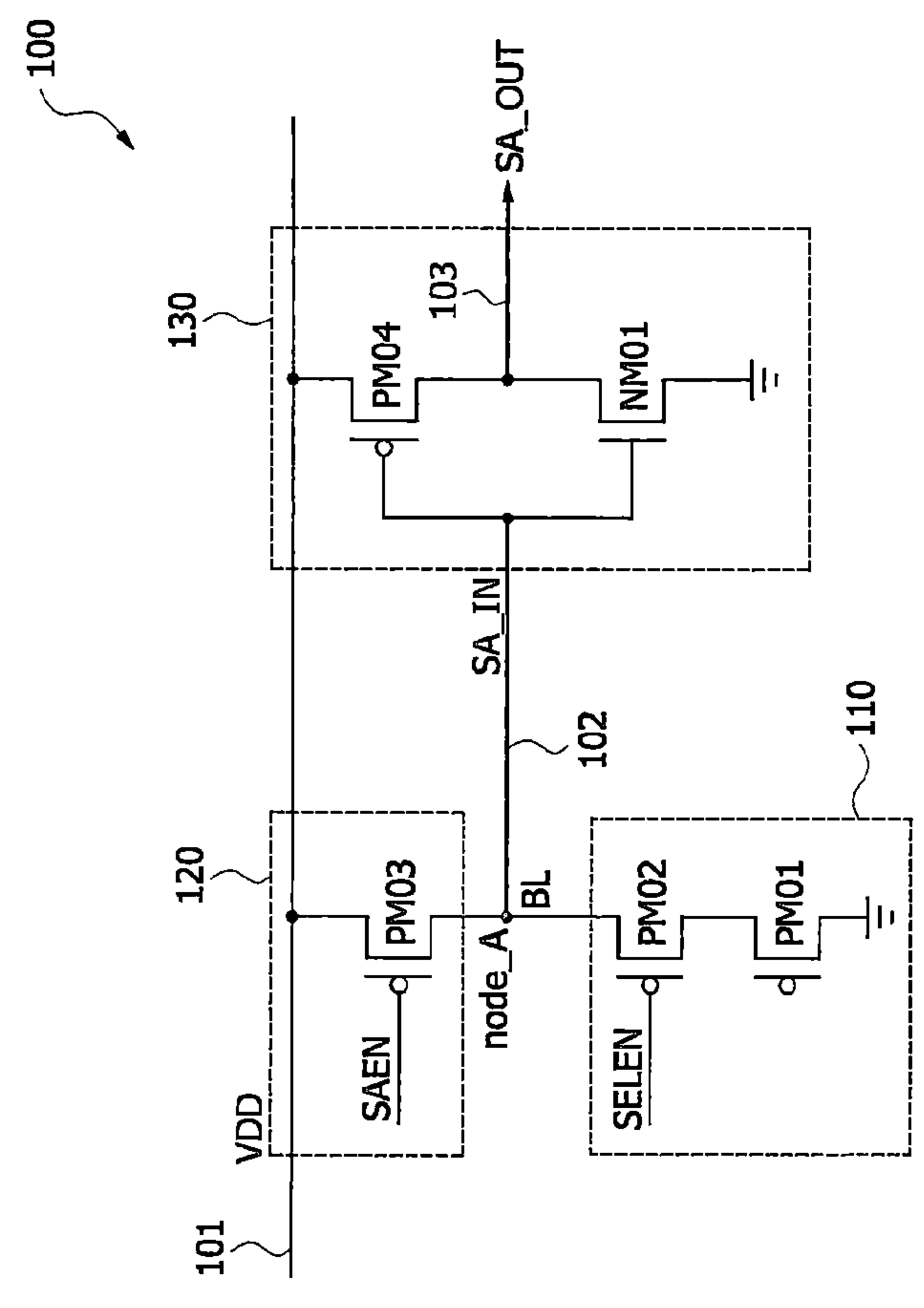


圖1

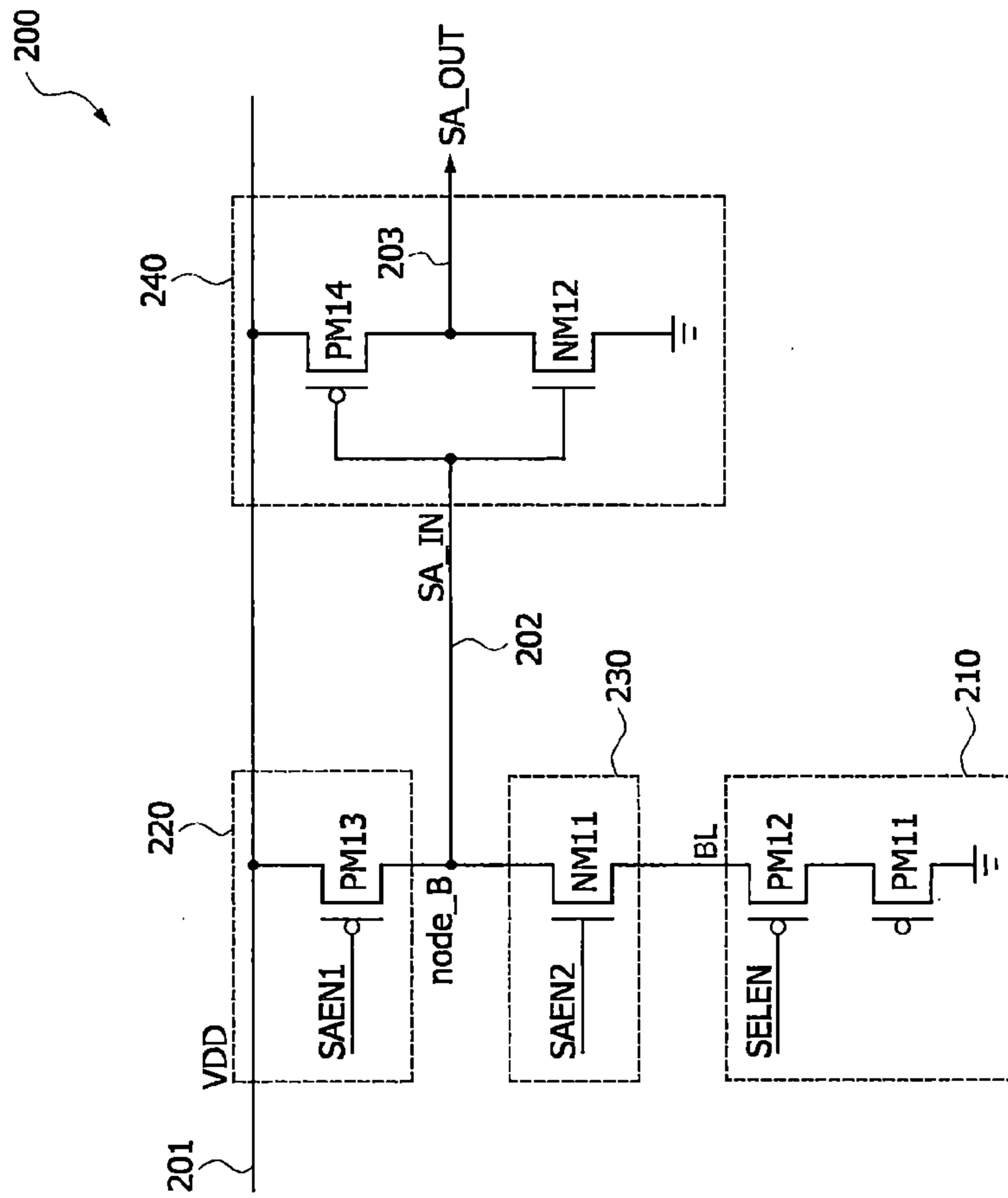


圖2

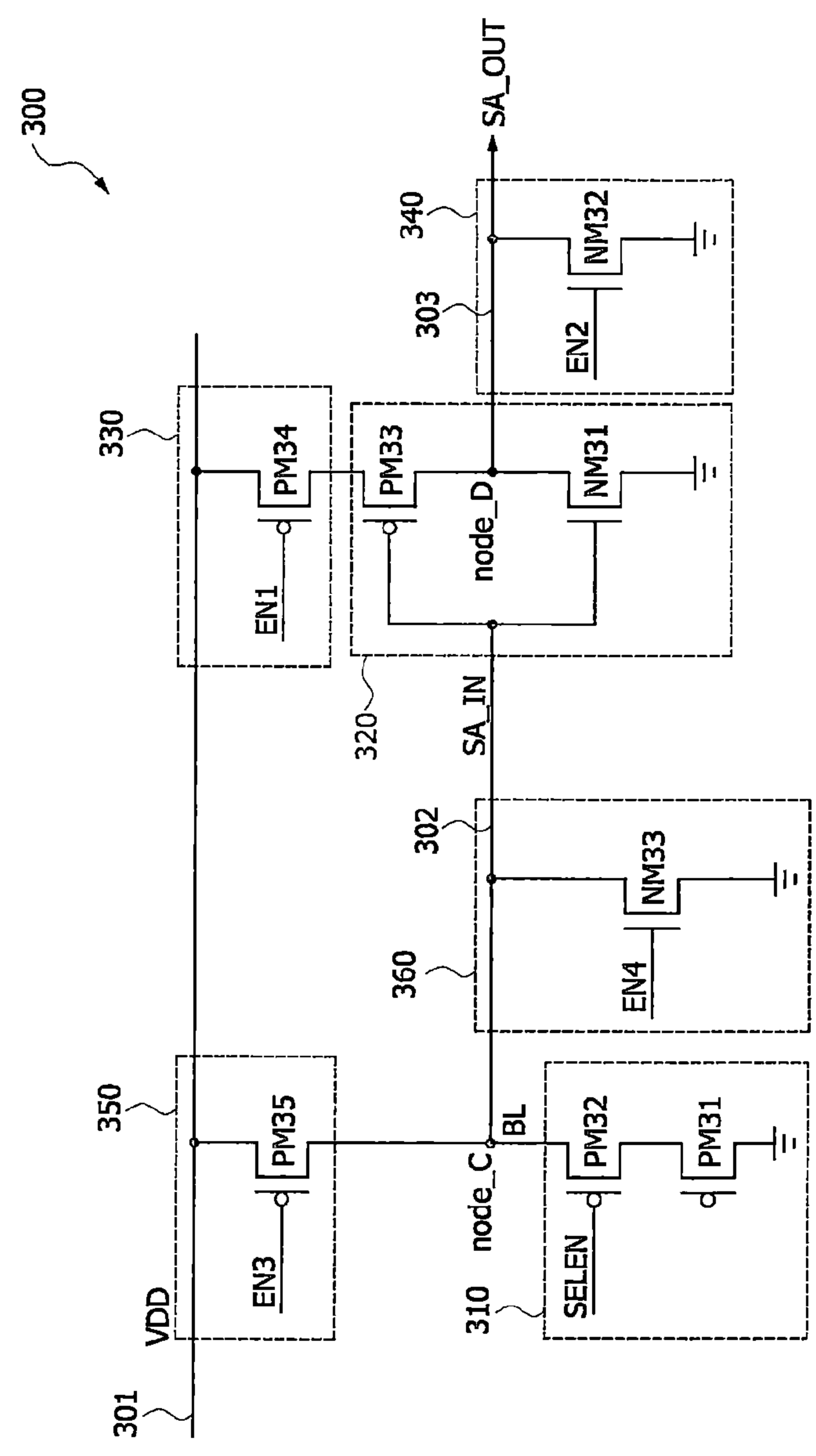


圖3

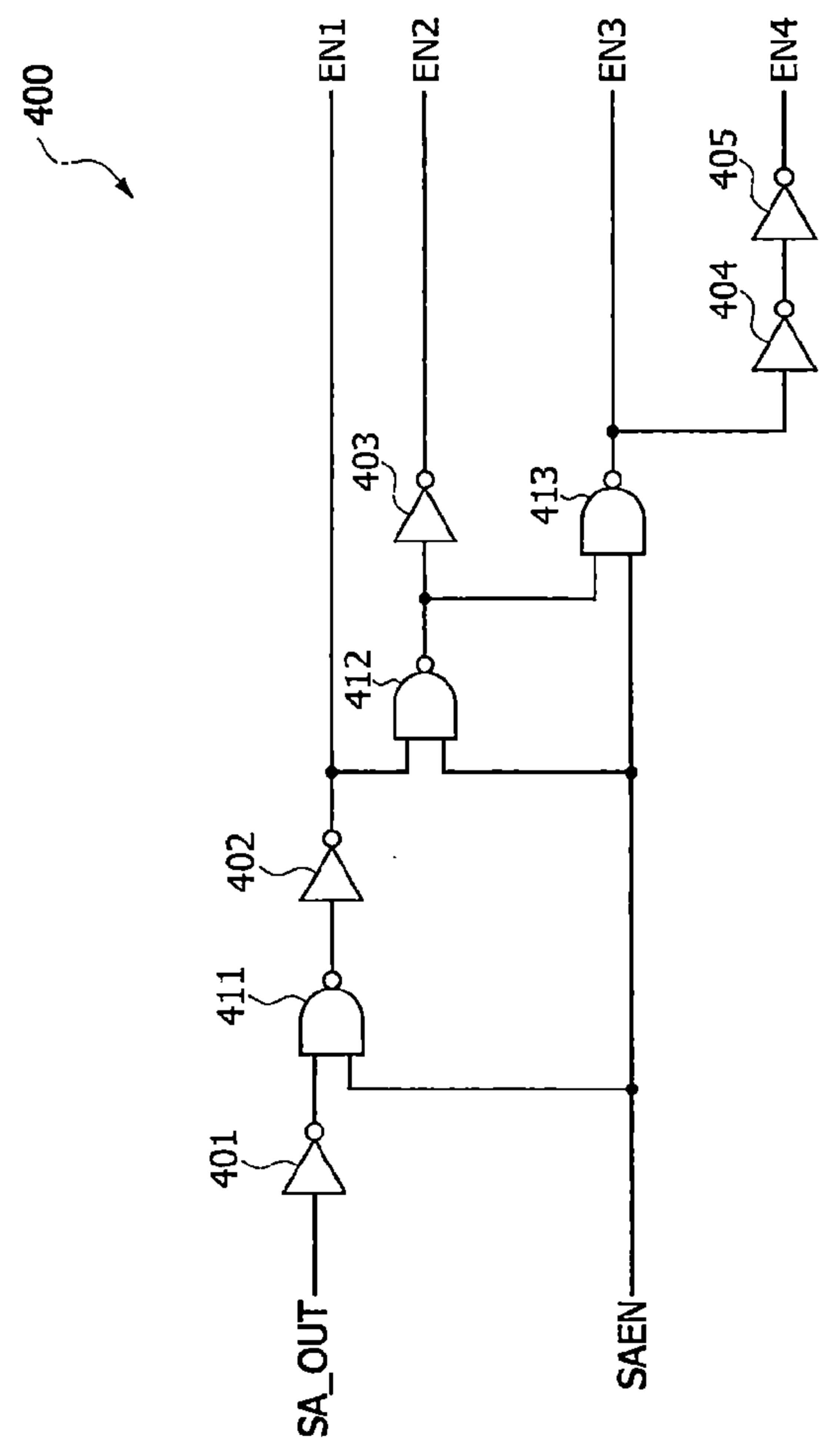


圖4

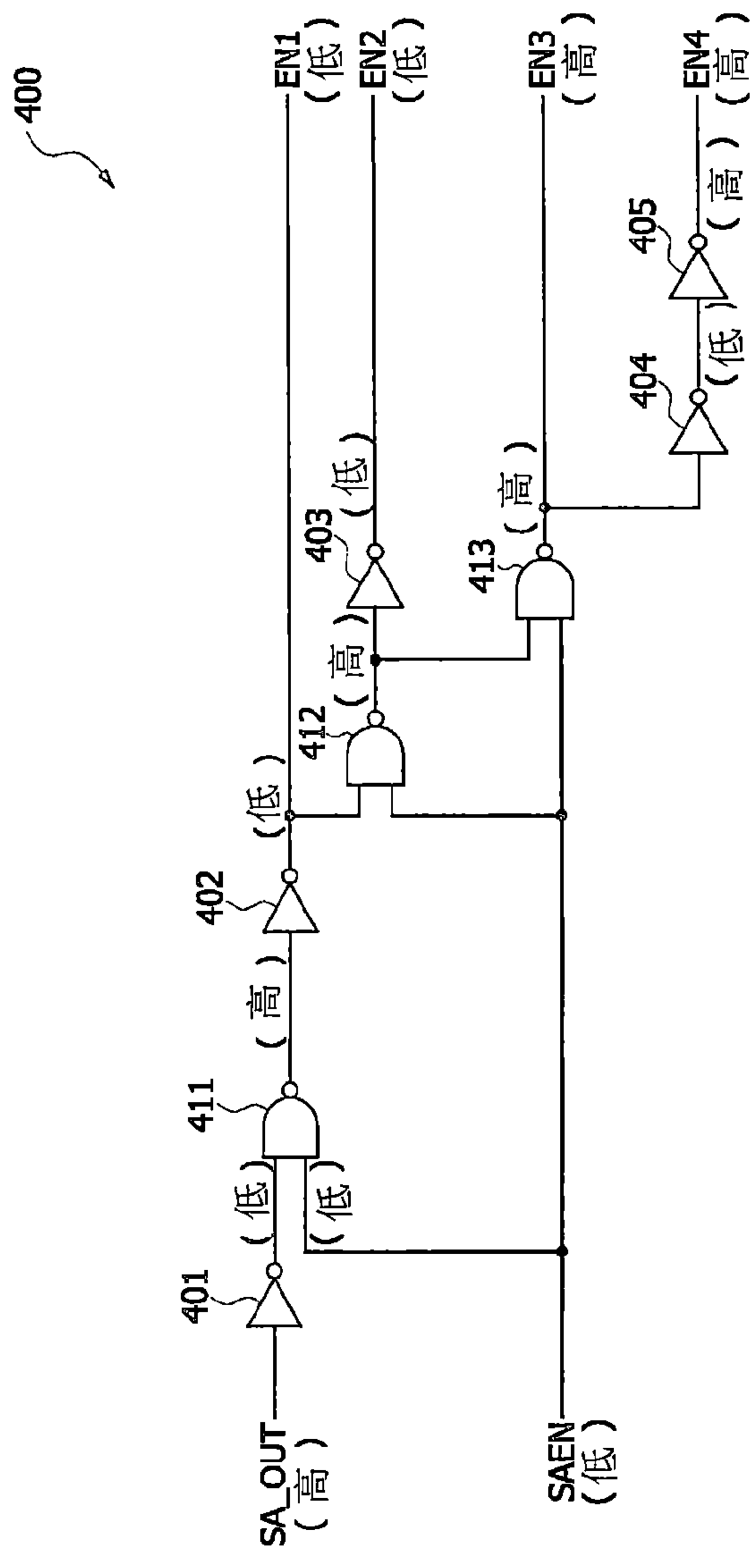


圖5

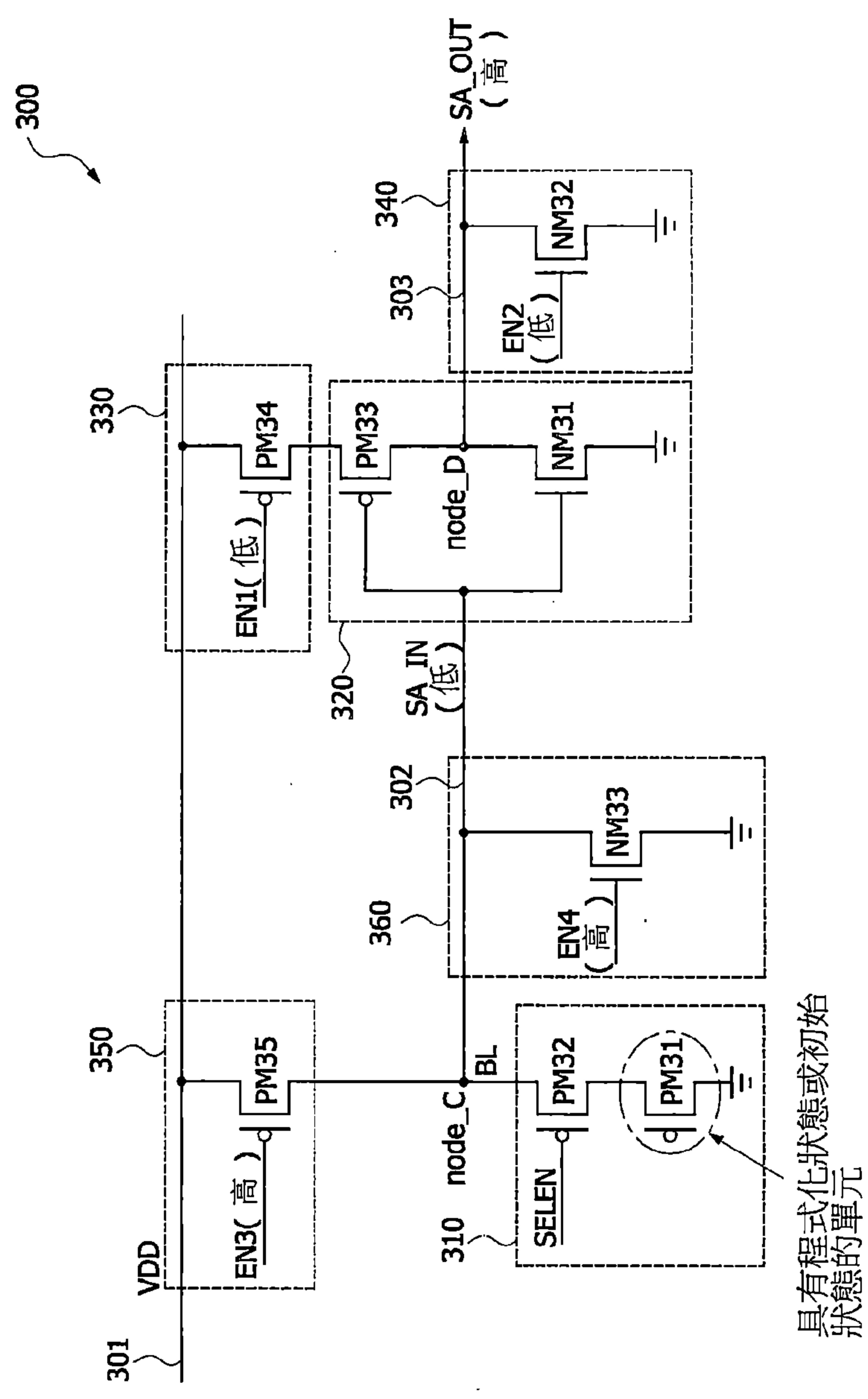


圖6

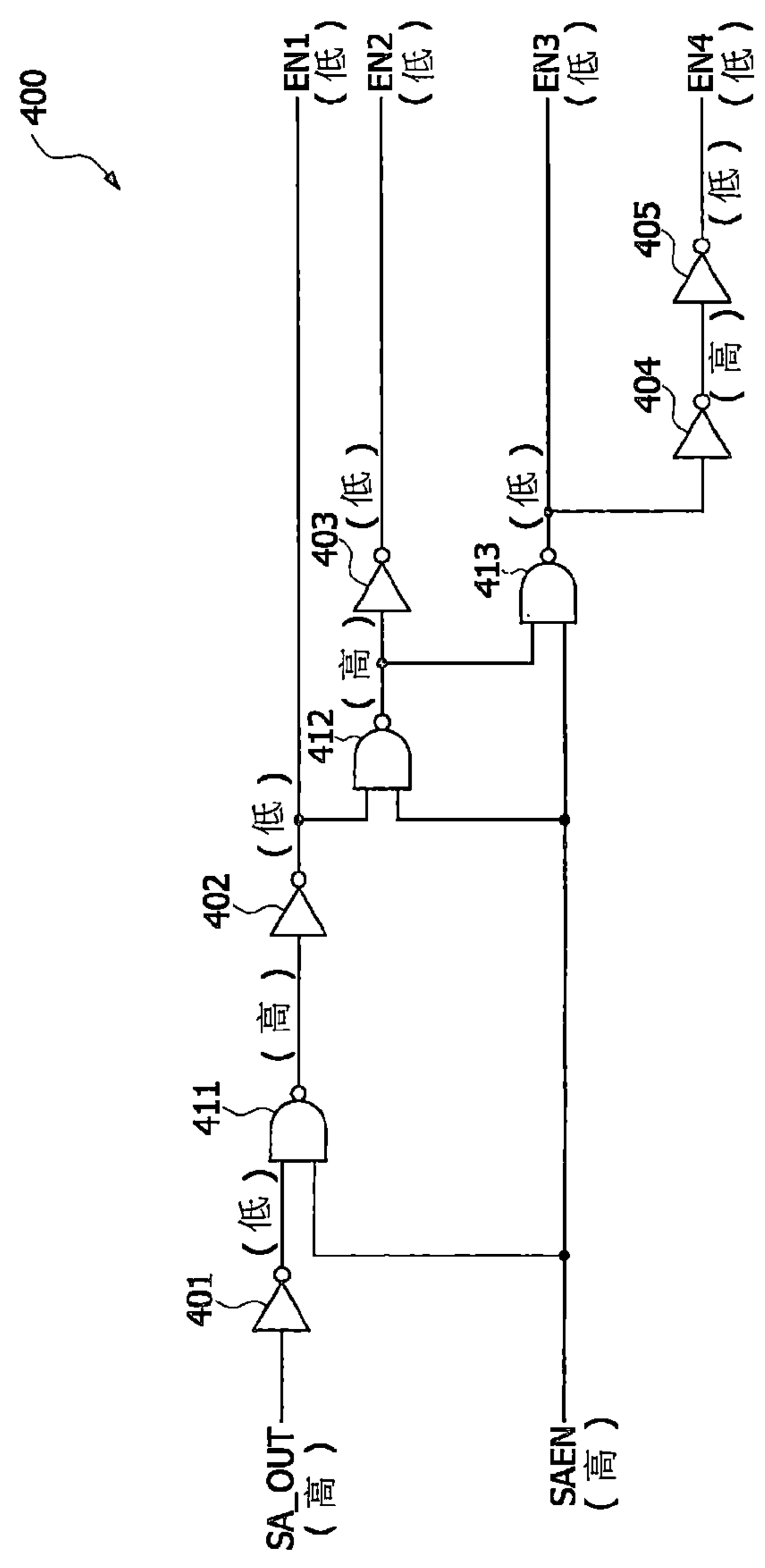
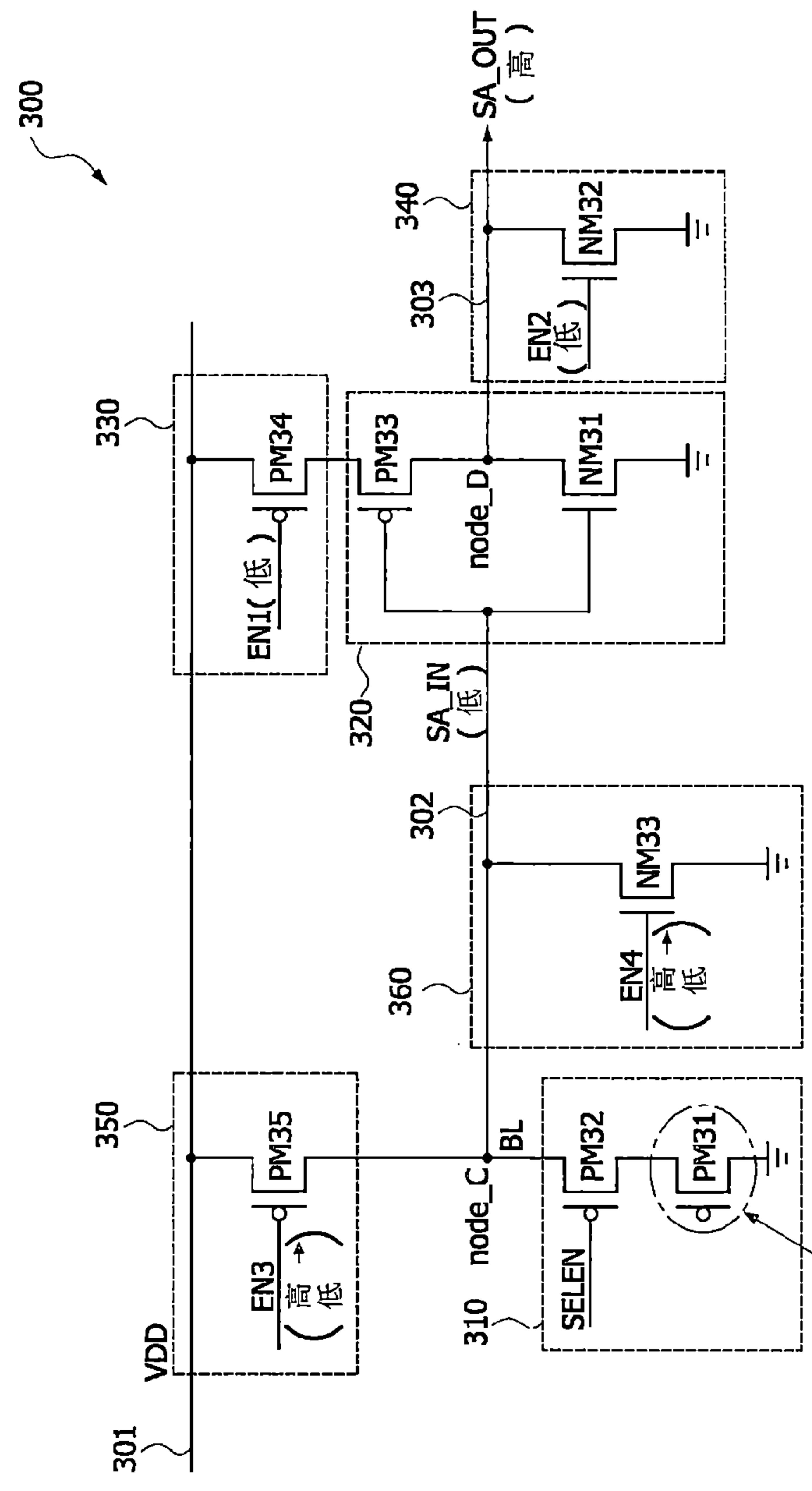
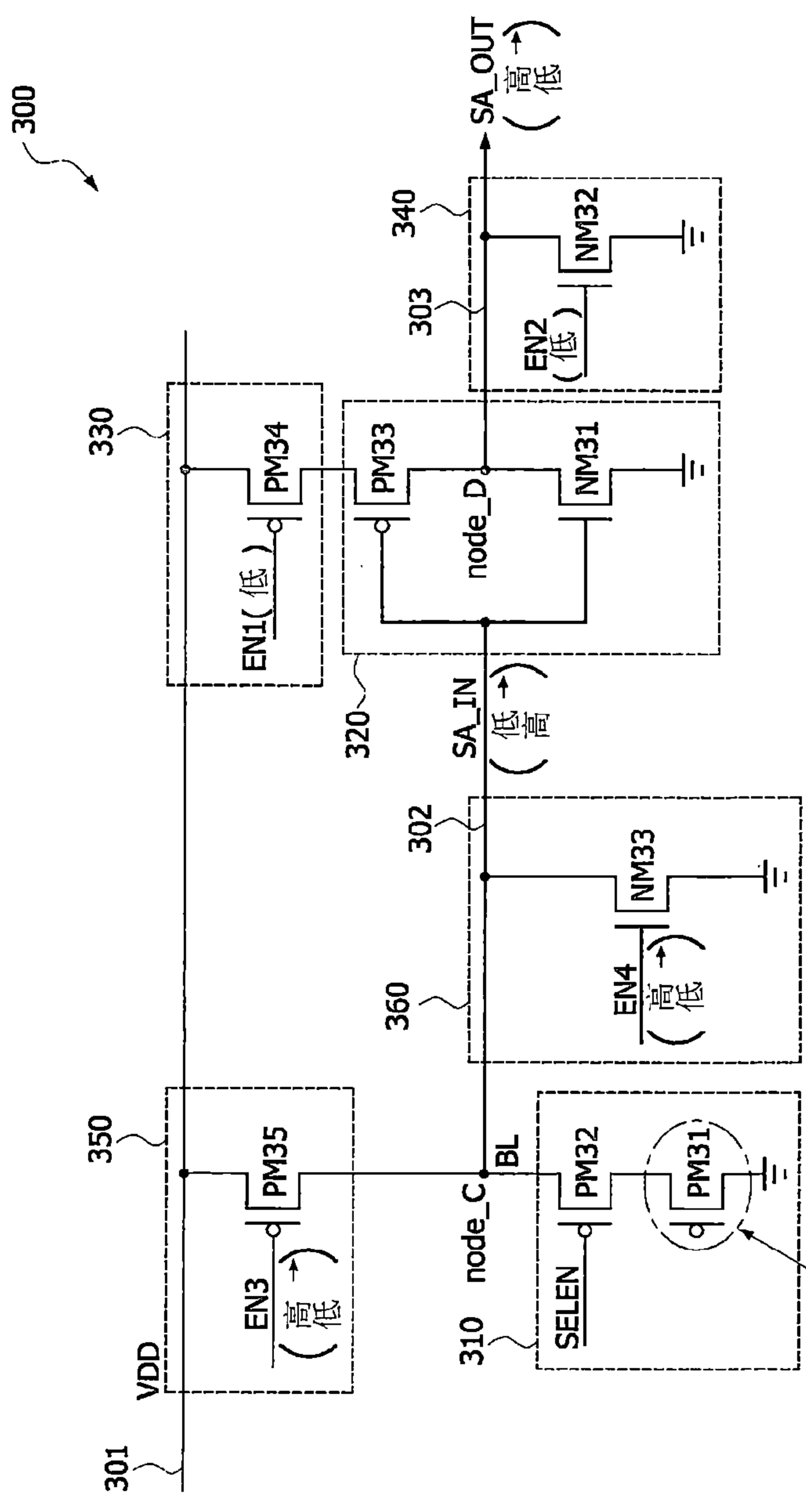


圖7



具有程式化狀態的單元

圖8



具有初始狀態的單元

圖9

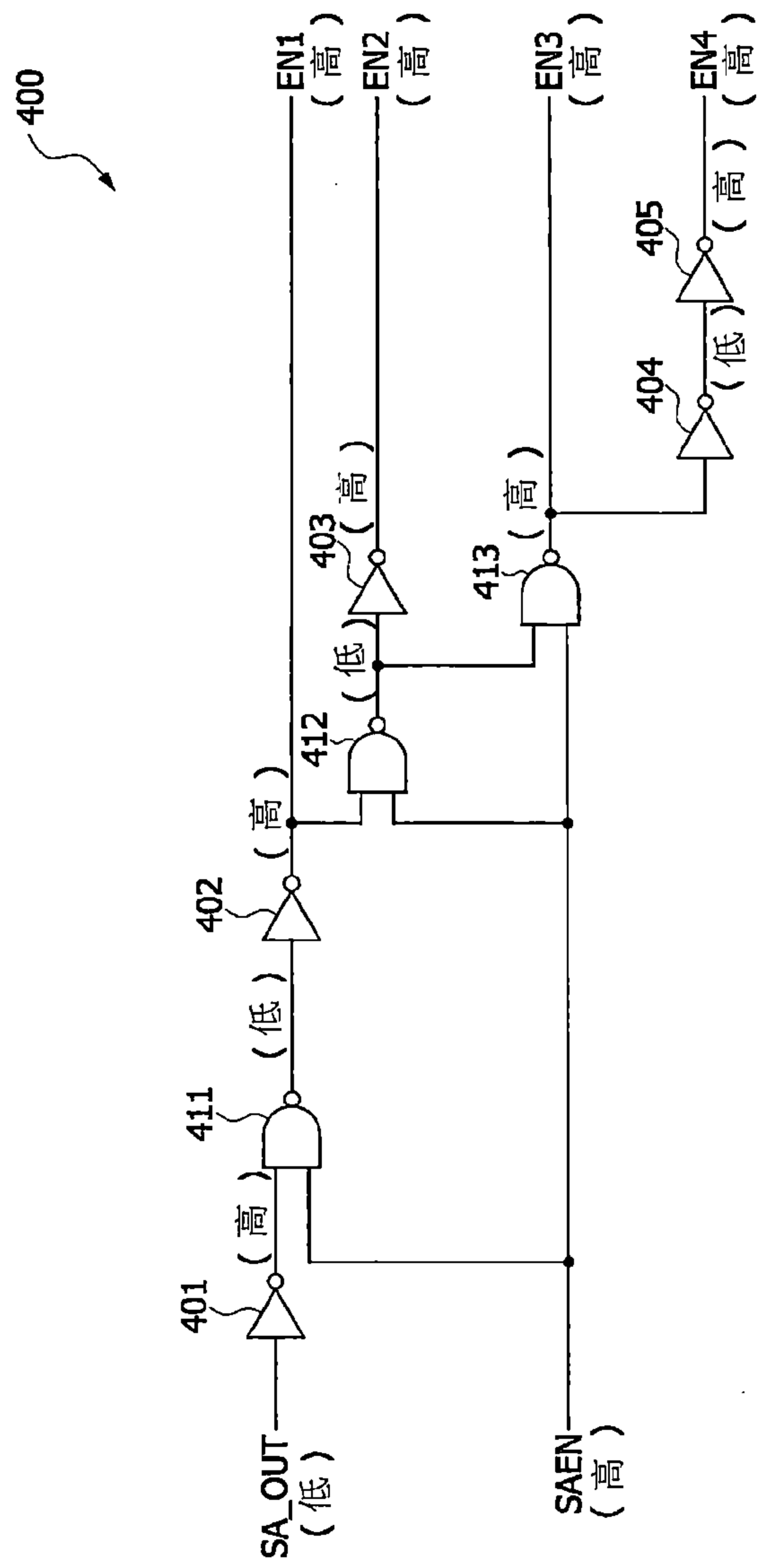
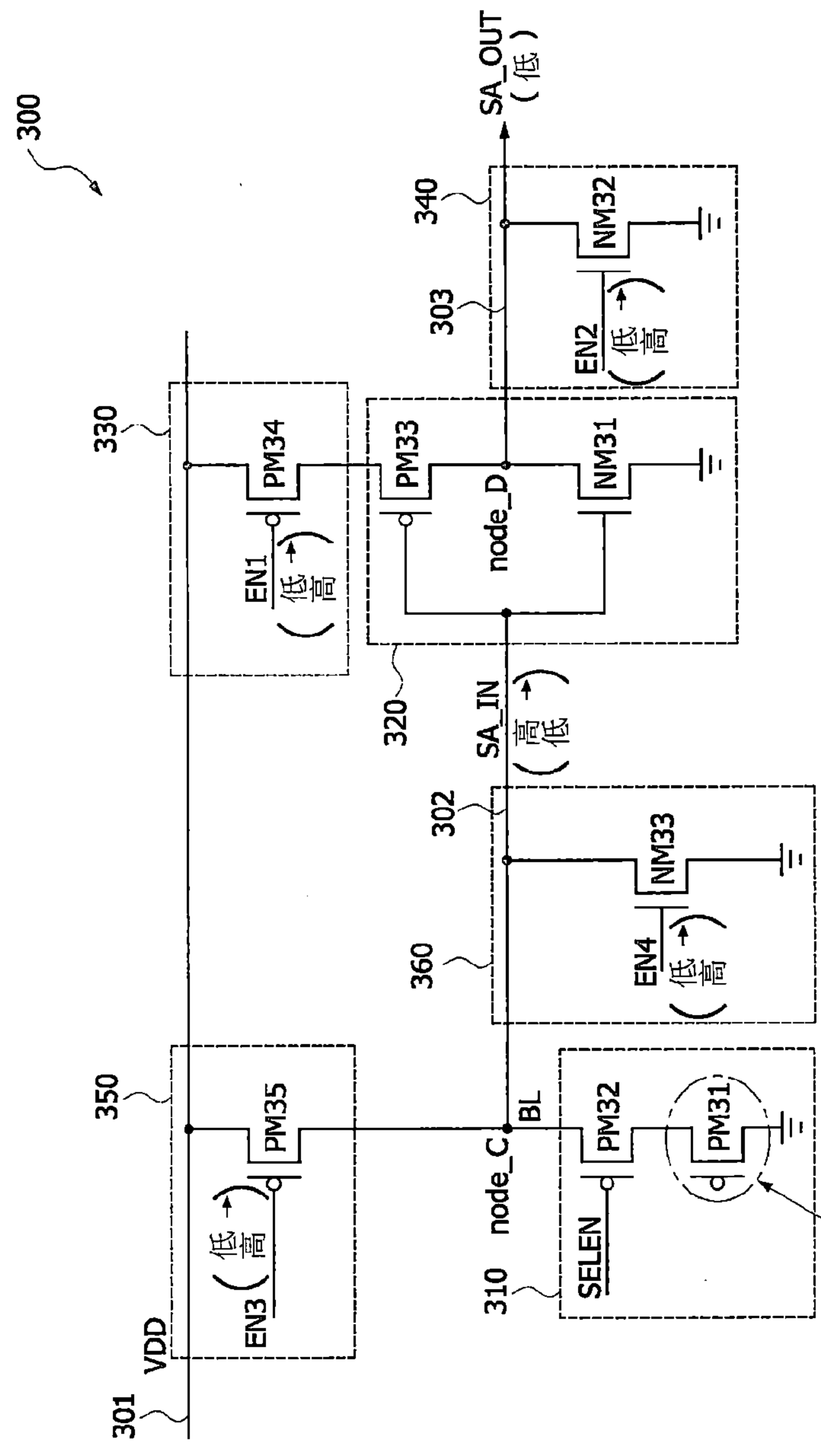


圖10



具有初始狀態的單元

圖11