

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7404666号
(P7404666)

(45)発行日 令和5年12月26日(2023.12.26)

(24)登録日 令和5年12月18日(2023.12.18)

(51)国際特許分類 F I
H 0 2 M 3/155(2006.01) H 0 2 M 3/155 C

請求項の数 6 (全23頁)

(21)出願番号	特願2019-108636(P2019-108636)	(73)特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22)出願日	令和1年6月11日(2019.6.11)	(74)代理人	110000176 弁理士法人一色国際特許事務所
(65)公開番号	特開2020-202669(P2020-202669 A)	(72)発明者	日朝 信行 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43)公開日	令和2年12月17日(2020.12.17)	審査官	町田 舞
審査請求日	令和4年5月16日(2022.5.16)		

最終頁に続く

(54)【発明の名称】 集積回路、電源回路

(57)【特許請求の範囲】

【請求項1】

トランジスタをオンするために一方の論理レベルとなり、前記トランジスタをオフするために他方の論理レベルとなる駆動信号を生成する信号生成回路と、

前記一方の論理レベルの前記駆動信号に基づいて前記トランジスタをオンするための電圧を端子に発生させ、前記他方の論理レベルの前記駆動信号に基づいて前記トランジスタをオフするための電圧を前記端子に発生させるバッファ回路と、

前記駆動信号が前記一方の論理レベルになってから、前記駆動信号が前記他方の論理レベルになるより前の所定のタイミングまでの第1期間が経過したことを検出する検出回路と、

前記駆動信号が前記一方の論理レベルになってから前記第1期間が経過したことが検出されると、前記端子が基板のグラウンドラインと短絡されているか否かを判定する判定回路と、

前記バッファ回路の駆動能力を設定する設定回路と、

短絡を示す短絡信号が前記判定回路から出力されると、入力される前記駆動信号を前記他方の論理レベルに変化させて前記バッファ回路に対して出力する信号出力回路と、

前記短絡信号が前記判定回路から出力されると、前記バッファ回路を動作させる電源の供給を停止する電源回路と、

を備え、

前記バッファ回路は、

前記設定回路から第 1 信号が出力される場合、前記バッファ回路の駆動能力を第 1 の状態とし、前記設定回路から第 2 信号が出力される場合、前記バッファ回路の駆動能力を第 1 の状態より高い第 2 の状態とし、

前記設定回路は、

前記バッファ回路の駆動能力が前記第 1 の状態となる場合、前記短絡信号を前記信号出力回路に出力させ、

前記バッファ回路の駆動能力が前記第 2 の状態となる場合、前記短絡信号を前記電源回路に出力させ、

前記信号出力回路は、

前記短絡信号に基づいて、入力される前記駆動信号を前記他方の論理レベルに変化させて前記バッファ回路に対して出力し、

前記電源回路は、

前記短絡信号に基づいて、前記電源の供給を停止すること、
を特徴とする集積回路。

【請求項 2】

請求項 1 に記載の集積回路であって、

前記トランジスタに流れる電流が所定値より大きいか否かを検出する過電流検出回路を含み、

前記信号生成回路は、

前記トランジスタに流れる電流が前記所定値より大きいことが検出されると、前記駆動信号を前記他方の論理レベルに変化させること、を特徴とする集積回路。

【請求項 3】

請求項 2 に記載の集積回路であって、

前記集積回路は、

交流電圧を整流する整流回路からの電圧が印加されるインダクタに流れるインダクタ電流と、前記交流電圧から生成される出力電圧と、に基づいて、前記インダクタ電流を制御する前記トランジスタをスイッチングするスイッチング制御回路であり、

前記信号生成回路は、

前記出力電圧のレベルが目的レベルとなり、前記インダクタ電流が前記交流電圧の波形に応じて変化するように、前記駆動信号の論理レベルを変化させること、

を特徴とする集積回路。

【請求項 4】

請求項 1 に記載の集積回路であって、

短絡を示す判定結果が前記判定回路から出力されると所定の第 2 期間を計時する計時回路を含み、

前記電源回路は、

短絡を示す判定結果が前記判定回路から出力されると、前記バッファ回路に対して前記電源の供給を停止すると共に、前記計時回路が前記第 2 期間を計時すると、前記バッファ回路に対して前記電源の供給を再開すること、

を特徴とする集積回路。

【請求項 5】

請求項 1 に記載の集積回路であって、

前記バッファ回路の動作が停止している際に前記端子に接続された素子にバイアス電流を供給するバイアス電流回路を含み、

前記設定回路は、

前記バイアス電流が供給されている際の前記端子の電圧に基づいて、前記バッファ回路の駆動能力を設定すること、

を特徴とする集積回路。

【請求項 6】

交流電圧を整流する整流回路からの電圧が印加されるインダクタと、

10

20

30

40

50

前記インダクタに流れるインダクタ電流と、前記交流電圧から生成される出力電圧と、に基づいて、前記インダクタ電流を制御するトランジスタをスイッチングする集積回路と、を含む電源回路であって、

前記集積回路は、

トランジスタをオンするために一方の論理レベルとなり、前記トランジスタをオフするために他方の論理レベルとなる駆動信号を生成する信号生成回路と、

前記一方の論理レベルの前記駆動信号に基づいて前記トランジスタをオンするための電圧を端子に発生させ、前記他方の論理レベルの前記駆動信号に基づいて前記トランジスタをオフするための電圧を前記端子に発生させるバッファ回路と、

前記駆動信号が前記一方の論理レベルになってから、前記駆動信号が前記他方の論理レベルになるより前の所定のタイミングまでの第 1 期間が経過したことを検出する検出回路と、

前記駆動信号が前記一方の論理レベルになってから前記第 1 期間が経過したことが検出されると、前記端子が基板のグラウンドラインと短絡されているか否かを判定する判定回路と、

前記バッファ回路の駆動能力を設定する設定回路と、

短絡を示す短絡信号が前記判定回路から出力されると、入力される前記駆動信号を前記他方の論理レベルに変化させて前記バッファ回路に対して出力する信号出力回路と、

前記短絡信号が前記判定回路から出力されると、前記バッファ回路を動作させる電源の供給を停止する電源回路と、

を備え、

前記バッファ回路は、

前記設定回路から第 1 信号が出力される場合、前記バッファ回路の駆動能力を第 1 の状態とし、前記設定回路から第 2 信号が出力される場合、前記バッファ回路の駆動能力を第 1 の状態より高い第 2 の状態とし、

前記設定回路は、

前記バッファ回路の駆動能力が前記第 1 の状態となる場合、前記短絡信号を前記信号出力回路に出力させ、

前記バッファ回路の駆動能力が前記第 2 の状態となる場合、前記短絡信号を前記電源回路に出力させ、

前記信号出力回路は、

前記短絡信号に基づいて、入力される前記駆動信号を前記他方の論理レベルに変化させて前記バッファ回路に対して出力し、

前記電源回路は、

前記短絡信号に基づいて、前記電源の供給を停止すること、

を特徴とする電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路及び電源回路に関する。

【背景技術】

【0002】

AC - DC コンバータや DC - DC コンバータでは、ディスクリートのトランジスタのスイッチングを制御するスイッチング制御 IC が用いられることがある（例えば、特許文献 1）。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2016 - 136805 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

近年、従来よりも大きな電力を変換するトランジスタが用いられることがあるため、トランジスタを制御するスイッチング制御IC内のバッファ回路の駆動能力が向上している。

【0005】

ところで、バッファ回路の出力と、例えば基板のグラウンドラインとが短絡すると、非常に大きな電流がバッファ回路に流れてしまうことがある。そして、バッファ回路が過電流による破壊されることを防ぐためには、バッファ回路が動作している際にバッファ回路の出力と、基板のラインとが短絡しているか否かを把握する必要がある。

【0006】

本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、バッファ回路の出力と基板のラインとが短絡しているか否かを判定できる集積回路を提供することにある。

【課題を解決するための手段】

【0007】

前述した課題を解決する主たる本発明は、トランジスタをオンするために一方の論理レベルとなり、前記トランジスタをオフするために他方の論理レベルとなる駆動信号を生成する信号生成回路と、前記一方の論理レベルの前記駆動信号に基づいて前記トランジスタをオンするための電圧を端子に発生させ、前記他方の論理レベルの前記駆動信号に基づいて前記トランジスタをオフするための電圧を前記端子に発生させるバッファ回路と、前記駆動信号が前記一方の論理レベルになってから、前記駆動信号が前記他方の論理レベルになるより前の所定のタイミングまでの第1期間が経過したことを検出する検出回路と、前記駆動信号が前記一方の論理レベルになってから前記第1期間が経過したことが検出されると、前記端子が短絡されているか否かを判定する判定回路と、を備えることを特徴とする集積回路である。

【発明の効果】

【0008】

本発明によれば、バッファ回路の出力と基板のラインとが短絡しているか否かを判定できる集積回路を提供することができる。

【図面の簡単な説明】

【0009】

【図1】AC-DCコンバータ10の一例を示す図である。

【図2】力率改善ICの第1実施形態の一例を示す図である。

【図3】信号生成回路51の一例を示す図である。

【図4】端子OUTの電圧Voutの変化を説明するための図である。

【図5】立ち上がり遅延回路52の一例を示す図である。

【図6】立ち上がり遅延回路52の動作を説明するための図である。

【図7】バッファ回路56の一例を示す図である。

【図8】力率改善IC25aの動作を説明するための図である。

【図9】地絡が発生した場合の力率改善IC25aの動作を説明するための図である。

【図10】力率改善ICの第2実施形態の一例を示す図である。

【図11】力率改善ICの第3実施形態の一例を示す図である。

【図12】力率改善ICの第4実施形態の一例を示す図である。

【図13】バッファ回路220と外付け回路の詳細を説明するための図である。

【図14】外付けのバッファ回路の一例を説明するための図である。

【発明を実施するための形態】

【0010】

本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

【0011】

====本実施形態====

10

20

30

40

50

図1は、本発明の一実施形態であるAC-DCコンバータ10の構成を示す図である。AC-DCコンバータ10は、商用電源の交流電圧 V_{ac} から目的レベルの出力電圧 V_{out} を生成する昇圧チョッパ型の電源回路である。負荷11は、例えば、DC-DCコンバータや直流電圧で動作する電子機器である。

【0012】

<<< AC-DCコンバータ10の概要 >>>

AC-DCコンバータ10は、全波整流回路20、コンデンサ21, 22, 36A, 36B、インダクタ23、ダイオード24、力率改善IC25、NMOSトランジスタ26、抵抗30~35、電源ライン40、グラウンドライン41を含んで構成される。

【0013】

全波整流回路20は、印加される所定の交流電圧 V_{ac} を全波整流し、電圧 V_{rec} として、コンデンサ21及びインダクタ23に出力する。なお、交流電圧 V_{ac} は、例えば、100~240V、周波数が50~60Hzの電圧である。

【0014】

コンデンサ21は、電圧 V_{rec} を平滑化し、コンデンサ22は、インダクタ23、ダイオード24、及びNMOSトランジスタ26とともに昇圧チョッパ回路を構成する。このため、コンデンサ22の充電電圧が直流の出力電圧 V_{out} となる。なお、出力電圧 V_{out} は、例えば、400Vである。

【0015】

力率改善IC25は、AC-DCコンバータ10の力率を改善しつつ、出力電圧 V_{out} のレベルが目的レベル(例えば、400V)となるよう、NMOSトランジスタ26のスイッチングを制御する集積回路である。具体的には、力率改善IC25は、インダクタ23に流れるインダクタ電流 I_L 、及び出力電圧 V_{out} に基づいて、NMOSトランジスタ26を駆動する。

【0016】

力率改善IC25の詳細については後述するが、力率改善IC25には、端子VCC, CS, FB, COMP, OUTが設けられている。なお、力率改善IC25には、上述した5つの端子以外にも端子が設けられているが、ここでは便宜上省略されている。また、力率改善IC25は、NMOSトランジスタ26のスイッチングを制御する「スイッチング制御回路」に相当する。

【0017】

NMOSトランジスタ26は、AC-DCコンバータ10の負荷11への電力を制御するためのスイッチング素子である。なお、本実施形態では、NMOSトランジスタ26は、MOS(Metal Oxide Semiconductor)トランジスタであることとしたがこれに限られない。NMOSトランジスタ26は、電力を制御できるパワートランジスタであれば、例えば、PMOSトランジスタやIGBT(Insulated Gate Bipolar Transistor)であっても良い。

【0018】

なお、NMOSトランジスタ26のゲート電極(制御電極)と、端子OUTとの間には、スイッチングノイズを抑制するための抵抗30が接続されている。また、NMOSトランジスタ26のゲート電極と、接地との間には、NMOSトランジスタ26のゲート電極をプルダウンするための抵抗31が設けられている。

【0019】

抵抗32, 33は、出力電圧 V_{out} を分圧する分圧回路を構成し、NMOSトランジスタ26をスイッチングする際に用いられる帰還電圧 V_{fb} を生成する。なお、抵抗32, 33が接続されるノードに生成される帰還電圧 V_{fb} は、端子FBに印加される。

【0020】

抵抗34は、インダクタ電流 I_L を検出するための抵抗であり、一端は、NMOSトランジスタ26のソース電極に接続され、他端は、端子CSに接続されている。なお、本実施形態では、端子CSに入力される、インダクタ電流 I_L を示す電圧を電圧 V_{cs} とする。

10

20

30

40

50

【 0 0 2 1 】

電圧 V_{cs} は、例えば、接地された NMOS トランジスタ 26 のソース電極を基準 ($0V$) として、抵抗 34 に発生する電圧を反転増幅する反転増幅回路 (不図示) から端子 CS に印加される電圧である。この場合には、インダクタ電流 I_L の増加に応じて、端子 CS に印加される電圧 V_{cs} が大きくなる。なお、このような正負の反転は、力率改善 IC 25 の内部で実施してもよい。また、例えば、力率改善 IC 25 の内部の電源と端子 CS 間に分圧抵抗 (不図示) を挿入することで、端子 CS の電圧 V_{cs} を正電圧にレベルシフトして用いてもよい。

【 0 0 2 2 】

抵抗 35 及びコンデンサ 36A, 36B は、詳細は後述するが、フィードバック制御される力率改善 IC 25 の位相補償用の素子である。端子 COMP と、接地との間には、抵抗 35 及びコンデンサ 36A が直列に設けられ、これらに対し並列にコンデンサ 36B が設けられている。

10

【 0 0 2 3 】

端子 VCC には、力率改善 IC 25 を動作させるための電源電圧 V_{cc} が印加される。なお、電源電圧 V_{cc} は、例えば、インダクタ 23 と磁気結合された補助インダクタ (不図示) の電圧に基づいて生成される。

【 0 0 2 4 】

電源ライン 40 は、平滑化された電圧 V_{rec} がインダクタ 23 を介して印加される電源側の配線であり、グラウンドライン 41 は、全波整流回路 20 の接地側の電圧 (所定の電圧) が抵抗 34 を介して印加される接地側の配線である。なお、電源ライン 40、グラウンドライン 41 は、例えば、AC-DC コンバータ 10 が設けられる基板 (不図示) に設けられたパターン配線である。このため、基板のグラウンドパターン (不図示) が、グラウンドライン 41 に対応する。

20

【 0 0 2 5 】

また、本実施形態では、「電源ライン 40」、「グラウンドライン 41」は、インピーダンスの小さい素子を介して夫々のラインに接続された配線も含む。つまり、電源ライン 40 は、全波整流回路 20 の電源側のノードと、インダクタ 23 との配線を含み、グラウンドライン 41 は、全波整流回路 20 の接地側のノードと、抵抗 34 との間の配線を含む。

【 0 0 2 6 】

=== 力率改善 IC の第 1 実施形態 (パルス・バイ・パルス方式) ===

図 2 は、力率改善 IC の第 1 実施形態である力率改善 IC 25a の一例を示す図である。力率改善 IC 25a は、端子 OUT とグラウンドライン 41 とが短絡した際に、パルス・バイ・パルス方式 (Pulse-by-pulse method) でバッファ回路 56 (後述) を保護する回路である。なお、本実施形態では、端子 OUT と、接地側のグラウンドライン 41 とが短絡した状態を「地絡」という。

30

【 0 0 2 7 】

力率改善 IC 25a は、電源回路 50、信号生成回路 51、立ち上がり遅延回路 52、判定回路 53、インバータ 54、AND 回路 55、及びバッファ回路 56 を含んで構成される。なお、図 2 において、例えば、端子 FB を、端子 COMP と同じ側に設ける等、便宜上、図 1 と異なる位置に端子を描いているが、夫々の端子に接続される配線、素子等は、図 1 及び図 2 で同じである。

40

【 0 0 2 8 】

電源回路 50 は、電源電圧 V_{cc} から、力率改善 IC 25a の各ブロックに電源を供給する回路であり、例えばシリーズレギュレータを含む。なお、本実施形態における電源回路 50 の生成する電源を、電源電圧 V_{dd} とする。なお、図 2 では便宜上省略されているが、電源電圧 V_{dd} は、立ち上がり遅延回路 52 や判定回路 53 等にも供給されている。

【 0 0 2 9 】

信号生成回路 51 は、インダクタ電流 I_L を示す電圧 V_{cs} と、帰還電圧 V_{fb} とに基づいて、NMOS トランジスタ 26 をオンオフするための駆動信号 V_q を生成する回路で

50

ある。

【 0 0 3 0 】

立ち上がり遅延回路 5 2 は、端子 O U T が地絡しているか否かを判定回路 5 3 (後述) で判定させるタイミングを生成するための回路である。具体的には、立ち上がり遅延回路 5 2 は、駆動信号 V q の立ち上がりを所定時間だけ遅延させた信号 V d を生成する。

【 0 0 3 1 】

判定回路 5 3 は、立ち上がり遅延回路 5 2 からの信号 V d に基づいて、端子 O U T が地絡しているか否かを判定する。なお、詳細は後述するが、判定回路 5 3 は、端子 O U T が地絡していない場合には、ローレベル (以下、 “ L ” レベルとする。) の信号 V a を出力し、端子 O U T が地絡している場合には、ハイレベル (以下、 “ H ” レベルとする。) の信号 V a を出力する。

10

【 0 0 3 2 】

インバータ 5 4 は、信号 V a の論理レベルを反転させ、 A N D 回路 5 5 は、信号生成回路 5 1 からの駆動信号 V q と、インバータ 5 4 の信号 V i n v との論理積を演算し、バッファ回路 5 6 に入力される入力信号 V d r 1 として出力する。なお、 A N D 回路 5 5 は、「信号出力回路」に相当する。

【 0 0 3 3 】

バッファ回路 5 6 は、入力信号 V d r 1 に基づいて、端子 O U T に接続されたゲート容量の大きい N M O S トランジスタ 2 6 をスイッチングする駆動回路である。具体的には、入力信号 V d r 1 が “ H ” レベルの場合、バッファ回路 5 6 は、端子 O U T の電圧 V o u t を “ H ” レベルに変化させる。この結果、 N M O S トランジスタ 2 6 はオンすることになる。

20

【 0 0 3 4 】

一方、入力信号 V d r 1 が “ L ” レベルの場合、バッファ回路 5 6 は、端子 O U T の電圧 V o u t を “ L ” レベルに変化させる。この結果、 N M O S トランジスタ 2 6 はオフすることになる。

【 0 0 3 5 】

ここで、判定回路 5 3 が、端子 O U T が地絡していないことを示す “ L ” レベルの信号 V a を出力する場合、インバータ 5 4 の信号 V i n v は “ H ” レベルとなる。この結果、信号生成回路 5 1 からの駆動信号 V q が、入力信号 V d r 1 としてバッファ回路 5 6 に出力される。したがって、 N M O S トランジスタ 2 6 は、信号生成回路 5 1 からの駆動信号 V q に基づいてスイッチングされることになる。

30

【 0 0 3 6 】

一方、判定回路 5 3 が、端子 O U T が地絡していることを示す “ H ” レベルの信号 V a を出力する場合、インバータ 5 4 の信号 V i n v は “ L ” レベルとなる。この結果、入力信号 V d r 1 も “ L ” レベルとなるため、 N M O S トランジスタ 2 6 は、オフされる。

【 0 0 3 7 】

本実施形態では、判定回路 5 3 は、駆動信号 V q が “ H ” レベルとなる毎に、判定結果を示す信号 V a を出力する。このため、詳細は後述するが、端子 O U T が地絡している際には、駆動信号 V q が “ H ” レベルとなる毎に、バッファ回路 5 6 が保護されることになる。

【 0 0 3 8 】

< < 信号生成回路 5 1 > >

図 3 は、信号生成回路 5 1 の一例を説明するための図である。信号生成回路 5 1 は、インダクタ電流 I L を示す電圧 V c s と、帰還電圧 V f b とに基づいて、 N M O S トランジスタ 2 6 をオンオフするための駆動信号 V q を生成する回路である。信号生成回路 5 1 は、コンパレータ 7 0 , 7 7 , 7 8、遅延回路 7 1、パルス回路 7 2、ターンオンタイム回路 7 3、 O R 回路 7 4 , 7 9、誤差増幅回路 7 5、発振回路 7 6、及び S R フリップフロップ 8 0 を含んで構成される。

40

【 0 0 3 9 】

コンパレータ 7 0 は、インダクタ電流 I L の電流値が、ほぼゼロであるかを検出する回路である。具体的には、コンパレータ 7 0 は、端子 C S に印加される電圧 V c s と、ゼロ

50

よりやや大きい、例えば数 mA の “電流値 I_a ” に応じた基準電圧 V_{ref0} (例えば、数 mV) との大小を比較し、インダクタ電流 I_L の電流値がほぼゼロ (以下、便宜上、「ほぼゼロ」を単にゼロという。) であるかを検出する。なお、詳細は後述するが、本実施形態では、電圧 V_{cs} が基準電圧 V_{ref0} より小さくなると、インダクタ電流 I_L がゼロであることを示す “H” レベルの信号 V_z が、コンパレータ 70 から出力される。

【0040】

遅延回路 71 は、コンパレータ 70 から “H” レベルの信号 V_z が出力されると、所定時間だけ遅延させて出力する。

【0041】

パルス回路 72 は、遅延回路 71 から “H” レベルの信号が出力されると、“H” レベルの 10
パルス信号 V_{p1} を出力する。

【0042】

ターンオンタイマ回路 73 は、力率改善 IC 25a の起動時や、交流電圧 V_{ac} が遮断され、パルス信号 V_{p1} が出力されない場合に、NMOS トランジスタ 26 をオンするためのパルス信号 V_{p2} を出力する。具体的には、パルス信号 V_{p1} が所定期間出力されない場合、“H” レベルのパルス信号 V_{p2} を所定周期毎に出力する。

【0043】

OR 回路 74 は、パルス信号 V_{p1} , V_{p2} の論理和を演算して出力する。このため、本実施形態では、OR 回路 74 からは、パルス信号 V_{p1} または、パルス信号 V_{p2} が、
20
パルス信号 V_{p3} として出力される。

【0044】

誤差増幅回路 75 は、端子 FB に印加される帰還電圧 V_{fb} と、所定の基準電圧 V_{ref1} との誤差を増幅する回路であって、いわゆるトランスコンダクタンスアンプで構成されてよい。なお、基準電圧 V_{ref1} は、目的レベルの出力電圧 V_{out} に応じて定められる電圧である。また、誤差増幅回路 75 の出力と接地との間には、端子 COMP を介して、位相補償用の抵抗 35 及びコンデンサ 36 が接続されている。ここで、誤差増幅回路 75 の出力と端子 COMP とが接続されたノードの電圧を、電圧 V_e とする。

【0045】

発振回路 76 は、“H” レベルのパルス信号 V_{p3} が入力する毎に、振幅が徐々に大きくなるランプ波 V_r を出力する。
30

【0046】

コンパレータ 77 は、電圧 V_e とランプ波 V_r との大小を比較して、比較結果として信号 V_{c1} を出力する。ここでは、電圧 V_e が誤差増幅回路 75 の反転入力端子に印加され、ランプ波 V_r が誤差増幅回路 75 の非反転入力端子に印加されている。このため、ランプ波 V_r のレベルが電圧 V_e のレベルより低い場合、信号 V_{c1} は “L” レベルとなり、ランプ波 V_r のレベルが電圧 V_e のレベルより高くなると信号 V_{c1} は “H” レベルとなる。

【0047】

コンパレータ 78 は、電圧 V_{cs} と、基準電圧 V_{ref2} とを比較することにより、インダクタ電流 I_L が過電流の状態にあるかを検出する過電流検出回路である。なお「過電流」とは、インダクタ電流 I_L が、“電流値 I_b ” (例えば、インダクタ 23 や NMOS トランジスタ 26 に許容される電流値の 90% の電流値) となる状態をいう。このため、本実施形態では、インダクタ電流 I_L が “電流値 I_b ” を超えると、電圧 V_{cs} が基準電圧 V_{ref2} より大きくなるよう、電圧 V_{ref2} のレベルが定められている。なお、コンパレータ 78 は、過電流状態となり、電圧 V_{cs} が基準電圧 V_{ref2} より大きくなると、
40
電圧 V_{oc} を “H” レベルに変化させる。

【0048】

OR 回路 79 は、信号 V_{c1} と、過電流が発生したこと示す “H” レベルの信号 V_{oc} と、の論理和を演算して出力する。

【0049】

SR フリップフロップ 80 の S 入力には、信号 V_{p3} が入力され、R 入力には、信号 V 50

p 4 が入力される。このため、SRフリップフロップ80のQ出力である駆動信号Vqは、信号Vp3が“H”レベルになると“H”レベルとなる。一方、SRフリップフロップ80のQ出力である駆動信号Vqは、信号Vp4が“H”レベルになると“L”レベルとなる。

【0050】

したがって、本実施形態では、インダクタ電流ILの電流値がゼロとなり、信号Vp3が“H”レベルになると、NMOSトランジスタ26をオンするための“H”レベルの駆動信号Vqが出力される。一方、ランプ波Vrのレベルが電圧Veのレベルより高くなるか、過電流が検出されると、NMOSトランジスタ26をオフするための“L”レベルの駆動信号Vqが出力される。

【0051】

<<立ち上がり遅延回路52>>

図4は、端子OUTの地絡の判定を行うタイミングを説明するための図であり、図5は、立ち上がり遅延回路52の構成の一例を示す図である。また、図6は、立ち上がり遅延回路52の動作を説明するための図である。

【0052】

なお、ここでは、便宜上、端子OUTの地絡の判定を行うタイミングを、端子OUTに地絡は発生していない状態で説明する。したがって、この場合には、判定回路53からは、“L”レベルの信号Vaが出力されるため、AND回路55は、駆動信号Vqを、入力信号Vdr1として出力することになる。

【0053】

図4の時刻t0に、信号生成回路51から、NMOSトランジスタ26をオンするための“H”レベルの駆動信号Vqが出力されると、バッファ回路56は、駆動信号Vqから所定の期間Taだけ遅れた時刻t1に端子OUTの電圧Voutを上昇させる。なお、「期間Ta」は、例えば、バッファ回路56内の遅延時間に基づいて定まる期間である。

【0054】

ここで、NMOSトランジスタ26は、電力変換用のパワートランジスタであるため、例えば、ゲート-ソース間には大きな寄生容量を含む。そして、例えば、端子OUTに接続される抵抗30、31と、ゲート-ソース間の寄生容量とは、ローパスフィルタを構成する。この結果、端子OUTの電圧Voutは、時刻t1から抵抗30や寄生容量の時定数に応じた傾きで上昇する。

【0055】

また、時刻t1から所定の期間Tbだけ経過した時刻t2になると、端子OUTの電圧Voutは、“H”レベルとなる。このように、信号生成回路51が駆動信号Vqを“H”レベルに変化させてから、期間Ta及び期間Tbが経過すると、電圧Voutは所定の電圧レベルまで上昇する。

【0056】

したがって、例えば、駆動信号Vqが“H”レベルになってから、例えば期間“Ta+Tb”が経過したタイミングの電圧Voutのレベルが、ほぼゼロであれば、端子OUTは地絡していることになる。本実施形態の立ち上がり遅延回路52は、駆動信号Vqの立ち上がりを遅延させることにより、駆動信号Vqが“H”レベルになってからの期間“Ta+Tb”だけ経過したタイミングを生成する回路である。

【0057】

立ち上がり遅延回路52は、インバータ100、NMOSトランジスタ101、バイアス電流回路102、コンデンサ103、及びAND回路104を含んで構成される。

【0058】

インバータ100は、駆動信号Vqの論理レベルを反転し、NMOSトランジスタ101へ出力する。

【0059】

NMOSトランジスタ101は、インバータ100からの出力が“H”レベルの際にオンし、コンデンサ103の電荷を放電する。一方、インバータ100からの出力が“L”レベ

10

20

30

40

50

ルの際、NMOSトランジスタはオフするため、コンデンサ103は、バイアス電流回路102の電流で充電される。

【0060】

AND回路104は、駆動信号Vqと、コンデンサ103の充電電圧Vcapとの論理積を演算して出力する。

【0061】

図6の時刻t10に、NMOSトランジスタ26をオンすべく駆動信号Vqが“H”レベルになると、NMOSトランジスタ101はオフする。この結果、コンデンサ103が充電され、電圧Vcapが徐々に上昇する。

【0062】

そして、時刻t10から期間Tcだけ経過した時刻t11に、電圧Vcapのレベルが、AND回路104が“H”レベルと識別するレベルとなると、信号Vdを“H”レベルに変化させる。したがって、AND回路104は、時刻t10から期間Tcだけ経過したことを検出することになる。

【0063】

また、時刻t12に駆動信号Vqが“L”レベルとなると、NMOSトランジスタ101はオンするため、電圧Vcapは“L”レベルとなる。また、このタイミングで、信号Vdも“L”レベルとなる。

【0064】

このように、本実施形態の信号Vdは、駆動信号Vqの立ち上がりが所定の期間Tcだけ遅延することになる。また、「期間Tc」は、上述した「期間Ta+期間Tb」より長い期間である。このため、信号Vdの立ち上がりのタイミングで、端子Voutの電圧レベルを取得することにより、端子OUTが地絡しているか否かの判定が可能となる。

【0065】

また、本実施形態において、信号生成回路51からの駆動信号Vqは「駆動信号」に相当し、期間Tcは、「第1期間」に相当し、AND回路104を含む立ち上がり遅延回路52は、「検出回路」に相当する。

【0066】

<<判定回路53>>

図2に示す判定回路53は、信号Vdが“H”レベルとなるタイミングで、端子OUTが地絡しているか否かを判定する回路であり、抵抗110、111、コンパレータ112、及びAND回路113を含んで構成される。

【0067】

抵抗110、111は、電圧Voutを分圧する分圧回路を構成し、コンパレータ112は、電圧Voutが分圧された電圧Vdivと、所定の基準電圧Vref3とを比較する。本実施形態では、NMOSトランジスタ26がオンされる際の電圧Voutを分圧した電圧Vdivが、基準電圧Vref3より大きくなるよう、電圧Vref3のレベルが定められている。

【0068】

コンパレータ112は、電圧Vdivが基準電圧Vref3より高い場合、“L”レベルの信号を出力し、電圧Vdivが基準電圧Vref3より低い場合、“H”レベルの信号を出力する。

【0069】

AND回路113は、信号Vdが“H”レベルとなると、コンパレータ112の比較結果Vcpを、信号Vaとして出力する。この結果、判定回路53は、信号Vdが“H”レベルとなるタイミングで、端子OUTが地絡していない場合には、“L”レベルの信号Vaを出力する。一方、判定回路53は、信号Vdが“H”レベルとなるタイミングで、端子OUTが地絡している場合には、“H”レベルの信号Vaを出力する。

【0070】

したがって、AND回路113は、信号Vdが“H”レベルとなる所望のタイミングまで

10

20

30

40

50

、コンパレータ 112 の比較結果 V_{cp} をマスクするマスク回路として動作する。

【0071】

<<バッファ回路 56>>

バッファ回路 56 は、入力信号 V_{dr1} に基づいて、端子 OUT に接続された容量の大きい $NMOS$ トランジスタ 26 をスイッチングする回路であり、図 7 に示すように、インバータ 120, 121 を含む。

【0072】

インバータ 120 は、入力信号 V_{dr1} の論理レベルを反転して出力し、インバータ 121 は、インバータ 120 からの出力の論理レベルを反転する。

【0073】

したがって、入力信号 V_{dr1} が “H” レベルになると、インバータ 120 の出力は “L” レベルになるため、インバータ 121 の $PMOS$ トランジスタ 130 はオンし、 $NMOS$ トランジスタ 131 はオフする。この結果、バッファ回路 56 は、端子 OUT に “H” レベルの電圧 V_{out} を生成する。

【0074】

一方、入力信号 V_{dr1} が “L” レベルになると、インバータ 120 の出力は “H” レベルになるため、 $PMOS$ トランジスタ 130 はオフし、 $NMOS$ トランジスタ 131 はオンする。この結果、バッファ回路 56 は、端子 OUT に “L” レベルの電圧 V_{out} を生成する。

【0075】

=== 力率改善 IC 25a の動作 ===

<<<端子 OUT が地絡していない場合>>>

図 8 を参照しつつ、端子 OUT が地絡していない場合の力率改善 IC 25a の動作を説明する。なお、ここでは、端子 OUT が地絡していないため、信号生成回路 51 の駆動信号 V_q が、入力信号 V_{dr1} となるため、図 3 で示した信号生成回路 51 の動作を中心に説明する。

【0076】

まず、時刻 t_{20} にインダクタ電流 I_L が減少し、“電流値 I_a ” になると、つまり、電圧 V_{cs} が低下し、基準電圧 V_{ref0} になると、コンパレータ 70 は、信号 V_z を “H” レベルに変化させる（図 8 では不図示）。また、時刻 t_{20} から遅延回路 71 の遅延時間だけ経過した時刻 t_{21} になると、パルス回路 72 は、パルス信号 V_{p1} を出力する。

【0077】

そして、パルス信号 V_{p1} が出力されると、 SR フリップフロップ 80 は、“H” レベルの駆動信号 V_q を出力するため、入力信号 V_{dr1} も “H” レベルとなる。この結果、 $NMOS$ トランジスタ 26 はオンし、インダクタ電流 I_L は増加することになる。

【0078】

また、パルス信号 V_{p1} が出力されると、パルス信号 V_{p3} も “H” レベルになるため、発振回路 76 からのランプ波 V_r の振幅が増加する。そして、時刻 t_{22} に、ランプ波 V_r の振幅レベルが電圧 V_e のレベルより高くなると、コンパレータ 77 は、信号 V_{c1} を “H” レベルに変化させる。この結果、 SR フリップフロップ 80 はリセットされ、入力信号 V_{dr1} も “L” レベルとなる。入力信号 V_{dr1} が “L” レベルになると、 $NMOS$ トランジスタ 26 はオフするため、インダクタ電流 I_L は徐々に減少する。また、時刻 t_{23} にインダクタ電流 I_L が減少し、電流値 I_a になると、時刻 t_0 の動作が繰り返される。

【0079】

ここで、 $AC-DC$ コンバータ 10 が所定の交流電圧 V_{ac} から目的レベルの出力電圧 V_{out} を生成し、一定の負荷に電力を供給している際、帰還電圧 V_{fb} は一定となる。この結果、誤差増幅回路 75 から出力される電圧 V_e も一定になるため、 $NMOS$ トランジスタ 26 がオンする期間（例えば、時刻 $t_{20} \sim t_{21}$ までの期間）も一定となる。

【0080】

また、 $NMOS$ トランジスタ 26 がオンする際に、交流電圧 V_{ac} を整流した電圧 V_r

10

20

30

40

50

e c のレベルが高くなると、インダクタ電流 I_L の電流値も大きくなる。この結果、インダクタ電流 I_L のピークの波形は電圧 V_{rec} と同じ波形となり、力率が改善される。

【0081】

<<< 端子OUTに地絡が発生した場合 >>>

図9を参照しつつ、端子OUTに地絡が発生した場合の力率改善IC25aの動作を説明する。なお、ここでは、立ち上がり遅延回路52、判定回路53、及びバッファ回路56の動作を中心に説明する。また、本実施形態においては、時刻t53（後述）のタイミングで、端子OUTが地絡したこととする。

【0082】

まず、時刻t50に信号生成回路51の駆動信号 V_q が“H”レベルになると、入力信号 V_{dr1} も“H”レベルになるため、バッファ回路56はNMOSトランジスタ26をオンすべく、端子OUTの電圧 V_{out} を上昇させる。

10

【0083】

そして、電圧 V_{out} が上昇し、時刻t51に、抵抗110, 111で分圧された電圧 V_{div} が基準電圧 V_{ref3} より高くなると、コンパレータ112は、比較結果 V_{cp} を“L”レベルに変化させる。

【0084】

また、時刻t50から期間 T_c だけ経過した時刻t52になると、立ち上がり遅延回路52は、駆動信号 V_q の立ち上がりを遅延させた信号 V_d を“H”レベルにする。

【0085】

20

時刻t52のタイミングでは、比較結果 V_{cp} は“L”レベルであるため、AND回路113の信号 V_a は“L”レベルであり、インバータ54の信号 V_{inv} は“H”レベルである。このように、端子OUTが地絡していない場合、信号生成回路51からの駆動信号 V_q が、入力信号 V_{dr1} として出力される。

【0086】

そして、時刻t53において端子OUTに地絡が発生した後、時刻t54に駆動信号 V_q が“H”レベルとなると、入力信号 V_{dr1} も“H”レベルとなる。入力信号 V_{dr1} が“H”レベルになると、図7で示したバッファ回路56のPMOSトランジスタ130はオンし、NMOSトランジスタ131はオフする。ただし、端子OUTは地絡しているため、電圧 V_{out} はゼロの状態が維持され、PMOSトランジスタ130に大きな電流が流れることになる。

30

【0087】

そして、時刻t54から期間 T_c だけ経過した時刻t55になると、信号 V_d が“H”レベルとなる。ここで、地絡が発生した時刻t53以降、電圧 V_{div} は、基準電圧 V_{ref3} より低くなるため、比較結果 V_{cp} は“H”レベルとなる。

【0088】

このため、時刻t55に信号 V_d が“H”レベルとなると、AND回路113からの信号 V_a は、“H”レベルになる。この結果、インバータ54の信号 V_{inv} は“L”レベルとなるため、AND回路55から出力される入力信号 V_{dr1} は“L”レベルに変化する。したがって、バッファ回路56のPMOSトランジスタ130はオフするため、PMOSトランジスタ130に過電流が流れることが防止される。

40

【0089】

このように、時刻t54で“H”レベルとなった入力信号 V_{dr1} は、地絡があると判定されたタイミング（時刻t55）で、“L”レベルとなる。なお、時刻t56以降、時刻t54における動作が繰り返される。この結果、力率改善IC25aは、地絡が発生している場合、いわゆるパルス・パイ・パルス方式で、バッファ回路56を過電流から保護することができる。

【0090】

なお、時刻t53で発生した地絡が解消されると、時刻t50で説明した、地絡がない動作が再開される。このため、本実施形態のAC-DCコンバータ10は、バッファ回路

50

56を適切に保護しつつ、地絡が解消された場合、直ちに所望の条件で負荷11を駆動することができる。

【0091】

=== 力率改善ICの第2実施形態(ラッチ方式) ===

図10は、力率改善ICの第2実施形態である力率改善IC25bの一例を示す図である。力率改善IC25bは、端子OUTに地絡が発生した際に、バッファ回路56への電源の供給を停止する方式(以下、「ラッチ方式」という。)を採用した回路である。

【0092】

力率改善IC25bは、信号生成回路51、立ち上がり遅延回路52、判定回路53、バッファ回路56、及び電源回路200を含んで構成される。ここで、力率改善IC25bでは、パルス・バイ・パルス方式の力率改善IC25aで用いられたインバータ54、AND回路55が不要である。このため、信号生成回路51からの駆動信号Vqが、NMOSトランジスタ26をスイッチングするための入力信号Vdr2として、バッファ回路56に出力される。

10

【0093】

また、図10の力率改善IC25bと、図2の力率改善IC25aとで、同じ符号が付されたブロックは同じである。このため、ここでは、電源回路200について説明する。

【0094】

電源回路200は、電源電圧Vccから電源電圧Vddを生成し、力率改善IC25bの各ブロックに供給する。また、電源回路200は、地絡が発生したことを示す“H”レベルの信号Vaに基づいて、各ブロックに対し、電源電圧Vddの供給を停止する。

20

【0095】

このため、端子OUTに地絡が発生していることが判定回路53により判定されると、電源回路200は、バッファ回路56への電源の供給を停止することになる。したがって、バッファ回路56には、バッファ回路56から端子OUTに大きな電流が流れることはないため、バッファ回路56は保護される。

【0096】

なお、電源回路200は、例えば、交流電圧Vacが再投入され、電源電圧Vccが生成されると、電源電圧Vddを生成して、力率改善IC25bの各ブロックに供給する。この際に端子OUTの地絡が解消されていれば、AC-DCコンバータ10は、目的レベルの電圧Voutを生成する。

30

【0097】

=== 力率改善ICの第3実施形態(自動復帰方式) ===

図11は、力率改善ICの第3実施形態である力率改善IC25cの一例を示す図である。力率改善IC25cは、端子OUTに地絡が発生した際に、バッファ回路56への電源の供給を停止し、所定時間後に供給を再開する方式(以下、「自動復帰方式」という。)を採用した回路である。

【0098】

力率改善IC25cは、信号生成回路51、立ち上がり遅延回路52、判定回路53、バッファ回路56、タイマ回路210、及び電源回路211を含んで構成される。ここで、力率改善IC25cでは、パルス・バイ・パルス方式の力率改善IC25aで用いられたインバータ54、AND回路55が不要である。このため、信号生成回路51からの駆動信号Vqが、NMOSトランジスタ26をスイッチングするための入力信号Vdr3として、バッファ回路56に出力される。

40

【0099】

また、図10の力率改善IC25cと、力率改善IC25a, 25bとで、同じ符号が付されたブロックは同じである。このため、ここでは、タイマ回路210、電源回路211について説明する。

【0100】

タイマ回路210は、地絡が発生したことを示す“H”レベルの信号Vaが入力されると

50

、所定期間 T_d (第2期間) を計時する計時回路である。

【0101】

電源回路211は、電源電圧 V_{cc} から電源電圧 V_{dd} を生成し、力率改善 IC 25c の各ブロックに供給する。また、電源回路211は、地絡が発生したことを示す“H”レベルの信号 V_a に基づいて、各ブロックに対し、電源電圧 V_{dd} の供給を停止する。さらに、電源回路211は、地絡が発生し、タイマ回路210が期間 T_d を計時すると、電源電圧 V_{dd} を生成して、力率改善 IC 25c の各ブロックに供給する。

【0102】

このため、端子OUTに地絡が発生していることが判定回路53により判定されると、電源回路211は、バッファ回路56への電源の供給を停止することになる。したがって、バッファ回路56には、バッファ回路56から端子OUTに大きな電流が流れることはないため、バッファ回路56は保護される。

10

【0103】

また、電源回路211は、地絡が発生してから期間 T_d 経過すると、電源電圧 V_{dd} を信号生成回路51やバッファ回路56に供給する。このため、仮にこのタイミングで地絡が解消している場合、力率回線 IC 25c は、目的レベルの出力電圧 V_{out} が生成されるよう、NMOSトランジスタ26をスイッチングする。

【0104】

=== 力率改善 IC の第4実施形態 (駆動能力及び保護方式の設定) ===

図12は、力率改善 IC の第4実施形態である力率改善 IC 25d の一例を示す図である。図13は、力率改善 IC 25d の端子OUTに接続されたパワートランジスタ等の素子の詳細を示す図である。力率改善 IC 25d の端子OUTには、図1で説明したNMOSトランジスタ26等に加え、抵抗37, 38、NMOSトランジスタ27が接続されている。

20

【0105】

力率改善 IC 25d は、端子OUTに接続された負荷 (ここでは、NMOSトランジスタ26, 27) に応じて、バッファ回路220の駆動能力を変更可能な回路である。

【0106】

また、力率改善 IC 25d は、バッファ回路220の駆動能力に応じて、端子OUTが地絡した際のバッファ回路220の保護方法を変化させる回路である。具体的には、力率改善 IC 25d は、バッファ回路220の駆動能力が低い場合、例えば“パルス・バイ・パルス方式”の保護を適用し、バッファ回路220の駆動能力が高い場合、例えば“ラッチ方式”の保護を適用する。

30

【0107】

力率改善 IC 25d は、信号生成回路51、立ち上がり遅延回路52、判定回路53、インバータ54、AND回路55、バッファ回路220、スイッチ300, 310~312、バイアス電流回路301、及び設定回路302を含んで構成される。

【0108】

ここで、図12の力率改善 IC 25d と、力率改善 IC 25a~25c とで、同じ符号が付されたブロックは同じである。このため、ここでは、バッファ回路220、スイッチ300, 310~312、バイアス電流回路301、及び設定回路302について説明する。

40

【0109】

<< バッファ回路220 >>

図13は、バッファ回路220の詳細を説明するための図である。バッファ回路220は、設定信号SETに応じた駆動能力で、端子OUTに接続されたトランジスタをスイッチングする回路であり、インバータ120~122、スイッチ140を含む。なお、インバータ120, 121は、図7のバッファ回路56のインバータと同じであるため、ここでは詳細な説明は省略する。

【0110】

50

インバータ122は、PMOSトランジスタ132と、NMOSトランジスタ133を含んで構成される。また、インバータ120の出力と、PMOSトランジスタ132のゲート電極と、NMOSトランジスタ133のゲート電極とは、スイッチ140を介し接続されている。

【0111】

したがって、スイッチ140がオフの際、インバータ121, 122のうち、インバータ121のみが動作し、スイッチ140がオンの際、インバータ121, 122が動作する。この結果、スイッチ140がオンとなると、バッファ回路220の出力ノードのオン抵抗が小さくなるため、駆動能力が向上する。

【0112】

スイッチ140は、設定回路302(後述)からの設定信号SETに基づいて、オン、オフする。具体的には、スイッチ140は、設定信号SETが“H”レベルの場合、オンし、設定信号SETが“L”レベルの場合、オフする。

【0113】

<<スイッチ300及びバイアス電流回路301>>

スイッチ300は、力率改善IC25dが起動されると、所定の“期間Tx”だけオンし、その後オフする。なお、本実施形態では、“期間Tx”においては、信号生成回路51やバッファ回路220は動作しておらず、設定信号SETが入力された後に動作する。

【0114】

バイアス電流回路301は、スイッチ300がオンしている“期間Tx”に、所定の電流値のバイアス電流Ibを、端子OUTに接続された素子に供給する。

【0115】

ここで、例えば図1に示すように、端子OUTに、抵抗30, 31のみが接続されている場合と、図13に示すように、端子OUTに、抵抗30, 31, 37, 38が接続されている場合とでは、バイアス電流Ibに基づいて生成される電圧Voutのレベルが異なる。

【0116】

ここでは、“期間Tx”の電圧Voutは、端子OUTに1個のNMOSトランジスタ26が接続されている場合、“1V”となり、端子OUTに2個のNMOSトランジスタ26, 27が接続されている場合、“3V”となるよう、抵抗30, 31, 37, 38の値が選択されていることとする。

【0117】

<<設定回路302>>

設定回路302は、“期間Tx”の電圧Voutのレベルに基づいて、バッファ回路220の駆動能力、地絡時のバッファ回路220の保護方法を設定するための設定信号SETを出力する。具体的には、設定回路302は、例えば1個のNMOSトランジスタ26が接続され、“期間Tx”の電圧Voutのレベルが“1V”である場合、バッファ回路220の駆動能力を低くし、“パルス・バイ・パルス方式”を選択させるため、“L”レベルの設定信号SETを出力する。

【0118】

一方、設定回路302は、例えば2個のNMOSトランジスタ26, 27が接続され、“期間Tx”の電圧Voutのレベルが“3V”である場合、バッファ回路220の駆動能力を高くし、“ラッチ方式”を選択させるため、“H”レベルの設定信号SETを出力する。なお、設定回路302は、例えば、“期間Tx”の電圧Voutを判定するコンパレータや、コンパレータの出力をラッチするラッチ回路(不図示)を含むことにより実現される。

【0119】

なお、“L”レベルの設定信号SETは、「第1信号」に相当し、“H”レベルの設定信号SETは、「第2信号」に相当する。また、“L”レベルの設定信号SETで設定される駆動能力が低い状態は「第1の状態」であり、“H”レベルの設定信号SETで設定される駆動能力が高い状態は「第2の状態」である。

10

20

30

40

50

【 0 1 2 0 】

<<保護方式の選択(スイッチ310~312)>>

スイッチ310~312は、バッファ回路220を保護する際の方式として、“パルス・バイ・パルス方式”か“ラッチ方式”を選択させるための素子である。すなわち、本実施形態では、設定回路302が、バッファ回路220の駆動能力に応じて、判定回路53から出力される信号の出力先を変更する。

【 0 1 2 1 】

設定回路302から“L”レベルの設定信号SETが出力されると、スイッチ310, 311は、オフし、スイッチ312はオンする。この結果、判定回路53の判定結果である信号Vaは、インバータ43を介して、AND回路55に入力される。この状態は、図2

10

【 0 1 2 2 】

設定回路302から“H”レベルの設定信号SETが出力されると、スイッチ310, 311は、オンし、スイッチ312はオフする。ここで、AND回路55の一方の入力には、駆動信号Vqが入力され、他方の入力には、電圧Vbが印加されている。そして、電圧Vbは、AND回路55における“H”レベルの電圧であるため、AND回路55は、駆動信号Vqを入力信号Vdr1として出力する。

【 0 1 2 3 】

この結果、判定回路53の判定結果である信号Vaは、電源回路200に入力される。この状態は、図10で示した力率改善IC25bと同じであるため、バッファ回路220は、“ラッチ方式”で保護されることになる。なお、この際には、バッファ回路220のスイッチ140はオンするため、駆動能力は高くなる。このため、バッファ回路220は、例えば10個等の複数のNMOSトランジスタ26を適切にスイッチングできる。

20

【 0 1 2 4 】

<<力率改善IC25dの動作>>

本実施形態では、力率改善IC25dが起動した後の“期間Tx”において、スイッチ300はオンし、バイアス電流Ibが端子OUTを介して抵抗30, 31, 37, 38に供給される。この結果、端子OUTの電圧Voutは、例えば、“3V”となるため、設定回路302は、“H”レベル設定信号SETを出力する。

30

【 0 1 2 5 】

したがって、バッファ回路220のスイッチ140はオンし、バッファ回路220の駆動能力は高くなる。また、スイッチ310, 311は、オンし、スイッチ312はオフする。この結果、端子OUTに地絡が発生すると、バッファ回路220への電源電圧Vddの供給は停止され、バッファ回路220は“ラッチ方式”で保護されることになる。

【 0 1 2 6 】

===その他の実施形態(外付けバッファ回路の一例)===

図14は、力率改善IC25の外部に設けられたバッファ回路の一例を示す図である。端子OUTと、抵抗30との間には、NMOSトランジスタ26を駆動するためのバッファ回路400が設けられていても良い。

40

【 0 1 2 7 】

バッファ回路400は、抵抗500、NPNトランジスタ501、PNPトランジスタ502を含む。バッファ回路400は、電圧Voutの論理レベルと同相に変化し、電流駆動能力が増幅された信号で、NMOSトランジスタ26を駆動する。このような回路が設けられる場合であっても、端子OUTに地絡が発生すると、力率改善IC25の内部のバッファ回路には大きな電流が流れる。したがって、本実施形態の力率改善IC25を用いることにより、内部のバッファ回路を適切に保護することができる。

【 0 1 2 8 】

===まとめ===

50

以上、本実施形態のAC - DCコンバータ10について説明した。判定回路53は、信号Vdが“H”レベルとなるタイミング、つまりNMOSトランジスタ26がオンしているタイミングが検出されると、端子OUTに地絡が発生しているか否かを判定する。この結果、本実施形態を用いることで、端子OUTの地絡の有無を把握することができる。

【0129】

また、端子OUTの地絡が検出されると、バッファ回路56は“パルス・バイ・パルス方式”で保護される。このため、バッファ回路56が過電流により破壊されることを防ぐことができる。

【0130】

また、NMOSトランジスタ26に過電流が流れた際に、バッファ回路56は、NMOSトランジスタ26をオフする。したがって、NMOSトランジスタ26が破壊されることを防ぐことができる。

10

【0131】

また、例えば、本実施形態の力率改善IC25aを用いることで、電源の力率を改善することができる。

【0132】

また、力率改善IC25bでは、端子OUTの地絡が検出されると、バッファ回路56への電源電圧Vddの供給が停止される。したがって、バッファ回路56を確実に保護することができる。

【0133】

また、力率改善IC25cでは、地絡が検出され、バッファ回路56への電源電圧Vddの供給が停止された後、期間Td経過すると、電源電圧Vddが再度供給される。このような場合、地絡が解消していたら、直ちにAC - DCコンバータ10は、負荷11の駆動を再開することができる。

20

【0134】

また、力率改善IC25dの端子OUTには、パワートランジスタが複数接続されることがある。本実施形態のバッファ回路220は、設定信号SETに応じて負荷を駆動する駆動能力を変化させることができる。このため、端子OUTに接続されるパワートランジスタの個数が変化した場合であっても、適切にパワートランジスタを駆動できる。

【0135】

また、力率改善IC25dでは、バッファ回路220の駆動能力に応じて、バッファ回路220の保護の方法を変化させることができる。したがって、例えば、バッファ回路220の駆動能力が高く、“パルス・バイ・パルス方式”で保護することが十分でない場合であっても、バッファ回路220を“ラッチ方式”にて適切に保護することができる。

30

【0136】

また、一般に、端子OUTに接続される抵抗30等の素子は、パワートランジスタの数に応じて変化する。このため、端子OUTにバイアス電流Ibを供給した際の電圧Voutに基づいて、バッファ回路220の駆動能力を設定することができる。

【0137】

上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

40

【0138】

本実施形態では、バッファ回路56は、NMOSトランジスタ26を駆動することとしたが、PMOSトランジスタを駆動しても良い。このような場合、判定回路53に、端子OUTと、電源ライン40とが短絡状態（つまり、天落状態）となるか否かを判定させることにより、本実施形態と同様の効果を得ることができる。

【0139】

また、バッファ回路56は、出力段にPMOSトランジスタ130、NMOSトランジスタ131を含む電圧駆動型の回路であるが、出力段にバイポーラを含む電流駆動型の回

50

路であっても良い。

【 0 1 4 0 】

また、バッファ回路 5 6 は、A C - D C コンバータ 1 0 を制御する集積回路に設けられることとしたが、これに限られず、パワーアンプ等の電力を制御する集積回路に設けられていても良い。

【 0 1 4 1 】

また、端子 O U T と、N M O S トランジスタ 2 6 のゲート電極との間には、抵抗 3 0 , 3 1 が設けられているが、例えば、抵抗 3 1 は無くても良い。

【 0 1 4 2 】

また、端子 O U T と、N M O S トランジスタ 2 6 のゲート電極との間には、ダイオード等の他の素子が接続されていても良い。具体的には、N M O S トランジスタ 2 6 のゲート容量の放電を促進すべく、端子 O U T にカソードが接続され、ゲート電極にアノードが接続されるダイオードを設けても良い。

10

【符号の説明】

【 0 1 4 3 】

1 0 A C - D C コンバータ

1 1 負荷

2 0 全波整流回路

2 1 , 2 2 , 3 6 A , 3 6 B , 1 0 3 コンデンサ

2 3 インダクタ

20

2 4 ダイオード

2 5 a ~ 2 5 d 力率改善 I C

2 6 , 2 7 , 1 0 1 , 1 3 1 , 1 3 3 N M O S トランジスタ

3 0 ~ 3 5 , 3 7 , 3 8 , 1 1 0 , 1 1 1 , 5 0 0 抵抗

4 0 電源ライン

4 1 グランドライン

5 0 , 2 0 0 , 2 1 1 電源回路

5 1 信号生成回路

5 2 立ち上がり遅延回路

5 3 判定回路

30

5 4 , 1 0 0 , 1 2 0 , 1 2 1 インバータ

5 5 , 1 0 4 , 1 1 3 A N D 回路

5 6 , 2 2 0 , 4 0 0 バッファ回路

7 0 , 7 7 , 7 8 , 1 1 2 コンパレータ

7 1 遅延回路

7 2 パルス回路

7 3 ターンオンタイム回路

7 4 , 7 9 O R 回路

7 5 誤差増幅回路

7 6 発振回路

40

8 0 S R フリップフロップ

1 0 2 , 3 0 1 バイアス電流回路

1 3 0 , 1 3 2 P M O S トランジスタ

1 4 0 , 3 0 0 , 3 1 0 ~ 3 1 2 スイッチ

2 1 0 タイマ回路

3 0 2 設定回路

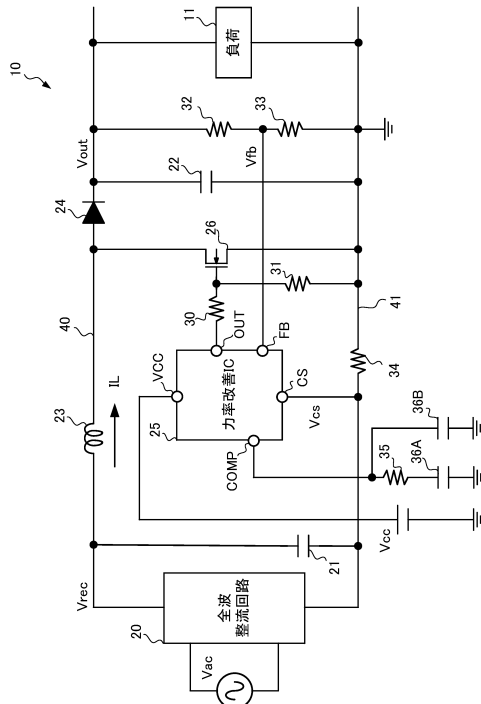
5 0 1 N P N トランジスタ

5 0 2 P N P トランジスタ

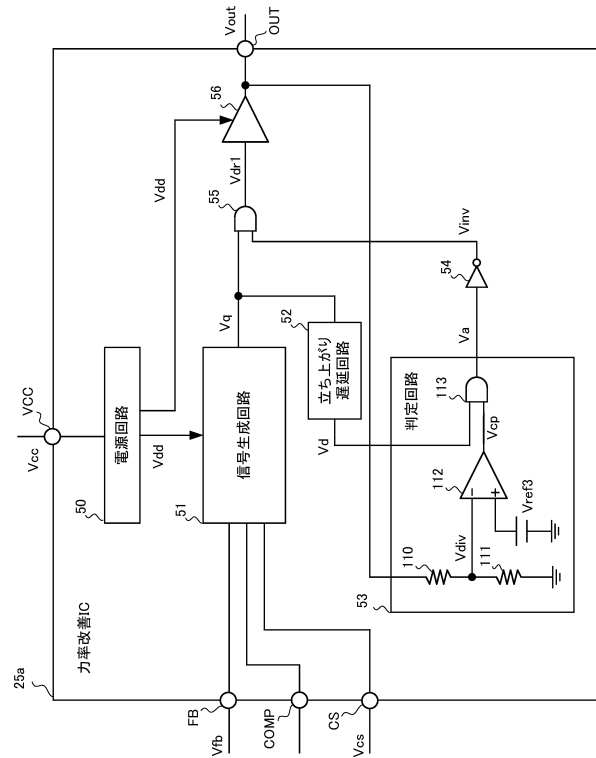
50

【図面】

【図 1】



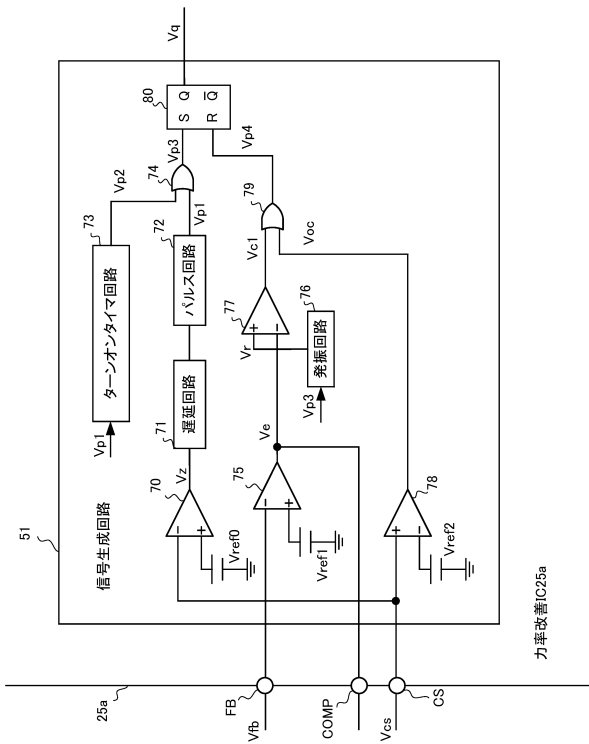
【図 2】



10

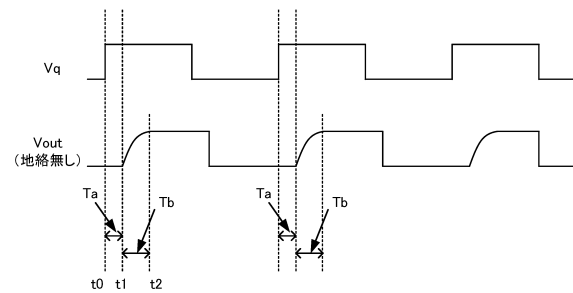
20

【図 3】



力率改善IC25a

【図 4】

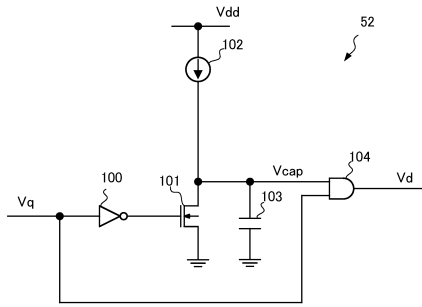


30

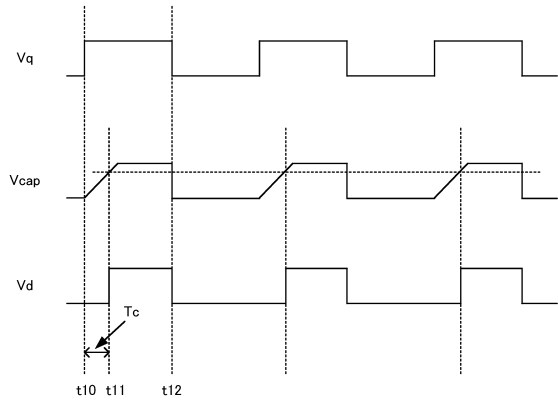
40

50

【図 5】

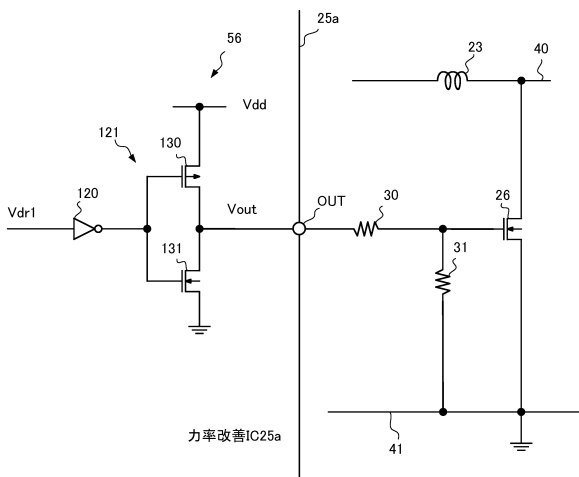


【図 6】

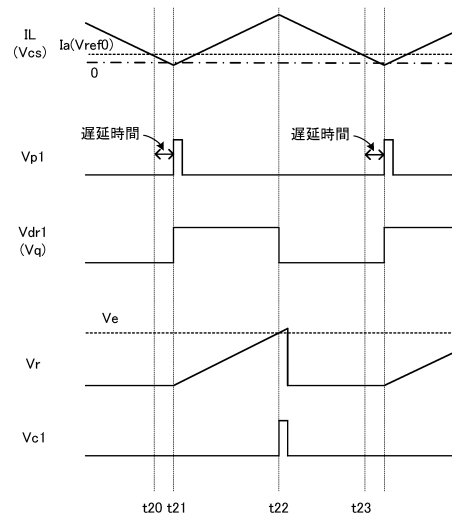


10

【図 7】



【図 8】



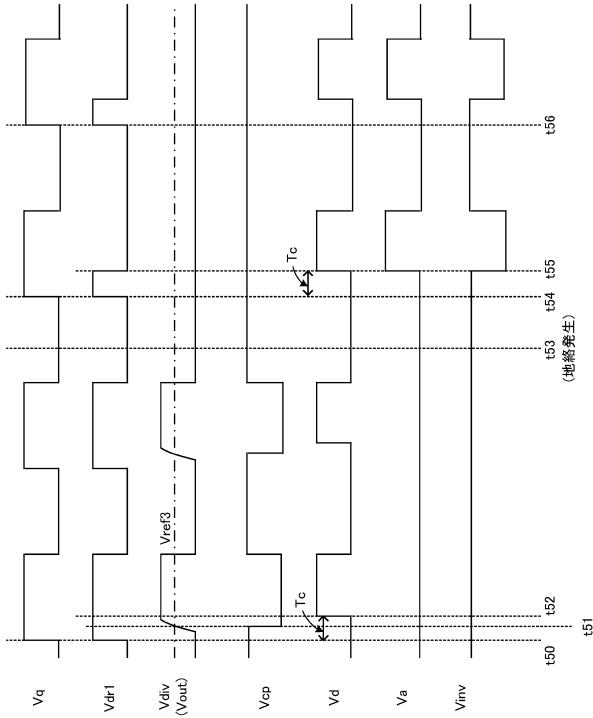
20

30

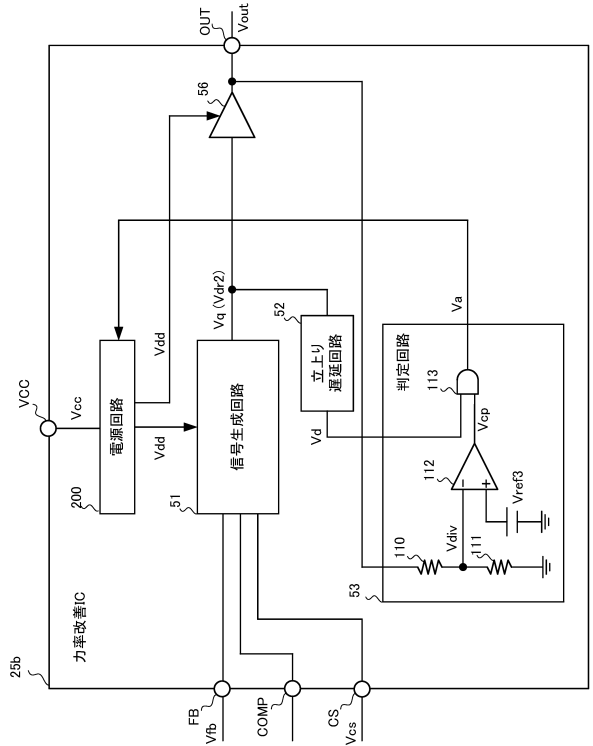
40

50

【図 9】



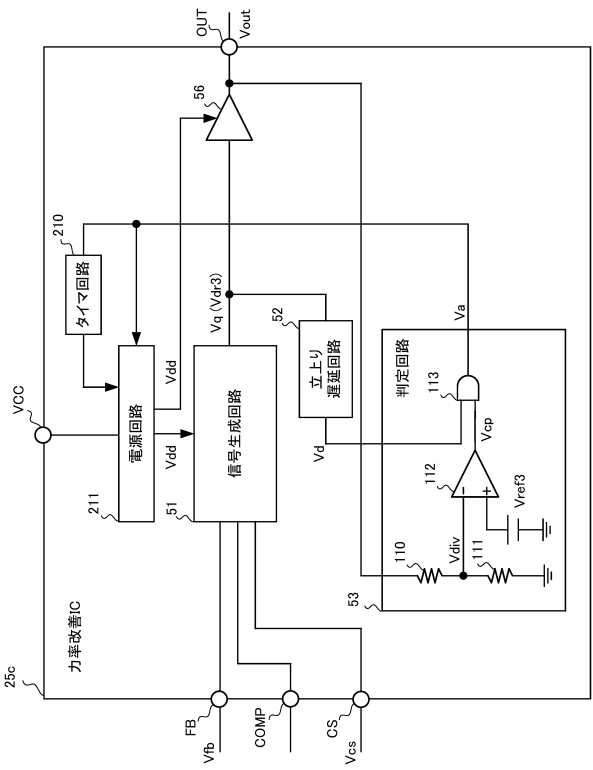
【図 10】



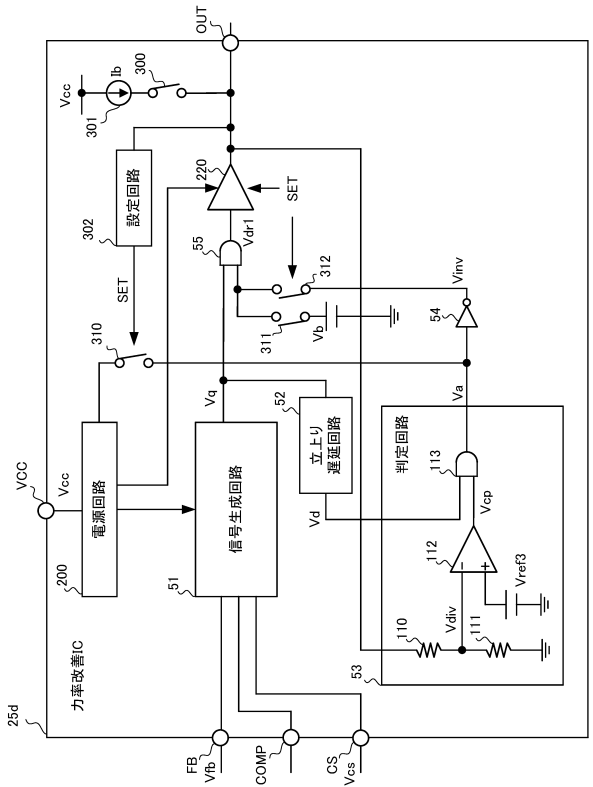
10

20

【図 11】



【図 12】

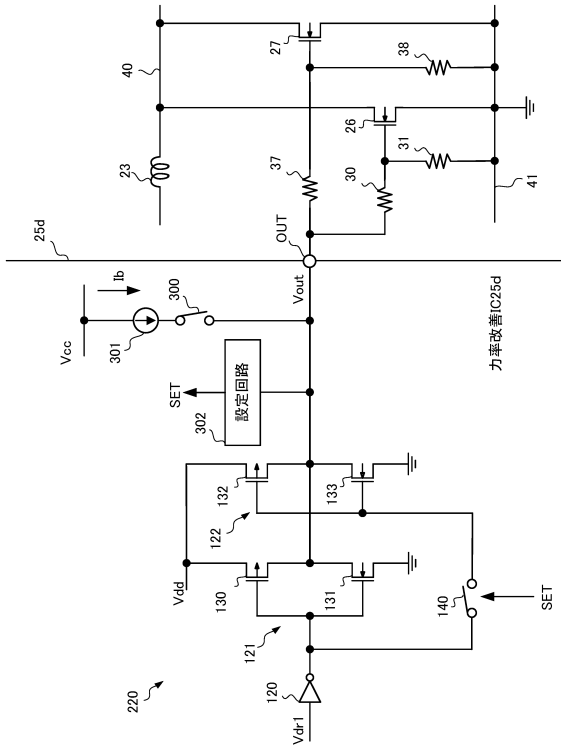


30

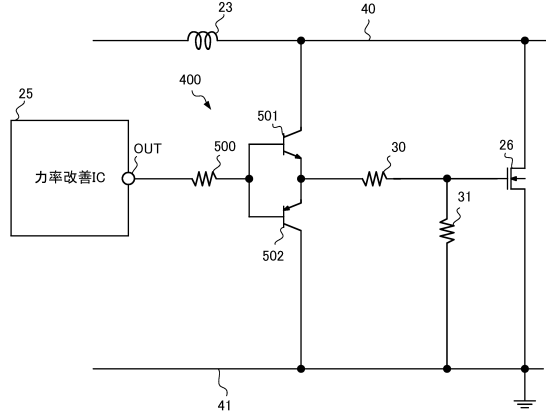
40

50

【図 13】



【図 14】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2017-175753(JP,A)
特開2018-113809(JP,A)
特開2018-129910(JP,A)
特開2012-120355(JP,A)
特開2012-010577(JP,A)
国際公開第2018/109864(WO,A1)
特開2013-207874(JP,A)
特開2014-206901(JP,A)
特開2017-143657(JP,A)
特開2012-161184(JP,A)
特開2002-176768(JP,A)
特開2004-282959(JP,A)
特開2013-034382(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H02M 1/00 - 1/44
H02M 3/00 - 3/44