



(12) 发明专利申请

(10) 申请公布号 CN 116387028 A

(43) 申请公布日 2023. 07. 04

(21) 申请号 202211706782.1

H01G 4/12 (2006.01)

(22) 申请日 2022.12.29

H01G 4/30 (2006.01)

(30) 优先权数据

10-2021-0193708 2021.12.31 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 李忠烈 李有淨 崔亨综 元光渊

安昭贞 成佑庆 李冈夏 朴明俊

李种皓 金俊亨

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

专利代理师 薛丞丞 赵伟

(51) Int. Cl.

H01G 4/232 (2006.01)

H01G 4/224 (2006.01)

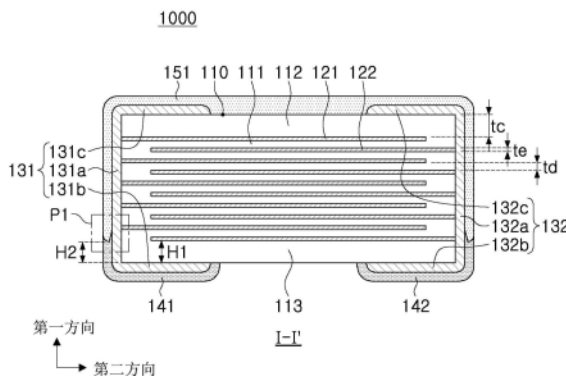
权利要求书13页 说明书31页 附图22页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供了一种多层电子组件。所述多层电子组件包括：主体，包括介电层和内电极，并且具有第一表面至第六表面；第一外电极，包括位于所述第三表面上的第一连接部和位于所述第一表面上的第一带部；第二外电极，包括位于所述第四表面上的第二连接部和位于所述第一表面上的第二带部；绝缘层，位于所述第二表面以及所述第一连接部和所述第二连接部上；以及镀层，位于所述第一带部和所述第二带部上。所述镀层延伸到所述第一连接部和所述第二连接部上并与所述绝缘层接触。所述绝缘层的端部的厚度朝向所述镀层减小。所述镀层的端部包括：第一区域，位于所述绝缘层与所述第一连接部和所述第二连接部之间；以及第二区域，覆盖所述绝缘层。



1. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接部和第一带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分;

第二外电极,包括第二连接部和第二带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分;

绝缘层,设置在所述第二表面上并且延伸到所述第一连接部的一部分和所述第二连接部的一部分上;以及

镀层,设置在所述第一带部和所述第二带部上,

其中,所述镀层延伸到所述第一连接部的一部分和所述第二连接部的一部分上并与所述绝缘层接触,并且在所述镀层与所述绝缘层接触的区域中,所述绝缘层的厚度朝向端部减小,并且

其中,所述镀层的端部包括第一区域和第二区域,所述第一区域延伸到所述绝缘层与所述第一连接部和所述第二连接部之间的区域,所述第二区域延伸以覆盖所述绝缘层。

2. 根据权利要求1所述的多层电子组件,其中,满足 $a_1 > a_2$,其中, a_1 是所述第一区域在所述第一方向上的最大长度,并且 a_2 是所述第二区域在所述第一方向上的最大长度。

3. 根据权利要求2所述的多层电子组件,其中,满足 $H_1 \geq H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

4. 根据权利要求2所述的多层电子组件,其中,满足 $H_1 < H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

5. 根据权利要求2所述的多层电子组件,其中,所述第一外电极和所述第二外电极不设置在所述第二表面上。

6. 根据权利要求1所述的多层电子组件,其中,满足 $H_1 \geq H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

7. 根据权利要求1所述的多层电子组件,其中,满足 $H_1 < H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

8. 根据权利要求7所述的多层电子组件,其中,满足 $H_2 < T/2$,其中, T 是所述主体在所述

第一方向上的平均尺寸。

9. 根据权利要求1所述的多层电子组件,其中,满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$,其中,L是所述主体在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

10. 根据权利要求1所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部和所述第二带部之间。

11. 根据权利要求1所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

12. 根据权利要求1所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

13. 根据权利要求1所述的多层电子组件,其中,所述介电层的平均厚度为 $0.35\mu\text{m}$ 或更小。

14. 根据权利要求1所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为 $0.35\mu\text{m}$ 或更小。

15. 根据权利要求1所述的多层电子组件,其中,所述主体包括:

电容形成部和覆盖部,所述电容形成部包括所述第一内电极和所述第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部设置在所述电容形成部在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

16. 根据权利要求1所述的多层电子组件,其中,所述镀层的平均厚度小于所述绝缘层的平均厚度。

17. 根据权利要求1所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第五表面和所述第六表面间隔开。

18. 根据权利要求1所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第二表面间隔开。

19. 根据权利要求1所述的多层电子组件,其中,所述镀层覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述镀层覆盖所述绝缘层的设置在所述第二外电极上的端部。

20. 根据权利要求1所述的多层电子组件,其中,所述绝缘层覆盖所述镀层的设置在所述第一外电极上的端部,并且所述绝缘层覆盖所述镀层的设置在所述第二外电极上的端部。

21. 根据权利要求1所述的多层电子组件,其中,所述绝缘层覆盖所述第五表面的一部分和所述第六表面的一部分。

22. 根据权利要求1所述的多层电子组件,其中,所述绝缘层覆盖整个所述第五表面和整个所述第六表面。

23. 根据权利要求1所述的多层电子组件,

其中,所述主体具有将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面

连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角，

其中，所述1-3拐角和所述2-3拐角具有随着接近所述第三表面而朝向所述主体在所述第一方向上的中央收缩的形状，并且所述1-4拐角和所述2-4拐角具有随着接近所述第四表面而朝向所述主体在所述第一方向上的中央收缩的形状，并且

其中，所述第一外电极包括从所述第一连接部延伸并设置在所述1-3拐角和所述2-3拐角上的拐角部，并且所述第二外电极包括从所述第二连接部延伸并设置在所述1-4拐角和所述2-4拐角上的拐角部。

24. 一种多层电子组件，包括：

主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面；

第一外电极，包括第一连接部和第一带部，所述第一连接部设置在所述第三表面上，所述第一带部从所述第一连接部延伸到所述第一表面的一部分；

第二外电极，包括第二连接部和第二带部，所述第二连接部设置在所述第四表面上，所述第二带部从所述第二连接部延伸到所述第一表面的一部分；

绝缘层，设置在所述第二表面以及所述第一连接部和所述第二连接部上，并且延伸到所述第一带部的一部分和所述第二带部的一部分；以及

镀层，设置在所述第一带部和所述第二带部上，并且与所述绝缘层接触，

其中，在所述绝缘层与所述镀层接触的区域中，所述绝缘层的厚度朝向端部减小，并且

其中，所述镀层的端部包括第三区域和第四区域，所述第三区域延伸到所述绝缘层与所述第一带部和所述第二带部之间的区域，所述第四区域延伸以覆盖所述绝缘层。

25. 根据权利要求24所述的多层电子组件，其中，满足 $a_3 > a_4$ ，其中， a_3 是所述第三区域在所述第二方向上的最大长度，并且 a_4 是所述第四区域在所述第二方向上的最大长度。

26. 根据权利要求25所述的多层电子组件，其中，所述镀层的厚度小于所述绝缘层的厚度。

27. 根据权利要求25所述的多层电子组件，其中，满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ ，其中， L 是所述主体在所述第二方向上的平均尺寸， B_1 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离，并且 B_2 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

28. 根据权利要求24所述的多层电子组件，其中，所述绝缘层设置为具有朝向位于所述第一带部和所述第二带部上的端部减小的厚度。

29. 根据权利要求24所述的多层电子组件，其中，所述绝缘层是一体形成的。

30. 根据权利要求24所述的多层电子组件，其中，所述绝缘层覆盖整个所述第二表面。

31. 根据权利要求24所述的多层电子组件，其中，所述镀层设置在所述第一表面的延长线下方。

32. 根据权利要求24所述的多层电子组件，其中，满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq$

0.4,其中,L是所述主体在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

33.根据权利要求24所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部和所述第二带部之间。

34.根据权利要求24所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

35.根据权利要求24所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

36.根据权利要求24所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

37.根据权利要求24所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μm 或更小。

38.根据权利要求24所述的多层电子组件,其中,所述主体包括:

电容形成部和覆盖部,所述电容形成部包括所述第一内电极和所述第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部设置在所述电容形成部在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

39.根据权利要求24所述的多层电子组件,其中,所述镀层的平均厚度小于所述绝缘层的平均厚度。

40.根据权利要求24所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第五表面和所述第六表面间隔开。

41.根据权利要求24所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第二表面间隔开。

42.根据权利要求24所述的多层电子组件,其中,所述镀层覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述镀层覆盖所述绝缘层的设置在所述第二外电极上的端部。

43.根据权利要求24所述的多层电子组件,其中,所述绝缘层覆盖所述镀层的设置在所述第一外电极上的端部,并且所述绝缘层覆盖所述镀层的设置在所述第二外电极上的端部。

44.根据权利要求24所述的多层电子组件,其中,所述绝缘层设置成覆盖所述第五表面的一部分和所述第六表面的一部分。

45.根据权利要求24所述的多层电子组件,其中,所述绝缘层覆盖整个所述第五表面和整个所述第六表面。

46.根据权利要求24所述的多层电子组件,

其中,所述主体具有将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角,

其中,所述1-3拐角和所述2-3拐角具有随着接近所述第三表面而朝向所述主体在所述第一方向上的中央收缩的形状,并且所述1-4拐角和所述2-4拐角具有随着接近所述第四表面而朝向所述主体在所述第一方向上的中央收缩的形状,并且

其中,所述第一外电极包括从所述第一连接部延伸并设置在所述1-3拐角和所述2-3拐角上的拐角部,并且所述第二外电极包括从所述第二连接部延伸并设置在所述1-4拐角和所述2-4拐角上的拐角部。

47. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接部、第一带部和第三带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分,所述第三带部从所述第一连接部延伸到所述第二表面的一部分;

第二外电极,包括第二连接部、第二带部和第四带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分,所述第四带部从所述第二连接部延伸到所述第二表面的一部分;

绝缘层,设置在所述第一连接部和所述第二连接部上并且覆盖所述第二表面以及所述第三带部和所述第四带部;以及

镀层,设置在所述第一带部和所述第二带部上,

其中,所述镀层延伸到所述第一连接部的一部分和所述第二连接部的一部分上并与所述绝缘层接触,并且在所述镀层与所述绝缘层接触的区域中,所述绝缘层的厚度朝向端部减小,并且

其中,所述镀层的端部包括第一区域和第二区域,所述第一区域延伸到所述绝缘层与所述第一连接部和所述第二连接部之间的区域,所述第二区域延伸以覆盖所述绝缘层。

48. 根据权利要求47所述的多层电子组件,其中,满足 $a_1 > a_2$,其中, a_1 被定义为所述第一区域在所述第一方向上的最大长度,并且 a_2 被定义为所述第二区域在所述第一方向上的最大长度。

49. 根据权利要求48所述的多层电子组件,其中,满足 $H_1 \geq H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

50. 根据权利要求48所述的多层电子组件,其中,满足 $H_1 < H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

51. 根据权利要求47所述的多层电子组件,其中,满足 $H_1 \geq H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第

一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

52. 根据权利要求47所述的多层电子组件,其中,满足 $H_1 < H_2$,其中, H_1 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 H_2 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

53. 根据权利要求52所述的多层电子组件,其中,满足 $H_2 < T/2$,其中, T 是所述主体在所述第一方向上的平均尺寸。

54. 根据权利要求47所述的多层电子组件,其中,满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$,其中, L 是所述主体在所述第二方向上的平均尺寸, B_1 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离,并且 B_2 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

55. 根据权利要求47所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部和所述第二带部之间。

56. 根据权利要求47所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

57. 根据权利要求47所述的多层电子组件,其中,满足 $B_3 < B_1$ 和 $B_4 < B_2$,其中, B_1 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离, B_2 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离, B_3 是在所述第二方向上从所述第三表面的延长线到所述第三带部的端部的平均距离,并且 B_4 是在所述第二方向上从所述第四表面的延长线到所述第四带部的端部的平均距离。

58. 根据权利要求47所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

59. 根据权利要求47所述的多层电子组件,其中,所述介电层的平均厚度为 $0.35\mu\text{m}$ 或更小。

60. 根据权利要求47所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为 $0.35\mu\text{m}$ 或更小。

61. 根据权利要求47所述的多层电子组件,其中,所述主体包括:

电容形成部和覆盖部,所述电容形成部包括所述第一内电极和所述第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部设置在所述电容形成部在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

62. 根据权利要求47所述的多层电子组件,其中,所述镀层的平均厚度小于所述绝缘层的平均厚度。

63. 根据权利要求47所述的多层电子组件,其中,所述镀层覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述镀层覆盖所述绝缘层的设置在所述第二外电极上的端部。

64. 根据权利要求47所述的多层电子组件,其中,所述绝缘层覆盖所述镀层的设置在所

述第一外电极上的端部,并且所述绝缘层覆盖所述镀层的设置在所述第二外电极上的端部。

65. 根据权利要求47所述的多层电子组件,

其中,所述第一外电极包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分,

其中,所述第二外电极包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分,并且

其中,所述第一侧带部和所述第二侧带部在所述第二方向上的尺寸朝向所述第一表面增大。

66. 根据权利要求47所述的多层电子组件,

其中,所述第一外电极包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分,

其中,所述第二外电极包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分,并且

其中,所述绝缘层设置成覆盖所述第一侧带部的一部分和所述第二侧带部的一部分以及所述第五表面的一部分和所述第六表面的一部分。

67. 根据权利要求47所述的多层电子组件,

其中,所述第一外电极包括第一侧带部,所述第一侧带部从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分,

其中,所述第二外电极包括第二侧带部,所述第二侧带部从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分,并且

其中,所述绝缘层设置成覆盖整个所述第一侧带部和整个所述第二侧带部以及整个所述第五表面和整个所述第六表面。

68. 根据权利要求47所述的多层电子组件,其中,满足 $B3 \geq G1$ 和 $B4 \geq G2$,其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三带部的端部的平均距离, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四带部的端部的平均距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

69. 根据权利要求47所述的多层电子组件,其中,满足 $B1 \geq G1$ 和 $B2 \geq G2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

70. 根据权利要求47所述的多层电子组件,

其中,所述主体具有将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角,

其中,所述1-3拐角和所述2-3拐角具有随着接近所述第三表面而朝向所述主体在所述第一方向上的中央收缩的形状,并且所述1-4拐角和所述2-4拐角具有随着接近所述第四表

面而朝向所述主体在所述第一方向上的中央收缩的形状,并且

其中,所述第一外电极包括从所述第一连接部延伸并设置在所述1-3拐角和所述2-3拐角上的拐角部,并且所述第二外电极包括从所述第二连接部延伸并设置在所述1-4拐角和所述2-4拐角上的拐角部。

71. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在所述第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在所述第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接部、第一带部和第一拐角部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分,所述第一拐角部从所述第一连接部延伸到将所述第二表面连接到所述第三表面的拐角;

第二外电极,包括第二连接部、第二带部和第二拐角部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分,所述第二拐角部从所述第二连接部延伸到将所述第二表面连接到所述第四表面的拐角;

绝缘层,设置在所述第一连接部和所述第二连接部上并且覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;以及

镀层,设置在所述第一带部和所述第二带部上,

其中,满足 $B3 \leq G1$ 和 $B4 \leq G2$,其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均距离, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸,

其中,所述镀层延伸到所述第一连接部的一部分和所述第二连接部的一部分上并与所述绝缘层接触,在所述镀层与所述绝缘层接触的区域中,所述绝缘层的厚度朝向端部减小,并且

其中,所述镀层的端部包括第一区域和第二区域,所述第一区域延伸到所述绝缘层与所述第一连接部和所述第二连接部之间的区域,所述第二区域延伸以覆盖所述绝缘层。

72. 根据权利要求71所述的多层电子组件,其中,满足 $a1 > a2$,其中, $a1$ 被定义为所述第一区域在所述第一方向上的最大长度,并且 $a2$ 被定义为所述第二区域在所述第一方向上的最大长度。

73. 根据权利要求72所述的多层电子组件,其中,满足 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

74. 根据权利要求72所述的多层电子组件,其中,满足 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线

到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

75. 根据权利要求72所述的多层电子组件,其中,所述第一外电极和所述第二外电极不设置在所述第二表面上。

76. 根据权利要求71所述的多层电子组件,其中,满足 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

77. 根据权利要求71所述的多层电子组件,其中,满足 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述绝缘层的设置在所述第一连接部和所述第二连接部上的端部的平均距离。

78. 根据权利要求77所述的多层电子组件,其中,满足 $H2 < T/2$,其中, T 是所述主体在所述第一方向上的平均尺寸。

79. 根据权利要求71所述的多层电子组件,其中,满足 $0.2 \leq B1/L \leq 0.4$ 和 $0.2 \leq B2/L \leq 0.4$,其中, L 是所述主体在所述第二方向上的平均尺寸, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离,并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

80. 根据权利要求71所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部和所述第二带部之间。

81. 根据权利要求71所述的多层电子组件,其中,所述第一外电极和所述第二外电极包括Ni和Ni合金中的至少一种。

82. 根据权利要求71所述的多层电子组件,其中,满足 $B3 < B1$ 和 $B4 < B2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离,并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

83. 根据权利要求71所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

84. 根据权利要求71所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

85. 根据权利要求71所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μm 或更小。

86. 根据权利要求71所述的多层电子组件,其中,所述主体包括:

电容形成部和覆盖部,所述电容形成部包括所述第一内电极和所述第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部设置在所述电容形成部在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

87. 根据权利要求71所述的多层电子组件,其中,所述镀层的平均厚度小于所述绝缘层的平均厚度。

88. 根据权利要求71所述的多层电子组件,其中,所述第一拐角部和所述第二拐角部设

置在所述第二表面的延长线下方。

89. 根据权利要求71所述的多层电子组件,其中,所述第一连接部和所述第二连接部与所述第五表面和所述第六表面间隔开。

90. 根据权利要求71所述的多层电子组件,其中,所述第一拐角部和所述第二拐角部与所述第二表面间隔开。

91. 根据权利要求71所述的多层电子组件,其中,所述镀层覆盖所述绝缘层的设置在所述第一外电极上的端部,并且所述镀层覆盖所述绝缘层的设置在所述第二外电极上的端部。

92. 根据权利要求71所述的多层电子组件,其中,所述绝缘层覆盖所述镀层的设置在所述第一外电极上的端部,并且所述绝缘层覆盖所述镀层的设置在所述第二外电极上的端部。

93. 根据权利要求71所述的多层电子组件,其中,所述绝缘层覆盖所述第五表面的一部分和所述第六表面的一部分。

94. 根据权利要求71所述的多层电子组件,其中,所述绝缘层覆盖整个所述第五表面和整个所述第六表面。

95. 根据权利要求71所述的多层电子组件,其中,满足 $B1 \geq G1$ 和 $B2 \geq G2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的端部的平均距离,并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的端部的平均距离。

96. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括第一连接电极和第一带电极,所述第一连接电极设置在所述第三表面上,所述第一带电极设置在所述第一表面上并连接到所述第一连接电极;

第二外电极,包括第二连接电极和第二带电极,所述第二连接电极设置在所述第四表面上,所述第二带电极设置在所述第一表面上并连接到所述第二连接电极;

第一绝缘层,设置在所述第一连接电极上;

第二绝缘层,设置在所述第二连接电极上;

第一镀层,设置在所述第一带电极上;以及

第二镀层,设置在所述第二带电极上,

其中,所述第一镀层的端部包括1-1区域和1-2区域,所述1-1区域延伸到所述第一绝缘层与所述第一连接电极之间的区域,所述1-2区域延伸以覆盖所述第一绝缘层,并且

其中,所述第二镀层的端部包括2-1区域和2-2区域,所述2-1区域延伸到所述第二绝缘层与所述第二连接电极之间的区域,所述2-2区域延伸以覆盖所述第二绝缘层。

97. 根据权利要求96所述的多层电子组件,其中,满足 $a1 > a2$,其中, $a1$ 是所述1-1区域和所述2-1区域在所述第一方向上的最大长度,并且 $a2$ 是所述1-2区域和所述2-2区域在所述第一方向上的最大长度。

98. 根据权利要求97所述的多层电子组件,其中,满足 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一绝缘层的设置在所述第一连接电极上的端部和所述第二绝缘层的设置在所述第二连接电极上的端部的平均距离。

99. 根据权利要求97所述的多层电子组件,其中,满足 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一绝缘层的设置在所述第一连接电极上的端部和所述第二绝缘层的设置在所述第二连接电极上的端部的平均距离。

100. 根据权利要求96所述的多层电子组件,其中,满足 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一绝缘层的设置在所述第一连接电极上的端部和所述第二绝缘层的设置在所述第二连接电极上的端部的平均距离。

101. 根据权利要求96所述的多层电子组件,其中,满足 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中在所述第一方向上与所述第一表面最邻近的内电极的平均距离,并且 $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一绝缘层的设置在所述第一连接电极上的端部和所述第二绝缘层的设置在所述第二连接电极上的端部的平均距离。

102. 根据权利要求101所述的多层电子组件,其中,满足 $H2 < T/2$,其中, T 是所述主体在所述第一方向上的平均尺寸。

103. 根据权利要求96所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带电极和所述第二带电极之间。

104. 根据权利要求96所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极包括Ni和Ni合金中的至少一种。

105. 根据权利要求96所述的多层电子组件,其中,所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

106. 根据权利要求96所述的多层电子组件,其中,所述介电层的平均厚度为0.35 μm 或更小。

107. 根据权利要求96所述的多层电子组件,其中,所述第一内电极和所述第二内电极的平均厚度为0.35 μm 或更小。

108. 根据权利要求96所述的多层电子组件,其中,所述主体包括:

电容形成部和覆盖部,所述电容形成部包括所述第一内电极和所述第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极与所述第二内电极之间,所述覆盖部设置在所述电容形成部在所述第一方向上的两个表面上,

其中,所述覆盖部在所述第一方向上的平均尺寸为15 μm 或更小。

109. 根据权利要求96所述的多层电子组件,其中,所述第一镀层和所述第二镀层的平均厚度小于所述第一绝缘层和所述第二绝缘层的平均厚度。

110. 根据权利要求96所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极与所述第五表面和所述第六表面间隔开。

111. 根据权利要求96所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极与所述第二表面间隔开。

112. 根据权利要求96所述的多层电子组件,其中,所述第一镀层覆盖所述第一绝缘层的设置在所述第一外电极上的端部,并且所述第二镀层覆盖所述第二绝缘层的设置在所述第二外电极上的端部。

113. 根据权利要求96所述的多层电子组件,其中,所述第一绝缘层覆盖所述第一镀层的设置在所述第一外电极上的端部,并且所述第二绝缘层覆盖所述第二镀层的设置在所述第二外电极上的端部。

114. 根据权利要求96所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面以彼此连接,并且覆盖所述第五表面的一部分和所述第六表面的一部分。

115. 根据权利要求96所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面以彼此连接,并且覆盖整个所述第五表面和整个所述第六表面。

116. 根据权利要求96所述的多层电子组件,其中,所述第一绝缘层和所述第二绝缘层延伸到所述第二表面并且彼此连接。

117. 根据权利要求96所述的多层电子组件,

其中,所述主体具有将所述第一表面连接到所述第三表面的1-3拐角、将所述第一表面连接到所述第四表面的1-4拐角、将所述第二表面连接到所述第三表面的2-3拐角以及将所述第二表面连接到所述第四表面的2-4拐角,

其中,所述1-3拐角和所述2-3拐角具有随着接近所述第三表面而朝向所述主体在所述第一方向上的中央收缩的形状,并且所述1-4拐角和所述2-4拐角具有随着接近所述第四表面而朝向所述主体在所述第一方向上的中央收缩的形状,并且

其中,所述第一连接电极包括延伸到所述1-3拐角和所述2-3拐角的拐角部,并且所述第二连接电极包括延伸到所述1-4拐角和所述2-4拐角的拐角部。

118. 根据权利要求96所述的多层电子组件,

其中,所述第一外电极还包括第三带电极,所述第三带电极设置在所述第二表面上并连接到所述第一连接电极,并且

其中,所述第二外电极还包括第四带电极,所述第四带电极设置在所述第二表面上并连接到所述第二连接电极。

119. 根据权利要求118所述的多层电子组件,其中,满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$,其中, $B1$ 是从所述第三表面的延长线到所述第一带电极的端部的平均距离, $B2$ 是从所述第四表面的延长线到所述第二带电极的端部的平均距离, $B3$ 是从所述第三表面的延长线到所述第三带电极的端部的平均距离, $B4$ 是从所述第四表面的延长线到所述第四带电极的端部的平均距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上

的平均尺寸,并且G2是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

120. 根据权利要求118所述的多层电子组件,其中,满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$,其中,B1是从所述第三表面的延长线到所述第一带电极的端部的平均距离,B2是从所述第四表面的延长线到所述第二带电极的端部的平均距离,B3是从所述第三表面的延长线到所述第三带电极的端部的平均距离,B4是从所述第四表面的延长线到所述第四带电极的端部的平均距离,G1是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且G2是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

121. 根据权利要求96所述的多层电子组件,其中,所述第一带电极和所述第二带电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

122. 根据权利要求96所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

123. 根据权利要求96所述的多层电子组件,其中,所述第一带电极和所述第二带电极是包括导电金属和玻璃的烧制电极。

124. 根据权利要求96所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极是包括导电金属和玻璃的烧制电极。

125. 根据权利要求96所述的多层电子组件,其中,所述第一带电极和所述第二带电极是镀覆电极。

126. 根据权利要求96所述的多层电子组件,其中,所述第一连接电极和所述第二连接电极是镀覆电极。

127. 根据权利要求121或122所述的多层电子组件,其中,所述相同的金属是Ni。

128. 根据权利要求123所述的多层电子组件,其中,所述导电金属是Ni、Cu以及它们的合金中的至少一种。

多层电子组件

[0001] 本申请要求于2021年12月31日在韩国知识产权局提交的第10-2021-0193708号韩国专利申请的优先权的权益,该韩国专利申请的公开内容通过引用全部包含于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器 (MLCC, 一种多层电子组件) 可以是可安装在各种类型的电子产品 (诸如成像装置 (诸如液晶显示器 (LCD) 和等离子体显示面板 (PDP))、计算机、智能电话和移动电话等) 的印刷电路板上并且可用于充电或放电的片式电容器。

[0004] 由于多层陶瓷电容器可具有相对小的尺寸和高电容并且可容易地安装,因此这种多层陶瓷电容器可用作各种电子装置的组件。

[0005] 近来,随着电子产品的小型化和多功能化,对高集成密度和高电容的多层陶瓷电容器的需求增大,使得可减小多层陶瓷电容器之间的空间。

[0006] 此外,由于多层陶瓷电容器可用于汽车或信息娱乐系统,因此对高可靠性、高强度特性和小型化的需求增大。

[0007] 因此,在现有技术中,在通过焊料安装多层电子组件的情况下,为了防止由于焊脚 (solder fillet) 的热还原引起的拉伸应力导致的主体中的裂纹,可设置直接设置在每个端表面上的烧结层上并形成外电极的表面的一部分的玻璃层,并且可在外电极的未被玻璃层覆盖的表面上设置镀层。

[0008] 为了减小多层陶瓷电容器的尺寸并增大多层陶瓷电容器的电容,可需要通过减小内电极的厚度来增加堆叠的层数,并且可需要通过减小不用于形成电容的部分的体积来增大实现电容所需的有效体积分数。

[0009] 而且,为了在基板的有限区域内安装相对更多数量的组件,可需要减小安装空间。

[0010] 此外,随着多层陶瓷电容器的尺寸已经减小并且多层陶瓷电容器的电容已经增大,边缘部的厚度可能减小,使得外部水分或镀液可能容易通过边缘部渗透,这可能使可靠性劣化。因此,可能需要一种用于保护多层陶瓷电容器免受外部水分或镀液的渗透的方法。

发明内容

[0011] 本公开的一方面在于提供一种免受由焊脚的热还原引起的应力影响的多层电子组件。

[0012] 本公开的一方面在于提供一种减小的尺寸且高电容的多层电子组件。

[0013] 本公开的一方面在于提供一种具有减小的安装体积的多层电子组件。

[0014] 本公开的一方面在于提供一种免受外部水分和镀液的渗透影响的多层电子组件。

[0015] 根据本公开的一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内

电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部和第一带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分;第二外电极,包括第二连接部和第二带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分;绝缘层,设置在所述第二表面上并且延伸到所述第一连接部的一部分和所述第二连接部的一部分上;以及镀层,设置在所述第一带部和所述第二带部上。所述镀层延伸到所述第一连接部的一部分和所述第二连接部的一部分上并与所述绝缘层接触。在所述镀层与所述绝缘层接触的区域中,所述绝缘层的厚度朝向端部减小。所述镀层的端部包括第一区域和第二区域,所述第一区域延伸到所述绝缘层与所述第一连接部和所述第二连接部之间的区域,所述第二区域延伸以覆盖所述绝缘层。

[0016] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部和第一带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分;第二外电极,包括第二连接部和第二带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分;绝缘层,设置在所述第二表面以及所述第一连接部和所述第二连接部上,并且延伸到所述第一带部的一部分和所述第二带部的一部分;以及镀层,设置在所述第一带部和所述第二带部上,并且与所述绝缘层接触。在所述绝缘层与所述镀层接触的区域中,所述绝缘层的厚度朝向端部减小。所述镀层的端部包括第三区域和第四区域,所述第三区域延伸到所述绝缘层与所述第一带部和所述第二带部之间的区域,所述第四区域延伸以覆盖所述绝缘层。

[0017] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部、第一带部和第三带部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分,所述第三带部从所述第一连接部延伸到所述第二表面的一部分;第二外电极,包括第二连接部、第二带部和第四带部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分,所述第四带部从所述第二连接部延伸到所述第二表面的一部分;绝缘层,设置在所述第一连接部和所述第二连接部上并且覆盖所述第二表面以及所述第三带部和所述第四带部;以及镀层,设置在所述第一带部和所述第二带部上。所述镀层延伸到所述第一连接部的一部分和所述第二连接部的一部分上并与所述绝缘层接触,并且

在所述镀层与所述绝缘层接触的区域中,所述镀层的厚度朝向端部减小。所述镀层的端部包括第一区域和第二区域,所述第一区域延伸到所述绝缘层与所述第一连接部和所述第二连接部之间的区域,所述第二区域延伸以覆盖所述绝缘层。

[0018] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接部、第一带部和第一拐角部,所述第一连接部设置在所述第三表面上,所述第一带部从所述第一连接部延伸到所述第一表面的一部分,所述第一拐角部从所述第一连接部延伸到将所述第二表面连接到所述第三表面的拐角;第二外电极,包括第二连接部、第二带部和第二拐角部,所述第二连接部设置在所述第四表面上,所述第二带部从所述第二连接部延伸到所述第一表面的一部分,所述第二拐角部从所述第二连接部延伸到将所述第二表面连接到所述第四表面的拐角;绝缘层,设置在所述第一连接部和所述第二连接部上并且覆盖所述第二表面以及所述第一拐角部和所述第二拐角部;以及镀层,设置在所述第一带部和所述第二带部上。满足 $B3 \leq G1$ 和 $B4 \leq G2$,其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的端部的平均距离, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的端部的平均距离, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸,并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。所述镀层延伸到所述第一连接部的一部分和所述第二连接部的一部分上并与所述绝缘层接触。在所述镀层与所述绝缘层接触的区域中,所述绝缘层的厚度朝向端部减小。所述镀层的端部包括第一区域和第二区域,所述第一区域延伸到所述绝缘层与所述第一连接部和所述第二连接部之间的区域,所述第二区域延伸以覆盖所述绝缘层。

[0019] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替设置且所述介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括第一连接电极和第一带电极,所述第一连接电极设置在所述第三表面上,所述第一带电极设置在所述第一表面上并连接到所述第一连接电极;第二外电极,包括第二连接电极和第二带电极,所述第二连接电极设置在所述第四表面上,所述第二带电极设置在所述第一表面上并连接到所述第二连接电极;第一绝缘层,设置在所述第一连接电极上;第二绝缘层,设置在所述第二连接电极上;第一镀层,设置在所述第一带电极上;以及第二镀层,设置在所述第二带电极上。所述第一镀层的端部包括1-1区域和1-2区域,所述1-1区域延伸到所述第一绝缘层与所述第一连接电极之间的区域,所述1-2区域延伸以覆盖所述第一绝缘层。所述第二镀层的端部包括2-1区域和2-2区域,所述2-1区域延伸到所述第二绝缘层和所述第二连接电极之间的区域,所述2-2区域延伸以覆盖所述第二绝缘层。

附图说明

[0020] 通过以下结合附图的具体实施方式,将更清楚地理解本公开的上述和其他方面、特征和优点,在附图中:

- [0021] 图1是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0022] 图2是示出图1中的多层电子组件的主体的立体图;
- [0023] 图3是沿图1中的线I-I'截取的截面图;
- [0024] 图4是示出图3中的区域P1的放大图;
- [0025] 图5是示出图2中的主体的分解立体图;
- [0026] 图6是示出其上安装有多层电子组件的基板的立体图;
- [0027] 图7是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0028] 图8是沿图7中的线II-II'截取的截面图;
- [0029] 图9是示出图8中的区域P2的放大图;
- [0030] 图10是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0031] 图11是沿图10中的线III-III'截取的截面图;
- [0032] 图12是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0033] 图13是沿图12中的线IV-IV'截取的截面图;
- [0034] 图14是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0035] 图15是沿图14中的线V-V'截取的截面图;
- [0036] 图16是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0037] 图17是沿图16中的线VI-VI'截取的截面图;
- [0038] 图18是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0039] 图19是沿图18中的线VII-VII'截取的截面图;
- [0040] 图20是示出图19中的区域P3的放大图;
- [0041] 图21是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0042] 图22是沿图21中的线VIII-VIII'截取的截面图;
- [0043] 图23是示出图21中的示例的变型示例的示图;
- [0044] 图24是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0045] 图25是沿图24中的线IX-IX'截取的截面图;
- [0046] 图26是示出图24中的示例的变型示例的示图;
- [0047] 图27是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0048] 图28是沿图27中的线X-X'截取的截面图;
- [0049] 图29是示出图27中的示例的变型示例的示图;
- [0050] 图30是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0051] 图31是沿图30中的线XI-XI'截取的截面图;
- [0052] 图32是示出图30中的示例的变型示例的示图;
- [0053] 图33是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0054] 图34是沿图33中的线XII-XII'截取的截面图;
- [0055] 图35是示出根据本公开的示例实施例的多层电子组件的立体图;
- [0056] 图36是沿图35中的线XIII-XIII'截取的截面图;

- [0057] 图37是示出图35中的示例的变型示例的示图；
[0058] 图38是示出图17中的示例的变型示例的示图；
[0059] 图39是示出根据本公开的示例实施例的多层电子组件的立体图；
[0060] 图40是沿图39中的线XIV-XIV' 截取的截面图；以及
[0061] 图41是示出图40中的区域K1的放大图。

具体实施方式

- [0062] 在下文中,将参照附图如下描述本公开的实施例。
- [0063] 然而,本公开可以按许多不同的形式举例说明,并且不应被解释为限于这里阐述的具体实施例。相反,提供这些实施例使得本公开将是透彻和完整的,并且将向本领域技术人员充分传达本公开的范围。因此,为了描述的清楚性,附图中的要素的形状和尺寸可能被夸大。此外,将使用相同的附图标记来描述在每个示例实施例的附图中表示的相同构思范围内具有相同功能的要素。
- [0064] 在附图中,相同的要素将由相同的附图标记表示。此外,将不提供可能不必要地使本公开的主旨模糊的已知功能和要素的冗余描述和详细描述。在附图中,一些要素可能被夸大、省略或简要示出,并且要素的尺寸不一定反映这些要素的实际尺寸。此外,将理解的是,除非另有说明,否则当部分“包括”要素时,该部分还可包括另一要素,而不排除另一要素。
- [0065] 这里使用的术语“示例性实施例”不是指相同的示例性实施例,而是被提供以强调与另一示例性实施例的特定特征不同的特定特征。然而,这里提供的示例性实施例可通过整体或部分地彼此组合来实现。例如,除非在其中提供相反或矛盾的描述,否则在特定示例性实施例中描述的一个要素即使没有在另一示例性实施例中描述,也可被理解为与另一示例性实施例相关的描述。
- [0066] 在附图中,第一方向可被定义为层叠方向或厚度(T)方向,第二方向可被定义为长度(L)方向,并且第三方向可被定义为宽度(W)方向。
- [0067] 图1是示出根据示例实施例的多层电子组件的立体图。
- [0068] 图2是示出图1的多层电子组件的主体的立体图。
- [0069] 图3是沿图1中的线I-I' 截取的截面图。
- [0070] 图4是示出图3中的区域P1的放大图。
- [0071] 图5是示出图2中的主体的分解立体图。
- [0072] 图6是示出安装有多层电子组件的基板的立体图。
- [0073] 在下文中,将参照图1至图6描述示例实施例中的多层电子组件1000。
- [0074] 示例实施例中的多层电子组件1000可包括主体110,主体110包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替设置且介电层111介于第一内电极121和第二内电极122之间,并且主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2以及第三表面3和第四表面4并在第三方向上彼此相对的第五表面5和第六表面6。
- [0075] 参照图2和图3,介电层111与内电极121和122可交替地堆叠在主体110中。

[0076] 主体110的形状可不限于任何特定形状,但是如图所示,主体110可具有六面体形状或类似于六面体形状的形状。由于在烧制工艺期间包括在主体110中的陶瓷粉末的收缩,主体110可不具有由直线形成的精确六面体形状,而是可具有基本上六面体形状。

[0077] 主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2以及第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。

[0078] 在示例实施例中,主体110可具有将第一表面连接到第三表面的1-3拐角、将第一表面连接到第四表面的1-4拐角、将第二表面连接到第三表面的2-3拐角以及将第二表面连接到第四表面的2-4拐角。1-3拐角和2-3拐角可具有随着接近第三表面而朝向主体在第一方向上的中央收缩的形状,并且1-4拐角和2-4拐角可具有随着接近第四表面而朝向主体在第一方向上的中央收缩的形状。

[0079] 由于介电层111的不设置内电极121和122的边缘区域可在第一方向上叠置,因此可能由于内电极121和122的厚度而形成台阶差,因此,将第一表面连接到第三表面至第六表面的拐角和/或将第二表面连接到第三表面至第六表面的拐角可具有相对于第一表面或第二表面朝向主体在第一方向上的中央收缩的形状。可选地,由于主体的烧结工艺中的收缩行为,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有相对于第一表面或第二表面朝向主体在第一方向上的中央收缩的形状。可选地,由于主体110的将表面连接的拐角通过执行单独的工艺而被倒圆以防止碎裂缺陷等,因此将第一表面连接到第三表面至第六表面连接的拐角和/或将第二表面连接到第三表面至第六表面的拐角可具有倒圆形状。

[0080] 拐角可包括将第一表面连接到第三表面的1-3拐角、将第一表面连接到第四表面的1-4拐角、将第二表面连接到第三表面的2-3拐角以及将第二表面连接到第四表面的2-4拐角。此外,拐角可包括将第一表面连接到第五表面的1-5拐角、将第一表面连接到第六表面的1-6拐角、将第二表面连接到第五表面的2-5拐角以及将第二表面连接到第六表面的2-6拐角。主体110的第一表面至第六表面可以是大致平坦的表面,并且非平坦区域可被构造为拐角。在下文中,每个表面的延长线可指相对于每个表面的平坦部分延伸的线。

[0081] 在这种情况下,外电极131和132中的设置在主体110的拐角上的区域可以是拐角部,外电极131和132中的设置在主体110的第三表面和第四表面上的区域可以是连接部,并且外电极131和132中的设置在主体的第一表面和第二表面上的区域可以是带部。

[0082] 为了防止由内电极121和122引起的台阶差,在层叠之后执行切割使得内电极暴露于电容形成部Ac在第三方向(宽度方向)上的两个侧表面,可在电容形成部Ac在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层,以形成边缘部114和115,在这种情况下,将第一表面连接到第五表面和第六表面的拐角以及将第二表面连接到第五表面和第六表面的拐角可不具有收缩形状。

[0083] 形成主体110的多个介电层111可处于烧制状态,并且相邻介电层111可彼此成为一体,使得在不使用扫描电子显微镜(SEM)的情况下难以区分相邻介电层111之间的边界。

[0084] 在示例实施例中,用于形成介电层111的原材料不限于任何特定示例,只要可获得

足够的电容即可。例如,可使用钛酸钡材料、铅复合钙钛矿材料或钛酸锶材料。钛酸钡材料可包括 BaTiO_3 陶瓷粉末,并且 BaTiO_3 陶瓷粉末的示例可包括其中部分固溶有Ca(钙)、Zr(锆)的 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ ($0 < x < 1$)、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ ($0 < y < 1$)、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < x < 1, 0 < y < 1$)或 $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ ($0 < y < 1$)。

[0085] 此外,在示例性实施例中,可将各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等添加到用于形成介电层111的原材料(诸如钛酸钡(BaTiO_3)的粉末)中。

[0086] 介电层111的平均厚度 t_d 可不需要限于任何特定示例。

[0087] 然而,通常,当介电层具有相对薄的小于 $0.6\mu\text{m}$ 的厚度时,特别是当介电层的厚度为 $0.35\mu\text{m}$ 或更小时,可靠性可能降低。

[0088] 在示例实施例中,通过将绝缘层设置在外电极的连接部上,并且将镀层设置在外电极的带部上,可防止外部水分和镀液的渗透,使得可改善可靠性。因此,即使当介电层111的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0089] 因此,当介电层111的平均厚度为 $0.35\mu\text{m}$ 或更小时,可改善示例实施例中的改善可靠性的效果。

[0090] 介电层111的平均厚度 t_d 可指设置在第一内电极121和第二内电极122之间的介电层111的平均厚度。

[0091] 介电层111的平均厚度可通过使用扫描电子显微镜(SEM)在10000倍的放大倍数下扫描主体110在长度方向和厚度方向上截取的截面(L-T截面)来测量。更具体地,可通过在扫描图像上测量一个介电层的在长度方向上以相等距离间隔开的30个点处的厚度来测量平均值。可在电容形成部Ac中指定以相等距离间隔开的30个点。此外,当平均值的测量扩展到10个介电层并测量其平均值时,可使介电层的平均厚度更一般化。

[0092] 主体110可包括:电容形成部Ac,设置在主体110中并且包括第一内电极121和第二内电极122,第一内电极121和第二内电极122彼此相对且介电层111介于第一内电极121和第二内电极122之间;以及覆盖部112和113,在第一方向上形成在电容形成部Ac的上部和下部。

[0093] 此外,电容形成部Ac可对电容器的电容的形成有贡献,并且可通过交替地层叠多个第一内电极121和多个第二内电极122且使介电层111介于第一内电极121和第二内电极122之间来形成。

[0094] 覆盖部112和113可包括在第一方向上设置在电容形成部Ac上方的上覆盖部112和在第一方向上设置在电容形成部Ac下方的下覆盖部113。

[0095] 上覆盖部112和下覆盖部113可通过在厚度方向上分别在电容形成部Ac的上表面和下表面上层叠单个介电层或者两个或更多个介电层来形成,并且可防止由物理应力或化学应力引起的对内电极的损坏。

[0096] 上覆盖部112和下覆盖部113不包括内电极,并且可包括与介电层111的材料相同的材料。

[0097] 也就是说,上覆盖部112和下覆盖部113可包括陶瓷材料(诸如钛酸钡(BaTiO_3)陶瓷材料)。

[0098] 覆盖部112和113的平均厚度可不需要限于任何特定示例。然而,为了容易地实现小型化和高电容的多层电子组件,覆盖部112和113的平均厚度 t_c 可以是 $15\mu\text{m}$ 或更小。此外,

在示例实施例中,通过将绝缘层设置在外电极的连接部上并且将镀层设置在外电极的带部上,可防止外部水分和镀液的渗透,使得可改善可靠性。因此,即使当覆盖部112和113的平均厚度 t_c 为 $15\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0099] 覆盖部112和113的平均厚度 t_c 可指在第一方向上的尺寸,并且可以是在电容形成部 A_c 上方或下方的在第二方向上以相等距离间隔开的5个点处测量的覆盖部112和113在第一方向上的厚度的平均值。

[0100] 此外,边缘部114和115可设置在电容形成部 A_c 的侧表面上。

[0101] 边缘部114和115可包括设置在电容形成部 A_c 在宽度方向上的一个侧表面上的第一边缘部114和设置在电容形成部 A_c 在宽度方向上的另一侧表面上的第二边缘部115。也就是说,边缘部114和115可设置在电容形成部 A_c 在宽度方向上的两个侧表面上。

[0102] 边缘部114和115可指:在主体110在宽度方向-厚度方向上截取的截面(W-T截面)上,第一内电极121和第二内电极122的两端与主体的外表面之间的区域。

[0103] 边缘部114和115可防止由物理应力或化学应力引起的对内电极的损坏。

[0104] 边缘部114和115可通过在陶瓷生片的除了将要形成边缘部的区域之外的区域上涂覆导电膏而形成内电极来形成。

[0105] 此外,为了防止由于内电极121和122引起的台阶差,在堆叠之后,可执行切割使得内电极暴露于电容形成部 A_c 在第三方向(宽度方向)上的两个侧表面,并且可在电容形成部 A_c 在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层,从而形成边缘部114和115。

[0106] 边缘部114和115的宽度可不需要限于任何特定示例。然而,边缘部114和115的平均宽度可以是 $15\mu\text{m}$ 或更小,以容易地获得小型化和高电容的多层电子组件。此外,在示例实施例中,通过将绝缘层设置在外电极的连接部上并且将镀层设置在外电极的带部上,可防止外部水分和镀液的渗透,使得可改善可靠性。因此,即使当边缘部114和115的平均宽度为 $15\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0107] 边缘部114和115的平均宽度可指边缘部114和115在第三方向上的平均尺寸,并且可以是在电容形成部 A_c 的侧表面上的在第一方向上以相等距离间隔开的5个点处测量的边缘部114和115在第三方向上的厚度的平均值。

[0108] 内电极121和122可与介电层111交替地层叠。

[0109] 内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替设置成彼此相对,且介电层111介于第一内电极121和第二内电极122之间,并且第一内电极121和第二内电极122可分别暴露于主体110的第三表面3和第四表面4(或延伸到第三表面3和第四表面4或与第三表面3和第四表面4接触)。

[0110] 参照图3,第一内电极121可与第四表面4间隔开并且可通过第三表面3暴露,并且第二内电极122可与第三表面3间隔开并且可通过第四表面4暴露。第一外电极131可设置在主体的第三表面3上并且可连接到第一内电极121,第二外电极132可设置在主体的第四表面4上并且可连接到第二内电极122。

[0111] 也就是说,第一内电极121可不连接到第二外电极132,并且可连接到第一外电极131,并且第二内电极122可不连接到第一外电极131,并且可连接到第二外电极132。因此,第一内电极121可与第四表面4间隔开预定距离,并且第二内电极122可与第三表面3间隔开

预定距离。

[0112] 在这种情况下,第一内电极121和第二内电极122可通过设置在第一内电极121和第二内电极122之间的介电层111彼此电分离。

[0113] 主体110可通过交替地层叠其上印刷有用于第一内电极121的导电膏的陶瓷生片和其上印刷有用于第二内电极122的导电膏的陶瓷生片并且烧制层叠的片来形成。

[0114] 用于形成内电极121和122的材料不限于任何特定示例,并且可使用具有优异导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的一种或更多种。

[0115] 此外,内电极121和122可通过印刷用于内电极的导电膏来形成,该导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的一种或更多种。作为印刷用于内电极的导电膏的方法,可使用丝网印刷法或凹版印刷法,但其示例实施例不限于此。

[0116] 内电极121和122的平均厚度 t_e 可不需要限于任何特定示例。

[0117] 然而,通常,当内电极形成为具有相对薄的小于 $0.6\mu\text{m}$ 的厚度时,特别是当内电极的厚度为 $0.35\mu\text{m}$ 或更小时,可靠性可能劣化。

[0118] 在示例实施例中,通过在外电极的连接部上设置绝缘层,并且在外电极的带部上设置镀层,可防止外部水分和镀液的渗透,使得可改善可靠性。因此,即使当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保优异的可靠性。

[0119] 因此,当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,可改善示例实施例的效果,并且可容易地获得小型化和高电容的多层电子组件。

[0120] 内电极121和122的平均厚度 t_e 可指内电极121和122中每个内电极的平均厚度。

[0121] 内电极121和122的平均厚度可通过使用扫描电子显微镜(SEM)在10000倍的放大倍数下扫描主体110在长度方向和厚度方向上截取的截面(L-T截面)来测量。更具体地,可通过从扫描图像测量一个内电极的在长度方向上以相等距离间隔开的30个点处的厚度来测量平均值。可在电容形成部 A_c 中指定以相等距离间隔开的30个点。此外,当平均值的测量扩展到10个内电极并测量其平均值时,可使内电极的平均厚度更一般化。

[0122] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括第一外电极131和第二外电极132,第一外电极131和第二外电极132分别设置在主体110的第三表面3和第四表面4上并且分别连接到第一内电极121和第二内电极122。

[0123] 外电极131和132可包括:第一外电极131,包括第一连接部131a和第一带部131b,第一连接部131a设置在第三表面3上,第一带部131b从第一连接部131a延伸到第一表面1的一部分;以及第二外电极132,包括第二连接部132a和第二带部132b,第二连接部132a设置在第四表面4上,第二带部132b从第二连接部132a延伸到第一表面1的一部分。第一连接部131a可在第三表面3上连接到第一内电极121,并且第二连接部132a可在第四表面4上连接到第二内电极122。

[0124] 此外,第一外电极131可包括第三带部131c,第三带部131c从第一连接部131a延伸到第二表面2的一部分,并且第二外电极132可包括第四带部132c,第四带部132c从第二连接部132a延伸到第二表面2的一部分。此外,第一外电极131可包括第一侧带部,第一侧带部从第一连接部131a延伸到第五表面5的一部分和第六表面6的一部分,并且第二外电极132

可包括第二侧带部,第二侧带部从第二连接部132a延伸到第五表面5的一部分和第六表面6的一部分。

[0125] 然而,在示例实施例中可不设置第三带部、第四带部、第一侧带部和第二侧带部。第一外电极131和第二外电极132可不设置在第二表面2上,或者可不设置在第五表面5和第六表面6上。当第一外电极131和第二外电极132不设置在第二表面2上时,第一外电极131和第二外电极132可设置在主体的第二表面的延长线下方。此外,第一连接部131a和第二连接部132a可与第五表面5和第六表面6间隔开,并且第一连接部131a和第二连接部132a可与第二表面2间隔开。此外,第一带部131b和第二带部132b也可与第五表面5和第六表面6间隔开。

[0126] 当第一外电极131和第二外电极132包括第三带部131c和第四带部132c时,在示例实施例中,绝缘层151可形成在第三带部131c和第四带部132c上,但其示例实施例不限于此。镀层141和142可设置在第三带部131c和第四带部132c上,以改善安装便利性。此外,第一外电极131和第二外电极132可包括第三带部131c和第四带部132c并且可不包括侧带部,在这种情况下,第一连接部131a和第二连接部132a以及第一带部131b、第二带部132b、第三带部131c和第四带部132c可与第五表面和第六表面间隔开。

[0127] 在示例实施例中,多层电子组件1000可具有两个外电极131和132。然而,外电极131和132的数量和形状可根据内电极121和122的形状或其他目的而变化。

[0128] 外电极131和132可使用诸如金属的具有导电性的任何材料形成,并且可考虑到电特性和结构稳定性来确定具体材料,并且外电极131和132可具有多层结构。

[0129] 外电极131和132可以是包括导电金属和玻璃的烧制电极,或者可以是包括导电金属和树脂的树脂基电极。

[0130] 此外,外电极131和132可具有在主体上依次形成镀覆电极和树脂基电极的结构。此外,外电极131和132可通过将包括导电金属的片材转印到主体上或通过将包括导电金属的片材转印到烧制电极来形成。

[0131] 作为包括在外电极131和132中的导电金属,可使用具有优异导电性的材料,并且材料不限于任何特定示例。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的一种或更多种。优选地,外电极131和132可包括Ni和Ni合金中的至少一种,因此,可改善与包括Ni的内电极121和122的连接性。

[0132] 绝缘层151可设置在第一连接部131a和第二连接部132a上。

[0133] 由于第一连接部131a和第二连接部132a连接到内电极121和122,因此第一连接部131a和第二连接部132a可成为在镀覆工艺中镀液渗透的路径或者在实际使用期间水分渗透的路径。在示例实施例中,由于绝缘层151设置在连接部131a和132a上,因此可防止外部水分或镀液的渗透。

[0134] 绝缘层151可与第一镀层141和第二镀层142接触。在这种情况下,绝缘层151可与第一镀层141和第二镀层142的端部接触并且可部分地覆盖第一镀层141和第二镀层142的端部,或者第一镀层141和第二镀层142可与绝缘层151的端部接触并且可部分地覆盖绝缘层151的端部。

[0135] 绝缘层151可设置在第一连接部131a和第二连接部132a上,并且可设置为覆盖第二表面2以及第三带部131c和第四带部132c。在这种情况下,绝缘层151可覆盖第三带部

131c和第四带部132c以及第二表面2的不设置第三带部131c和第四带部132c的区域。因此,绝缘层151可覆盖第三带部131c和第四带部132c的端部与主体110接触的区域,并且可阻挡水分渗透路径,从而改善防潮可靠性。

[0136] 绝缘层151可设置在第二表面上,并且可延伸到第一连接部131a和第二连接部132a。此外,当外电极131和132不设置在第二表面2上时,绝缘层151可设置为完全覆盖第二表面2。绝缘层151可不必设置在第二表面2上,并且绝缘层151可不设置在第二表面2的一部分或整个第二表面2上,并且绝缘层151也可被分成两部分,并且这两部分可分别设置在第一连接部131a和第二连接部132a上。当绝缘层151不设置在第二表面2上时,绝缘层151可设置在第二表面2的延长线下方。此外,绝缘层可不设置在第二表面2上,并且绝缘层151可从第一连接部131a和第二连接部132a延伸到第五表面5和第六表面6,并且可形成一体的绝缘层。

[0137] 此外,绝缘层151可设置成覆盖第一侧带部的一部分和第二侧带部的一部分以及第五表面5的一部分和第六表面6的一部分。在这种情况下,可暴露第五表面5和第六表面6的未被绝缘层151覆盖的部分。

[0138] 此外,绝缘层151可设置成覆盖整个第一侧带部和整个第二侧带部以及整个第五表面5和整个第六表面6,在这种情况下,可不暴露第五表面5和第六表面6,使得可改善防潮可靠性。也可不直接暴露连接部131a和132a,从而改善多层电子组件1000的可靠性。更详细地,绝缘层151可覆盖第一侧带部和第二侧带部两者,并且可覆盖第五表面5和第六表面6的除了其中形成第一侧带部和第二侧带部的区域之外的整个区域。

[0139] 绝缘层151可防止镀层141和142形成在其上设置有绝缘层151的外电极131和132上,并且可改善密封特性,使得可减少水分或镀液的渗透。

[0140] 示例实施例中的多层电子组件1000可包括绝缘层151,绝缘层151设置在第二表面2上并延伸到第一连接部131a的一部分和第二连接部132a的一部分。

[0141] 绝缘层151可设置在第二表面2上,可延伸到第一连接部131a的一部分、第二连接部132a的一部分、第五表面5的一部分和第六表面6的一部分,并且可与镀层141和142接触。因此,绝缘层151可同时覆盖第一外电极131的一部分和第二外电极132的一部分以及主体110的一部分,并且可保护多层电子组件1000免受镀液、水分和外部冲击的影响。

[0142] 此外,由于镀层141和142可不覆盖第一外电极131的整个表面和第二外电极132的整个表面以及主体110的整个表面,并且可仅覆盖第一外电极131的一部分和第二外电极132的一部分以及主体110的一部分,因此镀层141和142可位于第一外电极131和第二外电极132上,使得多层电子组件可安装在基板180上。

[0143] 也就是说,示例实施例中的多层电子组件1000可包括设置在第一带部131b和第二带部132b上的镀层141和142。

[0144] 绝缘层151可包括但不限于具有优异的耐镀液性的玻璃材料(诸如包括Si的玻璃材料),并且可利用具有足够强度的材料形成,具有足够强度的材料可保护多层电子组件1000免受由热还原引起的拉伸应力的影响。此外,绝缘层151可包括单一成分或多种成分,更优选地,为了改善与主体100或外电极131和132的结合强度,绝缘层151可包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 和 BaO 中的一种或更多种作为添加剂。

[0145] 形成绝缘层151的方法可根据成分和目的而不同。例如,可使用刮板利用绝缘膏形

成涂覆膜,并且也可将外电极131和132设置在主体110上,然后可浸渍每个端表面,并可在150℃的温度下进行干燥。此外,可使用溶胶-凝胶工艺、化学气相沉积(CVD)、原子层沉积(ALD)等,但是其示例实施例不限于此,并且可使用用于形成薄且均匀的绝缘层的其他方法。

[0146] 在示例实施例中,绝缘层151可设置成与第一外电极131和第二外电极132直接接触,并且第一外电极131和第二外电极132可包括导电金属和玻璃。因此,由于镀层141和142可不设置在第一外电极131和第二外电极132的外表面中设置有绝缘层151的区域中,因此可有效地防止由镀液引起的对外电极的腐蚀。

[0147] 在这种情况下,第一镀层141可设置为覆盖绝缘层151的设置在第一外电极131上的端部,并且第二镀层142可设置为覆盖绝缘层151的设置在第二外电极132上的端部。通过在外电极131和132上形成镀层141和142之前形成绝缘层151,可以可靠地防止在形成镀层的工艺期间镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层141和142可覆盖绝缘层151的端部。

[0148] 在示例实施例中,绝缘层151可设置成与第一外电极131和第二外电极132直接接触,并且第一外电极131和第二外电极132可包括导电金属和树脂。因此,由于镀层141和142可不设置在第一外电极131和第二外电极132的外表面中设置有绝缘层151的区域中,因此可有效地防止由镀液引起的对外电极的腐蚀。

[0149] 在这种情况下,第一镀层141可设置为覆盖绝缘层151的设置在第一外电极131上的端部,并且第二镀层142可设置为覆盖绝缘层151的设置在第二外电极132上的端部。通过在外电极131和132上形成镀层141和142之前形成绝缘层151,可以可靠地防止在形成镀层的工艺期间镀液的渗透。

[0150] 第一镀层141和第二镀层142可分别设置在第一带部131b和第二带部132b上。镀层141和142可改善安装特性,并且当镀层141和142设置在带部131b和132b上时,可减小安装空间,并且也可减少镀液渗透到内电极中,使得可改善可靠性。第一镀层141的一端和第二镀层142的一端可与第一表面接触,并且第一镀层141的另一端和第二镀层142的另一端可与绝缘层151接触。

[0151] 镀层141和142的类型不限于任何特定示例,并且可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0152] 作为镀层141和142的更具体的示例,镀层141和142可以是Ni镀层或Sn镀层,并且Ni镀层和Sn镀层可顺序地形成在第一带部131b和第二带部132b上。

[0153] 形成镀层141和142的方法不限于任何特定示例。然而,为了改善粘合特性,可在形成绝缘层151之后形成镀层141和142。镀层141和142可通过湿镀法、电镀法和无电镀法中的一种形成,但是其示例实施例不限于此。镀层可通过用于形成高纯度且均匀的镀层的其他方法来形成。

[0154] 在示例实施例中,镀层141和142可延伸到第一连接部131a的一部分和第二连接部132a的一部分上。也就是说,镀层141和142可设置在第一带部131b和第二带部132b上,并且可延伸到第一连接部131a的一部分和第二连接部132a的一部分上,并且可与绝缘层151接触。

[0155] 在现有技术中,为了防止由于焊脚的热还原而导致的多层电子组件中的裂纹,玻

璃层直接设置在主体的一个主表面上,并且直接设置在每个端表面上的烧结层上以在与端表面垂直的方向上延伸,并且金属层设置成覆盖烧结层的除了由玻璃层覆盖的部分之外的部分,并且金属层用于通过焊脚进行安装,并且设置在外电极的表面的另一部分上。

[0156] 现有技术中的玻璃层可以是对镀液具有优异耐受性的玻璃材料,并且可包括大于等于20mol%且小于等于65mol%的Si。在现有技术中,当Si的摩尔分数小于20mol%时,对镀液的耐受性不足,并且当Si的摩尔分数超过65mol%时,玻璃软化点可能增大并且相对于烧结层的润湿性可能劣化,使得玻璃层可能容易剥离。

[0157] 通常,利用包括Si的玻璃材料形成的玻璃层可利用具有绝缘性的材料形成,而不管Si的含量如何,使得与利用金属成分形成的镀层或外电极的粘合性可能变弱,这可能是有问题的。因此,由于在制造工艺期间产生的残余应力或外部冲击,多层电子组件中可能产生脱层,并且多层电子组件整体对外部冲击的耐受性可能降低。

[0158] 特别地,由于现有技术中公开的结构具有其中玻璃层和金属层以相同的厚度或基本相同的厚度简单地彼此连接的结构,因此可能产生上述问题,当通过焊料将多层电子组件安装在基板上时,可能导致结合强度的劣化。

[0159] 在下文中,将参照第一连接部131a描述根据示例实施例的多层电子组件1000的镀层141和142、绝缘层151以及第一连接部131a和第二连接部132a之间的相关性,并且当参照第二连接部132a描述组件时,将不提供重复的描述。

[0160] 参照图4,示例实施例中的绝缘层151可被设置为使得其厚度可朝向端部逐渐减小。绝缘层151可设置成使得绝缘层151的两端在长度方向上的长度可朝向端部减小。因此,间隙可设置在绝缘层151和第一连接部131a之间。

[0161] 镀层141可包括与绝缘层151接触并被分成两个区域的端部。

[0162] 镀层141的端部可包括第一区域S1和第二区域S2,第一区域S1延伸到绝缘层151和第一连接部131a之间的区域,第二区域S2延伸以覆盖绝缘层151。第一区域S1可以是镀层的延伸到绝缘层151与第一连接部131a之间的区域的端部区域。因此,第一区域S1和第二区域S2可彼此连接。

[0163] 在第一区域S1中,镀层141可与第一连接部131a直接接触,使得第一区域S1可对改善粘合力有贡献。

[0164] 第二区域S2可以是镀层的可延伸以覆盖绝缘层151的端部区域。也就是说,第二区域S2可将绝缘层151物理地连接到镀层141。

[0165] 当镀层141的端部包括第一区域S1时,可增大镀层141和第一连接部131a之间的接触面积,使得可改善镀层141和第一连接部131a之间的粘合力。

[0166] 此外,通过将镀层的端部构造为包括第二区域S2,可在绝缘层151和镀层141之间产生锚定效应,使得可改善物理结合力。更优选地,通过将绝缘层151设置在第一区域S1和第二区域S2之间,可改善锚定效应。

[0167] 在示例实施例中的多层电子组件1000中,在镀层141和142与绝缘层151彼此接触的区域中,绝缘层151的厚度可朝向端部减小,并且镀层的端部可包括第一区域和第二区域,第一区域延伸到绝缘层151与第一连接部131a和第二连接部132a之间的区域,第二区域延伸以覆盖绝缘层151,使得即使当绝缘层151利用具有绝缘成分的材料形成时,也可改善镀层141、绝缘层151和第一连接部131a之间的物理结合力,并且可改善多层电子组件1000

的整体强度。因此,可改善多层电子组件1000抵抗外部冲击的耐受性,并且即使当使用焊料将多层电子组件1000安装在基板上时,也可防止内聚力的劣化。

[0168] 在示例实施例中,当 a_1 被定义为第一区域S1在第一方向上的最大长度并且 a_2 被定义为第二区域S2在第一方向上的最大长度时,可满足 $a_1 > a_2$ 。当 a_2 大于 a_1 时,镀层141与绝缘层151接触的面积可大于镀层141与第一连接部131a彼此接触的面积,使得镀层141、绝缘层151和第一连接部131a之间的粘合力可能不足。在示例实施例中,通过满足 $a_1 > a_2$,可增大镀层141与第一连接部131a接触的长度或面积,并且可减小镀层141与绝缘层151之间的接触面积,使得可改善物理结合力。因此,可改善多层电子组件1000的整体强度。

[0169] 这里, a_1 可以是第一区域S1在第一方向上的最大长度,可指从绝缘层151的端部到绝缘层151与连接部131a和132a之间的间隙开始的点的距离。此外, a_2 可以是第二区域S2在第一方向上的最大长度,并且可指从绝缘层的端部到覆盖绝缘层151的端部的第二区域的端部的距离。

[0170] a_1 和 a_2 中的每个可以通过在第三方向上以相等距离切割多层电子组件1000而获得的在第一方向-第二方向上截取的10个截面中测量的值的平均值。

[0171] 使镀层的端部包括第一区域S1和第二区域S2的方法可以是多种多样的。例如,当通过浸渍法形成绝缘层151时,第一区域S1和第二区域S2可通过控制固定多层电子组件的上部的塑料载体(plastic carrier)或橡胶之字形体(rubber zig)的形状来形成。

[0172] 具体地,塑料载体或橡胶之字形体的端部可被制造成具有与第一区域S1和第二区域S2对应的形状,并且多层电子组件可被固定并浸入绝缘膏中。在这种情况下,由于绝缘层形成在未被塑料载体或橡胶之字形体占据的部分上,因此绝缘层可不形成在对应于第一区域S1和第二区域S2的区域中。

[0173] 可将多层电子组件浸入绝缘膏中并可在约150°C的温度下干燥。多层电子组件可与塑料载体或橡胶之字形体分离,并且镀层可形成到其中未形成绝缘层的部分。

[0174] 在这种情况下,由于镀液渗透到先前设置有塑料载体或橡胶之字形体的端部的区域中,因此镀层的端部可形成第一区域S1和第二区域S2。

[0175] 在这种情况下,可通过改变镀液的量或镀覆条件来调节镀层的厚度,并且也可通过调节塑料载体或橡胶之字形的端部的形状来调节第一区域在第一方向上的最大长度 a_1 和第二区域在第一方向上的最大长度 a_2 。

[0176] 形成绝缘层151和镀层141和142的顺序不限于任何特定示例,并且可在形成绝缘层151之后在外电极131和132的连接部131a和132a或带部131b和132b的不设置有绝缘层151的区域上形成镀层141和142,使得可显著减小镀层141和142与绝缘层151之间的间隙。

[0177] 参照图3,在根据示例实施例的多层电子组件1000中,当在第一方向上从第一表面1到内电极121和122中的最邻近第一表面1设置的内电极的平均距离被定义为 H_1 (例如, H_1 是在第一方向上从第一表面到第一内电极和第二内电极中在第一方向上与第一表面最邻近的内电极的平均距离),并且在第一方向上从第一表面1的延长线到绝缘层151的设置在第一连接部131a和第二连接部132a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 > H_2$ (或 $H_1 \geq H_2$)。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而改善可靠性。

[0178] 多层电子组件1000的尺寸可不需要限于任何特定示例。

[0179] 然而,为了获得小型化和高电容两者,可能需要通过减小介电层和内电极的厚度

来增大层叠的层数。因此,在具有1005(长度×宽度为1.0mm×0.5mm)或更小的尺寸的多层电子组件中,示例实施例中的改善可靠性和每单位体积的电容的效果可以是显著的。

[0180] 因此,当考虑制造误差、外电极尺寸等时,当多层电子组件1000的长度为1.1mm或更小并且宽度为0.55mm或更小时,可改善示例实施例中的改善可靠性的效果。这里,多层电子组件1000的长度可指多层电子组件1000在第二方向上的尺寸,并且多层电子组件1000的宽度可指多层电子组件1000在第三方向上的尺寸。

[0181] 参照示出了其上安装有多层电子组件1000的安装板1100的图6,多层电子组件1000的镀层141和142可通过焊料191和192结合到设置在基板180上的电极焊盘181和182。

[0182] 在下文中,将描述根据另一示例实施例的多层电子组件1001,并且将不提供与前述示例实施例中的电子组件1000的描述重复的描述。

[0183] 图7是示出根据示例实施例的多层电子组件的立体图。图8是沿图7中的线II-II'截取的截面图。

[0184] 图9是示出图8中的区域P2的放大图。

[0185] 参照图7至图9,根据另一示例实施例的多层电子组件1001可包括:绝缘层151-1,设置在第二表面2以及第一连接部131a和第二连接部132a上并且延伸到第一带部131b的一部分和第二带部132b的一部分上;以及镀层141-1和142-1,设置在第一带部131b和第二带部132b上并且与绝缘层151-1接触。此外,在绝缘层与镀层接触的区域中,绝缘层151-1的厚度可朝向端部逐渐减小,并且镀层的端部可包括第三区域S3和第四区域S4,第三区域S3延伸到绝缘层151-1与第一带部131b和第二带部132b之间的区域,第四区域S4延伸以覆盖绝缘层151-1。因此,可在安装期间减小焊料的高度,并且可减小安装空间。

[0186] 参照图9,根据另一示例实施例的多层电子组件1001的绝缘层151-1可设置为具有朝向位于第一带部131b和第二带部132b上的端部减小的厚度。优选地,绝缘层151-1可设置成使得绝缘层151-1的两端在厚度方向上的长度可朝向端部逐渐减小。因此,间隙可设置在绝缘层151-1与第一带部131b和第二带部132b之间。

[0187] 在下文中,将描述第一带部131b,并且当描述第二带部132b时,将不提供重复的描述。

[0188] 镀层141-1可包括与绝缘层151-1接触并被分成两个区域的端部。

[0189] 镀层141-1的端部可包括第三区域S3和第四区域S4,第三区域S3延伸到绝缘层151-1与第一带部131b之间的区域,第四区域S4延伸以覆盖绝缘层151-1。第三区域S3可以是镀层的延伸到绝缘层151-1与第一带部131b之间的区域的端部区域。因此,第三区域S3和第四区域S4可彼此连接。

[0190] 在第三区域中,镀层141-1可与第一带部131b直接接触,因此,第三区域S3可非常有助于改善粘合力。

[0191] 第四区域S4可以是镀层的可延伸以覆盖绝缘层151-1的端部区域。也就是说,第四区域S4可将绝缘层151-1物理地连接到镀层141-1。

[0192] 通过使镀层141-1的端部包括第三区域S3,可增大镀层141-1与第一带部131b之间的接触面积,使得可改善镀层141-1与第一带部131b之间的粘合力。

[0193] 此外,通过将镀层的端部构造为包括第四区域S4,可在绝缘层151-1和镀层141-1之间产生锚定效应,从而改善物理结合力。更优选地,由于绝缘层151-1设置在第三区域S3

和第四区域S4之间,因此可改善锚定效应。

[0194] 根据另一示例实施例的多层电子组件1001,在绝缘层151-1与镀层141-1和142-1接触的区域中,绝缘层151-1的厚度可朝向端部减小,并且镀层141-1和142-1的端部可包括第三区域和第四区域,第三区域延伸到绝缘层151-1与第一带部131b和第二带部132b之间的区域,第四区域延伸以覆盖绝缘层151-1,使得可改善镀层141-1和142-1、绝缘层151-1以及第一带部131b和第二带部132b之间的物理结合力,并且可改善多层电子组件1001的整体强度。

[0195] 在示例实施例中,当 a_3 被定义为第三区域S3在第二方向上的最大长度并且 a_4 被定义为第四区域S4在第二方向上的最大长度时,可满足 $a_3 > a_4$ 。当 a_4 大于 a_3 时,由于镀层141-1与绝缘层151-1之间的接触面积大于镀层141-1与第一带部131b之间的接触面积,因此使得绝缘层151-1与第一带部131b之间的粘合力可能不足。在示例实施例中,通过满足 $a_3 > a_4$,可增大镀层141-1与第一带部131b接触的长度或面积,并且可减小镀层141-1与绝缘层151-1接触的面积,使得可改善物理结合力。因此,可改善多层电子组件1001的整体强度。

[0196] 这里, a_3 可以是第三区域S3在第二方向上的最大长度,并且可表示从绝缘层151-1的端部到绝缘层151-1与带部131b和132b之间的间隙开始的点的距离。此外, a_4 可以是第四区域S4在第二方向上的最大长度,并且可表示从绝缘层151-1的端部到覆盖绝缘层151-1的端部的第四区域的端部的距离。

[0197] 这里, a_3 和 a_4 可以是通过在第三方向上以相等距离切割多层电子组件1001而获得的在第一方向-第二方向上截取的10个截面中测量的值的平均值。

[0198] 参照图8,在根据示例实施例的多层电子组件1001中,在第一方向上从第一表面1到内电极121和122中的最邻近第一表面1设置的内电极的平均距离可被定义为 H_1 。

[0199] 在示例实施例中,当主体110在第二方向上的尺寸被定义为 L ,在第二方向上从第三表面的延长线到第一带部131b的端部的尺寸被定义为 B_1 ,并且从第四表面的延长线到第二带部132b的端部的尺寸被定义为 B_2 时,可满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ 。

[0200] 当 B_1/L 和 B_2/L 小于0.2时,可能难以确保足够的内聚力。当 B_1/L 和 B_2/L 大于0.4时,在高电压电流下,可能在第一带部131b与第二带部132b之间产生漏电流,并且第一带部131b与第二带部132b可能由于镀覆扩散而彼此电连接。

[0201] 当内电极121和122在第一方向上层叠时,多层电子组件1000可水平地安装在基板180上,使得内电极121和122可平行于安装表面。然而,多层电子组件1000的示例实施例不限于水平安装,并且当内电极121和122在第三方向上层叠时,多层电子组件可垂直地安装在基板上,使得内电极121和122可设置为垂直于安装表面。

[0202] 在下文中,将描述根据另一示例实施例的多层电子组件,并且将不提供与根据前述示例实施例的多层电子组件1000或根据另一示例实施例的多层电子组件1001的描述重复的描述。

[0203] 图10是示出根据示例实施例的多层电子组件1002的立体图。图11是沿图10中的线III-III'截取的截面图。

[0204] 参照图10和图11,示例实施例中的多层电子组件1002可包括附加绝缘层161,附加绝缘层161设置在第一表面1上并且设置在第一带部131b和第二带部132b之间。因此,可防止在高电压电流下可能在第一带部131b和第二带部132b之间产生的漏电流。

[0205] 附加绝缘层161的类型可不需要限于任何特定示例。例如,附加绝缘层161可包括与绝缘层151的成分相同的成分。附加绝缘层161和绝缘层151可不需要利用相同的材料形成,并且可利用不同的材料形成。例如,附加绝缘层161可包括从环氧树脂、丙烯酸树脂等中选择的一种或更多种热固性树脂。此外,除了聚合物树脂之外,附加绝缘层161还可包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 、 BaO 等中的一种或更多种作为添加剂。因此,可改善与主体或外电极的结合力。

[0206] 图12是示出根据示例实施例的多层电子组件1003的立体图。图13是沿图12中的线IV-IV'截取的截面图。

[0207] 参照图12和图13,在根据示例实施例的多层电子组件1003中,当在第一方向上从第一表面1到内电极121和122中最邻近第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到绝缘层151-3的设置在第一连接部131a和第二连接部132a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增大在安装期间与焊料接触的区域,使得可改善内聚力。

[0208] 更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$,当 H_2 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能劣化。

[0209] H_1 、 H_2 和 T 可以是在通过在多层电子组件1003的在第三方向上以相等距离间隔开的5个点处沿第一方向和第二方向切割多层电子组件1003而获得的截面(L-T截面)上测量的值的平均值。 H_1 可以是在每个截面中在最邻近第一表面1设置的内电极上的点处测量的值的平均值, H_2 是基于在每个截面中的绝缘层的与外电极的连接部接触的端部测量的值的平均值,并且当测量 H_1 和 H_2 时可作为基准的第一表面和第一表面的延长线可相同(例如,可处于相同高度)。此外, T 可以是通过在每个截面中测量主体110在第一方向上的最大尺寸而获得的平均值。

[0210] 图14是示出根据示例实施例的多层电子组件1004的立体图。图15是沿图14中的线V-V'截取的截面图。参照图14和图15,在示例实施例中的多层电子组件1004中,第一带部131b-4的平均长度 B_1 可大于第三带部131c-4的平均长度 B_3 ,并且第二带部132b-4的平均长度 B_2 可大于第四带部132c-4的平均长度 B_4 。因此,可增大在安装期间与焊料接触的区域,使得可改善内聚力。

[0211] 更详细地,当在第二方向上从第三表面3的延长线到第一带部131b-4的端部的平均距离被定义为 B_1 ,在第二方向上从第四表面4的延长线到第二带部132b-4的端部的平均距离被定义为 B_2 ,在第二方向上从第三表面3的延长线到第三带部131c-4的端部的平均距离被定义为 B_3 ,并且在第二方向上从第四表面4的延长线到第四带部132c-4的端部的平均距离被定义为 B_4 时,可满足 $B_3 < B_1$ 和 $B_4 < B_2$ 。

[0212] 在这种情况下,当主体110在第二方向上的平均尺寸被定义为 L 时,可满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ 。

[0213] B_1 、 B_2 、 B_3 、 B_4 和 L 可以是在通过在多层电子组件1004的在第三方向上以相等距离间隔开的5个点处沿第一方向和第二方向切割多层电子组件1004而获得的截面(L-T截面)上测量的值的平均值。

[0214] 此外,第一外电极131-4可包括第一侧带部,第一侧带部从第一连接部131a-4延伸

到第五表面5的一部分和第六表面6的一部分,并且第二外电极132-4可包括第二侧带部,第二侧带部从第二连接部132a-4延伸到第五表面5的一部分和第六表面6的一部分。在这种情况下,第一侧带部和第二侧带部在第二方向上的尺寸可朝向第一表面逐渐增大。也就是说,第一侧带部和第二侧带部可以按渐缩形状或梯形形状设置。

[0215] 此外,当在第二方向上从第三表面3的延长线到第三带部131c-4的端部的平均距离被定义为 B_3 ,在第二方向上从第四表面4的延长线到第四带部132c-4的端部的平均距离被定义为 B_4 ,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸被定义为 G_1 ,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸被定义为 G_2 时,可满足 $B_3 \leq G_1$ 和 $B_4 \leq G_2$ 。因此,可减小由外电极占据的体积,使得可增大多层电子组件1004的每单位体积的电容。

[0216] 对于 G_1 和 G_2 ,相对于任意5个第二内电极测量的与第三表面间隔开的区域在第二方向上的尺寸的平均值可以是 G_1 ,所述任意5个第二内电极在通过在多层电子组件1004的在第三方向上的中央处沿第一方向和第二方向切割多层电子组件1004而获得的截面上设置在第一方向上的中央部分中,并且相对于任意5个第一内电极测量的与第四表面间隔开的区域在第二方向上的尺寸的平均值可以是 G_2 ,所述任意5个第一内电极在通过在多层电子组件1004的在第三方向上的中央处沿第一方向和第二方向切割多层电子组件1004而获得的截面上设置在第一方向上的中央部分中。

[0217] 此外, G_1 和 G_2 可从通过在多层电子组件1004的在第三方向上以相等距离设置的5个点处沿第一方向和第二方向切割多层电子组件1004而获得的截面(L-T截面)中获得,并且对获得的值求平均值。

[0218] 然而,本公开的示例实施例不限于 $B_3 \leq G_1$ 和 $B_4 \leq G_2$,并且可包括满足 $B_3 \geq G_1$ 和 $B_4 \geq G_2$ 的示例作为示例实施例。因此,在示例实施例中,当在第二方向上从第三表面3的延长线到第三带部131c-4的端部的平均距离被定义为 B_3 ,在第二方向上从第四表面4的延长线到第四带部132c-4的端部的平均距离被定义为 B_4 ,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸被定义为 G_1 ,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸被定义为 G_2 时,可满足 $B_3 \geq G_1$ 和 $B_4 \geq G_2$ 。

[0219] 在示例实施例中,当在第二方向上从第三表面3的延长线到第一带部131b-4的端部的平均距离被定义为 B_1 ,并且在第二方向上从第四表面4的延长线到第二带部132b-4的端部的平均距离被定义为 B_2 时,可满足 $B_1 \geq G_1$ 和 $B_2 \geq G_2$ 。可改善多层电子组件1004与基板180的内聚力。

[0220] 图16是示出根据示例实施例的多层电子组件1005的立体图。图17是沿图16中的线VI-VI'截取的截面图。参照图16和图17,示例实施例中的多层电子组件1005的第一外电极131-5和第二外电极132-5可不设置在第二表面2上,并且可设置在第三表面3、第四表面4和第一表面1上并且可具有L形。也就是说,第一外电极131-5和第二外电极132-5可设置在第二表面的延长线下方。

[0221] 第一外电极131-5可包括第一连接部131a-5和第一带部131b-5,第一连接部131a-5设置在第三表面3上,第一带部131b-5从第一连接部131a-5延伸到第一表面1的一部分。第二外电极132-5可包括第二连接部132a-5和第二带部132b-5,第二连接部132a-5设置在第四表面4上,第二带部132b-5从第二连接部132a-5延伸到第一表面1的一部分。外电极131-5

和132-5可不设置在第二表面2上,使得绝缘层151-5可设置为覆盖整个第二表面2。因此,可减小由外电极131-5和132-5占据的体积,使得可改善多层电子组件1005的每单位体积的电容。然而,本公开的示例实施例不限于绝缘层151-5覆盖整个第二表面2的示例,并且绝缘层可不覆盖第二表面2的一部分或整个第二表面2,并且可与第二表面2分离并且可覆盖第一连接部131a-5和第二连接部132a-5。

[0222] 此外,绝缘层151-5可设置为覆盖第五表面5的一部分和第六表面6的一部分,从而改善可靠性。在这种情况下,可暴露第五表面和第六表面的未被绝缘层151-5覆盖的部分。

[0223] 此外,绝缘层151-5可设置为覆盖整个第五表面5和整个第六表面6,在这种情况下,可不暴露第五表面5和第六表面6,使得可改善防潮可靠性。

[0224] 第一镀层141-5可设置在第一带部131b-5上,第二镀层142-5可设置在第二带部132b-5上,并且第一镀层141-5和第二镀层142-5可延伸到第一连接部131a-5的一部分和第二连接部132a-5的一部分上。

[0225] 在这种情况下,外电极131-5和132-5也可不设置在第五表面5和第六表面6上。也就是说,外电极131-5和132-5可仅设置在第三表面3、第四表面4和第一表面1上。

[0226] 当在第一方向上从第一表面1到第一内电极121和第二内电极122中最邻近第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到绝缘层151-5的设置在第一连接部131a-5和第二连接部132a-5上的端部的平均距离被定义为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增大在安装期间与焊料接触的区域,使得可改善内聚力,并且可增大外电极131-5和132-5与镀层141-5和142-5彼此接触的面积,使得可防止等效串联电阻(ESR)的增大。

[0227] 更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$,当 H_2 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能劣化。

[0228] 此外,第一镀层141-5和第二镀层142-5可设置为覆盖绝缘层151-1的位于第三表面和第四表面上的一部分。也就是说,镀层141-5和142-5可设置成覆盖绝缘层151-5的位于第三表面和第四表面上的端部。因此,可增强绝缘层151-5与镀层141-5和142-5之间的结合力,使得可改善多层电子组件1005的可靠性。

[0229] 此外,绝缘层151-5可设置为覆盖第一镀层141-5和第二镀层142-5的位于第三表面3和第四表面4上的一部分。也就是说,绝缘层151-5可设置为覆盖镀层141-5和142-5的位于第三表面3和第四表面4上的端部。因此,可增强绝缘层151-5与镀层141-5和142-5之间的结合力,使得可改善多层电子组件1005的可靠性。

[0230] 图18是示出根据示例实施例的多层电子组件的立体图。图19是沿图18中的线VII-VII'截取的截面图。

[0231] 参照图18和图19,示例实施例中的多层电子组件1006的第一镀层141-6和第二镀层142-6的平均厚度 t_1 可小于绝缘层151-6的平均厚度 t_2 。

[0232] 通过将第一镀层141-6和第二镀层142-6的厚度 t_1 减小到小于绝缘层151-6的厚度 t_2 ,可减小第一镀层141-6和第二镀层142-6与绝缘层151-6接触的面积,因此,可改善多层电子组件1006的整体结合力。

[0233] 第一镀层141-6和第二镀层142-6的厚度 t_1 可以是在第一连接部131a-5和第二连

接部132a-5或者第一带部131b-5和第二带部132b-5上的在第一方向或第二方向上以相等距离间隔开的10个点处测量的第一镀层141-6和第二镀层142-6的厚度的平均值,并且绝缘层151-6的厚度 t_2 可以是在第一连接部131a-5和第二连接部132a-5上的在第一方向上以相等距离间隔开的10个点处测量的绝缘层151-6的厚度的平均值。

[0234] 图20是示出图19中的区域P3的放大图。

[0235] 参照图20,多层电子组件1006的第一镀层141-6可延伸到第一连接部131a-5的一部分上并且可与绝缘层151-6接触,在第一镀层141-6与绝缘层151-6彼此接触的区域中,绝缘层151-6的厚度可朝向端部减小,并且第一镀层141-6的端部可包括第一区域S1'和第二区域S2',第一区域S1'延伸到绝缘层151-6与第一连接部131a-5之间的区域,第二区域S2'延伸以覆盖第一区域S1'和绝缘层151-6。针对第一镀层141-6的描述可同样适用于第二镀层142-6。

[0236] 因此,可减小镀层141-6和142-6与绝缘层151-6彼此直接接触的面积,并且可增大镀层141-6和142-6与连接部131a-5和132a-5彼此接触的面积,使得可改善多层电子组件1006的整体结合力。

[0237] 在示例实施例中,当第一区域S1'在第一方向上的最大长度被定义为 a_1' 并且第二区域S2'在第一方向上的最大长度被定义为 a_2' 时,可满足 $a_1' > a_2'$ 。当 a_2' 大于 a_1' 时,第一镀层141-6与绝缘层151-6接触的面积可大于第一镀层141-6与第一连接部131a-5接触的面积,第一镀层141-6、绝缘层151-6和第一连接部131a-5之间的粘合力可能不足。在示例实施例中,通过满足 $a_1' > a_2'$,可增大镀层141-6与连接部131a-5和132a-5接触的长度或面积,并且可减小镀层141-6和绝缘层151-6彼此接触的面积,使得可改善物理结合力。因此,可改善多层电子组件1006的整体强度。

[0238] 图21是示出根据示例实施例的多层电子组件的立体图。图22是沿图21中的线VIII-VIII'截取的截面图。

[0239] 参照图21和图22,示例实施例中的多层电子组件2000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替设置且介电层111介于第一内电极121和第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2以及第三表面3和第四表面4并在第三方向上彼此相对的第五表面5和第六表面6;第一外电极231,包括第一连接电极231a和第一带电极231b,第一连接电极231a设置在第三表面上,第一带电极231b设置在第一表面上并连接到第一连接电极231a;第二外电极232,包括第二连接电极232a和第二带电极232b,第二连接电极232a设置在第四表面上,第二带电极232b设置在第一表面上并连接到第二连接电极232a;第一绝缘层251,设置在第一连接电极231a上;第二绝缘层252,设置在第二连接电极232a上;第一镀层241,设置在第一带电极231b上;以及第二镀层242,设置在第二带电极232b上。第一镀层241可延伸到第一连接电极231a的一部分上并且可与第一绝缘层251接触,并且第二镀层242可延伸到第二连接电极232a的一部分上并且可与第二绝缘层252接触。在第一镀层241和第二镀层242与第一绝缘层251和第二绝缘层252接触的区域中,第一绝缘层251和第二绝缘层252的厚度可朝向端部减小,并且镀层241和242的端部可包括第一区域和第二区域,第一区域延伸到绝缘层251和252与第一连接电极231a和第二

连接电极232a之间的区域,第二区域延伸以覆盖绝缘层251和252。

[0240] 第一连接电极231a可设置在第三表面3上并且可连接到第一内电极121,第二连接电极232a可设置在第四表面4上并且可连接到第二内电极122。此外,第一绝缘层251可设置在第一连接电极231a上,并且第二绝缘层252可设置在第二连接电极232a上。

[0241] 通常,当形成外电极时,可主要使用将主体的暴露有内电极的表面浸渍到包括导电金属的膏中的方法。然而,通过浸渍法形成的外电极的在其厚度方向的中央部分处的厚度过度增大。此外,除了通过使用浸渍法形成的外电极的厚度不均匀之外,由于内电极暴露于第三表面和第四表面,为了防止水分和镀液通过外电极渗透,外电极的设置于第三表面和第四表面上的部分的厚度可等于或大于预定厚度。

[0242] 与上述示例不同,在示例实施例中,由于绝缘层251和252设置在连接电极231a和232a上,因此即使当第三表面和第四表面上的连接电极231a和232a的厚度减小时,也可确保足够的可靠性。

[0243] 第一连接电极231a和第二连接电极232a可具有分别对应于第三表面3和第四表面4的形状,并且第一连接电极231a和第二连接电极232a的面对主体110的表面可具有与主体110的第三表面3和第四表面4的面积相同的面积。第一连接电极231a和第二连接电极232a可分别设置在不超出第三表面3和第四表面4的范围内。连接电极231a和232a可设置为不延伸到主体110的第一表面1、第二表面2、第五表面5和第六表面6。具体地,在示例实施例中,第一连接电极231a和第二连接电极232a可与第五表面和第六表面间隔开,因此,可确保内电极121和122与外电极231和232之间的充分连接,并且可减小由外电极占据的体积,使得可增大多层电子组件2000的每单位体积的电容。

[0244] 在这方面,第一连接电极231a和第二连接电极232a可与第二表面2间隔开。也就是说,由于外电极231和232不设置在第二表面上,因此可进一步减小由外电极231和232占据的体积,使得可增大多层电子组件2000的每单位体积的电容。

[0245] 连接电极231a和232a可延伸到主体110的拐角,并且可包括设置在拐角上的拐角部。也就是说,在示例实施例中,第一连接电极可包括延伸到1-3拐角和2-3拐角的拐角部(未示出),并且第二连接电极可包括延伸到1-4拐角和2-4拐角的拐角部(未示出)。

[0246] 连接电极231a和232a的厚度不限于任何特定示例,并且可以是例如2 μm 至7 μm 。这里,连接电极231a和232a的厚度可表示最大厚度,并且可表示连接电极231a和232a在第二方向上的尺寸。

[0247] 在示例实施例中,第一连接电极231a和第二连接电极232a可包括与内电极121和122中包括的金属相同的金属和玻璃。当第一连接电极231a和第二连接电极232a包括与内电极121和122中包括的金属相同的金属时,可改善与内电极121和122的电连接性,并且当第一连接电极231a和第二连接电极232a包括玻璃时,可改善与主体110和/或绝缘层251和252的结合强度。在这种情况下,与内电极121和122中包括的金属相同的金属可以是Ni。

[0248] 第一绝缘层251和第二绝缘层252可设置在第一连接电极231a和第二连接电极232a上,并且可防止在第一连接电极231a和第二连接电极232a上形成镀层。此外,第一绝缘层251和第二绝缘层252可改善密封特性,从而减少水分或镀液的渗透。

[0249] 第一绝缘层251和第二绝缘层252可包括硅类树脂。因此,可改善防潮可靠性,并且可防止由热还原引起的裂纹、由金属扩散引起的辐射裂纹等。

[0250] 第一绝缘层251和第二绝缘层252可分别设置在第一连接电极231a和第二连接电极232a上,并且可防止镀层形成在第一连接电极231a和第二连接电极232a上。此外,第一绝缘层251和第二绝缘层252可改善密封特性,从而减少水分或镀液的渗透。

[0251] 绝缘层251和252可包括对镀液具有优异耐受性的玻璃材料(诸如包括Si的玻璃材料),但是其示例实施例不限于此。绝缘层251和252可利用具有足够强度的材料形成,以保护多层电子组件2000免受由热还原引起的拉伸应力的影响。此外,绝缘层251和252可包括单一成分或多种成分,并且可包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 和BaO中的一种或更多种作为添加剂,以改善与主体100或外电极231和232的结合力。

[0252] 形成绝缘层251和252的方法不限于任何特定示例,例如,可使用溶胶-凝胶工艺、化学气相沉积(CVD)、原子层沉积等,但是其示例实施例不限于此。可使用形成具有薄且均匀厚度的绝缘层的其他方法。

[0253] 绝缘层251和252的厚度不限于任何特定示例,并且可以是例如 $3\mu m$ 至 $15\mu m$ 。这里,绝缘层251和252的厚度可表示最大厚度,并且可表示绝缘层251和252在第二方向上的尺寸。

[0254] 第一带电极231b和第二带电极232b可设置在主体110的第一表面1上。第一带电极231b和第二带电极232b可通过分别与第一连接电极231a和第二连接电极232a接触而电连接到第一内电极121和第二内电极122。

[0255] 通过一般浸渍法在第三表面和第四表面上形成的外电极的厚度可形成为相对较大,并且可部分地延伸到第一表面、第二表面、第五表面和第六表面,使得可能难以确保高的有效体积比。

[0256] 在示例实施例中,第一连接电极231a和第二连接电极232a可设置在暴露有内电极的表面上,并且第一带电极231b和第二带电极232b可设置在主体110的将设置在基板上的表面上,使得可确保高的有效体积比。

[0257] 当内电极121和122在第一方向上层叠时,多层电子组件2000可水平地安装在基板上,使得内电极121和122可平行于安装表面。然而,多层电子组件的示例实施例不限于水平安装,并且当内电极121和122在第三方向上层叠时,多层电子组件可垂直地安装在基板上,使得内电极121和122可垂直于安装表面。

[0258] 第一带电极231b和第二带电极232b可利用诸如金属的具有导电性的任何材料形成,并且可考虑到电特性和结构稳定性来确定具体材料。例如,第一带电极231b和第二带电极232b可以是包括导电金属和玻璃的烧制电极,并且可通过将包括导电金属和玻璃的膏涂覆到主体的第一表面1来形成,但是其示例实施例不限于此,并且第一带电极231b和第二带电极232b可以是通过在主体的第一表面1上镀覆导电金属而形成的镀覆电极。

[0259] 具有优异导电性的材料可用作第一带电极231b和第二带电极232b中包括的导电金属,并且材料不限于任何特定示例。例如,导电金属可以是镍(Ni)、铜(Cu)以及它们的合金中的一种或更多种,并且可包括与内电极121和122中包括的金属相同的金属。

[0260] 此外,在示例实施例中,为了确保密封特性和高强度,第一外电极231可包括设置在第二表面2上并连接到第一连接电极231a的第三带电极(未示出),并且第二外电极232可包括设置在第二表面2上并连接到第二连接电极232a的第四带电极(未示出)。

[0261] 在示例实施例中,当从第三表面3的延长线E3到第一带电极231b的端部的距离被

定义为B1,从第四表面4的延长线E4到第二带电极232b的端部的距离被定义为B2,从第三表面3的延长线E3到第三带电极(未示出)的端部的距离被定义为B3,从第四表面4的延长线E4到第四带电极(未示出)的端部的距离被定义为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸被定义为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸被定义为G2时,可满足 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$ 。因此,可减小由外电极占据的体积,使得可增大多层电子组件2000的每单位体积的电容,并且可增大在安装期间与焊料接触的面积,从而改善内聚力。

[0262] 然而,本公开的示例实施例不限于 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 和 $B4 \leq G2$,并且满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 的示例可包括在示例实施例中。因此,在示例实施例中,当从第三表面3的延长线E3到第一带电极231b的端部的距离B1被定义为B1,从第四表面4的延长线E4到第二带电极232b的端部的距离被定义为B2,从第三表面3的延长线E3到第三带电极(未示出)的端部的距离被定义为B3,从第四表面4的延长线E4到第四带电极(未示出)的端部的距离被定义为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸被定义为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸被定义为G2时,可满足 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 和 $B4 \geq G2$ 。

[0263] 第一镀层241和第二镀层242可设置在第一带电极231b和第二带电极232b上。第一镀层241和第二镀层242可改善安装特性。第一镀层241和第二镀层242的类型不限于任何特定示例,并且可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0264] 例如,第一镀层241和第二镀层242可以是Ni镀层或Sn镀层,并且Ni镀层和Sn镀层可依次形成在第一带电极231b和第二带电极232b上。

[0265] 在示例实施例中,第一镀层241的端部可包括1-1区域和1-2区域,1-1区域延伸到第一绝缘层251与第一连接电极231a之间的区域,1-2区域延伸以覆盖第一绝缘层251。第二镀层242的端部可包括2-1区域和2-2区域,2-1区域延伸到绝缘层252与第二连接电极232a之间的区域,2-2区域延伸以覆盖第二绝缘层252。因此,即使当第一绝缘层251和第二绝缘层252利用具有绝缘成分的材料形成时,也可改善镀层241和242、绝缘层251和252以及连接电极231a和232a的物理结合力,使得可改善多层电子组件2000的整体强度和对外部冲击的抵抗力,并且当将多层电子组件2000安装在基板上时,可防止内聚力的降低。

[0266] 在示例实施例中,当1-1区域和2-1区域在第一方向上的最大长度被定义为a1,并且1-2区域和2-2区域在第一方向上的最大长度被定义为a2时,可满足 $a1 > a2$ 。当a2大于a1时,镀层241和242与绝缘层251和252接触的面积可大于镀层与连接电极接触的面积,使得粘合力可能不足。在示例实施例中,通过满足 $a1 > a2$,可增大镀层与连接电极接触的长度或面积,并且可减小镀层与绝缘层之间的接触面积,从而改善物理结合力。因此,可改善多层电子组件2000的整体强度。

[0267] 在示例实施例中,第一镀层241和第二镀层242可延伸以分别部分地覆盖第一连接电极231a和第二连接电极232a。

[0268] 当在第一方向上从第一表面1到第一内电极121和第二内电极122中最邻近第一表面1设置的内电极的平均距离被定义为H1,并且在第一方向上从第一表面1的延长线到第一绝缘层251和第二绝缘层252的设置在第一连接电极231a和第二连接电极232a上的端部的

平均距离被定义为 H_2 时,可满足 $H_1 > H_2$ (或 $H_1 \geq H_2$)。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而改善可靠性。

[0269] 在示例实施例中,第一镀层241可设置为覆盖第一绝缘层251的设置在第一外电极231上的端部,并且第二镀层242可设置为覆盖第二绝缘层252的设置在第二外电极232上的端部。因此,可增强绝缘层251和252与镀层241和242之间的结合力,从而改善多层电子组件2000的可靠性。此外,通过在外电极231和232上形成镀层241和242之前首先形成第一绝缘层251和第二绝缘层252,能够可靠地防止在形成镀层的工艺中镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层241和242可具有覆盖绝缘层251和252的端部的形状。

[0270] 在示例实施例中,第一绝缘层251可设置为覆盖第一镀层241的设置在第一外电极231上的端部,并且第二绝缘层252可设置为覆盖第二镀层242的设置在第二外电极232上的端部。因此,可增强绝缘层251和252与镀层241和242之间的结合力,从而改善多层电子组件2000的可靠性。

[0271] 图23是示出图21中的示例的变型示例(多层电子组件2001)的示图。参照图23,在多层电子组件2000的变型示例2001中,第一绝缘层251-1和第二绝缘层252-1可延伸到第五表面5和第六表面6,并且可彼此连接,使得绝缘层251-1和252-1可连接为一体的绝缘层253-1。在这种情况下,连接的第一绝缘层和第二绝缘层(绝缘层253-1)可设置为覆盖第五表面的一部分和第六表面的一部分。

[0272] 图24是示出根据示例实施例的多层电子组件2002的立体图。图25是沿图24中的线IX-IX'截取的截面图。参照图24和图25,在示例实施例中的多层电子组件2002中,第一镀层241-2和第二镀层242-2可设置在第一表面的延长线下方。因此,可在安装期间减小焊料的高度,并且可减小安装空间。

[0273] 此外,第一绝缘层251-2和第二绝缘层252-2可延伸到第一表面的延长线下方的区域,并且可与第一镀层241-2和第二镀层242-2接触。

[0274] 这里,第一绝缘层251-2和第二绝缘层252-2可延伸到第一表面的延长线下方的区域并且可与第一镀层241-2和第二镀层242-2接触的构造可表示第一绝缘层251-2和第二绝缘层252-2可设置为与第一镀层241-2和第二镀层242-2以及带电极231b和232b接触,但是其示例实施例不限于此。可调整第一绝缘层251-2和第二绝缘层252-2的具体位置以在安装期间减小焊料的高度和空间。在这种情况下,如下所述,连接的第一绝缘层和第二绝缘层(绝缘层253-3)可设置为覆盖整个第五表面5和整个第六表面6。

[0275] 图26是示出图24中的示例的变型示例的示图。参照图26,在示例实施例中的多层电子组件2002的变型示例(多层电子组件2003)中,第一绝缘层251-3和第二绝缘层252-3可延伸到整个第五表面5和整个第六表面6,并且可彼此连接,使得绝缘层可连接为一体的绝缘层253-3。

[0276] 图27是示出根据示例实施例的多层电子组件2004的立体图。图28是沿图27中的线X-X'截取的截面图。参照图27和图28,示例实施例中的多层电子组件2004还可包括附加绝缘层261,附加绝缘层261设置在第一表面1上并且设置在第一带电极231b和第二带电极232b之间。因此,可防止在高电压电流下在第一带电极231b和第二带电极232b之间可能产生的漏电流。

[0277] 附加绝缘层261的类型可不需要限于任何特定示例。例如,附加绝缘层261可包括

与绝缘层251-2和252-2的成分相同的成分。附加绝缘层261以及绝缘层251-2和252-2可不需要利用相同的材料形成,并且可利用不同的材料形成。例如,附加绝缘层261可包括从环氧树脂、丙烯酸树脂等中选择的一种或更多种热固性树脂。此外,除了聚合物树脂之外,附加绝缘层261可包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 、 BaO 等中的一种或更多种作为添加剂。因此,可改善与主体或外电极的结合力。

[0278] 图29是示出图27中的示例的变型示例的示图。参照图29,在多层电子组件2004的变型示例(多层电子组件2005)中,第一绝缘层251-5和第二绝缘层252-5可延伸到整个第五表面5和整个第六表面6,并且可彼此连接,使得绝缘层251-5和252-5可连接为一体的绝缘层253-5。

[0279] 图30是示出根据示例实施例的多层电子组件2006的立体图。图31是沿图30中的线XI-XI'截取的截面图。参照图30和图31,根据示例实施例的多层电子组件2006可包括设置在第一连接电极231a上的第一绝缘层251-6和设置在第二连接电极232a上的第二绝缘层252-6。当在第一方向上从第一表面1到第一内电极121和第二内电极122中最邻近第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到第一绝缘层251-6和第二绝缘层252-6的设置在第一连接电极231a和第二连接电极232a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增大在安装期间与焊料接触的面积,从而改善内聚力。

[0280] 更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$,当 H_2 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能劣化。

[0281] 图32是示出图30中的示例的变型示例的示图。参照图32,在多层电子组件2006的变型示例(多层电子组件2007)中,第一绝缘层251-7和第二绝缘层252-7可延伸到第五表面5的一部分和第六表面6的一部分,并且可彼此连接,使得绝缘层可连接为一体的绝缘层253-7。

[0282] 图33是示出根据示例实施例的多层电子组件2008的立体图。图34是沿图33中的线XII-XII'截取的截面图。在示例实施例中的多层电子组件2008中,第一绝缘层251-8和第二绝缘层252-8可延伸到第二表面2、第五表面5和第六表面6,并且可彼此连接,使得绝缘层251-8和252-8可连接为一体的绝缘层253-8。如图33所示,绝缘层253-8可覆盖整个第二表面,并且部分地覆盖第五表面和第六表面。

[0283] 图35是示出根据示例实施例的多层电子组件2009的立体图。图36是沿图35中的线XIII-XIII'截取的截面图。

[0284] 参照图35和图36,示例实施例中的多层电子组件2009的第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可小于第一绝缘层251-9和第二绝缘层252-9的平均厚度 t_2' 。

[0285] 在示例实施例中,第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可减小至小于第一绝缘层251-9和第二绝缘层252-9的平均厚度 t_2' ,使得可减小镀层与绝缘层之间的接触面积。因此,可防止脱层,并且可改善多层电子组件2009与基板180的内聚力。

[0286] 第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可以是在第一连接电极231a和第二连接电极232a上或在第一带电极231b和第二带电极232b上以相等距离间隔开的5个点处测量的第一镀层241-9和第二镀层242-9的厚度的平均值。绝缘层251-9和252-9的平均厚度

t2'可以是在第一连接电极231a和第二连接电极232a上以相等距离间隔开的5个点处测量的绝缘层251-9和252-9的厚度的平均值。

[0287] 图37是示出图35中的示例的变型示例的示图。参照图37,在示例实施例中的多层电子组件2009的变型示例(多层电子组件2010)中,第一绝缘层251-10和第二绝缘层252-10可延伸到第五表面5和第六表面6,并且可彼此连接,使得绝缘层251-10和252-10可连接为为一体的绝缘层253-10。

[0288] 图38是示出图17中的示例的变型示例的示图。参照图38,在示例实施例中的多层电子组件1005的变型示例(多层电子组件1007)中,第一外电极131-7和第二外电极132-7可具有其中第一外电极和第二外电极不设置在第二表面上的L形。

[0289] 第一外电极131-7可包括设置在第三表面3上的第一连接部131a-7和从第一连接部131a-7延伸到第一表面1的一部分的第一带部131b-7。第二外电极132-7可包括设置在第四表面4上的第二连接部132a-7和从第二连接部132a-7延伸到第一表面1的一部分的第二带部132b-7。外电极131-7和132-7可不设置在第二表面2上,使得绝缘层151-7可覆盖整个第二表面2。在这种情况下,外电极131-7和132-7可不设置在第五表面5和第六表面6上。也就是说,外电极131-7和132-7可仅设置在第三表面3、第四表面4和第一表面1上。

[0290] 第一附加电极层134可设置在第一连接部131a-7和第三表面3之间,并且第二附加电极层135可设置在第二连接部132a-7和第四表面4之间。第一连接部131a-7可设置在不超出第三表面3的范围内,第二连接部132a-7可设置在不超出第四表面4的范围内。

[0291] 图39是示出根据示例实施例的多层电子组件3000的立体图。图40是沿图39中的线XIV-XIV'截取的截面图。图41是示出图40中的区域K1的放大图。

[0292] 参照图39至图41,在示例实施例中的多层电子组件3000中,多层电子组件3000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替设置且介电层111介于第一内电极121和第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2以及第三表面3和第四表面4并在第三方向上彼此相对的第五表面5和第六表面6;第一外电极331,包括第一连接部331a、第一带部331b和第一拐角部331c,第一连接部331a设置在主体的第三表面3上,第一带部331b从第一连接部331a延伸到第一表面1的一部分,第一拐角部331c从第一连接部延伸到主体的将第二表面2和第三表面3彼此连接的拐角;第二外电极332,包括第二连接部332a、第二带部332b和第二拐角部332c,第二连接部332a设置在主体的第四表面4上,第二带部332b从第二连接部332a延伸到第一表面1的一部分,第二拐角部332c从第二连接部延伸到主体的将第二表面2和第四表面4彼此连接的拐角;绝缘层351,设置在第一连接部331a和第二连接部332a上并覆盖第二表面2以及第一拐角部331c和第二拐角部332c;第一镀层341,设置在第一带部331b上;以及第二镀层342,设置在第二带部332b上。绝缘层351可包括硅类树脂。

[0293] 在示例实施例中,当在第二方向上从第三表面的延长线到第一拐角部331c的端部的平均距离被定义为B3,在第二方向上从第四表面4的延长线到第二拐角部332c的端部的平均距离被定义为B4,第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸被定义为G1,并且第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均

尺寸被定义为 G_2 时,可满足 $B_3 \leq G_1$ 和 $B_4 \leq G_2$ 。因此,可减小由外电极331和332占据的体积,使得可增大多层电子组件3000的每单位体积的电容。

[0294] 在这种情况下,当在第二方向上从第三表面3的延长线到第一带部331b的端部的平均距离被定义为 B_1 ,并且在第二方向上从第四表面4的延长线到第二带部332b的端部的平均距离被定义为 B_2 时,可满足 $B_1 \geq G_1$ 和 $B_2 \geq G_2$ 。因此,可增大在安装期间与焊料接触的面积,使得可改善内聚力。

[0295] 根据示例实施例的多层电子组件3000可包括主体110,主体110包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替设置且介电层111介于第一内电极121和第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2以及第三表面3和第四表面4并在第三方向上彼此相对的第五表面5和第六表面6。除了主体的第一表面和第二表面的端部具有收缩的构造之外,多层电子组件3000的主体110可具有与多层电子组件1000的主体的构造相同的构造。

[0296] 外电极331和332可设置在主体110的第三表面3和第四表面4上。外电极331和332可分别设置在主体110的第三表面3和第四表面4上,并且可包括分别连接到第一内电极121和第二内电极122的第一外电极331和第二外电极332。

[0297] 外电极331和332可包括:第一外电极331,包括第一连接部331a、第一带部331b和第一拐角部331c,第一连接部331a设置在第三表面3上,第一带部331b从第一连接部331a延伸到第一表面1的一部分,第一拐角部331c从第一连接部331a延伸到将第二表面2和第三表面3彼此连接的拐角;以及第二外电极332,包括第二连接部332a、第二带部332b和第二拐角部332c,第二连接部332a设置在第四表面上,第二带部332b从第二连接部332a延伸到第一表面1的一部分,第二拐角部332c从第二连接部332a延伸到将第二表面2和第四表面4彼此连接的拐角。第一连接部331a可在第三表面3上连接到第一内电极121,并且第二连接部332a可在第四表面4上连接到第二内电极122。

[0298] 在示例实施例中,第一连接部331a和第二连接部332a可与第五表面5和第六表面6间隔开。因此,可减小外电极331和332的体积,从而减小多层电子组件3000的尺寸。

[0299] 由于介电层111的不设置内电极121和122的边缘区域可在第一方向上叠置,因此由于内电极121和122的厚度而形成台阶差,使得将第一表面1连接到第三表面3至第六表面6的拐角和/或将第二表面2连接到第三表面3至第六表面6的拐角可具有相对于第一表面1或第二表面2朝向主体在第一方向上的中央收缩的形状。可选地,由于主体的烧结工艺中的收缩行为,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有相对于第一表面1或第二表面2朝向主体在第一方向上的中央收缩的形状。可选地,当执行单独的工艺以使主体110的将表面连接的拐角倒圆以防止碎裂缺陷时,将第一表面与第三表面至第六表面连接的拐角和/或将第二表面与第三表面至第六表面连接的拐角可具有倒圆形状。

[0300] 拐角可包括连接第一表面1和第三表面3的1-3拐角 C_{1-3} 、连接第一表面1和第四表面4的1-4拐角 C_{1-4} 、连接第二表面2和第三表面3的2-3拐角 C_{2-3} 以及连接第二表面2和第四表面4的2-4拐角 C_{2-4} 。此外,拐角可包括连接第一表面1和第五表面5的1-5拐角、连接第一

表面1和第六表面6的1-6拐角、连接第二表面2和第五表面5的2-5拐角以及连接第二表面2和第六表面6的2-6拐角。然而,为了防止由于内电极121和122引起的台阶差,在层叠之后,执行切割使得内电极暴露于电容形成部Ac在第三方向(宽度方向)上的两个侧表面,并且可在电容形成部Ac在第三方向(宽度方向)上的两个侧表面上层叠单个介电层或者两个或更多个介电层以形成边缘部114和115(如图2所示),在这种情况下,将第一表面1连接到第五表面5和第六表面6的拐角以及将第二表面2连接到第五表面5和第六表面6的拐角可不具有收缩形状。

[0301] 主体110的第一表面1至第六表面6可以是大致平坦的表面,并且非平坦区域可被视为拐角。此外,外电极131和132中的设置在拐角处的区域可被视为拐角部。

[0302] 在这方面,第一拐角部331c和第二拐角部332c可设置在第二表面2的延长线E2下方,并且第一拐角部331c和第二拐角部332c可与第二表面2间隔开。也就是说,由于外电极331和332不设置在第二表面2上,因此可进一步减小由外电极331和332占据的体积,从而增大多层电子组件3000的每单位体积的电容。此外,第一拐角部331c可设置在连接第三表面3和第二表面2的2-3拐角C2-3的一部分上,并且第二拐角部332c可形成在连接第四表面4和第二表面2的2-4拐角C2-4的一部分上。

[0303] 第二表面2的延长线E2可如下定义。

[0304] 可在多层电子组件的在宽度方向上中央处截取的长度-厚度截面(L-T截面)上从第三表面到第四表面沿厚度方向绘制在长度方向上以相等距离间隔开的7条直线P0、P1、P2、P3、P4、P5和P6,并且可将穿过P2与第二表面相交的点和P4与第二表面相交的点的线定义为第二表面的延长线E2。

[0305] 外电极331和332可使用诸如金属的具有导电性的任何材料形成,并且可考虑到电特性和结构稳定性来确定具体材料,并且外电极331和332可具有多层结构。

[0306] 外电极331和332可以是包括导电金属和玻璃的烧制电极或者包括导电金属和树脂的树脂基电极。

[0307] 此外,外电极331和332可具有镀覆电极和树脂基电极可依次形成在主体上的形式。此外,外电极331和332可通过将包括导电金属的片材转印到主体或通过将包括导电金属的片材转印到烧制电极来形成。

[0308] 作为外电极331和332中包括的导电金属,可使用具有优异导电性的材料,并且材料不限于任何特定示例。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的一种或更多种。优选地,外电极331和332可包括Ni和Ni合金中的至少一种,因此,可改善与包括Ni的内电极121和122的连接性。

[0309] 绝缘层351可设置在第一连接部331a和第二连接部332a上。

[0310] 由于第一连接部331a和第二连接部332a可连接到内电极121和122,因此第一连接部331a和第二连接部332a可以在镀覆工艺中镀液渗透的路径或在实际使用期间水分渗透的路径。在示例实施例中,由于绝缘层351设置在连接部331a和332a上,因此可防止外部水分或镀液的渗透。

[0311] 绝缘层351可设置为与第一镀层341和第二镀层342接触。在这种情况下,绝缘层351可通过部分地覆盖第一镀层341和第二镀层342的端部而与第一镀层341和第二镀层342的端部接触,或者第一镀层341和第二镀层342可通过部分地覆盖绝缘层351的端部而与绝

缘层351的端部接触。

[0312] 绝缘层351可设置在第一连接部331a和第二连接部332a上,并且可设置为覆盖第二表面2以及第一拐角部331c和第二拐角部332c。此外,绝缘层351可覆盖第一拐角部331c和第二拐角部332c的端部与主体110接触的区域,并且可阻挡水分渗透路径,从而改善防潮可靠性。

[0313] 绝缘层351可设置在第二表面上并且可延伸到第一连接部331a和第二连接部332a。此外,当外电极331和332不设置在第二表面上时,绝缘层可设置为完全覆盖第二表面2。绝缘层351可不必设置在第二表面2上,并且绝缘层351可不设置在第二表面2的一部分或整个第二表面2上,并且绝缘层351可被分成两个区域,并且两个区域可分别设置在第一连接部331a和第二连接部332a上。然而,即使在这种情况下,绝缘层351也可设置成完全覆盖第一拐角部331c和第二拐角部332c。当绝缘层不设置在第二表面2上时,绝缘层351可设置在第二表面2的延长线E2下方。此外,绝缘层351不设置在第二表面2上,并且可从第一连接部331a和第二连接部332a延伸到第五表面5和第六表面6,并且可形成一体的绝缘层。

[0314] 在示例实施例中,绝缘层351可被设置为覆盖第五表面5的一部分和第六表面6的一部分,并且可改善可靠性。在这种情况下,可暴露第五表面5和第六表面6的未被绝缘层覆盖的部分。

[0315] 此外,绝缘层351可设置成覆盖整个第五表面5和整个第六表面6,并且在这种情况下,可不暴露第五表面5和第六表面6,从而改善防潮可靠性。

[0316] 绝缘层351可防止镀层341和342形成在外电极331和332的其上设置有绝缘层351的部分上,并且可改善密封特性并可减少水分或镀液的渗透。绝缘层351的成分、组成、平均厚度和效果可与多层电子组件1000和2000以及它们的各种变型示例中包括的绝缘层相同,因此将不提供其描述。

[0317] 第一镀层341和第二镀层342可分别设置在第一带部331b和第二带部332b上。镀层341和342可改善安装特性,并且当镀层341和342设置在带部331b和332b上时,可减小安装空间,并且可减少镀液渗透到内电极中,从而改善可靠性。第一镀层341的一端和第二镀层342的一端可与第一表面1接触,并且第一镀层341的另一端和第二镀层342的另一端可与绝缘层351接触。

[0318] 镀层341和342的类型不限于任何特定示例,并且可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可包括多个层。

[0319] 例如,镀层341和342可以是Ni镀层或Sn镀层,并且Ni镀层、Sn镀层和Ni镀层可依次形成在第一带部331b和第二带部332b上。

[0320] 在示例实施例中,第一镀层341可设置为覆盖绝缘层351的设置在第一外电极331上的端部,并且第二镀层342可设置为覆盖绝缘层351的设置在第二外电极332上的端部。因此,可增强绝缘层351与镀层341和342之间的结合力,使得可改善多层电子组件3000的可靠性。此外,通过在外电极331和332上形成镀层341和342之前形成绝缘层351,可以可靠地防止在形成镀层的工艺中镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层341和342可具有覆盖绝缘层351的端部的形状。

[0321] 在示例实施例中,绝缘层351可设置为覆盖第一镀层341的设置在第一外电极331上的端部,并且绝缘层351可设置为覆盖第二镀层342的设置在第二外电极332上的端部。因

此,可增强绝缘层351与镀层341和342之间的结合力,使得可改善多层电子组件3000的可靠性。

[0322] 在示例实施例中,第一镀层341和第二镀层342可延伸以分别部分地覆盖第一连接部331a和第二连接部332a。当在第一方向上从第一表面1到内电极121和122中最邻近第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到绝缘层351的设置在第一连接部331a和第二连接部332a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 \geq H_2$ 。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而改善可靠性。

[0323] 在示例实施例中,当在第一方向上从第一表面1到内电极121和122中最邻近第一表面1设置的内电极的平均距离被定义为 H_1 ,并且在第一方向上从第一表面1的延长线到绝缘层351的设置在第一连接部331a和第二连接部332a上的端部的平均距离被定义为 H_2 时,可满足 $H_1 < H_2$ 。因此,可增大在安装期间与焊料接触的面积,从而改善内聚力。更优选地,当主体110在第一方向上的平均尺寸被定义为 T 时,可满足 $H_2 < T/2$ 。也就是说,可满足 $H_1 < H_2 < T/2$,当 H_2 为 $T/2$ 或更大时,通过绝缘层改善防潮可靠性的效果可能劣化。

[0324] 在示例实施例中,第一镀层341和第二镀层342可设置在第一表面的延长线下方。因此,可在安装期间减小焊料的高度,并且可减小安装空间。此外,绝缘层351可延伸到第一表面的延长线下方的区域,并且可与第一镀层341和第二镀层342接触。

[0325] 在示例实施例中,当主体在第二方向上的平均尺寸被定义为 L ,在第二方向上从第三表面3的延长线 E_3 到第一带部331b的端部的平均距离被定义为 B_1 ,在第二方向上从第四表面4的延长线 E_4 到第二带部332b的端部的平均尺寸被定义为 B_2 时,可满足 $0.2 \leq B_1/L \leq 0.4$ 和 $0.2 \leq B_2/L \leq 0.4$ 。

[0326] 当 B_1/L 和 B_2/L 小于0.2时,可能难以确保足够的固定强度。当 B_1/L 和 B_2/L 大于0.4时,在高电压电流下可能在第一带部331b和第二带部332b之间产生漏电流,并且第一带部331b和第二带部332b可能由于镀覆扩散而电连接。

[0327] 在示例实施例中,多层电子组件3000还可包括设置在第一表面1上并且设置在第一带部331b和第二带部332b之间的附加绝缘层。因此,可防止在高电压电流下可能在第一带部331b和第二带部332b之间产生的漏电流。

[0328] 附加绝缘层的类型可不需要限于任何特定示例。例如,附加绝缘层可包括与绝缘层351的成分相同的成分。附加绝缘层和绝缘层351可不需要利用相同的材料形成,而是可利用不同的材料形成。例如,附加绝缘层可包括选自环氧树脂、丙烯酸树脂等中的至少一种热固性树脂。此外,除了聚合物树脂之外,附加绝缘层可包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 、 BaO 等中的至少一种作为添加剂。因此,可改善与主体或外电极的结合力。

[0329] 在示例实施例中,当在第二方向上从第三表面3的延长线 E_3 到第一带部331b的端部的平均距离被定义为 B_1 ,并且在第二方向上从第四表面4的延长线 E_4 到第二带部332b的端部的平均距离被定义为 B_2 时,可满足 $B_3 < B_1$ 和 $B_4 < B_2$ 。第一带部331b的平均长度 B_1 可长于第一拐角部331c的平均长度 B_3 ,并且第二带部332b的平均长度 B_2 可长于第二拐角部332c的平均长度 B_4 。因此,可增大在安装期间与焊料接触的区域,从而改善内聚力。

[0330] 更详细地,当在第二方向上从第三表面3的延长线 E_3 到第一带部331b的端部的平均距离被定义为 B_1 ,在第二方向上从第四表面4的延长线 E_4 到第二带部332b的端部的平均距离被定义为 B_2 ,在第二方向上从第三表面3的延长线 E_3 到第一拐角部331c的端部的平均

距离被定义为 B_3 ,并且在第二方向上从第四表面4的延长线E4到第二拐角部332c的端部的平均距离被定义为 B_4 时,可满足 $B_3 < B_1$ 和 $B_4 < B_2$ 。

[0331] 在示例实施例中,第一镀层341和第二镀层342的平均厚度可小于绝缘层351的平均厚度。

[0332] 绝缘层351可防止外部水分或镀液的渗透,但是与镀层341和342的连接性可能相对较弱,这可能导致镀层的脱层。当镀层脱层时,与基板的内聚力可能降低。这里,镀层的脱层可指镀层的一部分的分离或镀层与外电极331和332的物理分离。由于镀层与绝缘层之间的连接性相对较弱,因此绝缘层与镀层之间的间隙可能变宽或异物可能进入的可能性较高,并且可能由于易受外部冲击的影响而使脱层的可能性增大。

[0333] 在示例实施例中,通过将镀层的平均厚度减小到小于绝缘层的平均厚度,可减小镀层和绝缘层之间的接触面积,从而防止脱层并改善多层电子组件3000中组件的内聚力。

[0334] 多层电子组件3000的尺寸可不需要限于任何特定示例。

[0335] 然而,为了同时获得小型化和高电容,可能需要通过减小介电层和内电极的厚度来增大层叠的层数,因此,在尺寸为1005(长度×宽度,1.0mm×0.5mm)或更小的多层电子组件3000中,示例实施例中的改善可靠性和每单位体积的电容的效果可以是显著的。

[0336] 因此,当考虑制造误差、外电极尺寸等时,并且当多层电子组件3000的长度为1.1mm或更小并且宽度为0.55mm或更小时,示例实施例中的改善可靠性的效果可以是显著的。这里,多层电子组件3000的长度可以是指多层电子组件3000在第二方向上的最大尺寸,多层电子组件3000的宽度可以是指多层电子组件3000在第三方向上的最大尺寸。

[0337] 根据前述示例实施例,可防止由于焊脚的热还原引起的应力而导致的裂纹。

[0338] 此外,可增大实现电容所需的有效体积分数。

[0339] 可减小用于多层电子组件的安装空间。

[0340] 可防止外部水分和镀液渗透到多层电子组件中。

[0341] 虽然上面已经示出和描述了示例实施例,但是对于本领域技术人员将易于理解的是,在不脱离由所附权利要求限定的本公开的范围的情况下,可进行修改和变化。

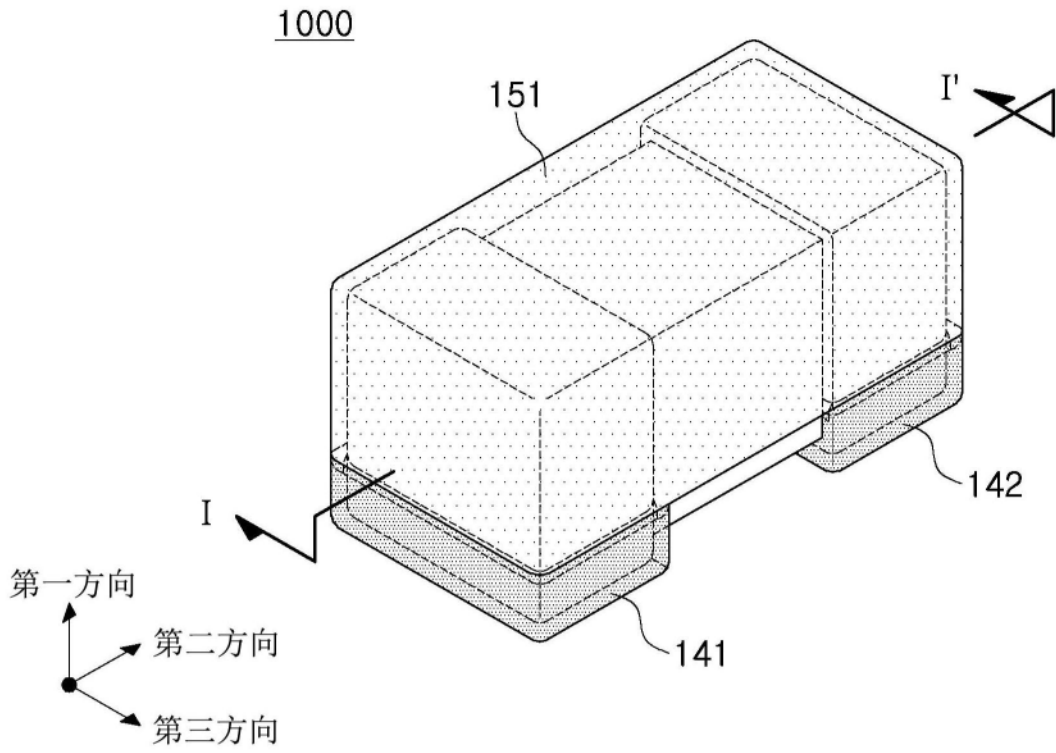


图1

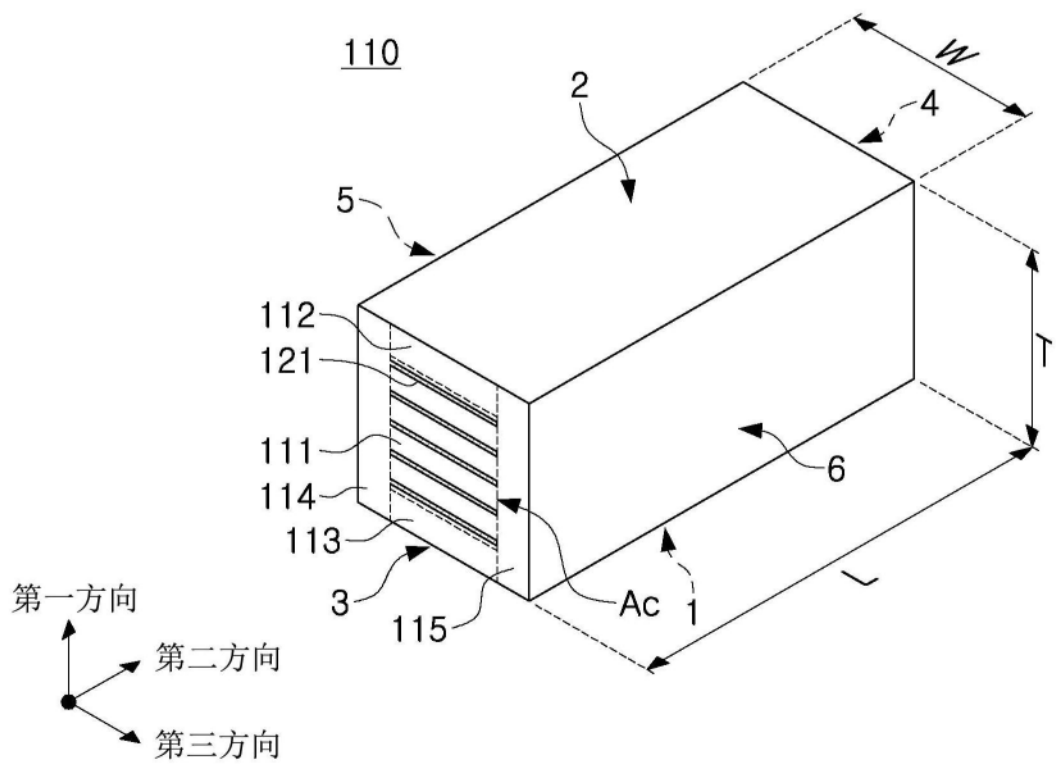


图2

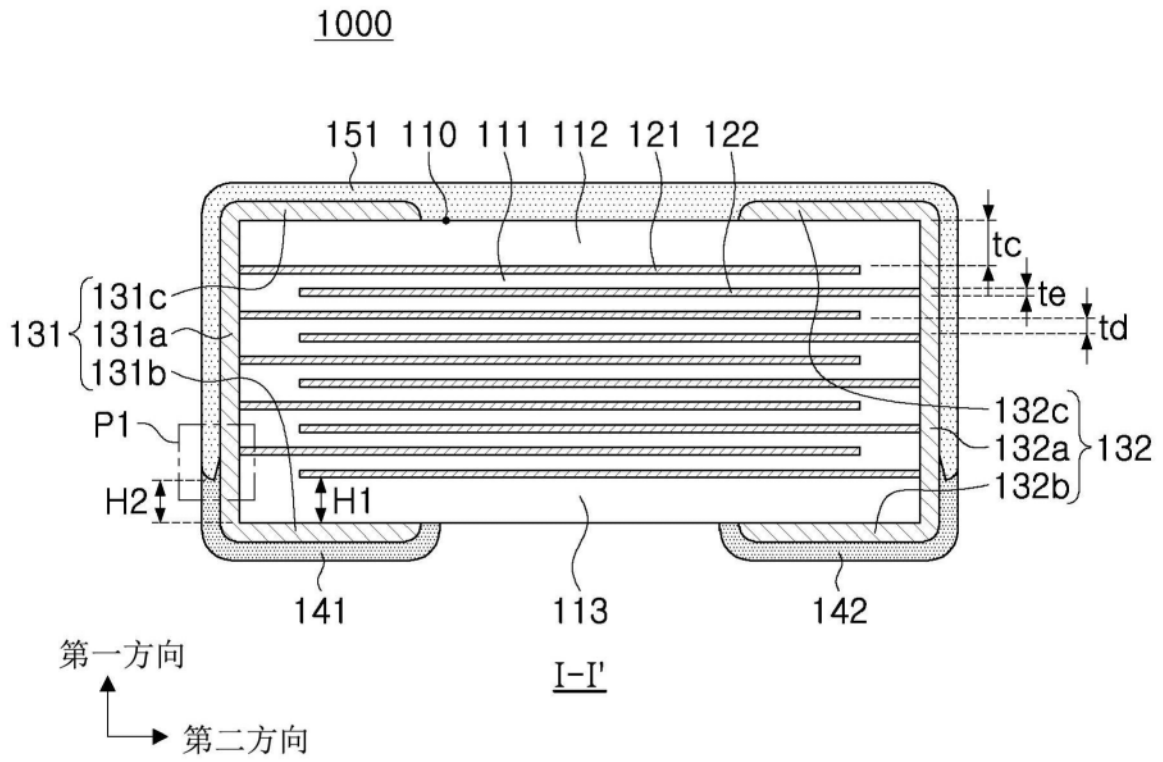


图3

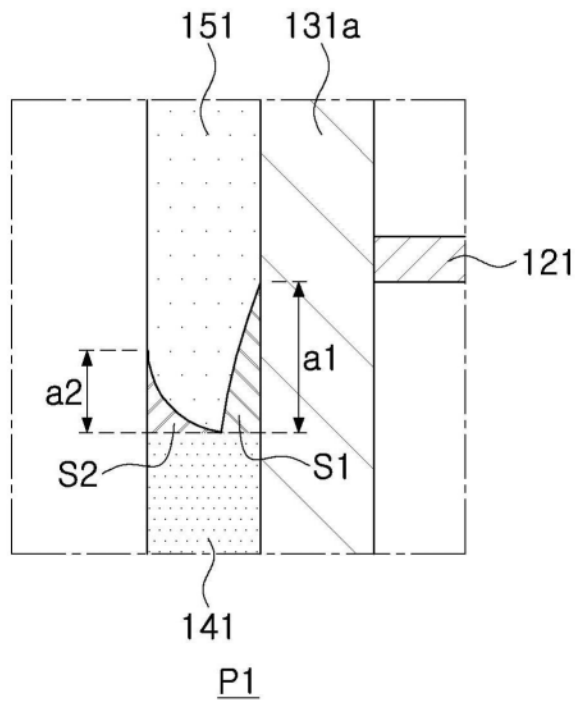


图4

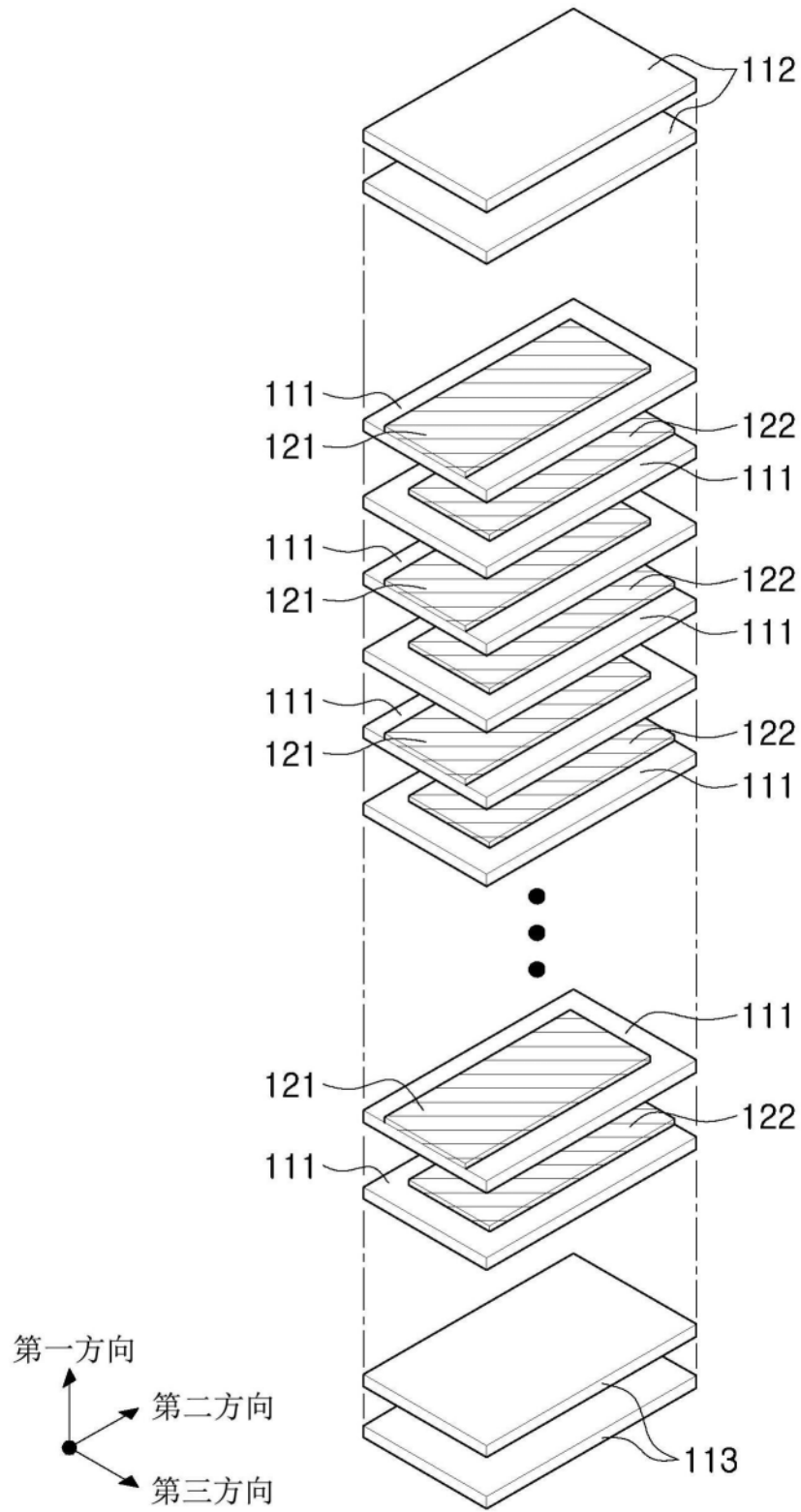


图5

1100

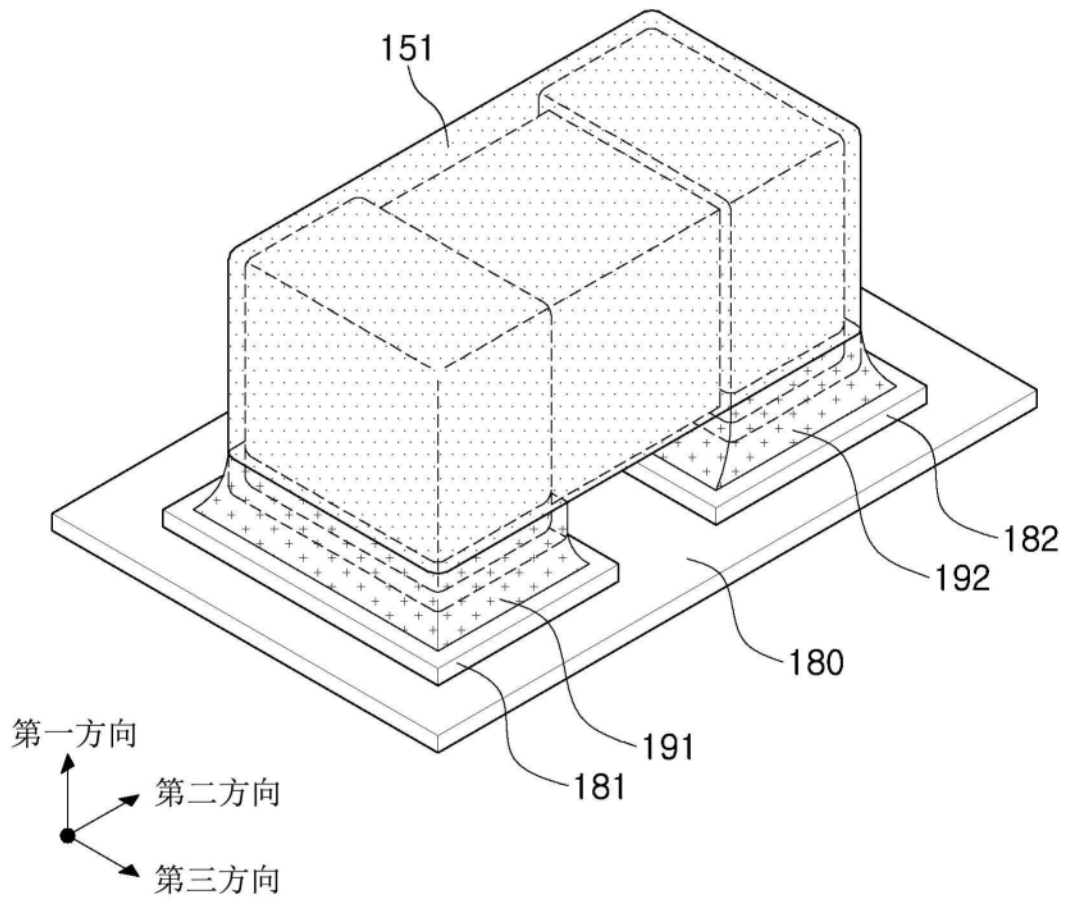


图6

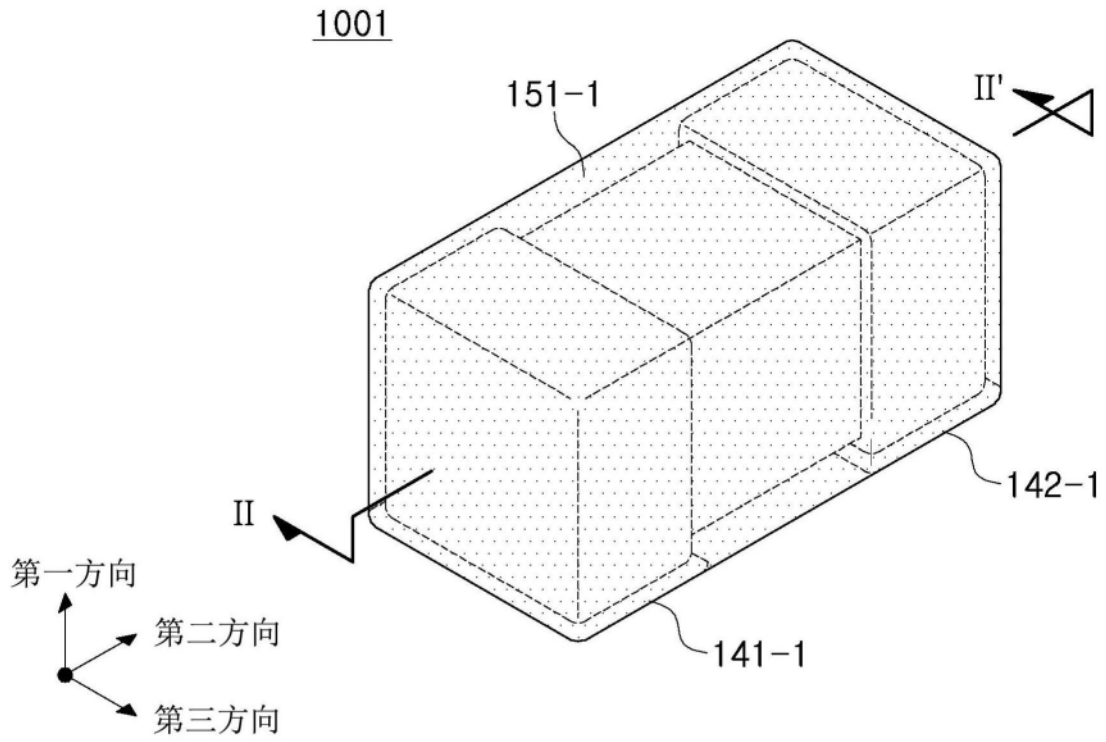


图7

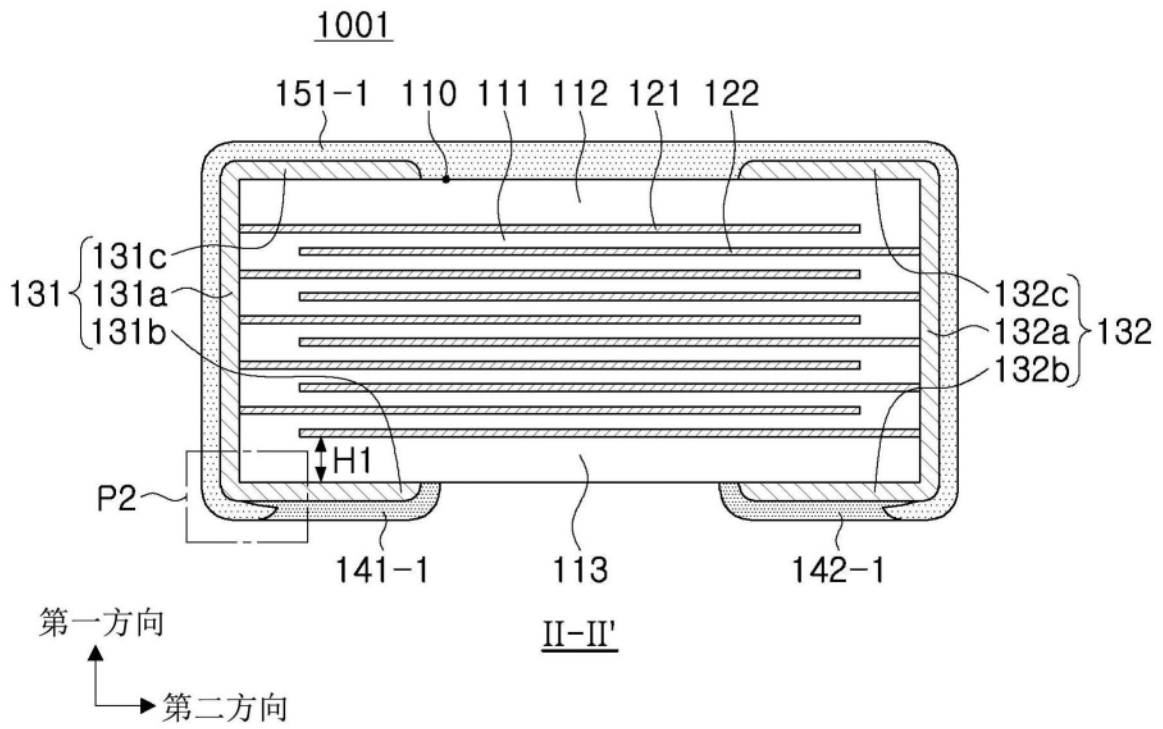


图8

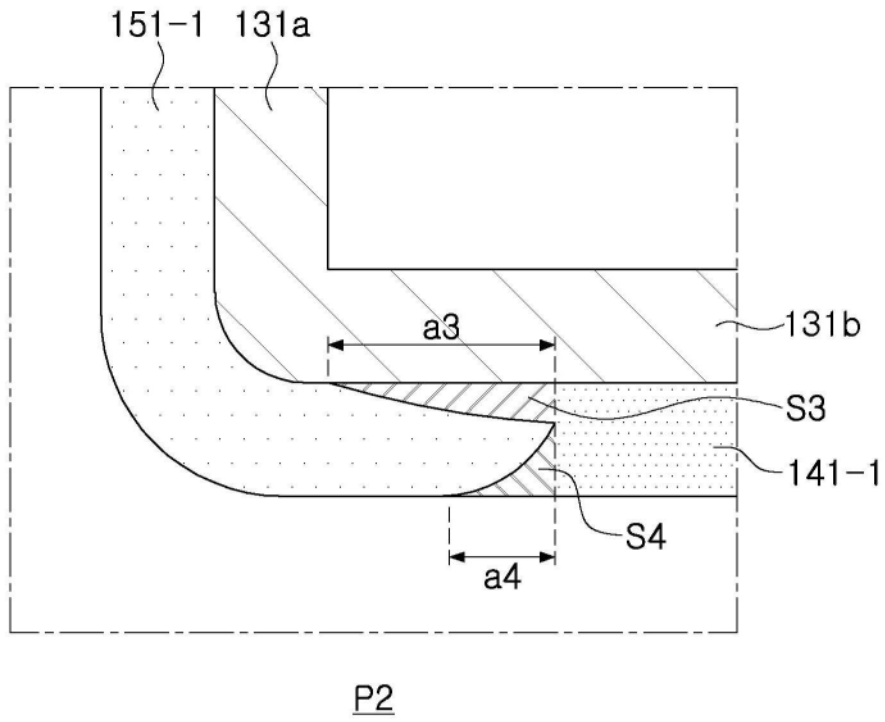


图9

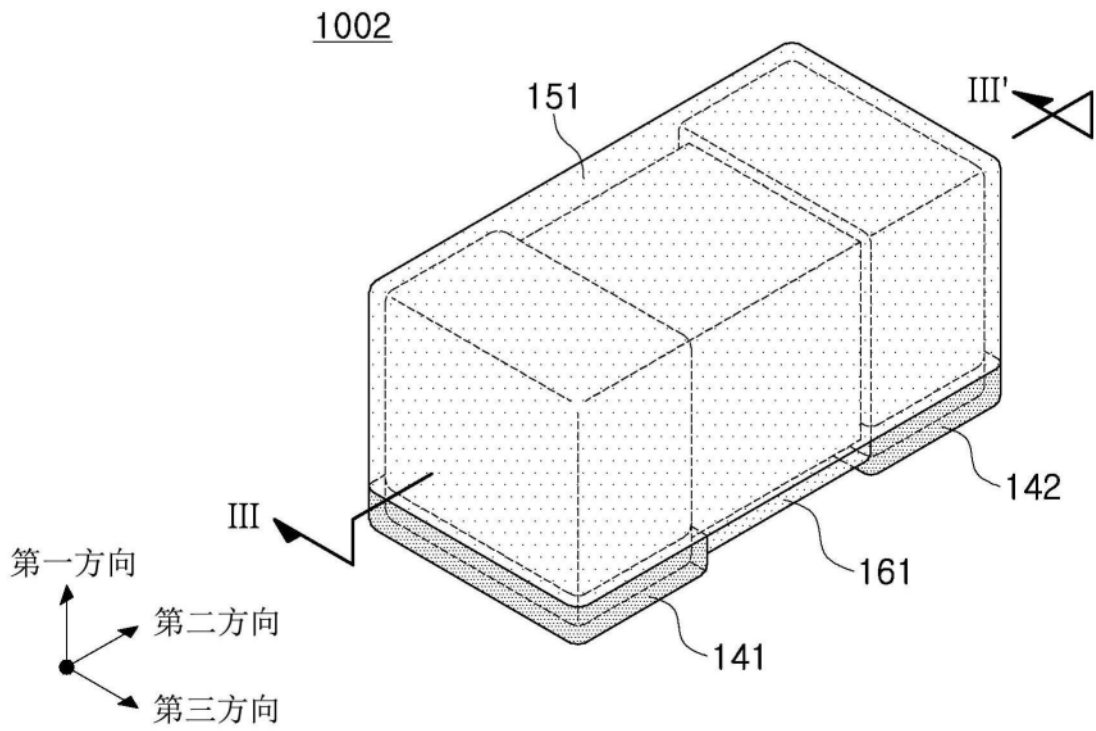


图10

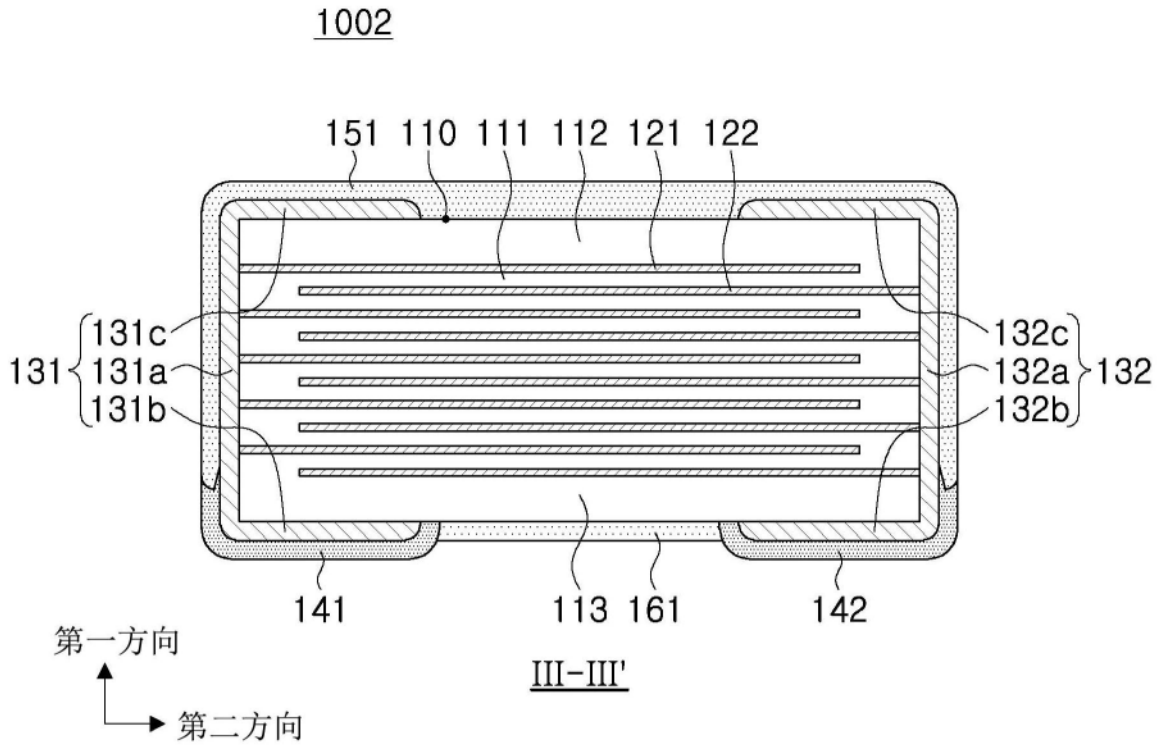


图11

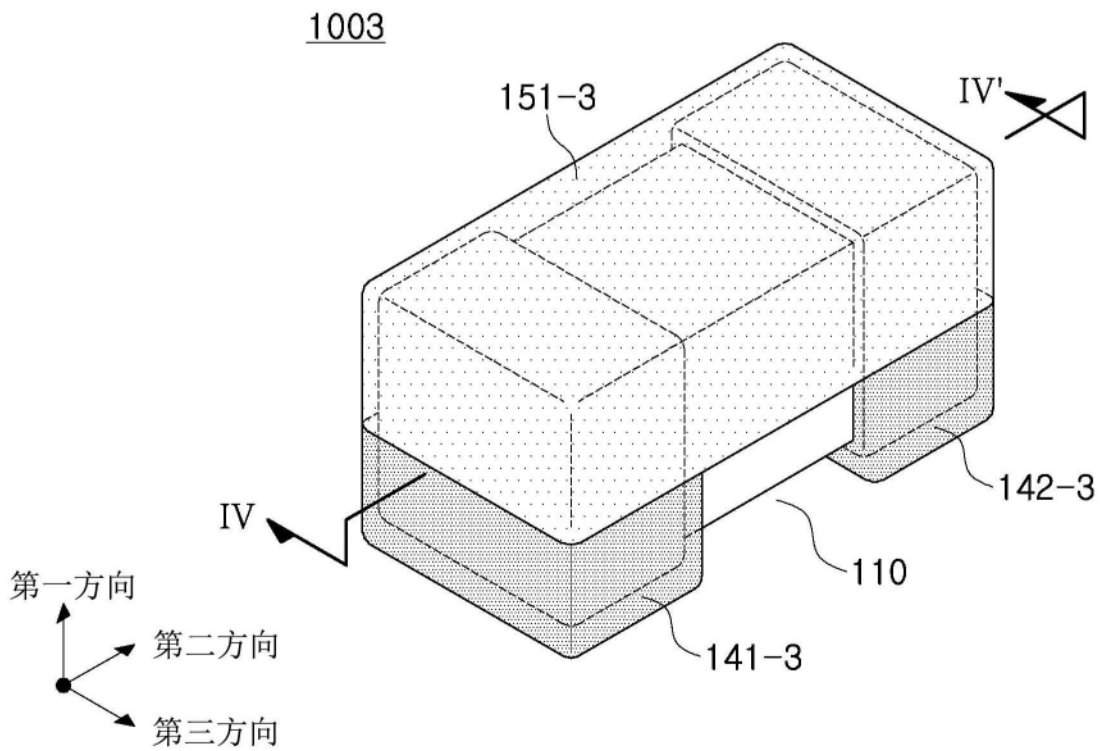


图12

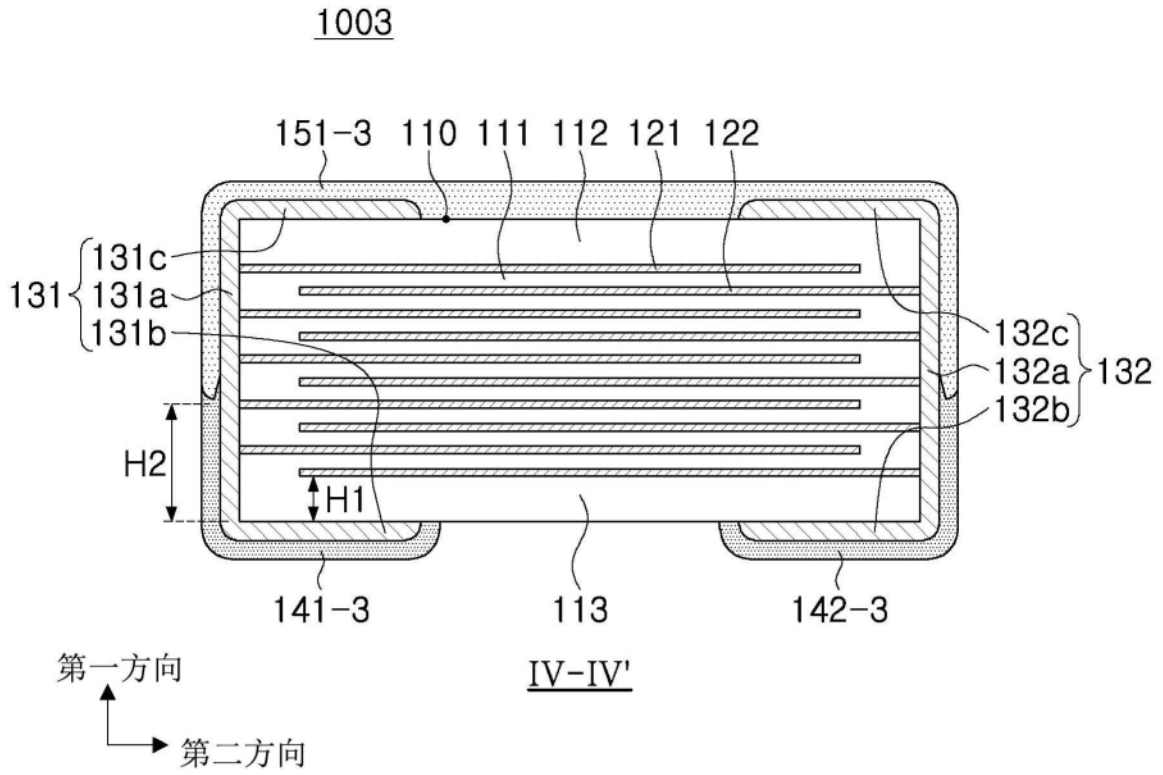


图13

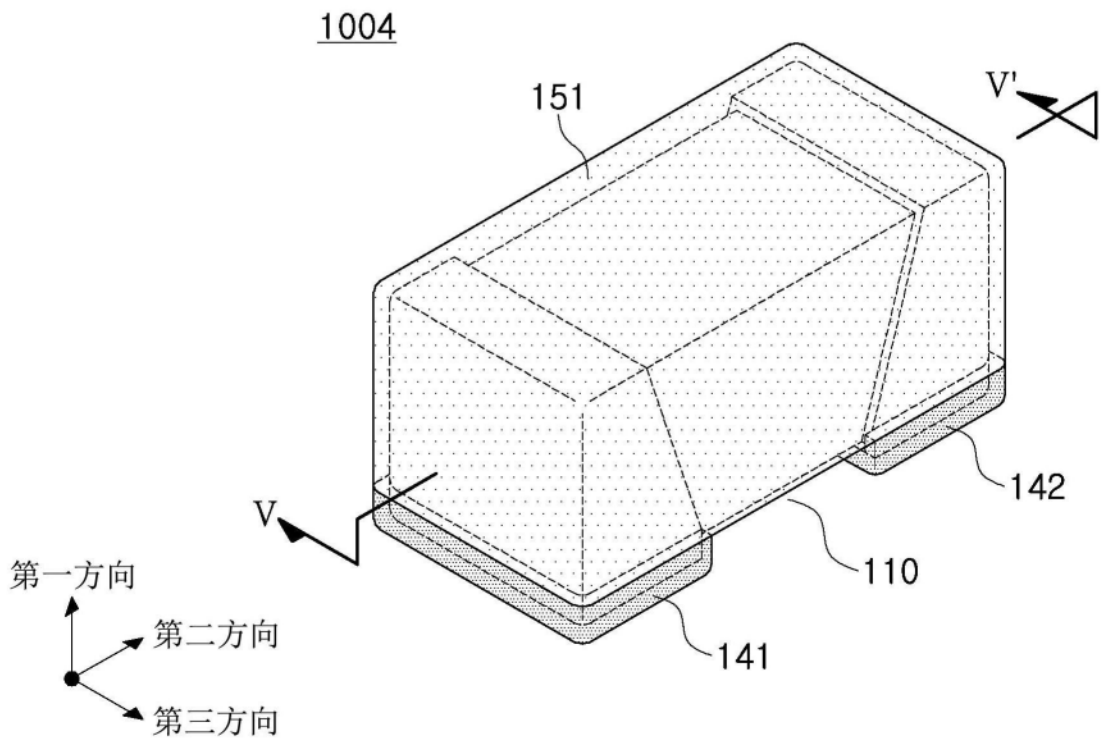


图14

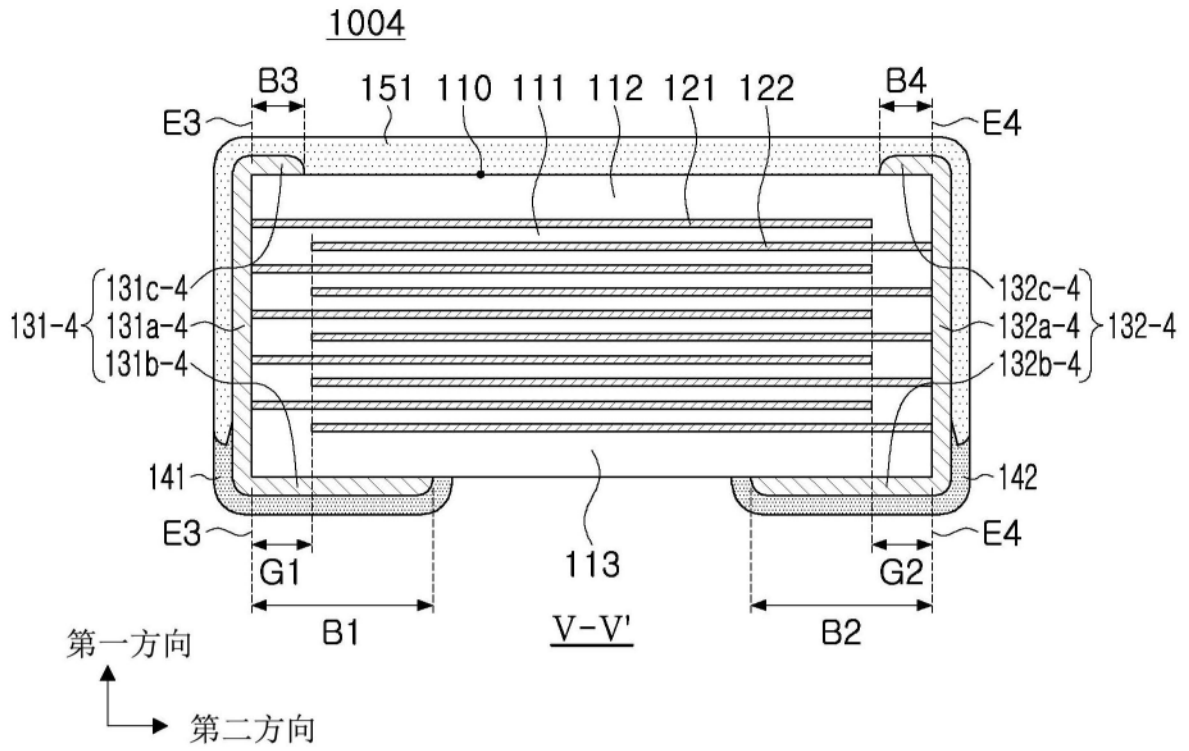


图15

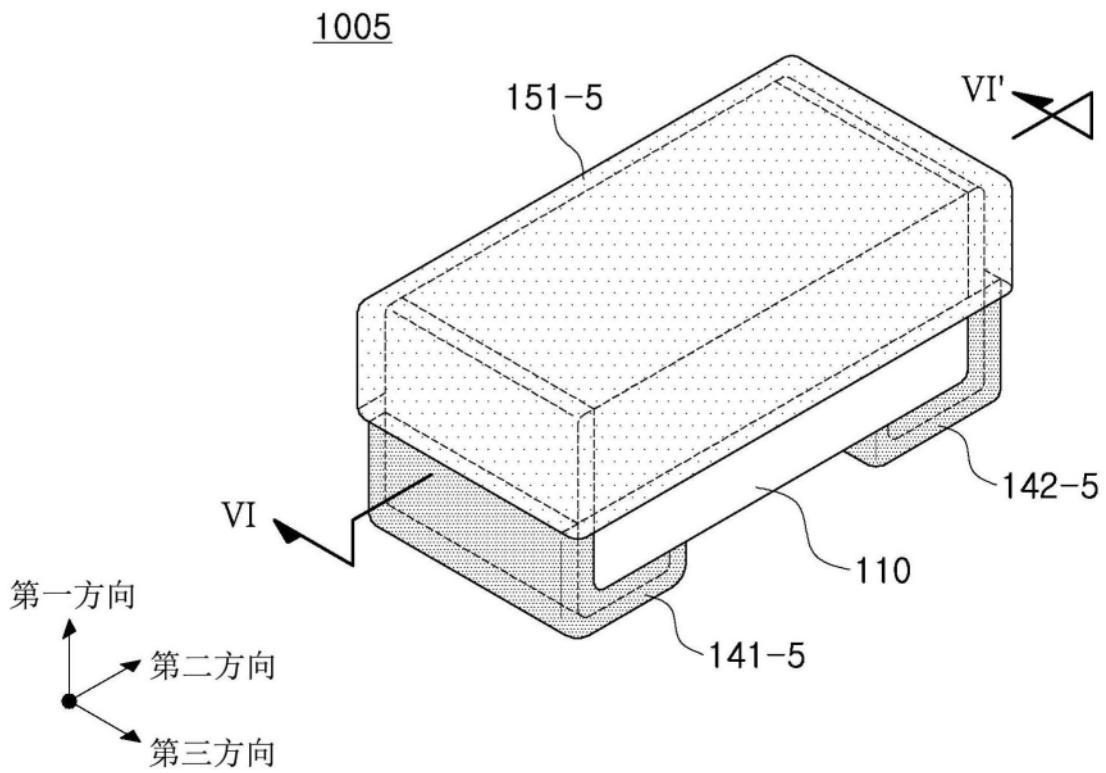


图16

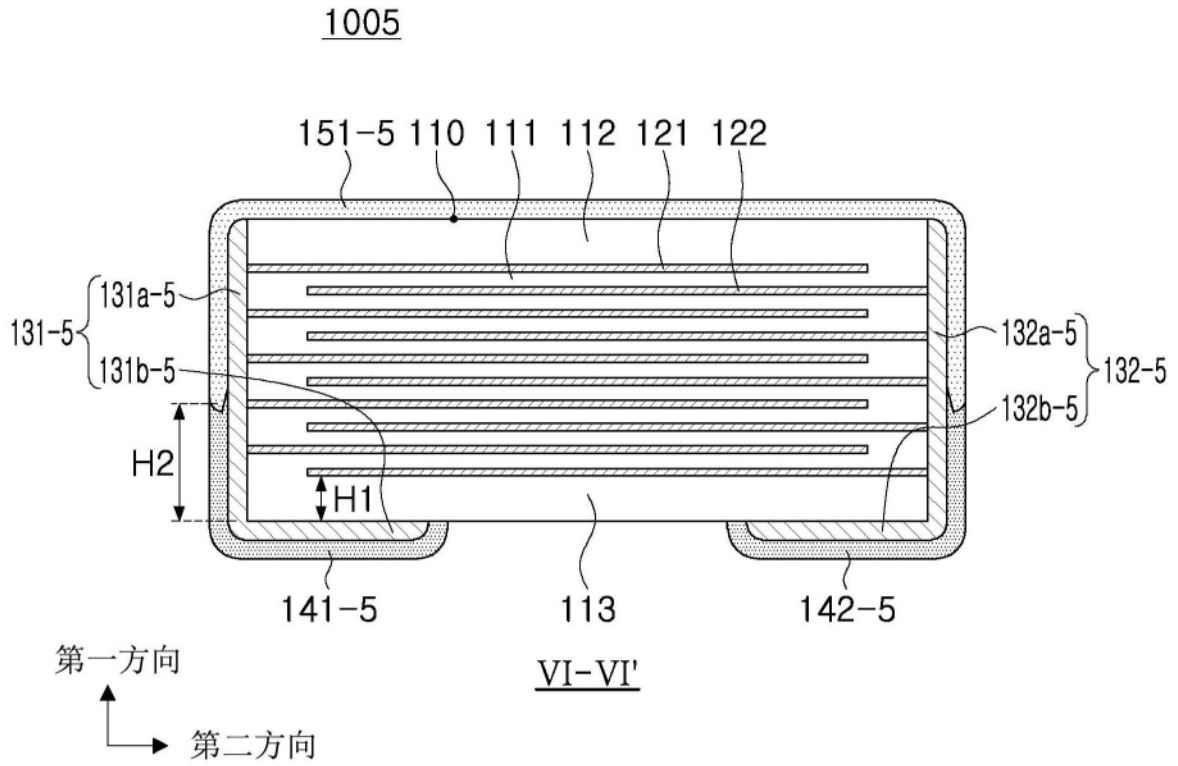


图17

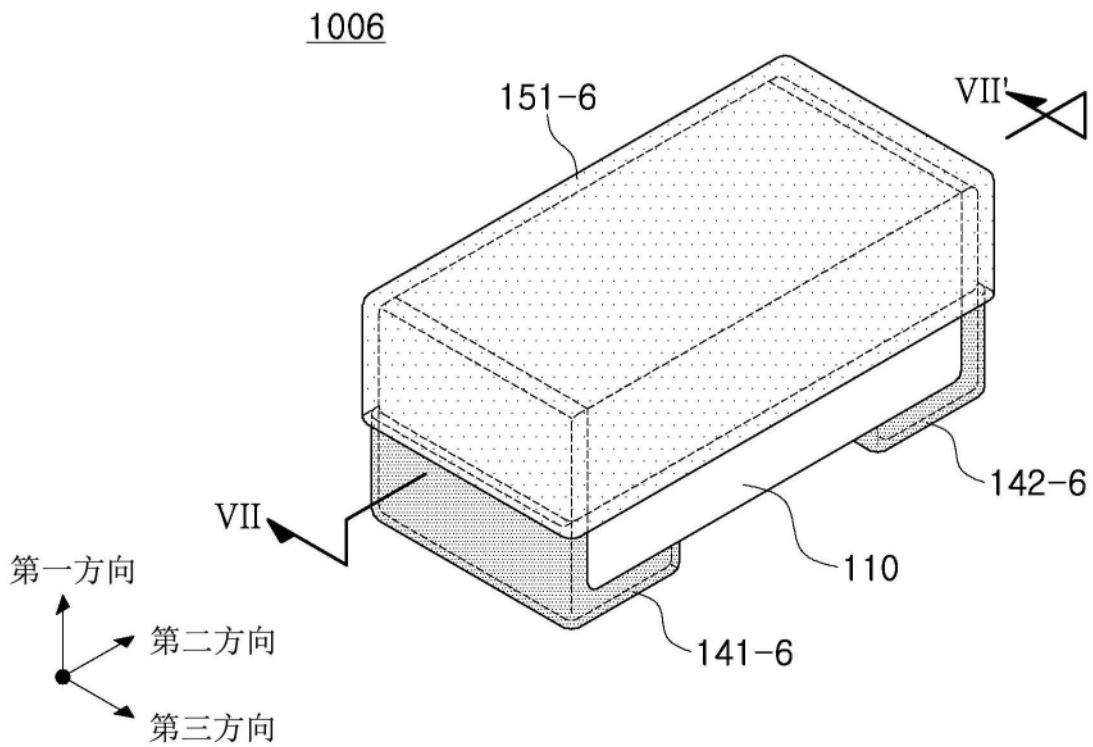


图18

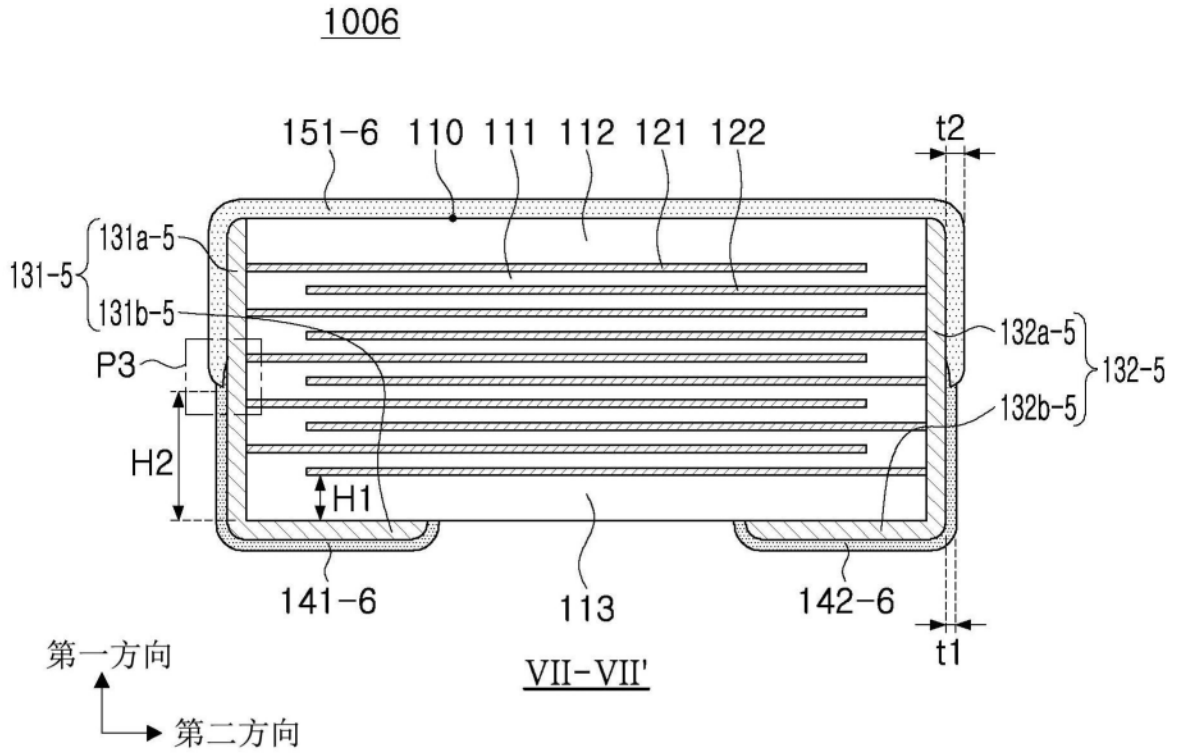


图19

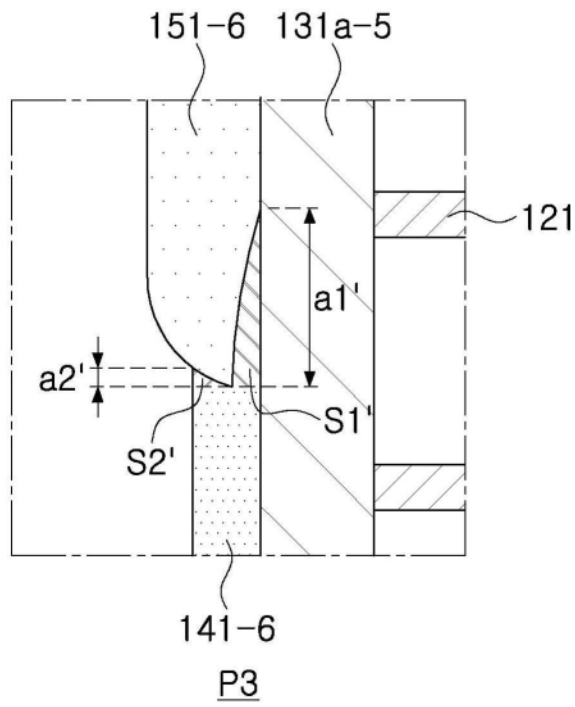


图20

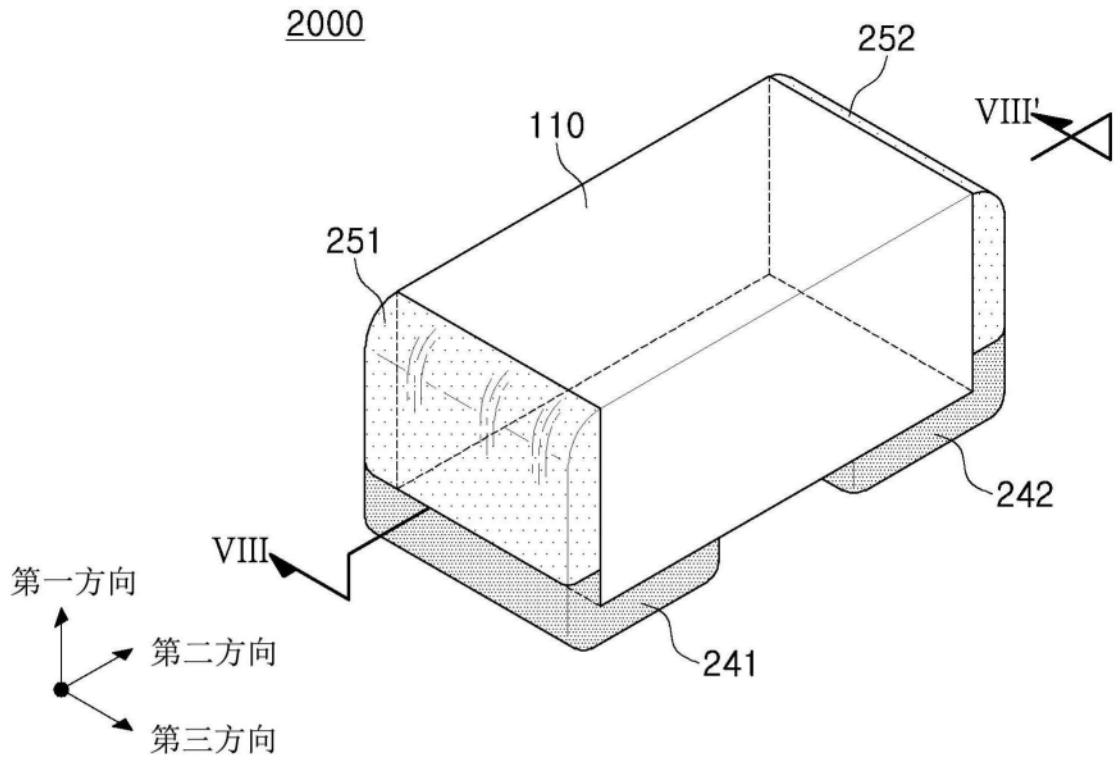


图21

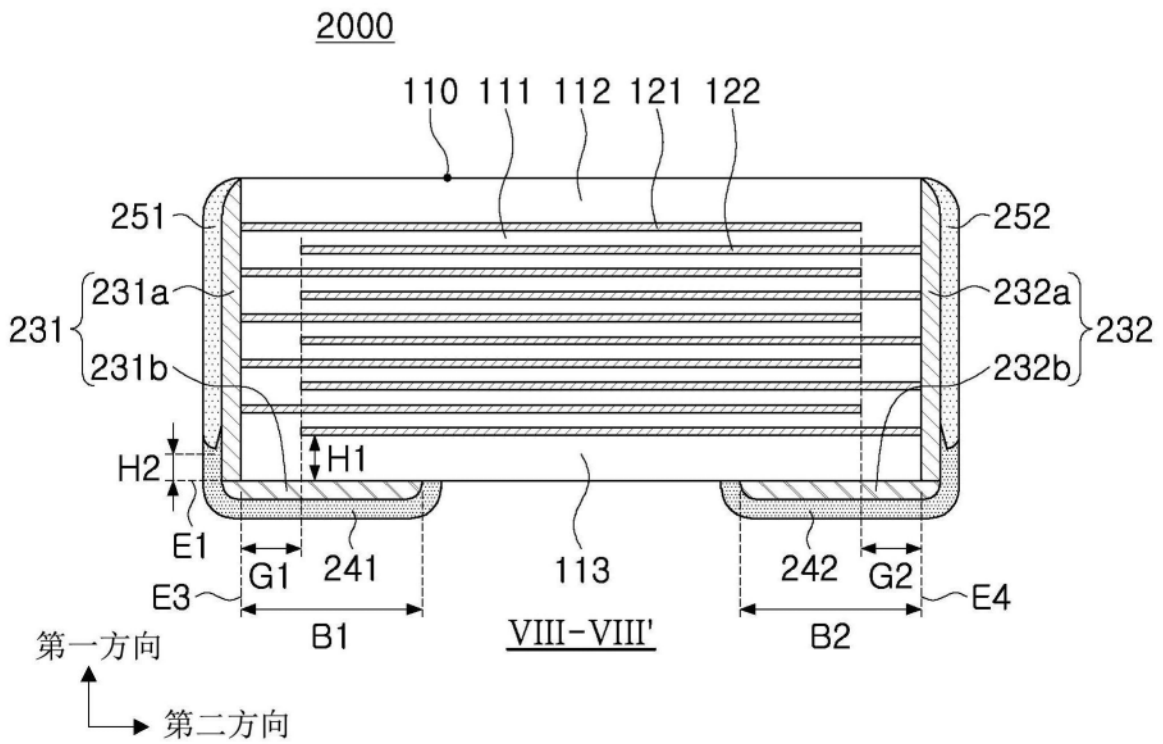


图22

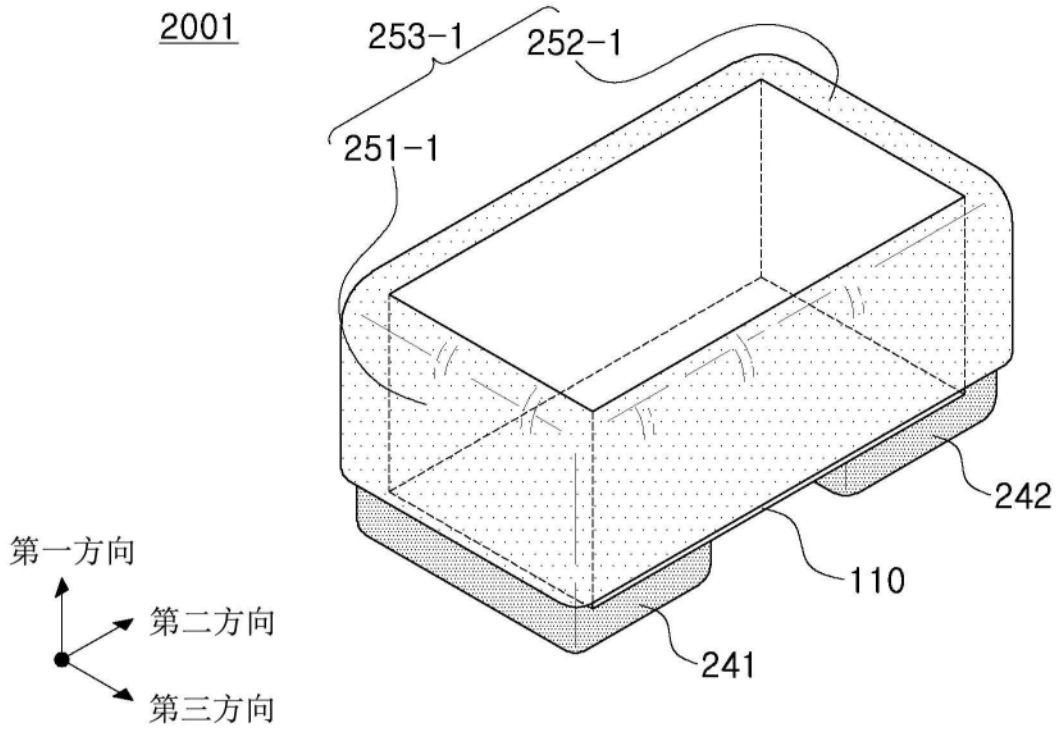


图23

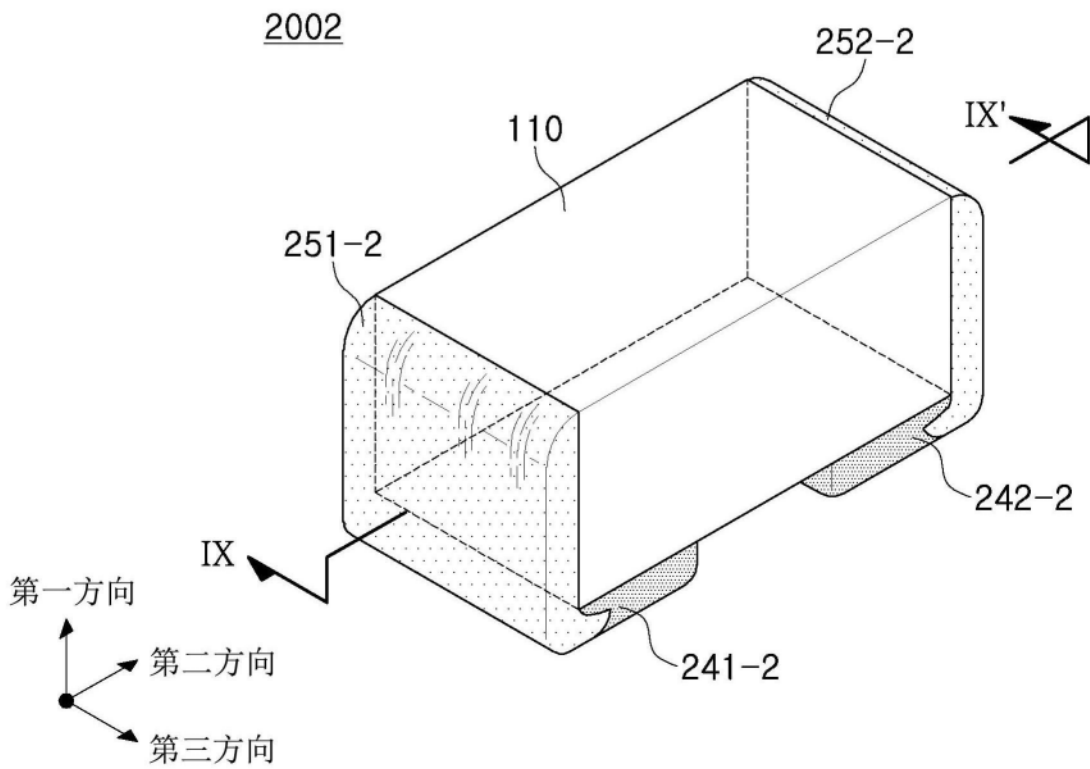


图24

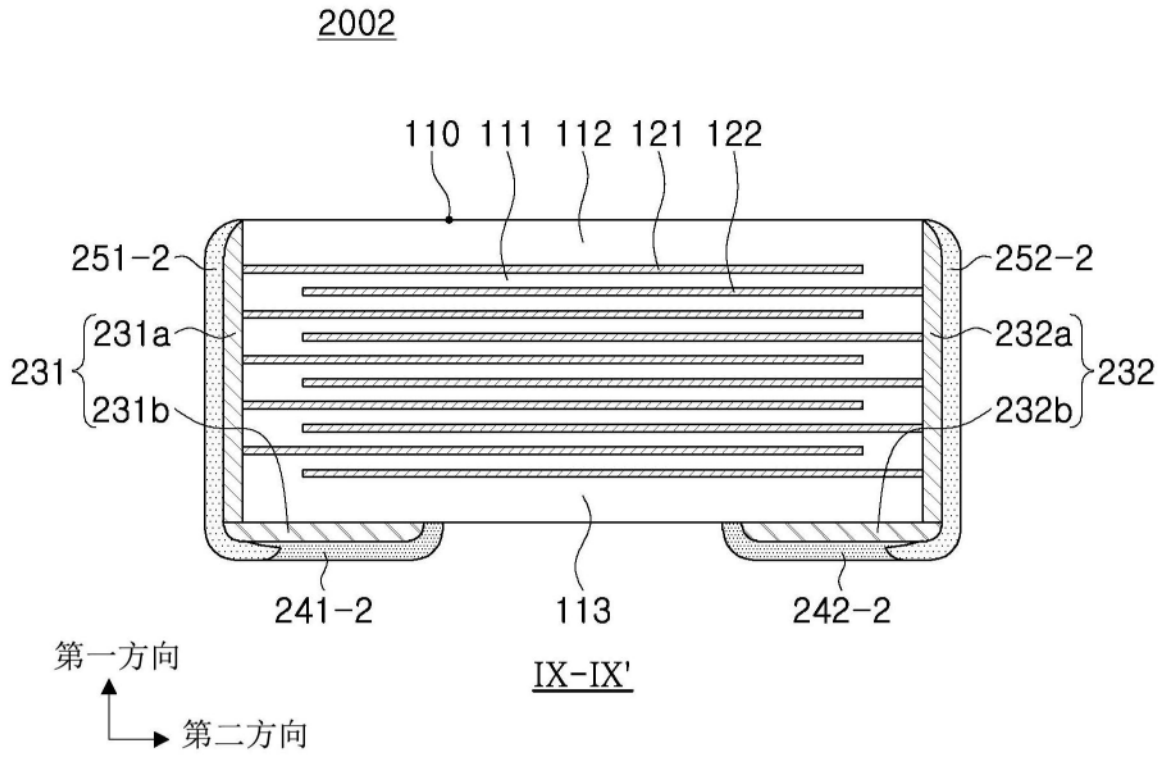


图25

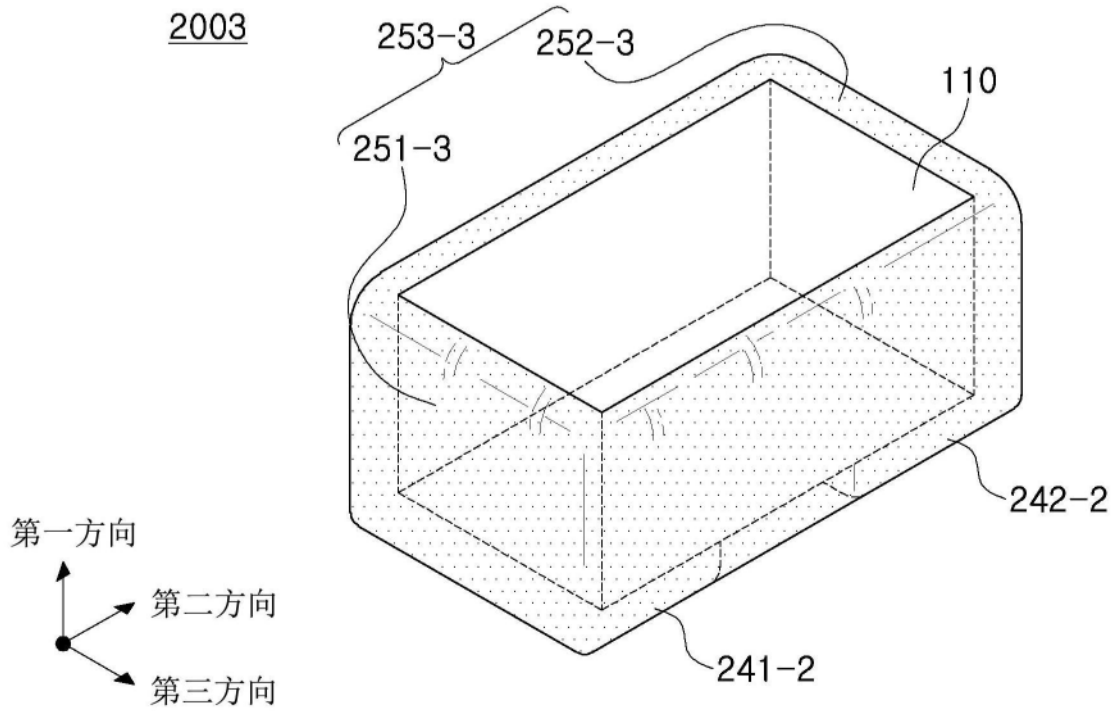


图26

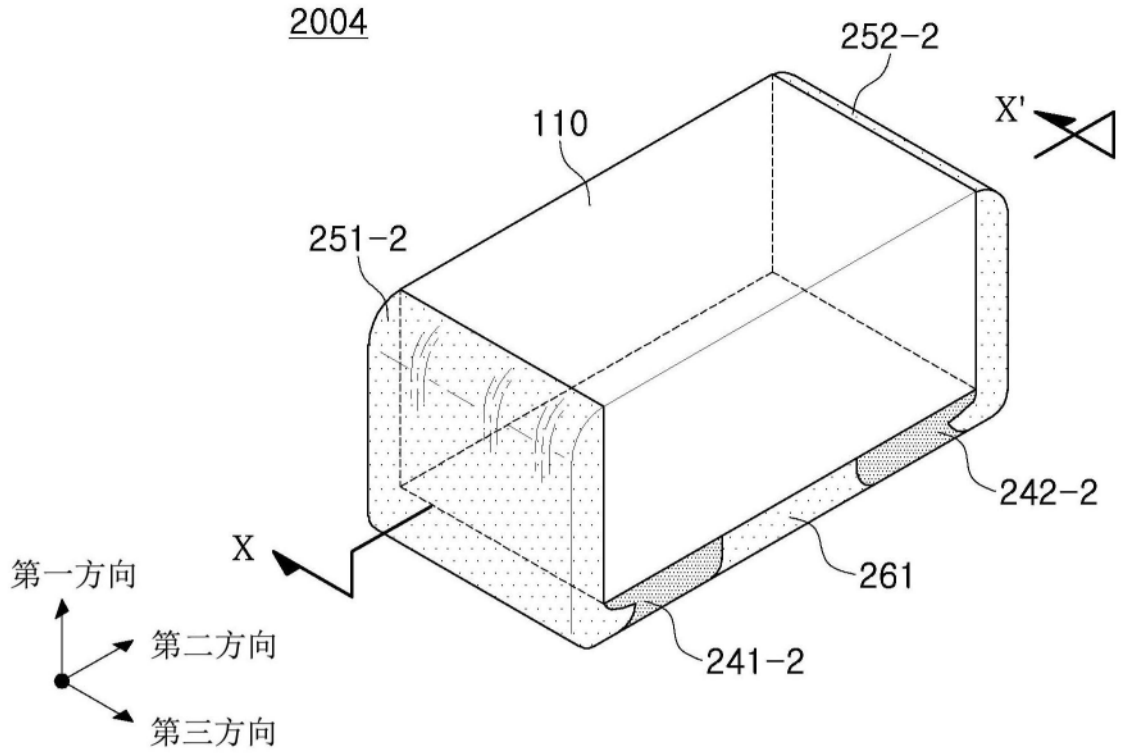


图27

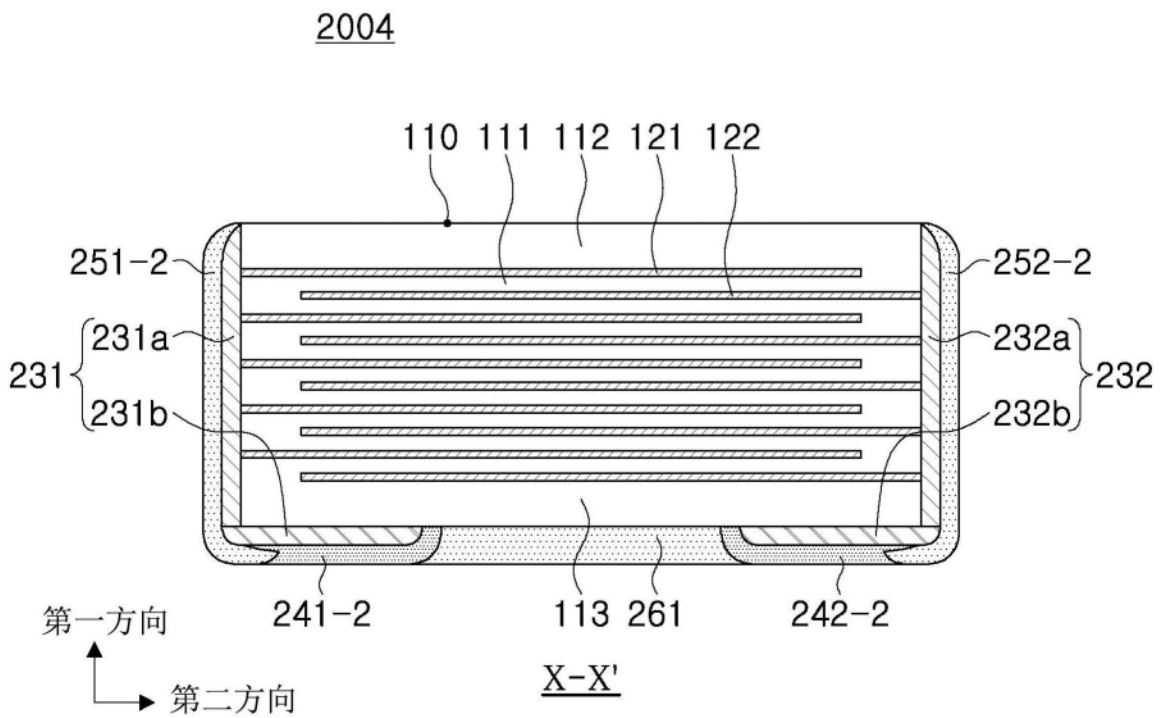


图28

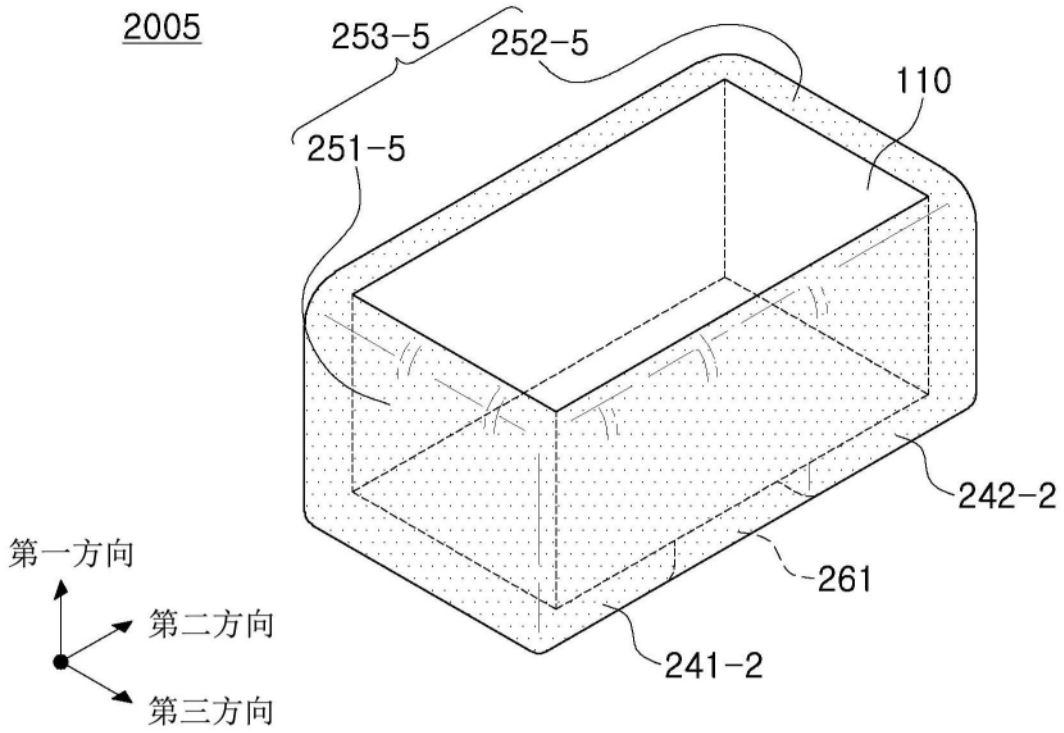


图29

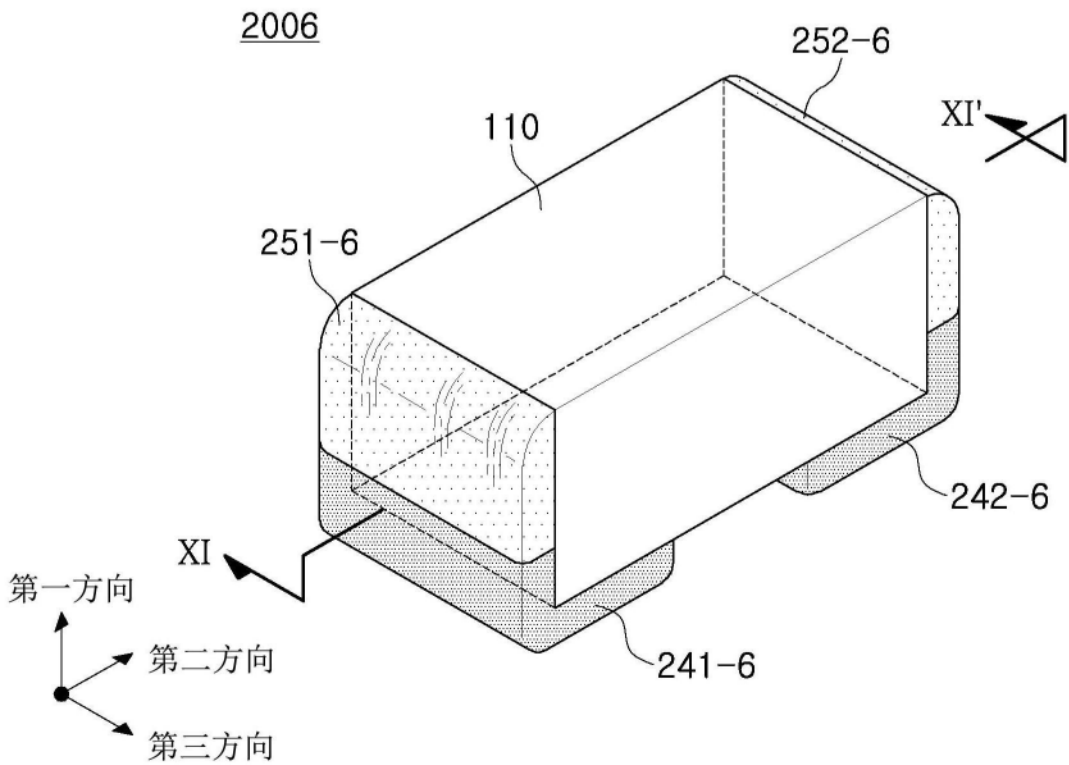


图30

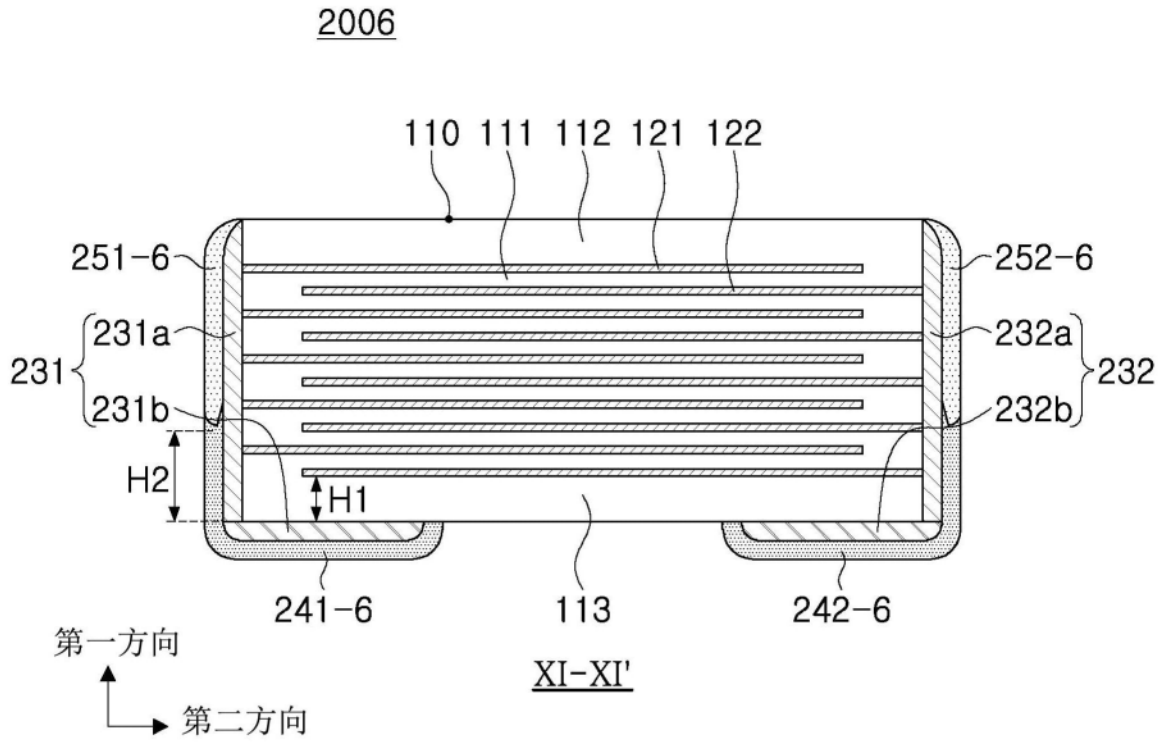


图31

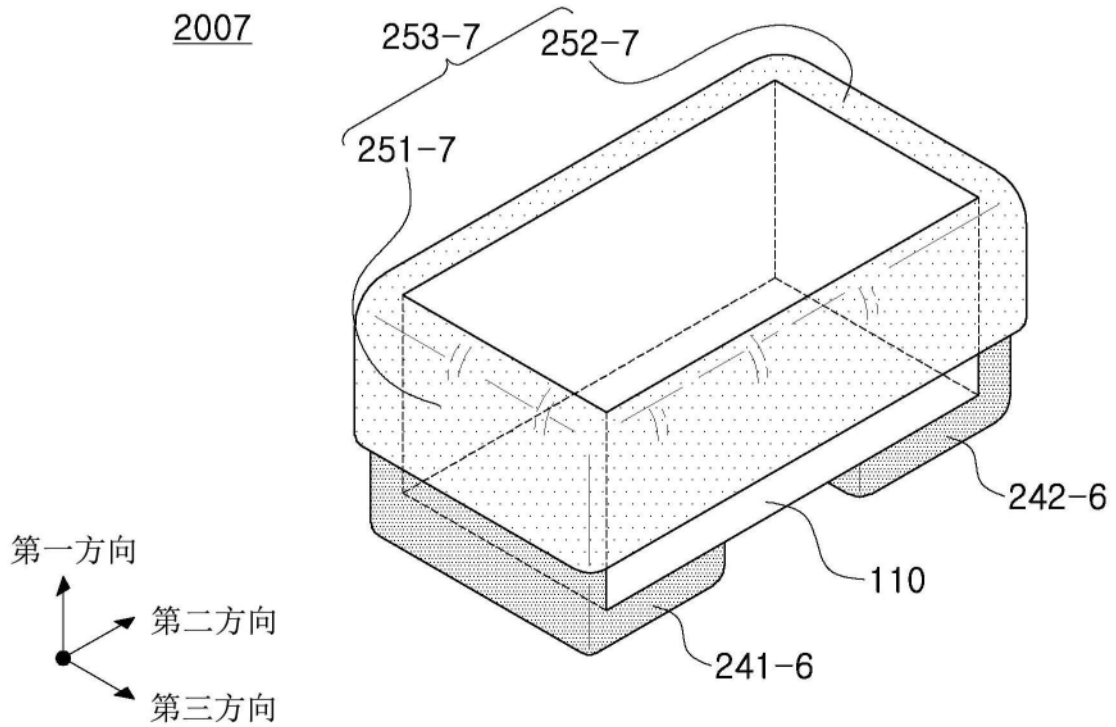


图32

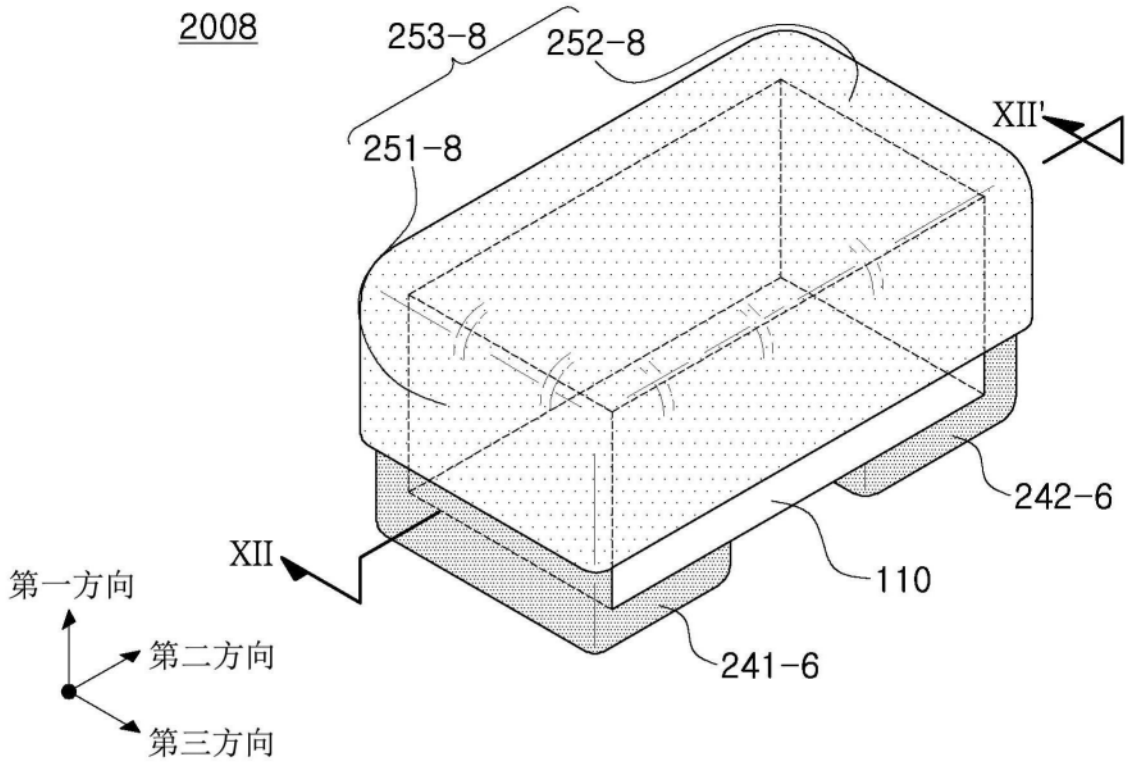


图33

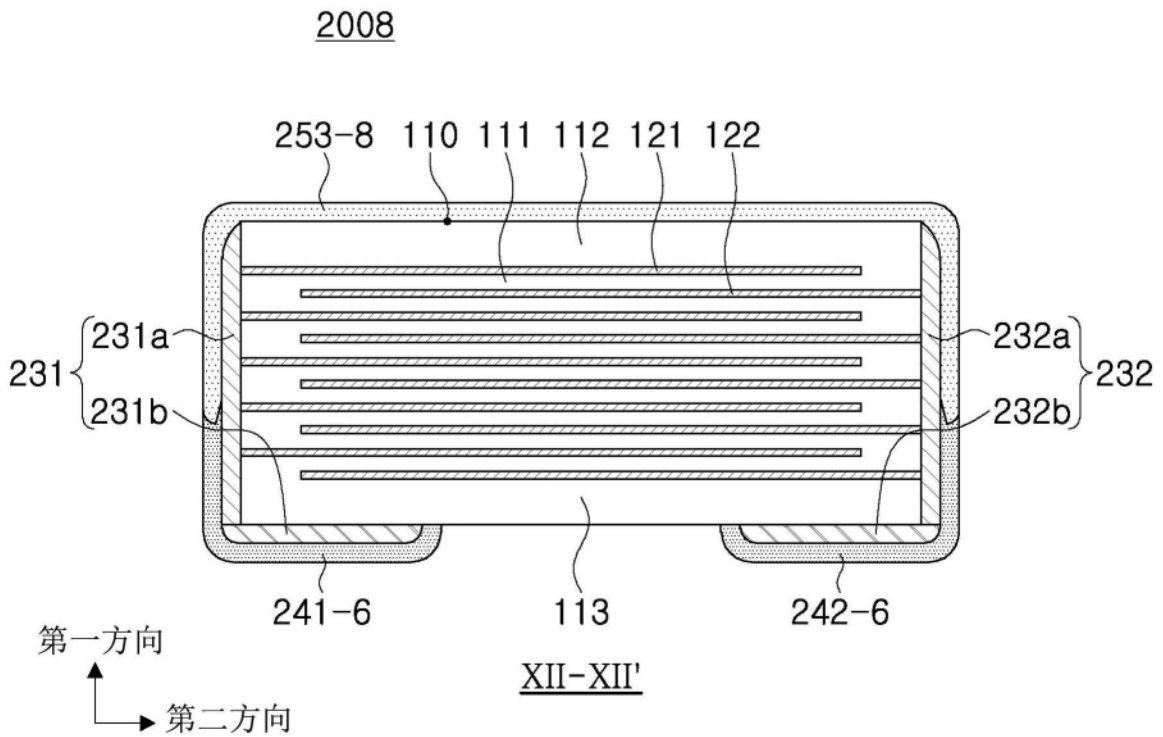


图34

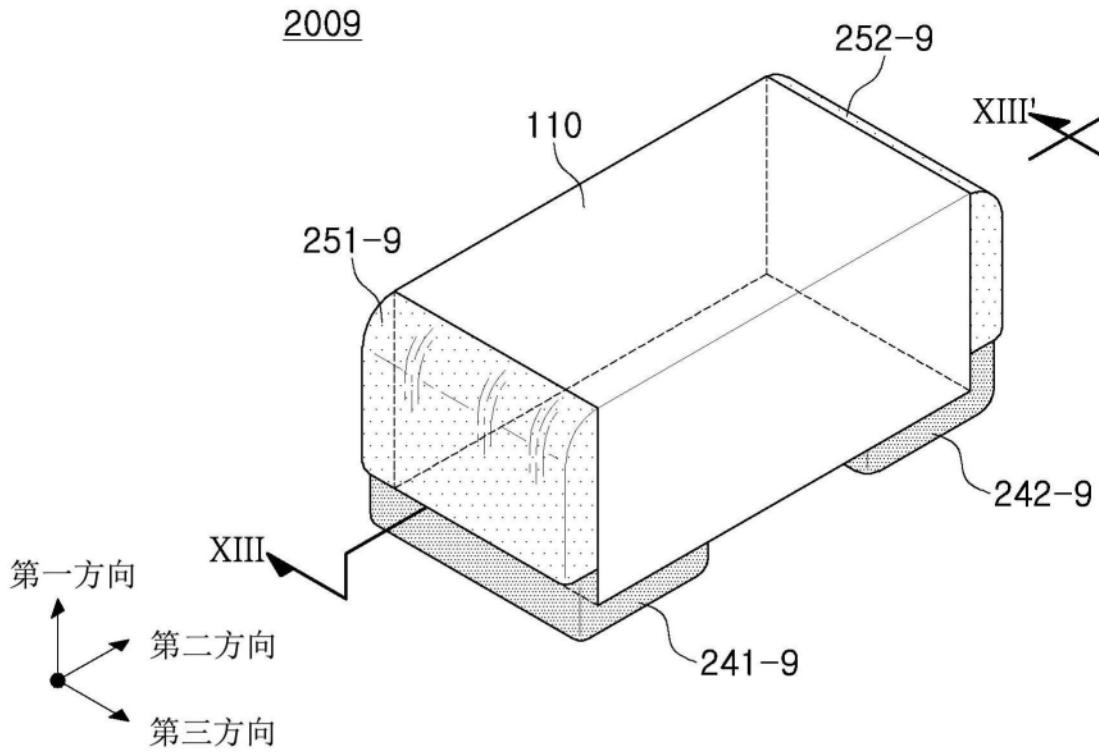


图35

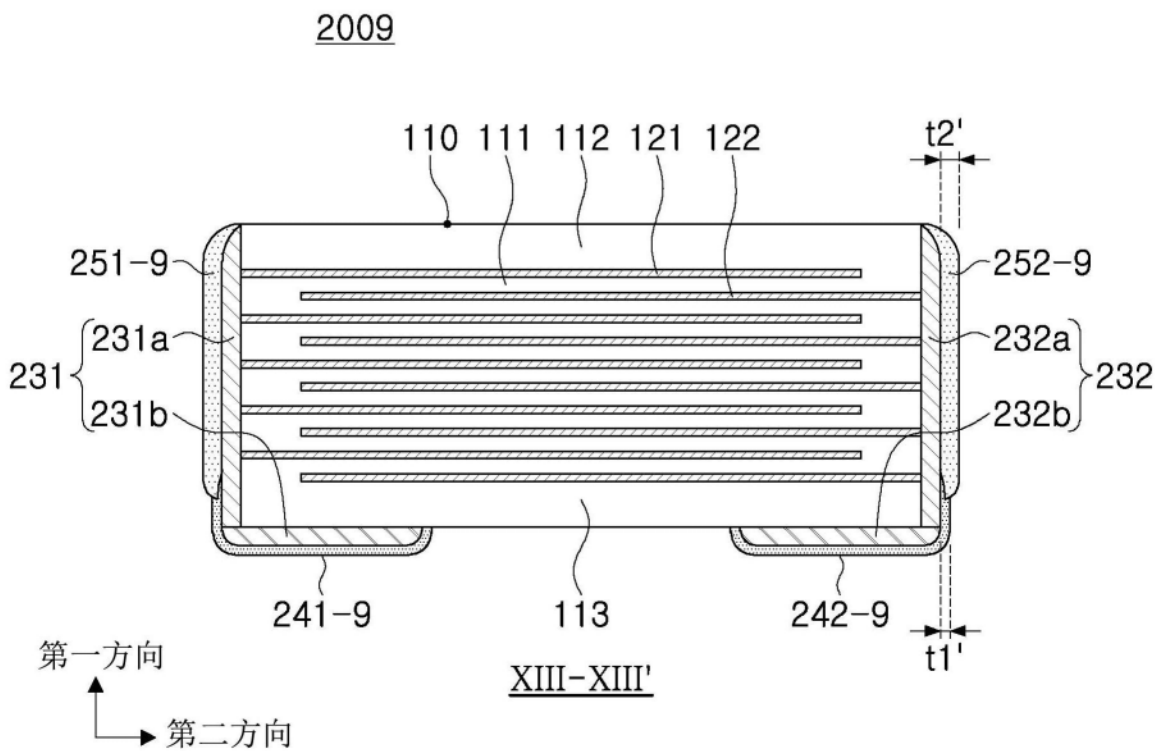


图36

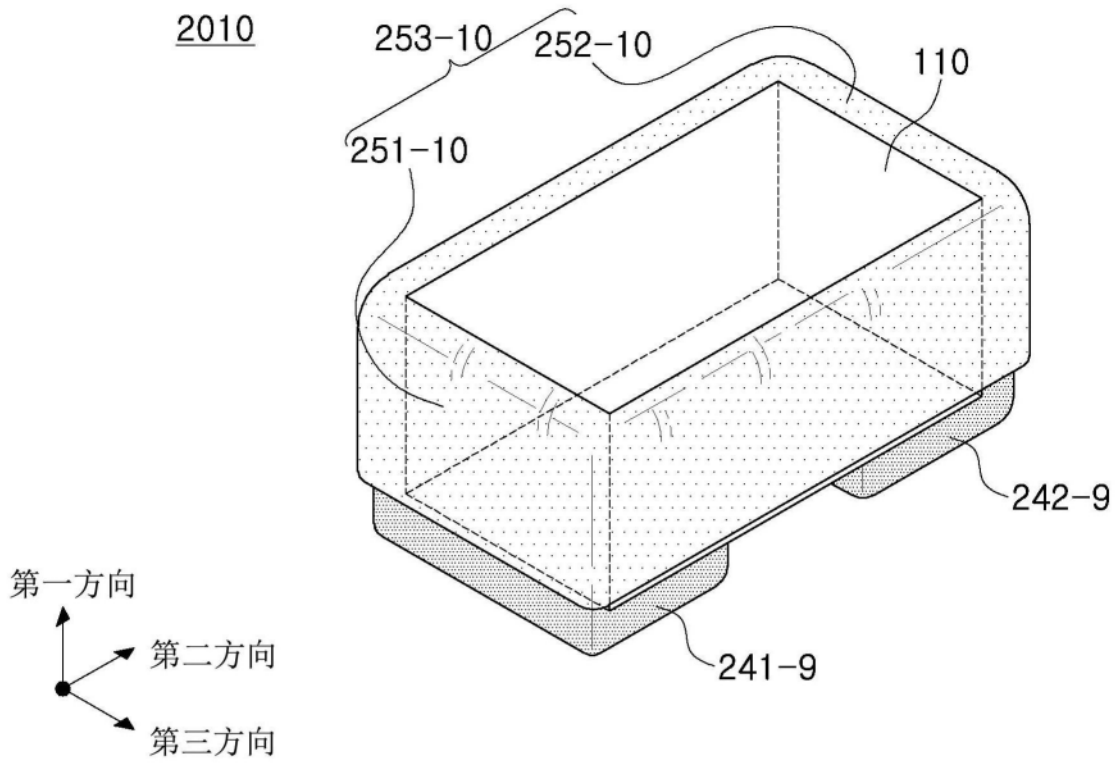


图37

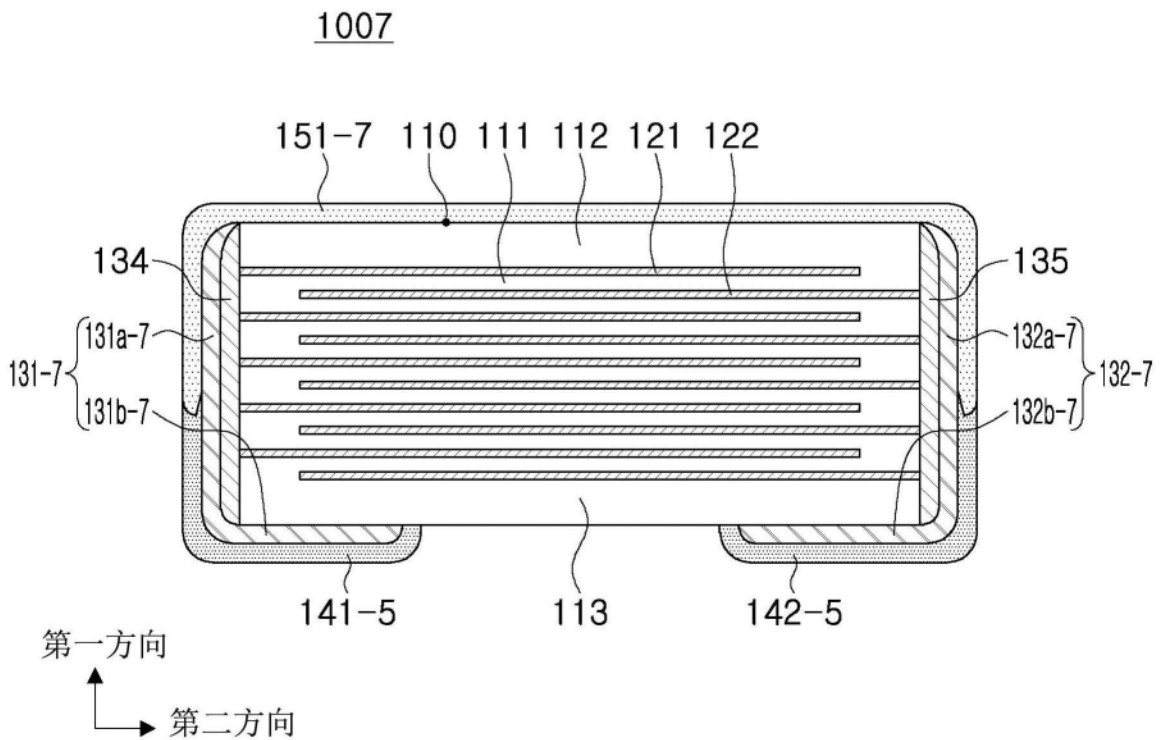


图38

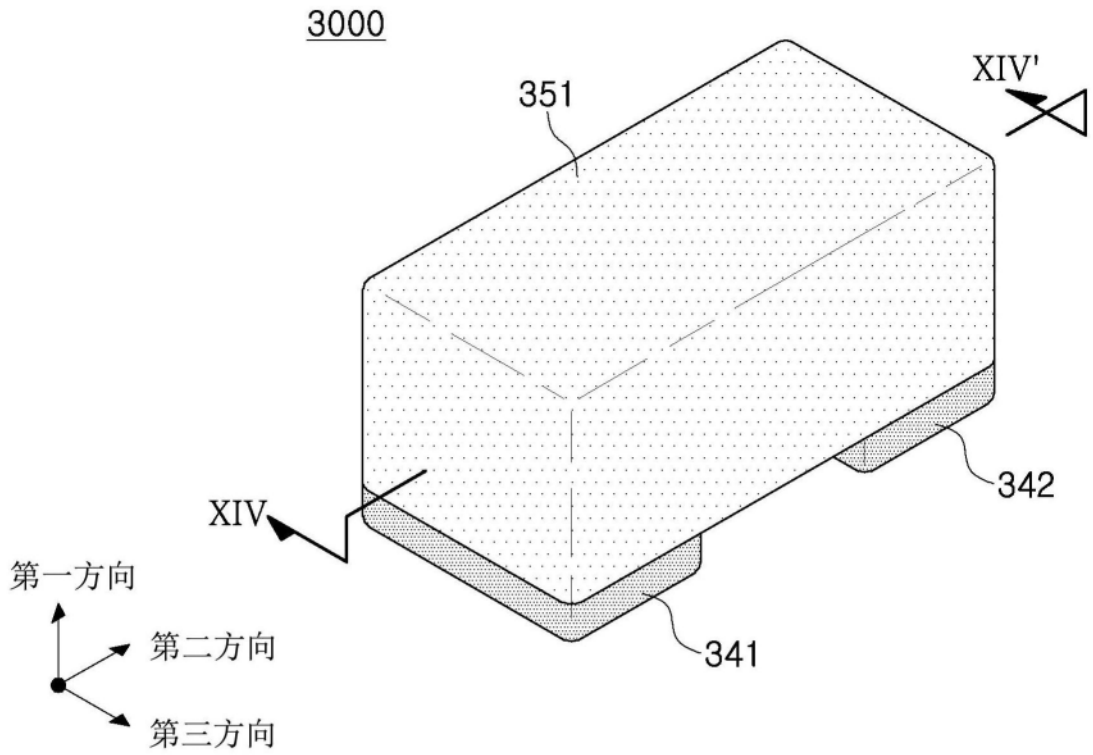


图39

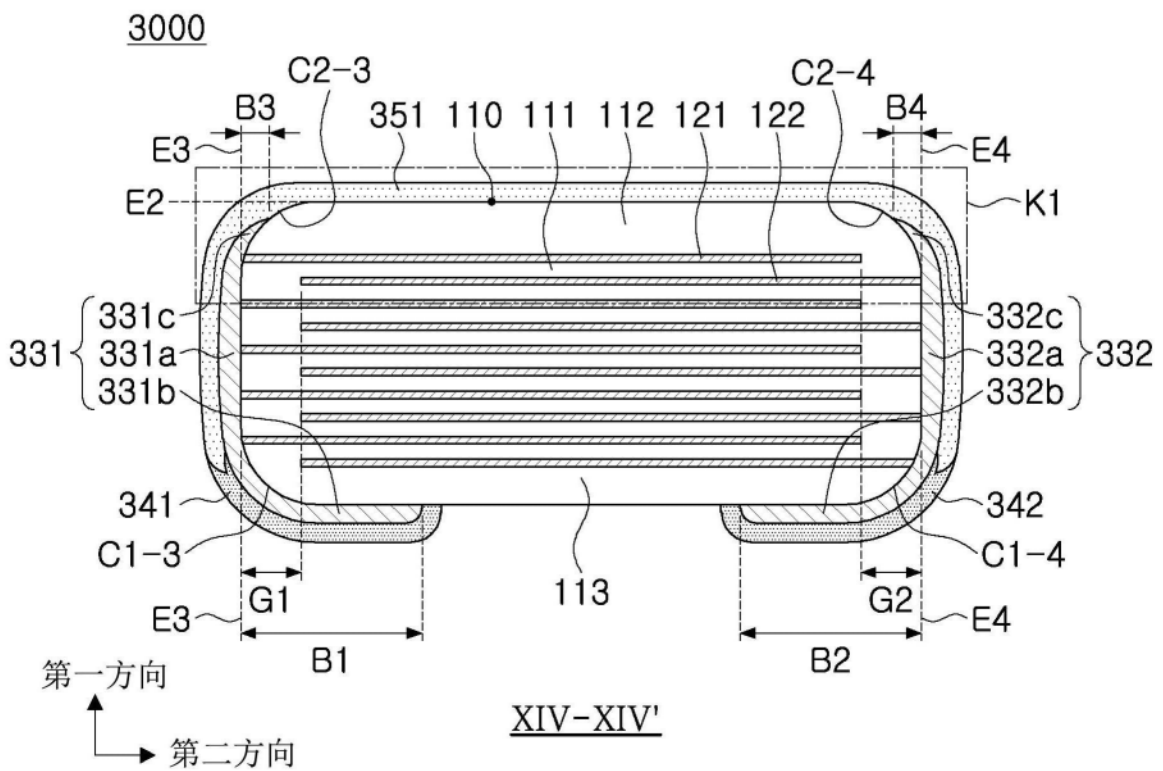


图40

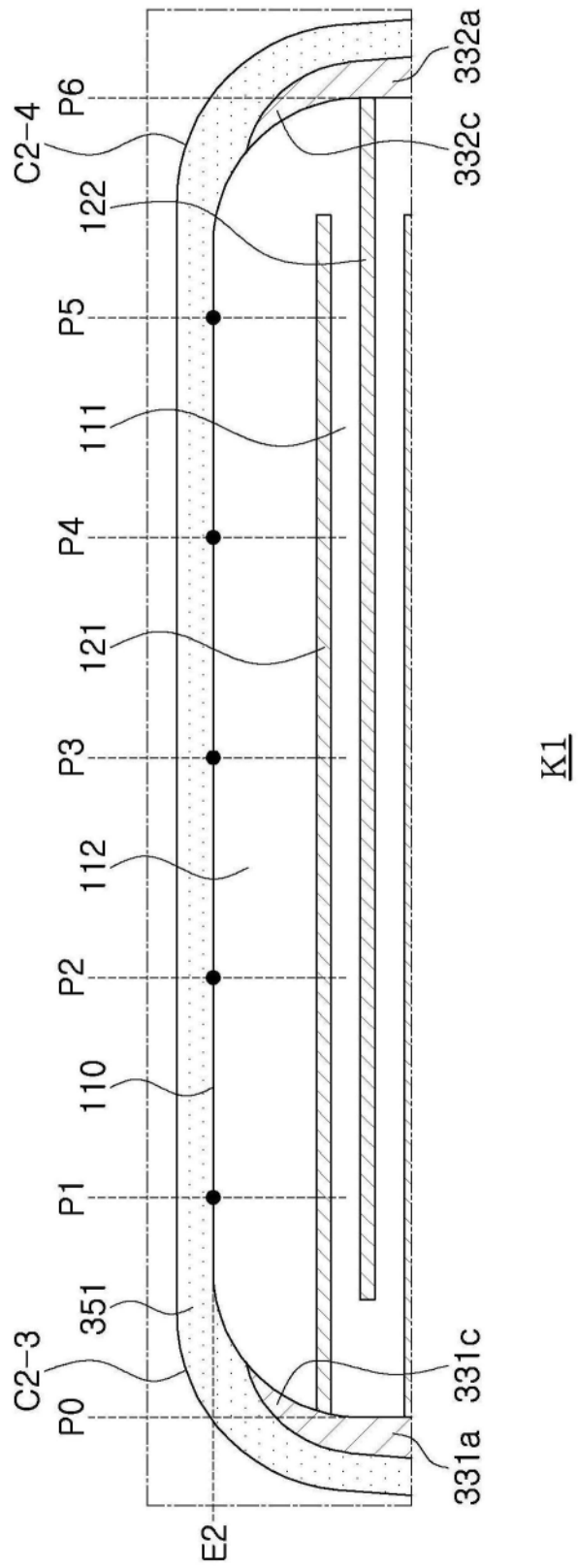


图41