

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6625363号  
(P6625363)

(45) 発行日 令和1年12月25日(2019.12.25)

(24) 登録日 令和1年12月6日(2019.12.6)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L	27/04	D
HO 1 L 27/04	(2006.01)	HO 3 K	5/14	
HO 3 K 5/14	(2014.01)	HO 1 L	21/82	W
HO 1 L 21/82	(2006.01)			

請求項の数 5 外国語出願 (全 11 頁)

(21) 出願番号	特願2015-152040 (P2015-152040)	(73) 特許権者	515210514 ピグザリス
(22) 出願日	平成27年7月31日(2015.7.31)		フランス国、38430・モアラン、リュ ・シャターニオン・170
(65) 公開番号	特開2016-42573 (P2016-42573A)	(74) 代理人	110001173 特許業務法人川口国際特許事務所
(43) 公開日	平成28年3月31日(2016.3.31)	(72) 発明者	グレゴリー・シュヌボー フランス国、38000・グルノーブル、 リュ・エメ・プレ・12
審査請求日	平成30年7月4日(2018.7.4)		審査官 辻 勇貴
(31) 優先権主張番号	1457486		
(32) 優先日	平成26年8月1日(2014.8.1)		
(33) 優先権主張国・地域又は機関	フランス (FR)		

最終頁に続く

(54) 【発明の名称】 信号、特にクロック信号の伝搬遅延を補償する光学的反復集積回路

(57) 【特許請求の範囲】

【請求項1】

部分回路の位置的に連続する順にランク  $i = 1$  から  $i = N$  を付された  $N$  個の隣接する同一の部分回路 (  $C_1$ 、 $C_2$ 、 $C_3$  ) に対応する、全てが同一である  $N$  個の隣接パターンを含む集積回路であって、各部分回路が、ランク 1 の部分回路で受信されたマスター信号 (  $CLK$  ) のカスケード伝送を可能にすべく直前および直後のランクの部分回路の主導線にカスケード接続された主導線 (  $LP$  ) を含み、各主導線が、前記主導線の入力端 (  $EH_{A M i}$  ) と、直後のランクの回路の主導線の入力端に接続された主導線の出力端 (  $SH_{A V i}$  ) との間で持続時間  $T$  の伝搬遅延をもたらす、ランク  $i$  の各部分回路において、

- 前記主導線 (  $LP$  ) に接続されており、連続する出力端間で持続時間  $T$  の伝搬遅延を決定するランク  $i = 1 \sim N$  の  $N$  個の連続する出力端 (  $S_1$ 、 $S_2$ 、 $S_3$  ) を有する補償導線 (  $LS$  ) と、

- 各々が前記補償導線の  $N$  個の出力端の各々に接続された  $N$  個の入力端を有するマルチプレクサ (  $MUX$  ) と、

- 前記マルチプレクサのランク  $i$  の入力端を選択すべく設計されており、前記補償導線の前記  $N$  個の出力端のうちランク  $N - i + 1$  の出力端に接続されている前記マルチプレクサの制御線 (  $LC$  ) と、

- 前記部分回路に局所的な信号 (  $CLK_L i$  ) を送るランク  $i$  の部分回路のマルチプレクサの出力端を含むことを特徴とする集積回路。

【請求項2】

10

20

前記マスター信号が一般的なクロック信号であり、前記ランク  $i$  のマルチプレクサから生じた局所的な信号が前記ランク  $i$  の部分回路に対する局所クロック信号であることを特徴とする、請求項 1 に記載の集積回路。

【請求項 3】

前記ランク 1 の部分回路のマルチプレクサの前記制御線が、前記マルチプレクサのランク  $N$  の入力端を選択するための信号を受信し、選択された入力端のランクを 1 単位増やすように前記信号を毎回修正しながら、前記信号をあるマルチプレクサから後段のマルチプレクサへ伝搬することにより、前記ランク  $i$  の部分回路のマルチプレクサで終端する制御線が、前記補償導線のランク  $N - i + 1$  の出力端を選択して、ランク  $N - i$  の出力端を選択するための命令をランク  $i + 1$  の部分回路のマルチプレクサへ伝送すべく構成されることを特徴とする、請求項 1 または 2 に記載の集積回路。

10

【請求項 4】

前記ランク  $i$  の部分回路のマルチプレクサの制御線が、

- 個数が  $N$  であり、
- 他の制御線が無効な状態において、前記ランク  $i$  の制御線の起動により、前記補償導線のランク  $N - i + 1$  の出力端が選択可能になるように構成されており、
- 循環配置されたランク  $i + 1$  の部分回路のマルチプレクサの制御線に直接接続されているため、前記ランク  $i$  の部分回路のマルチプレクサの前記ランク  $i$  の有効な制御線が前記ランク  $i + 1$  の部分回路のマルチプレクサの前記ランク  $i + 1$  の制御線に接続され、後者の導線が、有効ならば前記ランク  $i + 1$  の部分回路の補償導線のランク  $N - i$  の出力端を選択すべく構成されることを特徴とする、請求項 1 ~ 3 のいずれか一項に記載の集積回路。

20

【請求項 5】

各バッファアンプ (BF) が前記主導線に挿入されており、各々の同一バッファアンプ (BF) が、前記補償導線 (LS) の各出力端と、その次のランクの出力端との間で前記補償導線 (LS) に挿入されていることを特徴とする、請求項 1 ~ 4 のいずれか一項に記載の集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同一の基板のいくつかのゾーンにおける同一のパターンの一部を反復的に露光することにより製造される、反復的に並置されたパターンを有する大寸法の集積回路に関する。

30

【背景技術】

【0002】

本製造技術は時に「スティッチング」技術とも呼ばれ、集積回路基板のフォトリソグラフィ露光ステップを行う間に複製したいパターンを画定する同一マスクを使用するものであり、露出サブステップの最中に当該マスクが基板のあるゾーンから隣接する別のゾーンへ順次ずらされる。この一連サブステップからなるフォトリソグラフィステップは、異なるパターンに対応する追加的なゾーンの露光の他のサブステップで補完できるため、1 個以上の異なるマスクを介して露光することができる。フォトリソグラフィステップは、例えば、基板に堆積された導電層内で導体のパターンを画定するステップである。集積回路の製造に他のフォトリソグラフィステップが実行され、スティッチング、すなわち隣接するゾーンへの同一のパターンの反復的露光もまた、その各々に対して行われ、互い隣接する特定のゾーンが互いに厳密に同一である集積回路において、全てのフォトリソグラフィステップの終了時点および付随する物理的または化学的処理の終了時点で完了する。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許出願公開第 2008 / 201597 号明細書

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

数センチメートル×数センチメートルの大寸法を有し、高い動作速度で機能することが求められる集積回路において問題が生じる、すなわち、信号の伝搬速度に限界がある。このような速度の限界により、複数の同一回路を同時に制御する役割を果たすべき同一の制御信号が多数の同一ゾーン間で非ゼロの時間ずれを伴って伝送されるリスクが生じる。特に、高周波クロックで動作する回路において、集積回路の一箇所で生成された同一クロック信号は、回路全体が適切に動作するために当該信号が同時に到着する必要があるにも拘わらず、当該回路の各種部分への到達時点がずれる場合がある。数センチメートル×数センチメートルの回路の場合、時間のずれは数十ナノ秒に達し得るが、これは数十メガヘルツの動作速度には整合しない。

10

## 【0005】

文献米国特許出願公開第2008/201597号明細書に、クロック信号があるメモリ素子から次段のメモリ素子に伝搬するメモリシステムが記述されている。当該システムは、タップ付き遅延線および前記遅延線の出力信号のうち1個を選択するマルチプレクサの使用に基づいて信号の伝搬遅延を補償する回路を含むメモリインタフェースを含んでいる。

## 【0006】

本発明は、信号、特にそのような大寸法スティッチ回路のクロック信号の伝送を容易にすることで当該信号が同一ゾーンの類似位置に到達した際に自身の立ち上がりまたは立ち下がりエッジが時間的にずれ過ぎないようにすることを目的とする。

20

## 【課題を解決するための手段】

## 【0007】

従って、本発明によれば、部分回路の位置的並び順にランク  $i = 1$  から  $i = N$  の  $N$  個の隣接する同一の部分回路に対応する、全てが同一である  $N$  個の隣接パターンの光学的反復により形成される集積回路を提案するものであり、当該集積回路は、ランク 1 の部分回路で受信されて各部分回路内の主導線によりランク  $i$  の部分回路からランク  $i + 1$  の部分回路へ直列に伝送されるマスター信号（好適にはクロック信号）を動作に必要とし、当該主導線が、主導線の入力端と、直後のランクの回路の入力端に接続された主導線の出力端との間で持続時間  $T$  の伝搬遅延をもたらす、ランク  $i$  の各部分回路において、

30

- 主導線に接続されており、連続する出力端間で持続時間  $T$  の伝搬遅延を決定するランク  $i = 1 \sim N$  の  $N$  個の連続する出力端を有する補償導線、
- 各々が補償導線の  $N$  個の出力端の各々に接続された  $N$  個の入力端を有するマルチプレクサ、
- マルチプレクサのランク  $i$  の入力端を選択すべく設計されており、補償導線の  $N$  個の出力端のうちランク  $N - i + 1$  の出力端に接続されているマルチプレクサの制御線、
- 当該部分回路に局所的な信号（好適には局所クロック信号）を送るランク  $i$  の部分回路のマルチプレクサの出力端を含むことを特徴とする。

## 【0008】

40

好適には、ランク 1 の部分回路のマルチプレクサの制御線が当該マルチプレクサのランク 1 の入力端を選択するための信号を受信し、選択された入力端のランクを 1 単位増やす、従って選択された出力端のランクを 1 単位減らすように当該信号を毎回修正しながら、あるマルチプレクサから後段のマルチプレクサへ伝搬する。従って、ランク  $i$  の部分回路のマルチプレクサで終端する制御線が、当該回路のランク  $N - i + 1$  の出力端を選択して、ランク  $N - i$  の出力端を選択するための命令をランク  $i + 1$  の部分回路のマルチプレクサへ伝送する。

## 【0009】

上記を行う一方法は、マルチプレクサに対して  $N$  本の制御線を使用し、マルチプレクサのランク  $i$  の入力端を選択すべくそれらのうち（ランク  $i$  の回路のマルチプレクサの場合

50

) ランク  $i$  の導線、すなわち補償導線のランク  $N - i + 1$  の出力端だけを有効にして、他の制御線を無効にするものであり、ランク  $i$  の部分回路のマルチプレクサが受容した制御線は、循環配置されたランク  $i + 1$  の部分回路のマルチプレクサの制御線に接続されているため、ランク  $i$  の部分回路のマルチプレクサのランク  $i$  の有効な制御線がランク  $i + 1$  の部分回路のマルチプレクサのランク  $i + 1$  の制御線に接続され、後者の導線は、有効ならばランク  $i + 1$  の部分回路の補償導線のランク  $N - i$  の出力端を選択する。

【 0 0 1 0 】

現実の実施形態において、バッファアンプが主導線に挿入されており、各々の同一バッファアンプが、補償導線の各出力端と、その直後のランクの導線の出力端との間で当該補償導線に挿入されている。当該アンプは全て同一の伝搬遅延をもたらし、実際に当該アンプは所与の部分回路および他の全ての部分回路において全て同一である。

10

【 0 0 1 1 】

本発明の他の特徴および利点は、添付図面を参照しながら以下の詳細説明を精査すれば明らかになる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 厳密に同一パターンの光学的反復により得られた例示的な集積回路チップの全般的構成図を示す。

【 図 2 】 本発明に従い各部分回路に補償回路が導入された構成図を示す。

【 図 3 】 本発明の補償回路を製造するための実施形態を示す。

20

【 図 4 】 主導線にバッファアンプ、および補償導線の部分のバッファアンプを有する補償回路の実施形態を示す。

【 図 5 】  $N$  本の制御線の順序の単純な循環配置によりマルチプレクサを制御する、複数の並置された部分回路を示す。

【 発明を実施するための形態 】

【 0 0 1 3 】

本発明を説明すべく、図 1 に、画像センサである一例において、同一のパターンの光学的反復により部分的に製造された集積回路チップ IC を示す。本例において、チップは、実線の長方形で示す 3 個の同一の部分回路  $C_1$ 、 $C_2$ 、 $C_3$  を含んでいて、これら 3 個の回路が同一パターンの光学的反復により製造される。3 個の回路には僅かな違いも無い。これらのパターンは並置されており、ある部分回路のパターンを隣接する回路のパターンに単純に当接させることで隣接回路間で導電接続が確立される。

30

【 0 0 1 4 】

本例では、各部分回路は、感光性ピクセルのマトリクス  $MP$  と、当該マトリクスの底部において、部分回路のピクセルから生じた信号を集める読み出し回路  $CL$  と、部分回路の読み出し回路を制御するデジタル制御回路  $CTRL$  とを含んでいる。これら多数の回路は破線で仕切られている。

【 0 0 1 5 】

チップは更に、光学的に反復されていない他の電子回路、例えば、部分回路に対する制御信号、特にセンサの動作シーケンスの進行の一般的基準としての役割を果たすマスタークロック信号  $CLK$  の生成を目的とする汎用シーケンサ回路  $SEQ$  を含んでいてよい。別の回路  $DEC$  は、ピクセルから生じる信号をのみ出す動作を行う間にマトリクスの行の連続的なアドレス指定を行う行デコーダを含んでいる。当該デコーダは、3 個の部分回路のマトリクス  $MP$  の類似ランクの行を同時にアドレス指定する。チップのこの一般的な編成は例示的に与えるものに過ぎず、本発明は、多数の同一の部分回路で用いられるクロック信号のエッジの同期化、または部分回路で用いられる他の制御信号の同期化を厳密に制御することが必要な場合にチップの回路の如何によらず適用可能である。この編成において、光学的反復により形成される回路について公知のように、部分回路は相互に接続されている、すなわち部分回路の右側外縁へ入力する導体は、後続ランクの隣接する回路の左側外縁の同一箇所から出力する導体と直接接触している。従って、例えば、マトリクス  $MP$

40

50

のある行のピクセルを結合する行導体は、他の部分回路のマトリクスMPの行導体と連続している。

【0016】

例示目的で、大寸法、すなわち幅が2センチメートルを超えるチップに対して同一チップに同一の部分回路を光学的に反復する方法を用いる。このオーダーの距離の伝搬時間は20ナノ秒を下回ることにはあり得ず、これは数十または数百MHzの周波数での動作が求められる場合に無視できない。各々の幅が2センチメートルであるN個の隣接する部分回路が存在する場合、最後の部分回路までの伝搬時間はN倍される。

【0017】

図2に、図1の概略アーキテクチャから導かれたが、同一部分回路の各々において、ある部分回路から別の部分回路へ信号が伝搬するのに要する時間に起因する同期化が不良になるリスクを補償する回路CCMP用に予約された表面部分が示されている概略アーキテクチャを示す。当該回路CCMPは、多くの部分回路において同一であり、基本的に以下の要素、すなわち上流クロック入力端、下流クロック出力端、当該入力端と出力端の間の主伝送線、複数出力端を有する補償導線、および複数の出力端に接続されたマルチプレクサを含んでいる。マルチプレクサは、部分回路の残りの部分に局所クロック信号を与える。マスタークロックCLKの最初にシーケンサSEQから生じたクロック信号についてここで述べることは、マスタークロック信号以外の制御信号に適用することができ、且つ説明を簡潔にすべく、マスタークロック信号CLKの補償だけを考慮する。

【0018】

補償回路部CCMPを、N個の同一の隣接する部分回路がある場合、中間的なランクi (iは1~Nの添え字)の部分回路について図3により精密に示す。本例ではN=3である。

【0019】

上流クロック信号入力端を $E H_{A M i}$ で示す。下流クロック信号出力端は $S H_{A V i}$ で示され、直後の部分回路の上流クロック信号入力端に直接接続されている。当該接続は、2個の部分回路のパターンの単純な当接による接続であり、主導線は一連の部分回路を通過して延在する連続的な導線である。入力端 $E H_{A M i}$ は、先行ランクの部分回路の上流クロック信号 $C L K_i$ を受信し、出力端 $S H_{A V i}$ は、後続ランクの部分回路が存在すれば下流クロック信号 $C L K_{i+1}$ を後続ランクの部分回路に伝送する。ランク1の第1の部分回路は、図1、2のシーケンサから生じるマスタークロック信号CLKである上流クロック信号 $C L K_1$ を受信する。

【0020】

ある部分回路から次段の部分回路へクロック信号を伝送する主導線はLPで示され、入力端 $E H_{A M i}$ および出力端 $S H_{A V i}$ の間で延在しており、当該導線上で伝搬されるクロック信号の遷移エッジの持続時間Tの伝搬遅延を生じさせる長さLを有している。最も単純な構成において、主導線LPは、入力端から出力端へ直接向かう真っ直ぐな導線であって、部分回路の幅(全図を通じて幅は部分回路の並置方向、すなわち水平方向に測られている)に等しい長さを有している。これにより、入力端 $E H_{A M i}$ に存在する上流クロック信号 $C L K_i$ の立ち上がりエッジと、出力端 $S H_{A V i}$ に存在する下流クロック信号 $C L K_{i+1}$ の立ち上がりエッジとの間で持続時間Tの伝搬遅延が必然的に生じる。この遅延は、一方では電子の伝搬速度が無制限ではないこと、他方では導線の抵抗、容量および誘導特性から生じた時定数に起因する。主導線が更に、遅延をもたらす他の要素、特にクロック信号を再生成させるべく導線の入力端と出力端の間に挿入されたバッファアンプBFを含んでいてよいことが分かるであろう。この場合、当該アンプにより必然的にもたらされる遅延は、当該導線によりもたらされる持続時間Tの全体的な遅延の一部をなす。

【0021】

複数の出力端を有する補償導線LSは、複数の連続的な導線区間として編成され、区間の終端で各々の出力端S1、S2、S3を有している。

【0022】

10

20

30

40

50

補償導線は主導線に、後者の任意の箇所て接続されており、主導線から第1の導線出力端S1まで延在している。主導線への接続箇所と第1の出力端との間の距離は余り重要ではないが、明らかに全ての部分回路について同一である。各区間は従って、主導線の長さLに等しい長さを有しているか、またはより厳密には、主導線と同様に持続時間Tの伝搬遅延をもたらすべく構成されている。バッファアンプが主導線に存在して遅延Tに寄与する場合、同様のバッファアンプを補償導線の各区間に導入して各区間で当該伝搬遅延Tが得られるようにする。

【0023】

図3において、図2と同様に3個の部分回路を並置したいとの要望により、補償導線の3個の出力端S1、S2、S3および、出力端S1とS2の間およびS2とS3の間で各々遅延Tが生じる2個の区間がある。より一般的には、N個の部分回路が存在すれば、N個の連続するランク $i = 1 \sim N$ の出力端が存在し、これらの出力端が互いに持続時間Tだけずれた連続的な遅延(上流クロック信号に対する)を有するクロック信号に提供する。従って、入力端 $E H_{A M i}$ と出力端S1の間に存在する伝搬遅延の如何に拘わらず、当該遅延は出力端S2でTだけ、および出力端S3で2Tだけ増大し、より一般的には、N個の出力端があれば、ランクiの出力端で $(i - 1) T$ だけ増大する。

【0024】

補償導線の出力端は、各々マルチプレクサMUXの各入力端に接続されている。補償導線の出力端とマルチプレクサの入力端との間の接続長は、これらの出力端とマルチプレクサの間で顕著に異なる伝搬遅延(主導線の遅延Tに対する)をもたらさないように同一または実質的に同一である。マルチプレクサの任意のランクjの入力端が補償導線のランク $S_{N - j + 1}$ の出力端に接続されている。

【0025】

マルチプレクサは、どのマルチプレクサの入力端が、従ってどの補償導線の出力端が当該マルチプレクサの出力端へ伝送されるかを決定する制御線LCにより制御される。ランクiの部分回路の場合、マルチプレクサのランクiの入力端を選択、従って補償導線のランク $N - i + 1$ の出力端を選択すべく制御線LCは信号 $s e l_i$ を発する。制御線の状態は補償回路が使用される時点では不変である。

【0026】

ランク $N - i + 1$ の当該出力端に存在する信号がマルチプレクサ出力として伝送される。ランクiの回路のマルチプレクサの出力端は次いで、ランクiの部分回路で用いられる局所クロック信号 $C l k L_i$ を発する。当該信号は、例えば対応するコントロール回路CTRLへ伝送されて利用される。多数の部分回路の局所クロック信号は、補償導線により補償されるため同時発生する。

【0027】

局所クロック信号 $C l k L_i$ とびマスタークロック信号CLKとの間に存在する遅延は正確には分からない。遅延は、主導線と補償導線との間の接合箇所の位置(当該接合箇所と入力端 $E H_{A M i}$ との間の距離)に依存する。遅延は、当該接合箇所と補償導線の第1の出力端S1との間の距離に依存する。遅延は、補償導線の出力端とマルチプレクサとの間の接続長に依存する。遅延は、マルチプレクサによりもたらされる固有の遅延に依存する。遅延は、マルチプレクサの出力端での接続長に依存する。しかし、これらの遅延要素は、どのような遅延をもたらすかに拘わらず全ての部分回路について同一であり、局所クロック信号 $C l k L_i$ と隣接する部分回路の局所クロック信号 $C l k L_{i + 1}$ の間には遅延が無いと言える。実際、ある部分回路から後段の部分回路へ進む際に主導線の長さによりもたらされる遅延Tは、ランクiの部分回路が、2次導線のランク $N - i + 1$ の出力端を使用するのに対し、ランク $i + 1$ の後段の部分回路が補償導線の先行ランク $N - i$ の出力端を使用し、これらの2個の出力端は主導線と同じ伝搬遅延Tをもたらす区間により分離されているという事実により完全に補償される。

【0028】

ランクiの各部分回路がマルチプレクサの適切な入力端、すなわち補償導線のランクN

10

20

30

40

50

-  $i + 1$  の出力端に接続されたランク  $i$  の入力端を選択するために、好適には当該部分回路の制御入力端から、自身が後段の部分回路の制御入力端に接続（並置された部分回路のパターンの単純当接による接続）された制御出力端へ伝搬する制御線を所有すべくマルチプレクサが設けられているが、この伝搬は選択された入力端のランクを上げる都度生じる。換言すれば、伝搬された制御信号は、受信された制御信号とは僅かに異なるが、その差異（1単位の増分）は全ての部分回路について同一である。従って、部分回路、特に制御線の編成は、ある回路と次段の回路（増分が可能な回路を含む）とで厳密に同一であり、ランク  $i$  の部分回路のマルチプレクサは、次段の部分回路とは異なる仕方で制御される。第1の部分回路は、ランク1の入力端すなわち補償導線のランク1の出力端（図2のS3）を選択するための命令を受信する。

10

## 【0029】

ランク  $i$  の部分回路のマルチプレクサに関連付けられた制御線を図3に示す。これらは、特定の選択信号  $sel_i$  を受信し、後続ランク  $i + 1$  の回路に信号  $sel_{i+1}$  を伝送する。INCRで示す1単位増分する回路が次いで、マルチプレクサに到達する制御線と後段の部分回路向けの制御出力端との間に挿入される。

## 【0030】

図4に拡大図として、主導線上での伝搬中に減衰する傾向を有する伝送されたクロック信号の振幅の復元を機能とする少なくとも1個のバッファアンプを主導線が含んでいる場合の主導線LPおよび補償導線LSを示す。この場合、バッファアンプ（図4の一般的なラベルBFで示す）はクロックエッジの伝搬に更なる遅延をもたらす。主導線の伝搬遅延の持続時間Tは、当該遅延と導線自体に固有の遅延との合計を含んでいる。従って補償導線LSの各区間に同一の遅延Tを生じさせることが必要であり、このため主導線に挿入されたアンプと同一のバッファアンプBFを各区間内に挿入することが最良である。

20

## 【0031】

図4の例において、バッファアンプは主導線の入力端に直に配置されており、出力端S1と出力端S2との間の補償導線の第1の区間にアンプBFが挿入され、次いで出力端S2と出力端S3との間の第2の区間に別のアンプBFが挿入されるようにしている。

## 【0032】

更に、アンプによりもたらされる固有の遅延が当該アンプの負荷に依存し得ると仮定すれば、これら全てのアンプの負荷が同一であるように構成がなされる。このため、図4に見られるように、出力端S3の下流においてアンプが設けられた区間分だけ補償導線LSが延長されるようにする。同様に、出力端S1の上流において、補償導線が主導線と出力端S1との間にアンプを含むようにしてもよい。最後に、主導線のアンプBFの負荷は、すぐ下流にある部分回路の主導線のアンプBFが自身に設けられた主導線からなる。

30

## 【0033】

このように、主導線と最後の出力端S3との間に位置する全てのアンプには、主にアンプが設けられた導線区間のインピーダンスである同一インピーダンスの顕著な負荷がかかる。

## 【0034】

図5に、マルチプレクサの入力端のランクの上昇、従ってマルチプレクサにより選択された出力端のランクの下降を確実にできるマルチプレクサ制御線の例示的な実施形態を示す。本例では、部分回路と同数の制御線が存在して、マルチプレクサがN本の制御線を受容する。これら導線の1本が有効な論理レベル（1）を受信し、マルチプレクサはランク  $i$  の制御線が起動された際にランク  $i$  の入力端を選択すべく設計されている。他の導線は無効なレベル（0）を受信する。ランク  $i$  の入力端は補償導線のランク  $N - i + 1$  の出力端に接続されており、マルチプレクサの出力端へ伝送されるのは当該出力端に存在するクロック信号である。図5において、図示する3個の部分回路の各々について、マルチプレクサの入力端と選択された出力端との接続を実線で示し、選択されていない出力端との接続を破線で示している。本構成は、N個の部分回路で代替可能であり、その場合マルチプレクサ用にN本の制御線を用いる。

40

50

## 【 0 0 3 5 】

増分回路は、図5に示すように、単に制御線を循環配置させる回路であってよく、ランク  $i$  の部分回路の任意のランク  $j$  の導線が、ランク  $i + 1$  の部分回路のランク  $j + 1$  導線となる。特に、ランク  $i$  の部分回路内のランク  $i$  の導線は、当該部分回路のランク  $N - i + 1$  の出力端を選択し、次いでランク  $i + 1$  の後段回路のランク  $i + 1$  の導線として延長され、当該後段回路のランク  $N - i$  の出力端を選択する。

## 【 0 0 3 6 】

他の増分回路、特に、集積回路の初期化フェーズの後でシフトレジスタが各部分回路について異なるコード(001、010、100)を含み、これらのコードがマルチプレクサの異なる入力端の選択を制御するように部分回路により増分が保証されるシフトレジスタを用いる増分回路を設けてもよい。マルチプレクサはまた、特にシフトレジスタを用いる場合、バイナリコード(00、01、10)またはグレイコード(00、01、11)等のより従来のな計数コードを復号化することができる。

10

## 【 0 0 3 7 】

本発明は主に、光学的反復により形成される集積回路に適用されるが、より一般的には、製造のモードとは独立に、複数の同一の隣接パターンにより形成された任意の集積回路に適用できる。

## 【 符号の説明 】

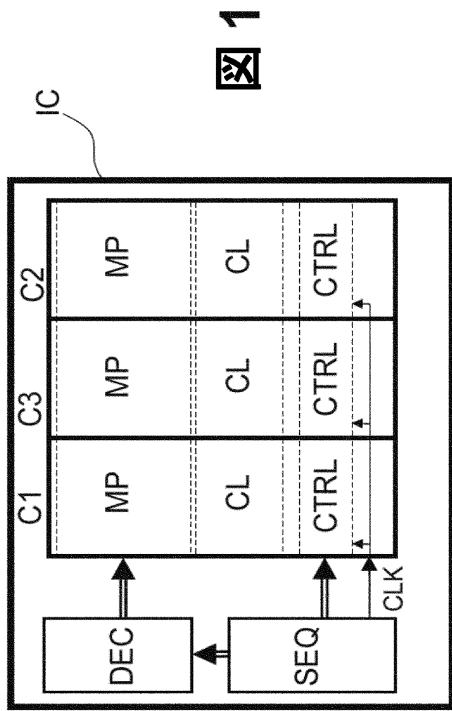
## 【 0 0 3 8 】

B F バッファアンプ  
 C 1、C 2、C 3 部分回路  
 C C M P 補償回路  
 C L 読み出し回路  
 C L K クロック信号  
 C l k L <sub>i</sub> 局所クロック信号  
 C T R L デジタル制御回路  
 E H <sub>A M i</sub> 入力端  
 I C 集積回路チップ  
 I N C R 増分回路  
 L C 制御線  
 L P 主導線  
 L S 補償導線  
 M P マトリクス  
 M U X マルチプレクサ  
 S 1、S 2、S 3 出力端  
 S E Q シーケンサ回路  
 s e l <sub>i</sub> 選択信号  
 S H <sub>A V i</sub> 出力端

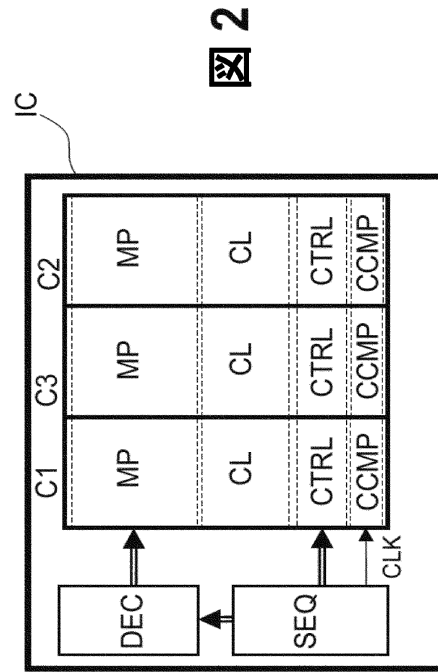
20

30

【 図 1 】



【 図 2 】



【 図 3 】

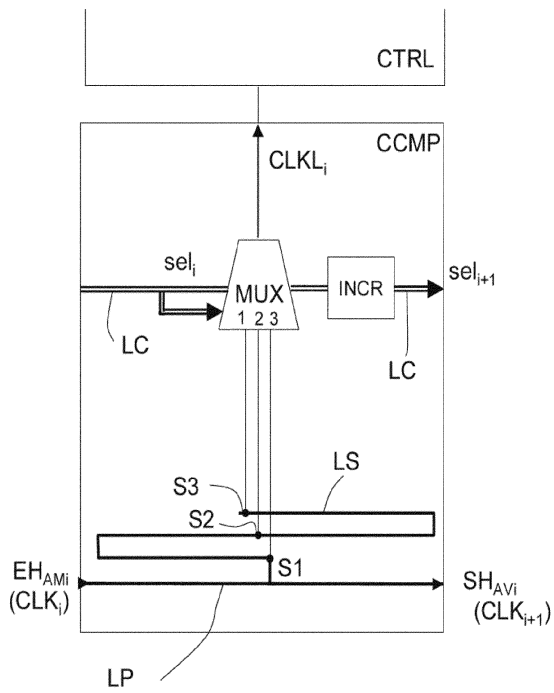


図 3

【 図 4 】

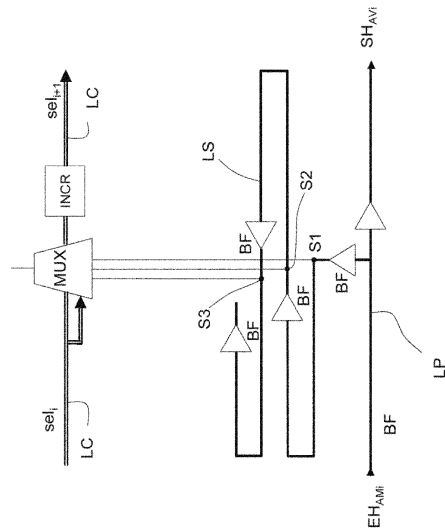


図 4

【 図 5 】

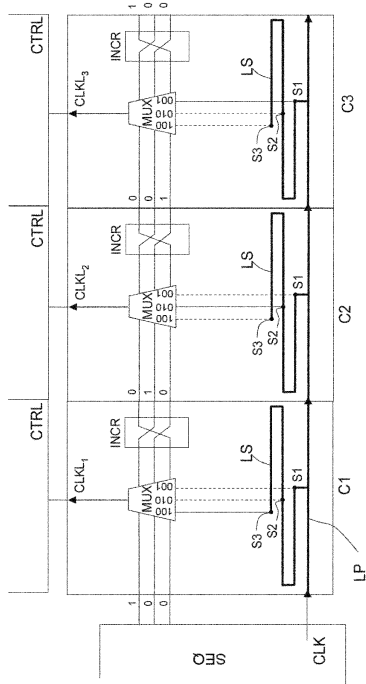


図 5

---

フロントページの続き

- (56)参考文献 特開2013-090313(JP,A)  
特開平07-202657(JP,A)  
特開2008-054324(JP,A)  
特表2011-508311(JP,A)  
欧州特許出願公開第02680153(EP,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82  
H01L 21/822  
H01L 27/04  
H03K 5/14