

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 12 月 6 日 (06.12.2012)



(10) 国际公布号
WO 2012/162963 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2011/078876
- (22) 国际申请日: 2011 年 8 月 25 日 (25.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110141244.8 2011 年 5 月 27 日 (27.05.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。北京北方微电子基地设备工艺研究中心有限责任公司 (BEIJING NMC CO.,LTD.) [CN/CN]; 中国北京市经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New

York 12603 (US)。骆志炯 (LUO, Zhijiong) [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

[见续页]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR STRUCTURE

(54) 发明名称: 一种半导体结构的制造方法

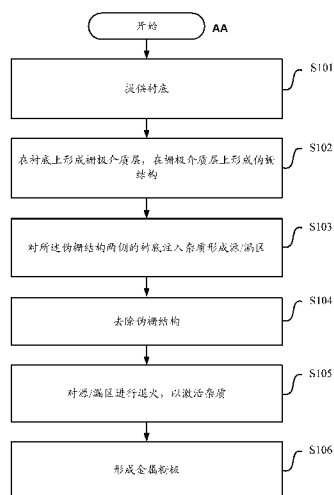


图1 / FIG. 1

AA START
S101 PROVIDING A SUBSTRATE
S102 FORMING A GATE DIELECTRIC LAYER ON THE SUBSTRATE AND FORMING A PSEUDO GATE STRUCTURE ON THE GATE DIELECTRIC LAYER
S103 INJECTING IMPURITIES INTO THE SUBSTRATES AT THE TWO SIDES OF THE PSEUDO GATE STRUCTURE TO FORM A SOURCE/DRAIN REGION
S104 REMOVING THE PSEUDO GATE STRUCTURE
S105 ANNEALING THE SOURCE/DRAIN REGION TO ACTIVATE THE IMPURITIES
S106 FORMING A METALLIC GATE

(57) Abstract: Provided is a method for manufacturing a semiconductor structure. The method comprises the following steps: providing a substrate (100) (S101); forming a gate dielectric layer (210) on the substrate (100) and forming a pseudo gate structure (220) on the gate dielectric layer (210) (S102), the pseudo gate structure (220) being formed by a polymeric material; injecting impurities into the substrates at the two sides of the pseudo gate structure (220) to form a source/drain region (110) (S103); removing the pseudo gate structure (220) (S104); annealing the source/drain region (110) to activate the impurities (S105); and forming a metallic gate (230) (S106). By using the polymeric material to manufacture the pseudo gate structure (220), the present invention greatly simplifies the etching process during subsequent removal of the pseudo gate structure (220), and reduces etching difficulty.

(57) 摘要: 一种半导体结构的制造方法, 该方法包括以下步骤: 提供衬底 (100) (S101); 在所述衬底 (100) 上形成栅极介质层 (210), 在所述栅极介质层 (210) 上形成伪栅结构 (220) (S102), 所述伪栅结构 (220) 采用聚合物材料形成; 对所述伪栅结构 (220) 两侧的衬底注入杂质形成源/漏区 (110) (S103); 去除所述伪栅结构 (220) (S104); 对所述源/漏区 (110) 进行退火, 以激活杂质 (S105); 形成金属栅极 (230) (S106)。通过采用聚合物材料制造伪栅结构 (220), 大大简化了后续去除伪栅结构 (220) 时的刻蚀工艺, 降低了刻蚀难度。

WO 2012/162963 A1



LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, **本国际公布:**
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, — 包括国际检索报告(条约第 21 条(3))。
GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

一种半导体结构的制造方法

[0001] 本申请要求了 2011 年 5 月 27 日提交的、申请号为 201110141244.8、
5 发明名称为“一种半导体结构的制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体制造领域，具体地说涉及一种半导体结构的制造方
10 法。

背景技术

[0003] 随着半导体行业的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小（目前已经可以达到 45 纳米以下），因此半导体器件制造过程中对工艺控制的要求也越来越细化。很多情况下需要平衡各个工艺步骤的特定要求，达到最好的工艺控制效果。
15

[0004] 传统半导体替代栅工艺中，大多采用多晶硅材料来制造伪栅结构，虽然多晶硅可以耐高温，在对器件进行退火处理时，不会影响其伪栅结构。但是由于多晶硅材料过于坚硬，因此在去除伪栅结构时会带来刻蚀困难，不容易对其进行去除。
20

[0005] 因此，目前需要一种能够有效降低伪栅刻蚀难度的半导体制造方法。

发明内容

[0006] 本发明的目的在于提供一种半导体制造方法，利于降低替代栅工艺中去除伪栅结构的难度。
25

[0007] 根据本发明的一个方面，提供一种半导体结构的制造方法，该方法包括以下步骤：

[0008] （a）提供衬底；

[0009] (b) 在所述衬底上形成栅极介质层, 在所述栅极介质层上形成伪栅结构, 所述伪栅结构采用聚合物材料形成;

[0010] (c) 对所述伪栅结构两侧的衬底注入杂质形成源/漏区;

[0011] (d) 去除所述伪栅结构;

5 [0012] (e) 对所述源/漏区进行退火, 以激活杂质;

[0013] (f) 形成金属栅极。

[0014] 与现有技术相比, 本发明提供的半导体结构的制造方法有以下优点:

在形成伪栅结构时, 采用聚合物材料代替常规工艺中的多晶硅、非晶硅等材料。由于多晶硅难刻蚀, 所以采用本发明中的聚合物材料制造伪栅结构, 可以很容易地将伪栅结构刻蚀掉, 形成栅极结构。有效简化了刻蚀伪栅结构的步骤, 并且降低了去除伪栅结构的工艺难度。

10

附图说明

[0015] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述, 本

15

[0016] 图1是根据本发明的半导体结构的制造方法的一个具体实施方式的流程图;

[0017] 图2~图8为根据本发明的一个具体实施方式按照图1示出的流程制造半

20

[0018] 附图中相同或相似的附图标记代表相同或相似的部件。

具体实施方式

[0019] 为使本发明的目的、技术方案和优点更加清楚, 下面将结合附图对本

25

[0020] 下面详细描述本发明的实施例, 所述实施例的示例在附图中示出, 其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的, 仅用于解释本发明, 而不能解释为对本发明的限制。

[0021] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。应当注意，在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本发明。

[0022] 参考图 1，图 1 是根据本发明的半导体结构的制造方法的一个具体实施方式的流程图，该方法包括：

15 [0023] 步骤S101，提供衬底；

[0024] 步骤S102，在所述衬底上形成栅极介质层，在所述栅极介质层上形成伪栅结构，所述伪栅结构采用聚合物材料形成；

[0025] 步骤S103，对所述伪栅结构两侧的衬底形成源/漏区；

[0026] 步骤S104，去除所述伪栅结构；

20 [0027] 步骤S105，对所述源漏区进行退火，以激活杂质；

[0028] 步骤S106，形成金属栅极。

[0029] 下面结合图 2 至图 8 对步骤 S101 至步骤 S106 进行说明，图 2 至图 8 是根据本发明的多个具体实施方式按照图 1 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖面结构示意图。需要说明的是，本发明各个实施例的附图仅是为了示意的目的，因此没有必要按比例绘制。

25 [0030] 步骤S101，提供衬底100。衬底100包括硅衬底（例如硅晶片）。根据现有技术公知的设计要求（例如P型衬底或者N型衬底），衬底100可以包括各种掺杂配置。其他实施例中衬底100还可以包括其他基本半导体，例如锗。或者，衬底100可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化

钨。典型地，衬底100可以具有但不限于约几百微米的厚度，例如可以在400um-800um的厚度范围内。

[0031] 步骤S102，在所述衬底100上形成栅极介质层210。所述栅极介质层210可以是热氧化层，包括氧化硅、氮氧化硅；也可为高K介质，例如HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON、 Al_2O_3 、 La_2O_3 、 ZrO_2 、LaAlO中的一种或其组合，栅极介质层210的厚度可以为1nm -10nm，例如3nm、5nm或8nm。可以采用热氧化、化学气相沉积(CVD)、原子层沉积(ALD)等工艺来形成栅极介质层210。

[0032] 在所述栅极介质层210上形成伪栅结构220，所述伪栅结构220采用聚合物材料形成。所述聚合物材料包括聚甲基丙烯酸、聚碳酸酯、SU-8、聚二甲基硅氧烷、聚酰亚胺、聚对二甲苯中的一种或其任意组合。其形成方法可以采用沉积、CVD等。例如，如果采用SU-8来制造伪栅结构220，即采用沉积的方式；由于聚酰亚胺是光刻胶，如果用其来制造伪栅结构220，则可采用旋涂、曝光显影的方式。

[0033] 可选地，在栅极堆叠的侧壁上形成侧墙250，用于将栅极隔开。侧墙250可以由氮化硅、氧化硅、氮氧化硅、碳化硅及其组合，和/或其他合适的材料形成。侧墙250可以具有多层结构。侧墙250可以通过包括沉积刻蚀工艺形成，其厚度范围可以是10nm -100nm，如30nm、50nm或80nm。如图2所示。

[0034] 步骤S103，形成源/漏区110。如图3所示，源/漏区110可以通过向衬底100中注入P型或N型掺杂物或杂质而形成，例如，对于PMOS来说，源/漏区110可以是P型掺杂的SiGe，对于NMOS来说，源/漏区110可以是N型掺杂的Si。源/漏区110可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。在本实施例中，源/漏区110在衬底100内部，在其他一些实施例中，源/漏区110可以通过选择性外延生长所形成的提升的源漏极结构，其外延部分的顶部高于栅极堆叠底部（本说明书中所指的栅极堆叠底部意指栅极堆叠与半导体衬底100的交界线）。可选地，在形成侧墙250之前，可以对伪栅220两侧的衬底100进行浅掺杂，以形成源漏延伸区，还可以进行Halo注入，以形成Halo注入区。其中浅掺杂的杂质类型与器件类型一致，Halo注入的杂质类型与器件类型相反。

[0035] 步骤S104, 去除所述伪栅结构220。

[0036] 特别地, 可以在所述半导体结构上形成覆盖所述半导体结构的停止层300, 参考图4。所述停止层300可以包括 Si_3N_4 、氮氧化硅、碳化硅和/或其他合适的材料制成。停止层300可以采用例如CVD、物理气相沉积(PVD)、ALD
5 和/或其他合适的工艺制成。在一个实施例中, 停止层300的厚度范围为5nm~20nm。

[0037] 优选地, 还在所述停止层300上形成层间介质层400。层间介质层400可以通过CVD、高密度等离子体CVD、旋涂或其他合适的方法形成在停止层300上。层间介质层400的材料可以采用包括 SiO_2 、碳掺杂 SiO_2 、BPSG、PSG、UGS、
10 氮氧化硅、低k材料或其组合。层间介质层400的厚度范围可以是40nm -150nm, 如80nm、100nm或120nm。如图5所示, 执行平坦化处理, 使栅极堆叠上的停止层300暴露出来, 并与层间介质层400齐平(本发明中的术语“齐平”指的是两者之间的高度差在工艺误差允许的范围内)。

[0038] 值得注意的是, 用于形成停止层300的材料要比形成层间介质层400的
15 材料硬度大, 这样才能保证在进行化学机械抛光(CMP)时, 停止在停止层300上。

[0039] 参考图6, 选择性地刻蚀暴露出来的停止层300, 以便暴露出伪栅结构220。停止层300可以采用湿刻和/或干刻除去。湿刻工艺包括采用氢氧包含溶液(例如氢氧化铵)、去离子水、或其他合适的刻蚀剂溶液; 干刻工艺例如
20 包括等离子体刻蚀等。在本发明的其他实施例中, 也可以再次采用CMP技术对所述停止层300进行平坦化处理, 直至所述伪栅结构220露出, 同样能够达到去除伪栅结构220上方的停止层300的目的。

[0040] 随后, 去除伪栅结构220, 停止于栅极介质层210, 如图7所示。去除伪栅结构220可以采用湿刻和/或干刻除去。在一个实施例中, 采用等离子体刻蚀。

[0041] 步骤S105, 进行退火, 以激活源/漏区110中的杂质。对之前形成的半导体结构进行退火处理, 例如可以采用激光退火、闪光退火等, 来激活半导体结构中的杂质。在一个实施例中, 可以采用瞬间退火工艺对半导体结构进行退火, 例如在大约800-1100℃的高温下进行激光退火。应当注意, 由于聚合物材料不耐高温, 因此一定要在去除伪栅结构220之后, 再对半导体器件进行高

温处理。

[0042] 步骤 S106, 形成金属栅极。金属栅极可以只包括金属导体层 230, 金属导体层 230 可以直接形成于栅极介质层 210 之上。金属栅极还可以包括功函数金属层 240 和金属导体层 230。

- 5 [0043] 如图 8 所示, 优选的, 在栅极介质层 210 上先沉积功函数金属层 240, 之后再在功函数金属层 240 之上形成金属导体层 230。功函数金属层 240 可以采用 TiN、TaN 等材料制成, 其厚度范围为 3nm~15nm。金属导体层 230 可以为一层或者多层结构。其材料可以为 TaN、TaC、TiN、TaAlN、TiAlN、MoAlN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTa_x、NiTa_x 中的一种或
10 其组合。其厚度范围例如可以为 10nm -80nm, 如 30nm 或 50nm。

- [0044] 在一个实施例中, 可选地, 可以在前述步骤中在栅极介质层 210 上形成有功函数金属层 240, 则可以在去除所述伪栅结构 220 之后, 暴露功函数金属层 240, 并在所形成的开口中的功函数金属层 240 上形成金属导体层 230。
15 由于在栅极介质层 210 上形成有功函数金属层 240, 因此, 金属导体层 230 形成于功函数金属层 240 之上。

- [0045] 根据本发明的实施例, 也可以不形成栅极侧墙和层间介质层, 而在形成源漏之后, 直接将所形成的伪栅结构去除, 并在去除伪栅结构之后, 在栅极介质层上重新形成金属栅极。这种方案与上述的其他方案一样, 同样能够完成本发明实施例的替代栅技术。

- 20 [0046] 如上所述, 通过实施本发明提供的半导体结构的制造方法, 采用聚合物材料制造伪栅结构, 有效减小了去除伪栅结构的刻蚀难度。

- [0047] 虽然关于示例实施例及其优点已经详细说明, 应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下, 可以对这些实施例进行各种变化、替换和修改。对于其他例子, 本领域的普通技术人员应当容易理解
25 解在保持本发明保护范围内的同时, 工艺步骤的次序可以变化。

[0048] 此外, 本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容, 作为本领域的普通技术人员将容易地理解, 对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤, 其中它们执行与本发明

描述的对应该实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

5

10

15

20

25

30

1、一种形成半导体结构方法，其中，包括以下步骤：

a) 提供衬底 (100)；

5 b) 在所述衬底 (100) 上形成栅极介质层 (210)，在所述栅极介质层 (210) 上形成伪栅结构 (220)，所述伪栅结构 (220) 采用聚合物材料形成；

c) 对所述伪栅结构 (220) 两侧的衬底 (100) 注入杂质形成源/漏区 (110)；

d) 去除所述伪栅结构 (220)；

e) 对所述源/漏区 (110) 进行退火，以激活所述杂质；

10 f) 形成金属栅极。

2、根据权利要求1所述的方法，其中，在所述步骤d中，采用干法刻蚀方式去除所述伪栅结构 (220)。

3、根据权利要求1所述的方法，其中，所述步骤 f 包括：

在所述栅极介质层 (210) 上形成功函数金属层 (240)；

15 在所述功函数金属层 (240) 上形成金属导体层 (230)，所述功函数金属层 (240) 和金属导体层 (230) 形成所述金属栅极。

4、根据权利要求1所述的方法，其中，在步骤b之后还包括步骤：

g) 在栅极堆叠的侧壁形成侧墙 (250)。

5、根据权利要求1所述的方法，其中，在步骤d之前还包括步骤：

20 h) 在所述衬底 (100) 上形成停止层 (300)，以覆盖所述源/漏区 (110) 以及位于所述衬底 (100) 上的栅极堆叠；

则步骤d)去除所述伪栅结构 (220) 之前，所述方法进一步包括：刻蚀去除位于所述伪栅结构 (220) 上的停止层 (300) 或对所述停止层进行平坦化处理至所述伪栅 (220) 露出。

25 6、根据权利要求5所述的方法，其中，在步骤h之后还包括步骤：

i) 在所述停止层 (300) 上形成层间介质层 (400)；

则刻蚀去除位于所述伪栅结构 (220) 上的停止层 (300) 的步骤之前还包括：对所述层间介质层 (400) 进行平坦化处理至所述停止层 (300) 露出。

7、根据权利要求1所述的方法，其中，所述聚合物材料包括聚甲基丙烯

酸、聚碳酸酯、SU-8、聚二甲基硅氧烷、聚酰亚胺、聚对二甲苯中的一种或其任意组合。

8、根据权利要求1所述的方法，其中，所述栅极介质层（210）的材料包括氧化硅、氮氧化硅、HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、
5 HfSiON、HfTaON、HfTiON 中的一种或其任意组合。

9、根据权利要求3所述的方法，其中，所述金属导体层（230）的材料包括TaN、TiN、TaAlN、TiAlN 和MoAlN 中的一种或其任意组合。

10

15

20

25

30

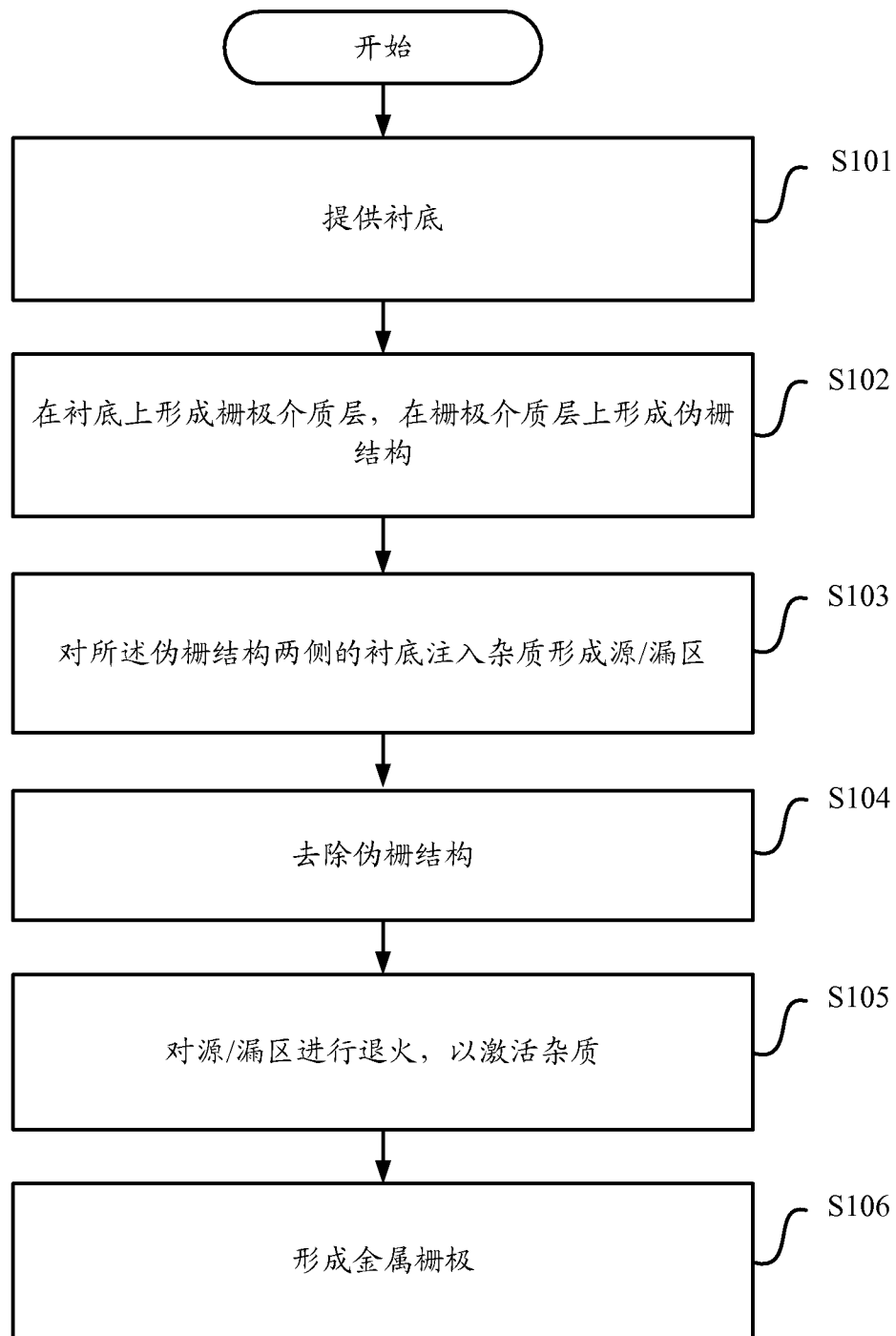


图1

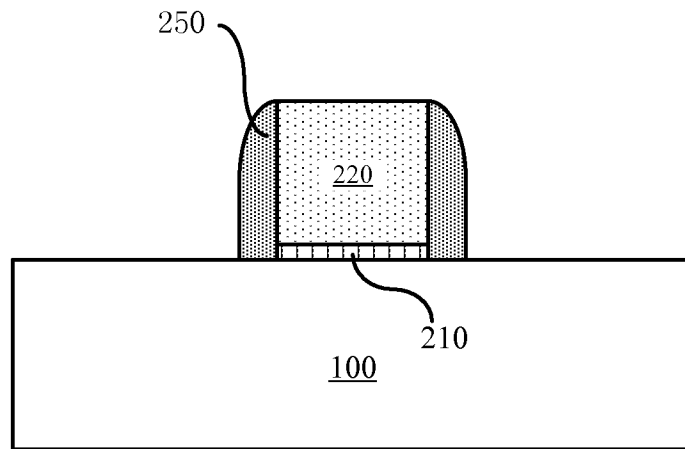


图 2

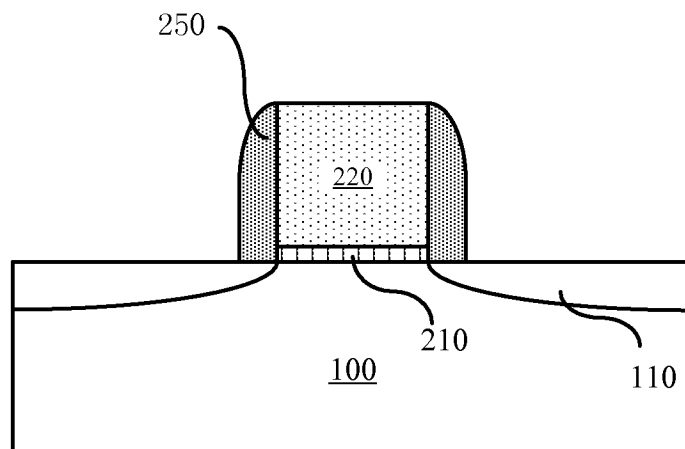


图 3

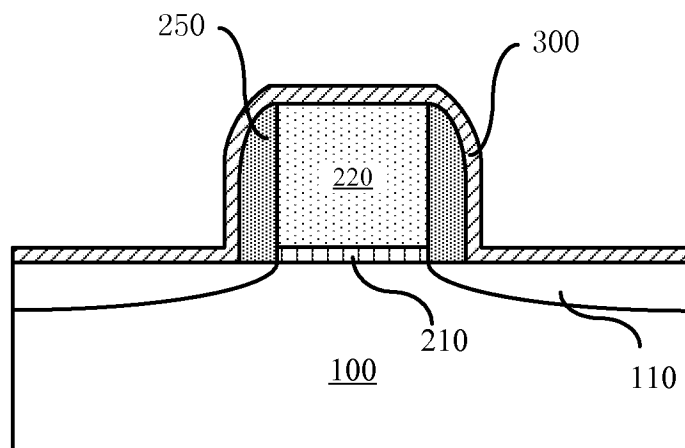


图 4

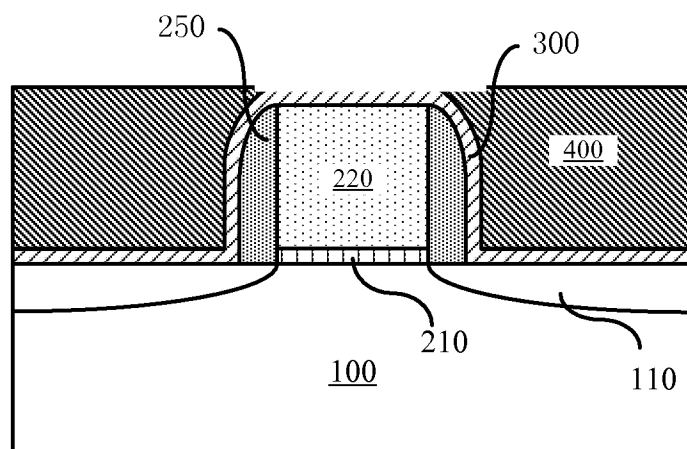


图 5

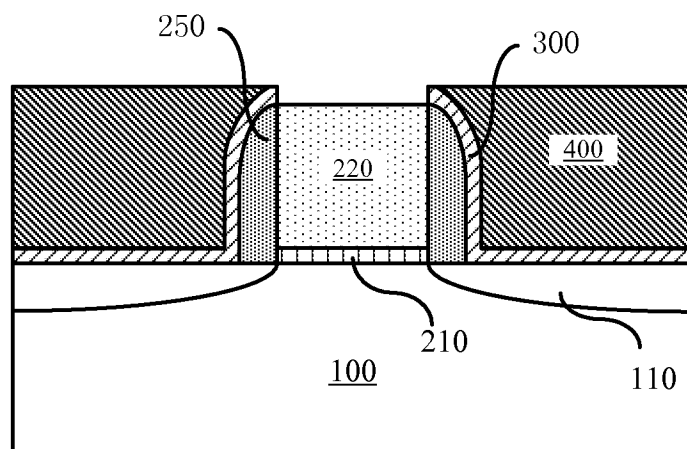


图 6

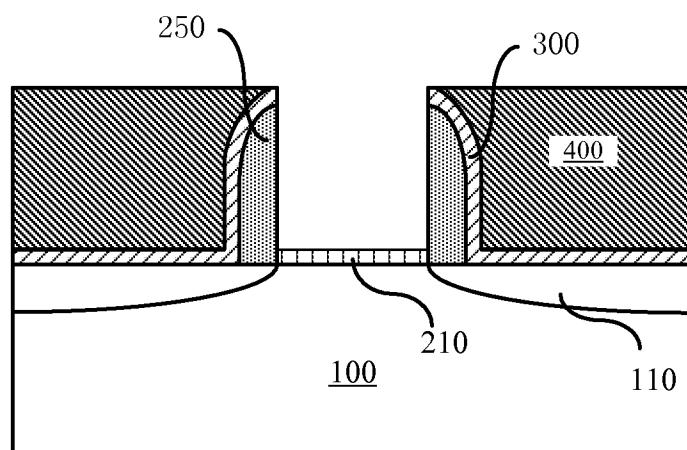


图 7

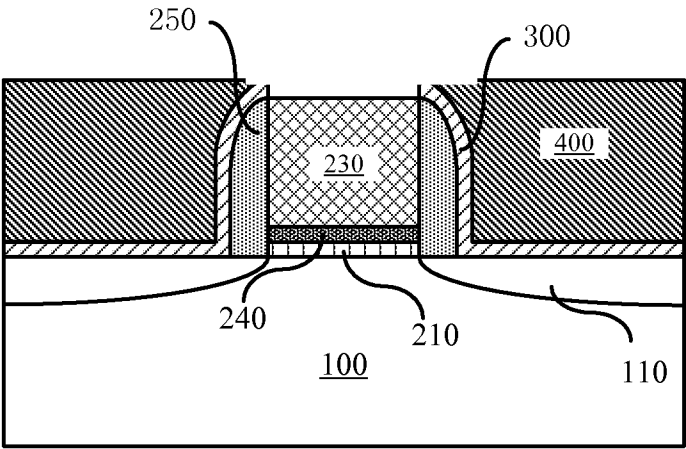


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078876**A. CLASSIFICATION OF SUBJECT MATTER**

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; CNPAT: dummy w gate, substitute w gate, polymer, photo w resist, photosensitive w resist, work w function, stop w layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP2003179228A (TOSHIBA KK) 27 June 2003 (27.06.2003) description, paragraphs 0010 to 0014, figure 1	1-9
X	US2002/0001914A1 (Sang-Ick Lee) 03 Jan. 2002 (03.01.2002) the whole document	1-9
A	CN101847582A (UNIV QINGHUA) 29 Sep.2010 (29.09.2010) the whole document	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 Feb. 2012 (07.02.2012)	Date of mailing of the international search report 23 Feb.2012 (23.02.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer LIU,Hong Telephone No. (86-10)62411552

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/078876

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP2003179228A	27.06.2003	None	None
US2002/0001914A1	03.01.2002	KR456319B	10.11.2004
		JP2002033478A	31.01.2002
		KR20010105866A	29.11.2001
		US6391697B2	21.05.2002
CN101847582A	29.09.2010	None	None

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078876

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) n

国际检索报告

国际申请号

PCT/CN2011/078876

A. 主题的分类

参看附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI; EPODOC; CNKI; CNPAT: 伪栅 替代栅 聚合物 光刻胶 功函数 停止层 dummy w gate, substitute w gate, polymer, photo w resist, photosensitive w resist, work w function, stop w layer

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP2003179228A (株式会社东芝) 27.6 月 2003 (27.06.2003) 说明书第 0010 段至 0014 段, 图 1	1—9
X	US2002/0001914A1 (Sang-Ick Lee) 03.1 月 2002 (03.01.2002) 全文	1—9
A	CN101847582A (清华大学) 29.9 月 2010 (29.09.2010) 全文	1—9



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
07.2 月 2012 (07.02.2012)

国际检索报告邮寄日期
23.2 月 2012 (23.02.2012)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

刘红
电话号码: (86-10) **62411552**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/078876

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
JP2003179228A	27.06.2003	无	无
US2002/0001914A1	03.01.2002	KR456319B	10.11.2004
		JP2002033478A	31.01.2002
		KR20010105866A	29.11.2001
		US6391697B2	21.05.2002
CN101847582A	29.09.2010	无	无

A. 主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) n