

(12) 发明专利

(10) 授权公告号 CN 101320673 B

(45) 授权公告日 2010.06.09

(21) 申请号 200710302218.2

CN 1963999 A, 2007.05.16, 全文.

(22) 申请日 2007.12.20

KR 10-2007-0063319 A, 2007.06.19, 全文.

(30) 优先权数据

审查员 吕媛

10-2007-0054974 2007.06.05 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 李基领 卜喆圭 潘槿道

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 顾红霞 张天舒

(51) Int. Cl.

H01L 21/00(2006.01)

H01L 21/027(2006.01)

H01L 21/3213(2006.01)

H01L 21/311(2006.01)

(56) 对比文件

US 2007/0020565 A1, 2007.01.25, 全文.

US 5328810 A, 1994.07.12, 全文.

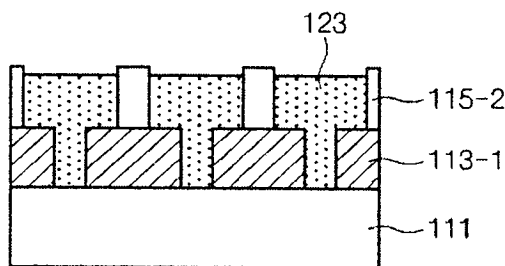
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

形成半导体器件的精细图案的方法

(57) 摘要

本发明公开一种形成半导体器件的精细图案的方法,所述方法包括:在具有底层的半导体基板上面形成包括第一、第二和第三掩模图案的沉积图案;利用第三掩模图案作为蚀刻阻挡掩模对第二掩模图案进行侧面蚀刻;移除第三掩模图案;形成露出第二掩模图案的上部的旋涂碳层;利用旋涂碳层作为蚀刻阻挡掩模执行蚀刻工序以露出底层;以及移除旋涂碳层。



1. 一种形成半导体器件的精细图案的方法,所述方法包括:
在具有底层的半导体基板上面形成包括第一掩模薄膜、第二掩模薄膜和第三掩模薄膜的层叠膜;
在所述第三掩模薄膜上面形成光阻图案;
使用所述光阻图案作为蚀刻阻挡掩模将所述第三掩模薄膜图案化,以形成第三掩模图案;
使用所述第三掩模图案作为蚀刻阻挡掩模将所述第一掩模薄膜和所述第二掩模薄膜图案化,以形成第一掩模图案和第二掩模图案;
使用所述第三掩模图案作为蚀刻阻挡掩模,对所述第二掩模图案进行侧面蚀刻;
移除所述第三掩模图案;
在所述第二掩模图案上面形成旋涂碳层,并且在所述旋涂碳层上执行回蚀工序以使所述第二掩模图案的上部露出;
使用所述旋涂碳层作为蚀刻阻挡掩模在所述第二掩模图案和所述第一掩模图案上执行蚀刻工序,以露出所述底层;以及
移除所述旋涂碳层。
2. 根据权利要求1所述的方法,其中,
所述底层包括导电层,所述导电层具有绝缘膜和作为顶层的聚合物层的叠层图案。
3. 根据权利要求1所述的方法,其中,
所述第一掩模薄膜的蚀刻选择比与所述第二掩模薄膜的蚀刻选择比不同,所述第三掩模薄膜的蚀刻选择比与所述第二掩模薄膜的蚀刻选择比不同。
4. 根据权利要求1所述的方法,其中,
所述第一掩模薄膜为钨层。
5. 根据权利要求1所述的方法,其中,
所述第二掩模薄膜选自一个群组,所述群组包括:氮化硅薄膜、氧化硅薄膜、氮氧化硅薄膜及其组合。
6. 根据权利要求1所述的方法,其中,
所述第三掩模薄膜为非晶碳层、包括非晶碳层和氮氧化硅薄膜的层叠层、或多掩模薄膜。
7. 根据权利要求6所述的方法,其中,
所述多掩模薄膜通过旋涂碳材料形成,在所述旋涂碳材料中,碳元素的含量占化合物总分子量的重量百分比为85%至90%;或通过包含Si化合物的掩模组合物形成,在所述Si化合物中,Si元素的含量占化合物总分子量的重量百分比为30%至80%。
8. 根据权利要求7所述的方法,其中,
所述多掩模薄膜通过包含Si化合物的掩模组合物形成,所述Si化合物选自一个群组,所述群组包括:含Si聚合物、含Si聚合物的低聚物以及旋涂玻璃材料。
9. 根据权利要求8所述的方法,其中,
所述旋涂玻璃材料为氢倍半硅氧烷(HSQ)或甲基倍半硅氧烷(MSQ)。
10. 根据权利要求1所述的方法,包括:
借助于修蚀工序对所述第二掩模图案进行侧面蚀刻。

11. 根据权利要求 10 所述的方法,其中,
所述修蚀工序对所述第二掩模薄膜的去除速度高于对所述第一掩模薄膜或所述第三掩模薄膜的去除速度。
12. 根据权利要求 10 所述的方法,还包括:
用氟烃气体与 SF_6 的流量比为 (2 ~ 10) : 1 的蚀刻气体执行所述修蚀工序。
13. 根据权利要求 12 所述的方法,其中,
所述氟烃气体为 CHF_3 气体。
14. 根据权利要求 1 所述的方法,还包括:
执行侧面蚀刻工序,以使得与线宽减少之前的所述第二掩模图案的线宽相比,所述第二掩模图案的线宽减少 20 ~ 50%。
15. 根据权利要求 14 所述的方法,还包括:
执行侧面蚀刻工序,以使得与线宽减少之前的所述第二掩模图案的线宽相比,所述第二掩模图案的线宽减少 30 ~ 40%。
16. 根据权利要求 1 所述的方法,还包括:
借助于氧灰化方法执行移除所述第三掩模图案和所述旋涂碳层的步骤。
17. 根据权利要求 1 所述的方法,其中,
在移除所述旋涂碳层之后,所述第一掩模图案的线宽与图案之间的间距的比值为 1 : 1。
18. 根据权利要求 1 所述的方法,其中,
将所述第一掩模薄膜图案化的步骤包括:使用所述第二掩模图案和所述第三掩模图案作为蚀刻阻挡掩模对所述第一掩模薄膜进行部分蚀刻;以及执行蚀刻工序以移除所述旋涂碳层和所述第一掩模薄膜的一部分,直到所述底层露出为止。
19. 根据权利要求 18 所述的方法,其中,
在所述第一掩模薄膜上执行所述部分蚀刻以不使所述底层露出,从而形成底部互连的第一掩模图案。

形成半导体器件的精细图案的方法

技术领域

[0001] 本发明整体涉及一种形成半导体器件的精细图案的方法。

背景技术

[0002] 由于信息媒介例如计算机的普及,半导体器件技术已经得到快速发展。半导体器件需要高速操作且具有高的存储容量。结果,要求半导体器件的制造技术制造出具有更高集成度、可靠性和数据存取特性的高容量存储元件。

[0003] 为了提高器件的集成度,已经发展出光刻技术以形成精细图案。光刻技术包括使用诸如 ArF (193nm) 和 VUV (157nm) 等化学增幅型深紫外光 (DUV) 光源的曝光技术、以及将适合于曝光光源的光阻材料显影的技术。

[0004] 随着半导体器件变小,在光刻技术中控制图案线宽的临界尺寸是重要的。通常,半导体器件的处理速度决定于图案线宽的临界尺寸。例如,随着图案线宽减少,处理速度增加,从而改进器件性能。

[0005] 然而,在使用具有小于 1.2 的一般数值孔径的 ArF 曝光器的光刻方法中,借助于单曝光方法难以形成小于 40nm 的线 / 距图案。

[0006] 为了提高光刻技术的分辨率和扩展工序裕量 (process margin),已经发展出双重图案化技术。双重图案化技术包括如下工序:利用两个掩模将涂布有光阻剂的晶片分别曝光,然后显影,从而获得复杂图案、密集图案或隔离图案。

[0007] 因为双重图案化技术使用两个掩模进行图案化,因此制造成本和周转周期 (turn-around-time) 高 (长) 于使用单个掩模的单图案化技术,于是产出量降低。当在单元区中形成节距小于曝光器的分辨率极限的图案时,虚像会重叠。结果,双重图案化技术无法获得所要的图案。在对准过程中,会产生覆盖对准不良。

发明内容

[0008] 本发明的各种实施例旨在提供一种形成节距小于曝光器的分辨率极限的半导体器件的精细图案的方法。

[0009] 根据本发明的实施例,一种形成半导体器件的精细图案的方法包括:在具有底层的半导体基板上形成包括第一、第二和第三掩模薄膜的层叠层;在第三掩模薄膜上面形成光阻图案;利用光阻图案作为蚀刻阻挡掩模蚀刻第三掩模薄膜,以形成第三掩模图案;利用第三掩模图案作为蚀刻阻挡掩模蚀刻第二和第一掩模薄膜,以形成第二和第一掩模图案;利用第三掩模图案作为蚀刻阻挡掩模对第二掩模图案进行侧面蚀刻;移除第三掩模图案;在第一和第二掩模图案以及底层上面涂布旋涂碳层 (spin-on-carbon layer),第二掩模图案的上部穿过旋涂碳层露出;利用旋涂碳材料作为蚀刻阻挡掩模,移除第一掩模图案的一部分以及第二掩模图案以露出底层;移除旋涂碳层以获得具有均匀线宽的第一精细掩模图案。

[0010] 底层可以包括导电层,该导电层具有绝缘膜和作为顶层的聚合物层的叠层图案。

第一和第三掩模薄膜具有与第二掩模薄膜的蚀刻选择比不同的蚀刻选择比。例如,第一掩模薄膜为钨层。第二掩模薄膜优选地选自如下所列的一个或多个:氮化硅薄膜(SiN)、氧化硅薄膜(SiO)、氮氧化硅薄膜(SiON)以及包括至少一个或多个上述薄膜的层叠层。第三掩模薄膜优选地选自如下所列的一个或多个:非晶碳层、包括非晶碳层和氮氧化硅薄膜的层叠层以及多掩模(multimask)薄膜。多掩模薄膜优选地以如下方式形成:i)通过旋涂碳材料形成,其中,碳元素的含量占化合物总分子量的85wt%至90wt%,或ii)通过包含Si化合物的掩模组合物形成,在该Si化合物中,Si元素的含量占化合物总分子量的30wt%至80wt%。Si化合物优选地选自如下群组,该群组包括:含Si聚合物、含Si聚合物的低聚物以及诸如氢倍半硅氧烷(Hydrogen Silses-Quioxane, HSQ)或甲基倍半硅氧烷(Methyl Silses-Quioxane, MSQ)等旋涂玻璃(SOG)材料。

[0011] 对第二掩模图案进行侧面蚀刻的步骤借助于修蚀工序执行。修蚀工序对第二掩模薄膜的去除速度高于对第一或第三掩模薄膜的去除速度。采用流量比为氟烃气体(例如 CH_xF_y ,其中x和y为在1至10范围内的整数): $\text{SF}_6 = (2 \sim 10) : 1$ 的蚀刻气体执行修蚀工序。在此,氟烃气体为 CHF_3 气体。

[0012] 在对第二掩模图案进行侧面蚀刻之后,与进行侧面蚀刻之前第二掩模图案的线宽相比,第二掩模图案的线宽优选地减小约20~50%,具体地,减小30~40%,更具体地,减小30~35%。

[0013] 移除第三掩模图案和旋涂碳层的步骤优选地均为借助于氧灰化工序执行。第一掩模图案的线宽与第一掩模图案之间的间距的比值为1:1。

[0014] 在一个实施例中,一种形成半导体器件的精细图案的方法包括:在具有底层的半导体基板上形成包括第一至第三掩模薄膜的层叠层;蚀刻第二和第三掩模薄膜以形成第二和第三掩模图案;利用第二和第三掩模图案作为蚀刻阻挡掩模对第一掩模薄膜进行部分蚀刻;利用第三掩模图案作为蚀刻阻挡掩模对第二掩模薄膜进行侧面蚀刻工序;移除第三掩模图案;在第一和第二掩模图案及底层上涂布旋涂碳层,第二掩模图案的上部穿过旋涂碳层露出;利用旋涂碳材料作为蚀刻阻挡掩模,移除第一掩模图案的一部分和第二掩模图案以露出底层;移除旋涂碳层,直到底层以及第一掩模薄膜的一部分露出为止。

[0015] 对第一掩模薄膜进行部分蚀刻的步骤优选地包括形成底部互连的第一掩模图案而不露出底层图案。

[0016] 本发明的方法可包括一种执行一次以形成掩模图案的光阻蚀刻阻挡掩模工序步骤,由此降低制造成本并简化工序步骤以提高效率。

[0017] 根据本发明的实施例,所述方法可改善由于光阻图案的重叠而导致的覆盖对准不良,从而获得具有采用当前光刻设备不能形成的节距的图案。

附图说明

[0018] 图1为展示传统正型双重图案化方法的示意图。

[0019] 图2为展示传统负型双重图案化方法的示意图。

[0020] 图3为展示传统正型间隙壁图案化方法的示意图。

[0021] 图4为展示传统负型间隙壁图案化方法的示意图。

[0022] 图5a至5i为展示根据本发明实施例的形成半导体器件的精细图案的方法的示意

图。

[0023] 图 6a 为展示图 5d 所示步骤的 SEM 相片。

[0024] 图 6b 为展示图 5e 所示步骤的 SEM 相片。

具体实施方式

[0025] 下面将参考附图详细地说明本发明。

[0026] 为了防止重叠和对准不良,发展了两种方法:i) 双重曝光蚀刻技术 (DEET) 和 ii) 间隙壁图案化技术 (SPT),这两种方法已经用于半导体器件的制造过程中。

[0027] DEET 包括形成线宽为所需图案线宽两倍的第一图案,并且在第一图案之间形成具有相同线宽的第二图案。更具体地说,DEET 包括 a) 正型方法和 b) 负型方法。

[0028] 如图 1 中所示,在正型方法中,在半导体基板 1 上面形成底层 3、第一掩模薄膜 5、第二掩模薄膜 7 和第一正光阻图案 8。利用第一正光阻图案 8 作为蚀刻阻挡掩模形成第二掩模图案 7-1。在第二掩模图案 7-1 之间形成第二正光阻图案 9。利用第二掩模图案 7-1 和第二正光阻图案 9 作为蚀刻阻挡掩模形成第一掩模图案 5-1。

[0029] 如图 2 中所示。在负型方法中,在半导体基板 21 上面形成底层 23、第一掩模薄膜 25、第二掩模薄膜 27 和第一负光阻图案 28。利用第一负光阻图案 28 作为蚀刻阻挡掩模形成第二掩模图案 27-1。在第二掩模图案 27-1 和第一掩模薄膜 25 上面形成第二负光阻图案 29。利用第二负光阻图案 29 作为蚀刻阻挡掩模蚀刻第二掩模图案 27-1,以形成第二掩模图案 27-2。利用第二掩模图案 27-2 作为蚀刻阻挡掩模蚀刻第一掩模薄膜 25,以形成第一掩模图案 25-1。

[0030] 因为 DEET 使用两种掩模,所以可以形成具有所要节距大小的图案。然而,该方法步骤复杂,且制造成本增加。而且,当形成第二光阻图案时,由于图案覆盖不准确而发生对准不良。

[0031] SPT 为一种自对准技术,其借助于执行在单元区中形成图案的掩模工序来防止对准不良。SPT 包括 a) 正型方法和 b) 负型方法。

[0032] 如图 3 中所示,在正型方法中,在半导体基板 31 上面形成底层 33、第一掩模薄膜 35、第二掩模薄膜 37 和第一光阻图案 38。利用第一光阻图案 38 作为蚀刻阻挡掩模形成第二掩模图案 37-1。在第二掩模图案 37-1 的侧壁形成间隙壁 39。利用间隙壁 39 作为蚀刻阻挡掩模形成第一掩模图案 35-1。

[0033] 如图 4 中所示,负型方法包括在半导体基板 41 上面形成底层 43、第一掩模薄膜 45、第二掩模薄膜 47 和第一光阻图案 48,和利用第一光阻图案 48 作为蚀刻阻挡掩模形成第二掩模图案 47-1。在第二掩模图案 47-1 的侧壁形成间隙壁 49。在所产生的结构上面涂布旋涂玻璃薄膜 50 或抗反射薄膜。执行 CMP 或回蚀工序以露出第二掩模图案 47-1 (未显示)。移除间隙壁,并且利用第二掩模图案 47-1 作为蚀刻阻挡掩模形成第一掩模图案 45-1。

[0034] 为了在中心和边缘部分中形成图案或者隔离微小单元块区域 (mini cell block region) 的图案部分,SPT 需要额外的掩模工序。结果,该方法步骤复杂。另外,在形成间隙壁时难以调整图案的线宽,因此图案线宽的均匀性降低。

[0035] 图 5a 至 5i 为展示根据本发明实施例的形成半导体器件的精细图案的方法的示意图。

[0036] 图 5a 分别显示在底层 111 上面依次沉积的第一至第三掩模薄膜 113、115、117 以及有机抗反射薄膜 119。

[0037] 在此实施例中,底层为包括栅极氧化物膜、多晶硅层、钨层和绝缘膜的导电层。绝缘膜具有包括多晶硅层 (poly layer) 和绝缘膜的叠层结构。

[0038] 在此实施例中,第一掩模薄膜 113 包括钨 (W)。在此实施例中,第二掩模薄膜 115 包括氮化物膜 (SiN)、氧化物膜 (SiO)、氮氧化硅薄膜 (SiON) 以及包括至少一个或多个上述薄膜的层叠层。在此实施例中,第三掩模薄膜 117 包括非晶碳层或包含非晶碳层和氮氧化硅薄膜的层叠层。

[0039] 优选地,第一和第三掩模薄膜具有与第二掩模薄膜的蚀刻选择比不同的蚀刻选择比。优选地,第一和第三掩模薄膜优选地对所有类型的蚀刻气体都具有比第二掩模薄膜低的蚀刻选择比和 / 或蚀刻速度。更具体地说,第一掩模薄膜优选地包括钨膜,第二掩模薄膜优选地包括氮化物膜,第三掩模薄膜优选地包括包含有非晶碳层和氮氧化硅薄膜的层叠层。

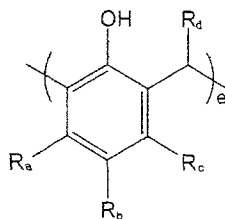
[0040] 用作第一掩模薄膜的钨膜可在用于形成栅极图案的随后蚀刻工序中用作蚀刻阻挡掩模时被移除。结果,不需执行移除钨膜的额外工序。

[0041] 第三掩模薄膜优选地包括多掩模薄膜而不是包含非晶碳层和氮氧化硅薄膜的层叠层,该多掩模薄膜可借助于旋涂方法形成,且具有优良平坦化性质。多掩模薄膜不像非晶碳层那样使用化学气相沉积,且效率极高。

[0042] 可使用任何种类的多掩模薄膜。在制造半导体器件的一般方法中,多掩模薄膜可作为用于改进蚀刻选择比的掩模薄膜,和作为用于增加图案均匀性的抗反射薄膜。优选的多掩模薄膜以如下方式形成:i) 在第一实施例中,借助于旋涂碳材料形成,其中,碳元素的含量占化合物总分子量的 85wt% (重量百分比,下同) 至 90wt%;或 ii) 在第二实施例中,借助于包含 Si 化合物的掩模组合物形成,其中,Si 元素的含量占化合物总分子量的 30wt% 至 80wt%。第二实施例中的 Si 化合物可为含 Si 聚合物、含 Si 聚合物的低聚物以及诸如 HSQ 和 MSQ 等 SOG 材料。更具体地说,掩模组合物优选地包含含 Si 聚合物以及作为主要组分的剩余有机溶剂,在 100 重量份的组合物中,含 Si 聚合物的含量为 30 重量份至 70 重量份。掩模组合物优选地还包含如下化合物:由化学式 1 表示的化合物、由化学式 2 表示的化合物、热致酸产生剂或光致酸产生剂。

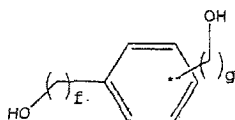
[0043] [化学式 1]

[0044]



[0045] [化学式 2]

[0046]



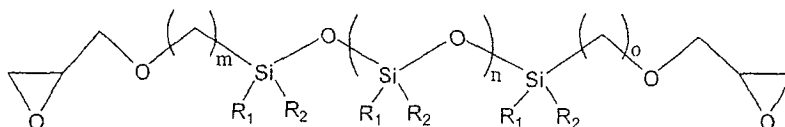
[0047] 其中 Ra-Rd 均为氢或者取代的或未取代的直链或支链 C₁-C₅ 烷基基团, e 为 5 至 500 范围内的整数, f 为 0 至 5 范围内的整数, g 为 1 至 5 范围内的整数。

[0048] 用化学式 1 表示的化合物的分子量优选地在 500 至 50,000 的范围内。

[0049] 含 Si 聚合物的分子量优选地在 300 至 30,000 的范围内。含 Si 聚合物优选地包括选自用化学式 3 至 5 表示的化合物的一种或多种主剂。

[0050] [化学式 3]

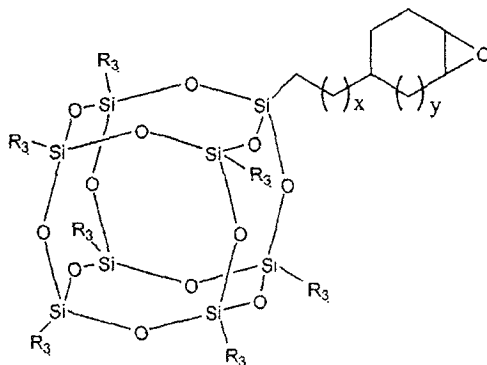
[0051]



[0052] 其中 R₁ 和 R₂ 均为氢或者取代的或未取代的直链或支链 C₁-C₅ 烷基基团, m、n 和 o 各自独立地为在 1 至 10 范围内的整数。

[0053] [化学式 4]

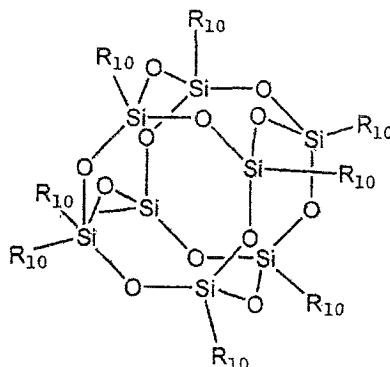
[0054]



[0055] 其中 R₃ 为氢、取代的或未取代的直链或支链 C₁-C₅ 烷基基团、取代的或未取代的 C₃-C₈ 环烷基基团、或者取代的或未取代的 C₅-C₁₂ 芳族基团, x 和 y 各自独立地为在 0 至 5 范围内的整数。

[0056] [化学式 5]

[0057]



[0058] 其中 R_{10} 为 $(CH_2)_kSi(OR')_3$, R' 为氢或者直链或支链 C_1-C_{10} 烷基, k 为 1 至 10 范围内的整数。

[0059] 用于多掩模薄膜的旋涂碳材料优选地包括日产化学公司 (NissanChemical Co.) 的 SHN18, 或者用于多掩模薄膜的 Si 化合物优选地包括日产化学公司的 MHN04。

[0060] 图 5b 显示在作为顶层的有机抗反射薄膜 119 上面形成的光阻图案 121。

[0061] 在有机抗反射薄膜上涂布光阻薄膜 (未显示), 并且在光阻薄膜上执行光刻工序以获得光阻图案 121。光阻图案 121 的节距优选地为设计规则的二倍。优选地, 光阻图案的线宽与图案之间的间隔的比值为 3 : 1。

[0062] 图 5c 显示利用光阻图案 121 作为蚀刻阻挡掩模所形成的第三掩模图案 117-1 和有机抗反射图案 119-1。

[0063] 图 5d 显示利用第三掩模图案 117-1 和有机抗反射图案 119-1 作为蚀刻阻挡掩模所形成的第二掩模图案 115-1 和第一掩模图案 113-1, 第一和第二掩模图案包括开口部分以露出底层 111 (参见图 6a, 其显示本发明的实施例, 其中第一掩模图案 113-1 为钨层, 第二掩模图案 115-1 包括沉积掩模氮化物膜 (HM Nit), 该沉积掩模氮化物膜包括氮化物膜 (SiN) 和氮氧化硅薄膜 (SiON) 的层叠层, 第三掩模图案 117-1 为非晶碳 (A-C) 层)。

[0064] 执行蚀刻工序, 以利用第三掩模图案 117-1 作为蚀刻阻挡掩模将第一掩模薄膜 113 和第二掩模薄膜 115 图案化, 直到底层 111 露出为止。可以在第一掩模薄膜 113 的顶部上执行部分蚀刻工序而不露出底层, 由此形成底部连接的第一掩模图案 (未显示)。当形成底部连接的第一掩模图案时, 第一掩模薄膜优选地包括钨层或多晶硅层。

[0065] 图 5e 显示利用第三掩模图案 117-1 作为蚀刻阻挡掩模执行修蚀工序所获得的结构。

[0066] 执行修蚀工序以在逻辑工序中均匀地调整图案线宽。修蚀工序利用上部材料作为蚀刻阻挡掩模过蚀刻 (over-etch) 下部材料, 以调整下部材料的线宽。在此, 下部材料的蚀刻选择比与上部材料不同。在传统 DRAM 方法中不执行修蚀工序。

[0067] 利用第一和第三掩模薄膜两者与第二掩模薄膜之间大的蚀刻选择比差异执行修蚀工序, 从而使得可以均匀蚀刻第二掩模薄膜的侧壁而不损失第一和第三掩模薄膜。即, 在修蚀工序中, 对于选择的蚀刻气体, 第二掩模薄膜 115 的蚀刻速度高于第一掩模薄膜 113 的蚀刻速度, 也高于第三掩模薄膜 117 的蚀刻速度。结果, 在修蚀工序中首先蚀刻和移除第二掩模图案 115-1 的侧壁。

[0068] 优选地利用对钨为钝化蚀刻气体的氟烃气体 (例如 CH_xF_y , 其中 x 和 y 为在 1 至 10 范围内的整数) 并且优选地利用蚀刻氮化物膜的 SF_6 气体来执行修蚀工序。更优选地, 利用流量比为 CHF_3 气体 : SF_6 气体 = (2 ~ 10) : 1, 优选地 (4 ~ 5) : 1 的蚀刻气执行修蚀工序。

[0069] 执行修蚀工序, 直到第二掩模图案 115-2 的线宽 i) 具有与光阻图案之间的间距相同的大小, 或 ii) 与执行修蚀工序之前第二掩模图案 115-1 的线宽大小相比, 减少了约 20 ~ 50% (参见图 6b, 其显示在执行修蚀工序之后线宽大小减少了约 20 ~ 50% 的第二掩模图案) 为止。第三掩模图案 117-1 不受蚀刻气体损害。而且, 因为借助于部分蚀刻方法形成底部连接的第一掩模图案 113-1 (未显示), 因此, 虽然底层 111 由绝缘膜形成, 但是留在底层之上的第一掩模图案 113-1 作为阻挡薄膜, 从而防止底层 111 受蚀刻气体损害。

[0070] 参考图 5f, 在所产生的结构上执行 O_2 灰化工序以移除残余的第三掩模图案 117-1。

[0071] 在所产生的结构上面形成旋涂碳层 123。旋涂碳层优选地具有占总分子量 85wt% 至 90wt% 的碳元素含量。与第三掩模薄膜类似, 可使用日产化学公司的 SHN18。

[0072] 图 5g 显示通过在旋涂碳层 123 上执行回蚀工序将第二掩模图案 115-2 的顶部露出所产生的结构。

[0073] 优选地利用选自氧、氮、氢及其组合的蚀刻气体执行回蚀工序。

[0074] 为了在稳定条件下执行随后的蚀刻工序, 优选地蚀刻旋涂碳层而不露出位于第二掩模图案 115-2 底部之外的第一掩模薄膜图案 113-1。

[0075] 参考图 5h, 利用旋涂碳层 123 作为蚀刻阻挡掩模移除露出的第二掩模图案 115-2 以及第一掩模图案 113-1 的位于露出的第二掩模图案之下的部分, 以露出底层 111。结果, 形成包括开口部分 125 的第一掩模图案 113-2。

[0076] 对于氮化物或钨, 优选地利用诸如 SF_6 、 O_2 、 N_2 、Ar 及其组合等蚀刻气体执行蚀刻工序。

[0077] 优选的是, 将第一掩模图案 113-2 的线宽减少至比第一掩模图案 113-1 线宽小约 1/3 的大小。当按原状转录显影检查临界尺寸 (D1CD) 时, 第一掩模图案具有与光阻图案之间的间隙相同的大小。例如, 对于蚀刻偏差 (etching bias) 为 80nm 和设计规则为 40nm 的器件, 第一掩模图案 113-2 的线宽与第一掩模图案 113-1 之间的间隙的比值为 1 : 1。

[0078] 参考图 5i, 在所产生的结构上执行 O_2 灰化工序以移除旋涂碳层 123。

[0079] 当第一掩模图案 113-1 的底部互连时, 在第一掩模图案 113-1 的互连部分上执行过灰化 (over ashing) 工序以暴露底层, 从而获得均匀精细图案。

[0080] 利用第一掩模图案 113-2 作为蚀刻阻挡掩模蚀刻下导电层 (未显示), 以形成导电图案。导电图案可以包括栅极线、位线和金属线。优选地执行额外的掩模工序, 以在除单元区域之外的中心和边缘部分中形成图案。

[0081] 采用节距为设计规则的两倍的曝光掩模图案, 可以形成节距减小的图案。与使用两个掩模的传统双重图案化技术相比, 可以获得没有覆盖对准不良的自对准图案。

[0082] 如上所述, 根据本发明的实施例, 执行修蚀工序以减小在底层上面所形成的掩模图案的线宽。将旋涂碳材料涂布在所产生的结构上面。利用旋涂碳层作为蚀刻阻挡掩模蚀刻掩模图案, 以简化工序步骤, 并且不论曝光器的覆盖准确性如何, 都可以获得具有均匀线宽的精细图案。

[0083] 本发明的上述实施例是示例性而非限制性的。各种不同的替代方案和等同方案都是可行的。本发明并不受限于本文中所描述的光刻步骤。本发明也不限于任何特定类型的半导体器件。例如, 本发明可应用于动态随机存取存储 (DRAM) 器件或非易失性存储器件。鉴于本发明的揭示内容, 其它的增添、删减或修改都是显而易见的, 且包括在所附权利要求书的范围内。

[0084] 本申请要求 2007 年 6 月 5 日提交的韩国专利申请 No. 10-2007-0054974 的优先权, 该韩国专利申请的全部内容以引用的方式并入本文。

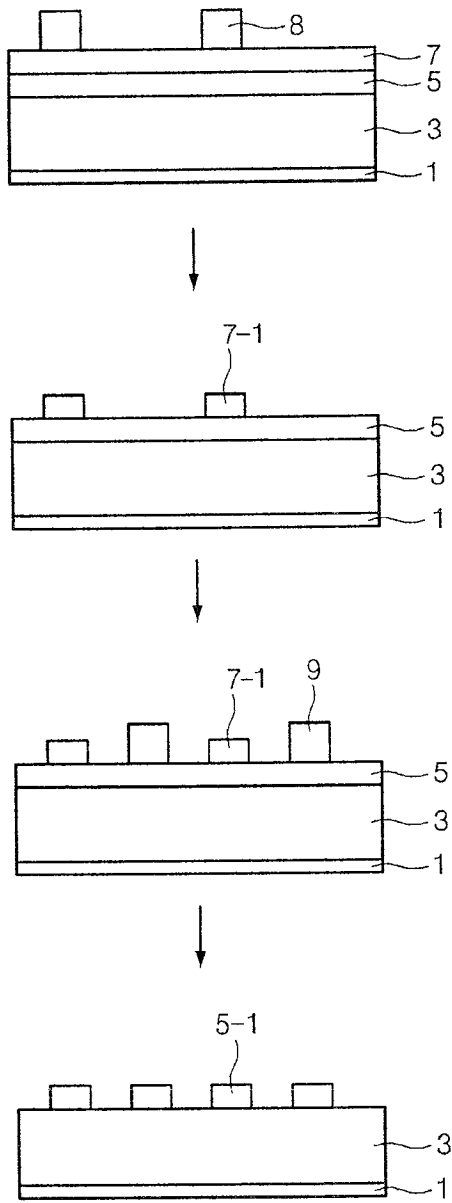


图 1(现有技术)

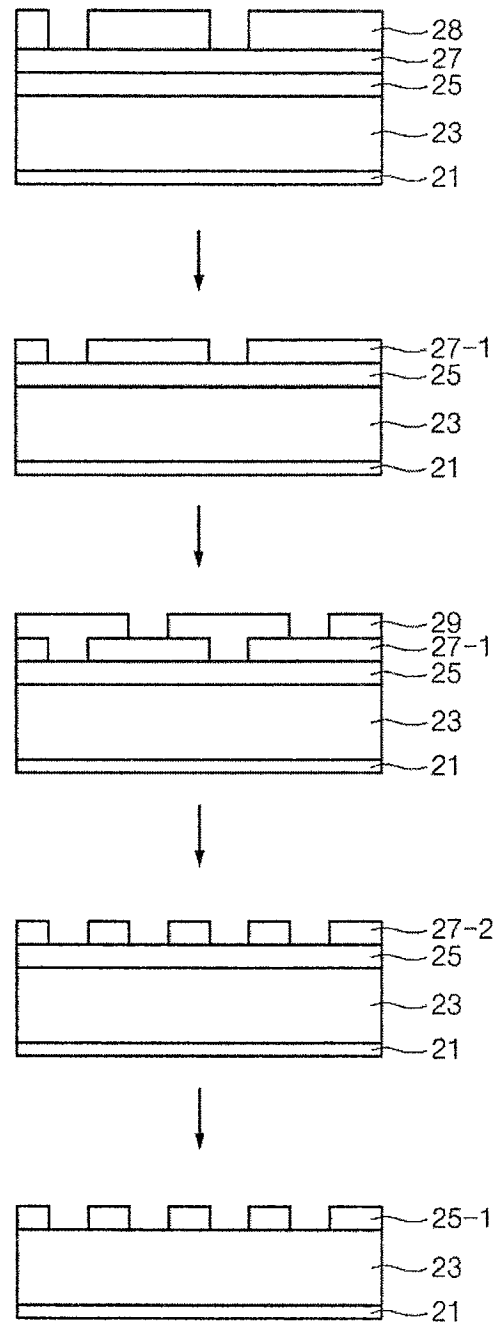


图 2(现有技术)

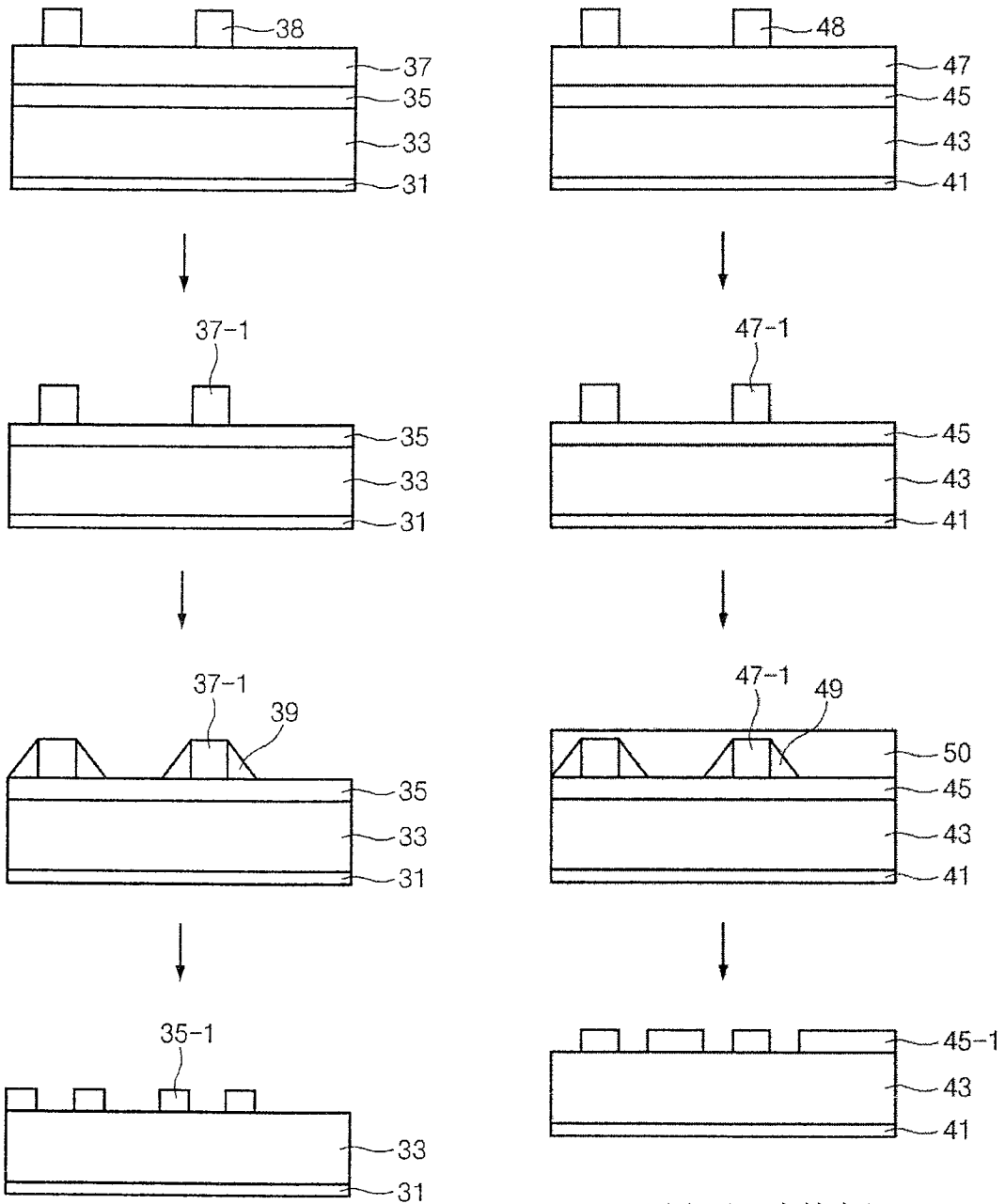


图 3(现有技术)

图 4(现有技术)

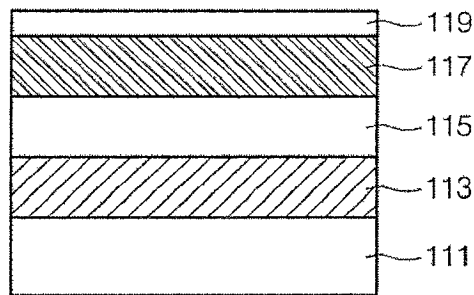


图 5a

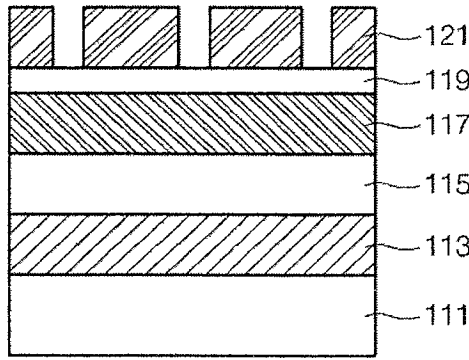


图 5b

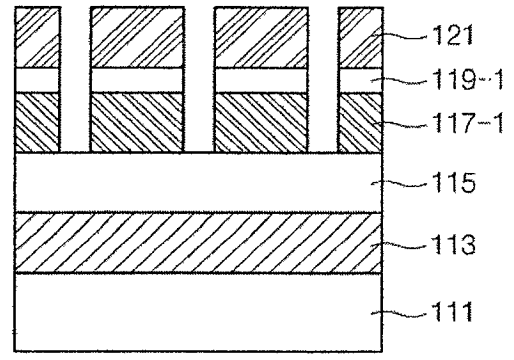


图 5c

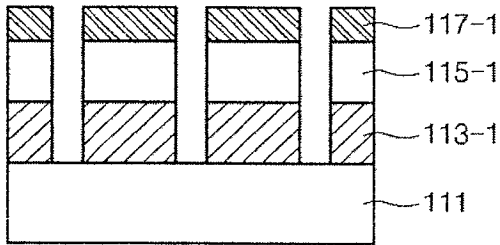


图 5d

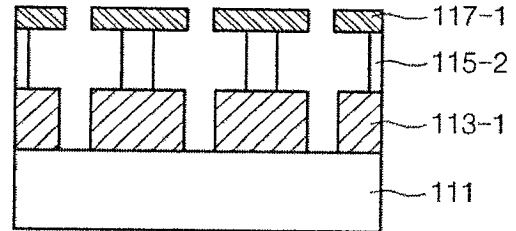


图 5e

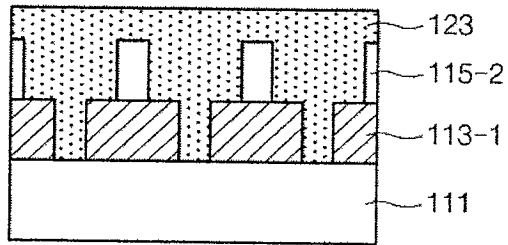


图 5f

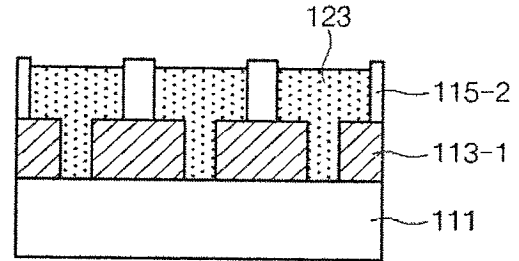


图 5g

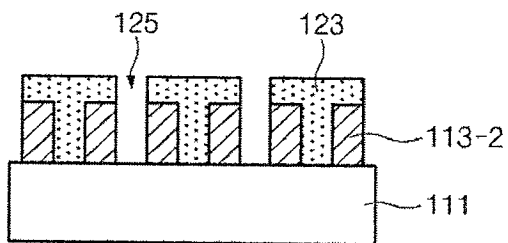


图 5h

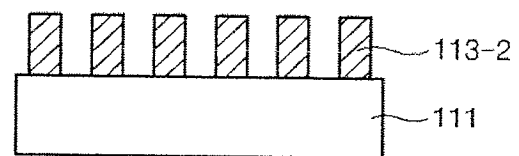


图 5i

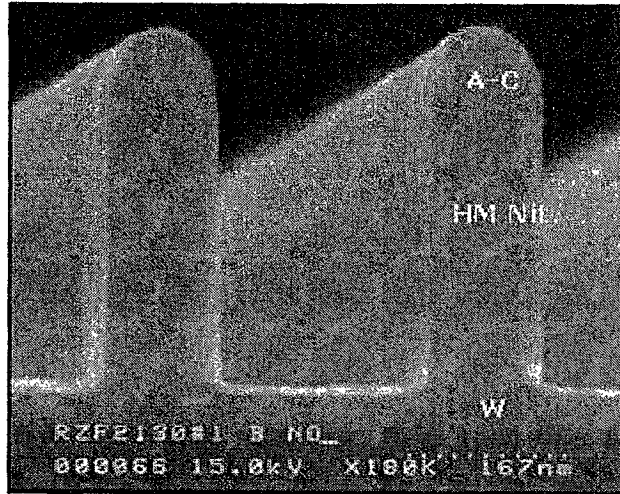


图 6a

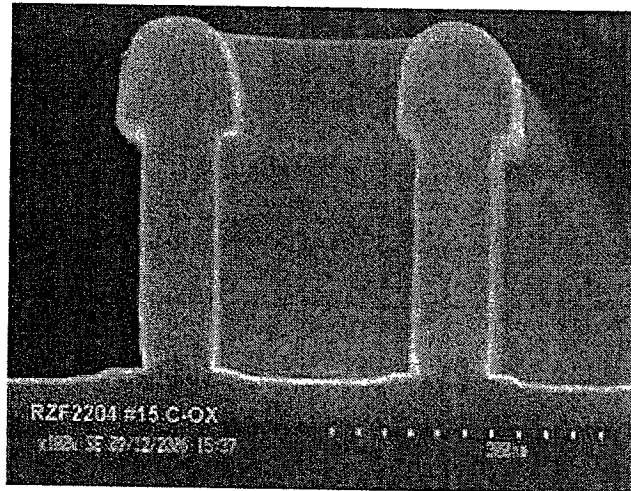


图 6b