

(43) 国際公開日
2006年4月13日 (13.04.2006)

PCT

(10) 国際公開番号
WO 2006/038249 A1(51) 国際特許分類⁷: G11C 16/06

(21) 国際出願番号: PCT/JP2004/014326

(22) 国際出願日: 2004年9月30日 (30.09.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベール ワ
ン エイムディ プレイス ピー・オー・ボッ
クス 3453 California (US). Spansion
Japan株式会社 (SPANSION JAPAN LIMITED)
[JP/JP]; 〒9650845 福島県会津若松市門田町工業団地
6番 Fukushima (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 北崎和宏

(KITAZAKI, Kazuhiro) [JP/JP]; 〒1600023 東京都新
宿区西新宿四丁目33番4号 Spansion
Japan株式会社内 Tokyo (JP).

(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テブコビル
Tokyo (JP).

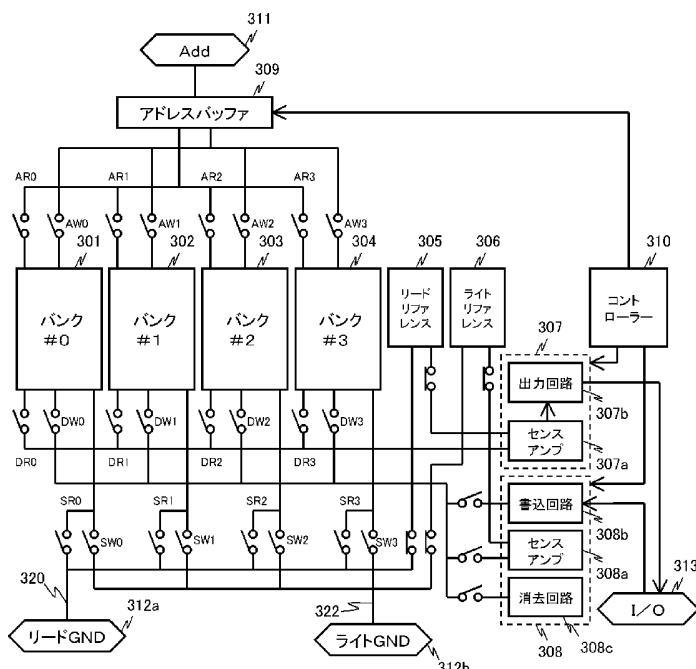
(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING THE SAME

(54) 発明の名称: 半導体装置及びその制御方法



309... ADDRESS BUFFER
301... BANK #0
302... BANK #1
303... BANK #2
304... BANK #3
305... READ REFERENCE
306... WRITE REFERENCE
310... CONTROLLER

307b... OUTPUT CIRCUIT
307a... SENSE AMPLIFIER
308b... WRITE CIRCUIT
308a... SENSE AMPLIFIER
308c... ERASE CIRCUIT
312a... READ GND
312b... WRITE GND

(57) Abstract: A semiconductor storage device wherein the read ground is provided independently of the verification write ground, whereby even if a read operation is executed at the same time as a verification operation, the source potential of a memory cell can be equalized to the potential during execution of only one of the read and verification operations, with the result that a read operation can be realized which is of a high rate and stable because of an increased margin irrespectively of whether it is a dual operation or not.

(57) 要約: 本発明の半導体記憶装置では、リード用グラウンドとベリファイ用のライト用グラウンドとを独立に設けることとしたので、リードとベリファイ動作が同時実行されてもメモリセルのソース電位をリードまたはベリファイのどちらか一方のみが実行中のときの電位と等しくすることが可能となり、デュアルオペレーション動作か否かに関わらず高速かつマージンの増大による安定したリード動作が実現される。



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置及びその制御方法

技術分野

- [0001] 本発明は半導体装置に関し、より詳細には、デュアルオペレーション機能を有する半導体メモリの高速動作および十分な動作マージンの確保を可能とする技術に関する。

背景技術

- [0002] フラッシュメモリは電気的な書換えが可能な半導体記憶装置として近年急速に普及しており、メモリカードに代表されるようなデータストレージに使用されるNAND型とプログラムを格納して電子機器に内蔵されるNOR型とに分類される。代表的なNOR型フラッシュメモリでは、フローティングゲート内に電荷が蓄積されているか否かによってデータ(“1”か“0”か)を記憶する。このようなNOR型フラッシュメモリの単位セルは1個のMOSTランジスタで構成されており、コントロールゲート(上のゲート)とフローティングゲート(下のゲート)を備えている。
- [0003] 特定のメモリセルからデータを読み出す(リード)動作の際には、選択したメモリセルのコントロールゲートに正のバイアス(例えば5V)が与えられ、ドレインには1V程度のバイアスがセンスアンプから与えられる。フローティングゲート内に電荷がある場合は、フローティングゲートに蓄積された電荷によってコントロールゲートに印加されたバイアスが打ち消されてメモリセルはセル電流を流さず(非導通)データ“0”をリードする。逆に、フローティングゲート内に電荷がない場合は、コントロールゲートに印加されたバイアスの打ち消しが生じないためメモリセルがセル電流を流し(導通)、データ“1”をリードする。センスアンプはこれらのセル電流を読み取り、データの“0”または“1”を電圧として出力する。このとき、データ“1”の時のセル電流 I_{c1} とデータ“0”の時のセル電流 I_{c0} の差が大きいほどセンスアンプがリードを行い易くなり、高速動作や動作マージンの拡大が可能となる。
- [0004] 図1は、センスアンプの構成を説明するためのブロック図で、選択されたメモリセル11aはデコーダ12aを介してセンスアンプ13aに接続されている。一方、データ参照用

のリファレンスセル11bはデコーダ12bを介してセンスアンプ13bに接続され、センスアンプ13aとセンスアンプ13bとがディファレンシャルセンスアンプ17と接続されることで、メモリセル11aがリファレンスセル11bに接続されている。なお、この図において、14aおよび14b、15aおよび15b、ならびに16aおよび16bは、それぞれメモリセル11aおよびリファレンスセル11bに接続されるソーススイッチ、寄生抵抗、ならびにグランド(GND)である。

[0005] ここで、メモリセル11aとGND16aまでの間には、配線などによる寄生抵抗15aが存在している。この寄生抵抗15aにセル電流 I_c が流れると、メモリセル11aに接続されているソーススイッチ14aの電位(すなわちソース電位)はGNDレベルではなく、寄生抵抗値 R とセル電流 I_c との積で与えられる $V_s (=I_c \cdot R)$ をもつようになる。一般的には、メモリセルは n チャンネルトランジスタとされるので、セル電流 I_c は、 $I_c = \beta \cdot V_{gs} (V_{ds} - V_t - V_{ds} / 2)$ で与えられる。ここで、 β は比例定数、 V_{gs} はゲート-ソース間電圧、 V_{ds} はドレイン-ソース間電圧、そして V_t は閾値電圧である。上式によれば、ソース電位 V_s が上昇するとゲート-ソース間電圧 V_{gs} とドレイン-ソース間電圧 V_{ds} が減少するため、セル電流 I_c が減少することがわかる。デバイスの微細化に伴ってセル電流 I_c は必然的に減少することとなるため、リード動作に対してソース電位 V_s の変動が与える影響は素子の微細化とともに次第に大きくなることになる。

[0006] ところで、従来のフラッシュメモリでは、書込操作や消去操作の進行中はプロセッサによる読出操作が実行不能であり、フラッシュメモリに対する読出操作を開始するに先立ってフラッシュメモリの状態レジスタを周期的にポーリングして書込操作または消去操作の終了を検出しなければならないなどの理由により、データの書き換えがDRAMやSRAMなどのメモリに比較して極めて遅く使い勝手が悪いという問題があった。この問題を緩和するために、データをプログラムまたは消去(書換え)しながら他のデータを読み出すことができるデュアルオペレーション機能が導入されている。

[0007] 図2は、上記の同時操作を可能とするデュアルオペレーション機能を備えている従来のフラッシュメモリの内部構成例を説明するためのブロック図である。この構成では、メモリセルアレイを幾つかのバンク(図2では4つ)に区切っておき、あるバンクがデータを書き換えている期間中に他のバンクのデータをリードすることを可能としたもの

である。

[0008] このメモリセルアレイ200は、0番バンク201、1番バンク202、2番バンク203、3番バンク204のメモリセルの4つのバンクと、それぞれのバンクに設けられたアドレス読出(AR)用およびアドレス書込(AW)用のリードアドレススイッチおよびライトアドレススイッチ(AR0〜AR3およびAW0〜AW3)ならびにデータ読出(DR)用およびデータライト(DW)用のリードデータスイッチおよびライトデータスイッチ(DR0〜DR3およびDW0〜DW3)と、上記4つのバンクをリードリファレンス205および／またはライトリファレンス206と接続するために個々のバンクに対応付けて設けられグランド端子212に接続されるソーススイッチS0〜S3と、データ読出用センスアンプ207aと出力回路207bとを有しリードリファレンス205に接続されたデータ読出用センスアンプブロック207と、ライト用センスアンプ208aと書込回路208bと消去回路208cとを有しライトリファレンス206に接続されたデータライト用センスアンプブロック208と、アドレス端子211を備え4つのバンクに接続可能なアドレスバッファ209と、データ読出用センスアンプブロック207およびデータライト用センスアンプブロック208ならびにアドレスバッファ209に接続されるコントローラ210と、データ読出用センスアンプブロック207に備えられた出力回路207bおよびデータライト用センスアンプブロック208に備えられた書込回路208bと接続されるI/O端子213と、を備えている。

[0009] すなわち、このメモリセルアレイ200は、データをプログラムまたは消去(書換え)をしながら他のデータを読み出すことができるデュアルオペレーション機能を実現するために、各バンク201〜204についてデータ読出しを行うリード用回路かデータ書き換えを行うライト用回路のどちらか一方を接続できる構成になっており、リードを行うバンクのみリード用回路が接続される一方、ライトを行うバンクのみにライト用回路が接続される。これによりライト動作中のリード動作の同時実行が可能となる。

発明の開示

発明が解決しようとする課題

[0010] ここでライト動作には、書き込みや消去が所定のレベルまでできたかどうかを検証するベリファイ動作が含まれ、これは本質的にリード動作と同じである。ベリファイ動作中にリード動作が行われる場合も生じるが、図2に示した構成のようにグランド配線がリ

ードとライトで共通に使用される構成では、リードまたはベリファイのどちらか一方のみが実行中の時よりもグラウンド配線に流れる電流が増えることになり、寄生抵抗による電圧降下も増大する。このためリードやライトで選択しているそれぞれのメモリセルのソース電位が、リードまたはベリファイのどちらか一方のみが実行中の時よりも上昇し、セル電流の減少を招く。その結果、前述のようにリードやベリファイ動作の読み出しスピードの低下やマージンの減少が発生してしまう。

- [0011] 本発明は、デュアルオペレーション機能を備えている従来のフラッシュメモリの上述したような不都合を解消し、デュアルオペレーション動作か否かとは無関係に、高速動作および充分な動作マージンの確保を可能とする技術を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明は、かかる課題を解決するために、本発明は第1及び第2の動作モードで同時に動作可能な半導体装置であって、第1の動作モードにおいて半導体装置の内部回路を接地する第1のグラウンド配線と、第2の動作モードにおいて前記内部回路を接地する第2のグラウンド配線とを独立に設けた半導体装置である。
- [0013] この半導体装置において、前記第1のグラウンド配線に接続された第1のグラウンド端子と、前記第2のグラウンド配線に接続された第2のグラウンド端子とを有する構成とすることができる。
- [0014] 上記半導体装置において、前記第1のグラウンド配線と前記第2のグラウンド配線とは略等しい長さとすることができる。
- [0015] 上記半導体装置において、前記内部回路と前記第1及び第2のグラウンド配線とを選択的に接続するスイッチを有する構成とすることができる。
- [0016] 上記半導体装置において、前記内部回路は複数のバンクを有し、前記第1及び第2のグラウンド配線は前記複数のバンクに共通に設けられている構成とすることができる。
- [0017] 上記半導体装置において、前記内部回路は複数のバンクを有し、前記半導体装置は、前記複数のバンクを選択的に前記第1及び第2のグラウンド配線に接続するスイッチを有する構成とすることができる。

- [0018] 上記半導体装置において、前記複数のバンクはそれぞれ、複数の不揮発性メモリセルを含む構成とすることができる。
- [0019] 上記半導体装置において、前記第1及び第2のモードはそれぞれ、データの読み出しモード及びライトモードである構成とすることができる。
- [0020] 上記半導体装置において、前記内部回路は複数のメモリセルを有する複数のバンクを有し、該複数のバンクの1つである第1のバンクは前記第1のモードで動作し、第2のバンクは前記第2のモードで動作し、前記第1のバンクは前記第1のグラウンド配線に接続され、前記第2のバンクは前記第2のグラウンド配線に接続される構成とすることができる。
- [0021] 上記半導体装置において、前記第1及び第2の動作モードはそれぞれデータの読み出し及び書き込みモードである構成とすることができる。
- [0022] 上記半導体装置において、前記半導体装置は例えば不揮発性半導体記憶装置である。
- [0023] 本発明はまた、第1及び第2の動作モードで同時に動作可能な半導体装置の制御方法であって、第1の動作モードにおいて半導体装置の内部回路を第1のグラウンド配線を介して接地するステップと、第2の動作モードにおいて前記内部回路を、前記第1のグラウンド配線とは独立に設けられた第2のグラウンド配線を介して接地するステップとを有する方法である。

発明の効果

- [0024] 本発明の半導体記憶装置では、リード用グラウンドとベリファイ用のライト用グラウンドとを独立に設けることとしたので、リードとベリファイ動作が同時実行されてもメモリセルのソース電位をリードまたはベリファイのどちらか一方のみが実行中のときの電位と等しくすることが可能となり、デュアルオペレーション動作か否かに関わらず高速かつマージンの増大による安定したリード動作が実現される。

図面の簡単な説明

- [0025] [図1]センスアンプの構成を説明するためのブロック図である。
- [図2]同時操作を可能とするデュアルオペレーション機能を備えている従来のフラッシュメモリの内部構成例を説明するためのブロック図である。

[図3]本発明のフラッシュメモリの内部構成例を説明するためのブロック図である。

[図4](a)及び(b)は図2および図3に示す構成のフラッシュメモリにおいて、2番バンクが書込動作中であるときに1番バンクに読出動作を実行させた場合の各スイッチの状態を説明するための図である。

[図5](a)及び(b)は第3のバンクが書込動作中であるときに第2のバンクに読出動作を実行させた場合のソース電位の様子を示す図である。

発明を実施するための最良の形態

[0026] 以下に、図面を参照して、本発明の半導体記憶装置について説明する。なお、以降の説明においては、半導体記憶装置をNOR型のフラッシュメモリであるものとして説明する。

[0027] 図3は、本発明のフラッシュメモリの内部構成例を説明するためのブロック図で、このフラッシュメモリでは、リード用グラント312aとベリファイ用のライト用グラント312bとを独立に設けている。これにより、リードとベリファイ動作が同時実行されてもメモセルのソース電位をリードまたはベリファイのどちらか一方のみが実行中のときの電位と等しくすることが可能となり、デュアルオペレーション動作か否かに関わらず高速かつマージンの増大による安定したリード動作が実現される。

[0028] 図3を参照すると、メモセルアレイ300は、0番バンク301、1番バンク302、2番バンク303、3番バンク304のメモセルの4つのバンクと、それぞれのバンクに設けられたアドレス読出(AR)用およびアドレス書込(AW)用のリードアドレススイッチおよびライトアドレススイッチ(AR0〜AR3およびAW0〜AW3)ならびにデータ読出(DR)用およびデータライト(DW)用のリードデータスイッチおよびライトデータスイッチ(DR0〜DR3およびDW0〜DW3)と、上記4つのバンク個々に対応付けて設けられリード用グラント端子312aに接続されるリードソーススイッチSR0〜SR3と、個々のバンクに対応付けて設けられライト用グラント端子312bに接続されるライトソーススイッチSW0〜SW3と、データ読出用センスアンプ307aと出力回路307bとを有しリードリファレンス305に接続されたデータ読出用センスアンプブロック307と、データライト用センスアンプ308aと書込回路308bと消去回路308cとを有しライトリファレンス306に接続されたデータライト用センスアンプブロック308と、アドレス端子311を備え4つの

バンクに接続可能なアドレスバッファ309と、データ読出用センスアンプブロック307およびデータライト用センスアンプブロック308ならびにアドレスバッファ309に接続されるコントローラ310と、データ読出用センスアンプブロック307に備えられた出力回路307bおよびデータライト用センスアンプブロック308に備えられた書込回路308bと接続されるI/O端子313と、を備えている。

[0029] 図3に示した構成例では、セルアレイが4つのバンク(301〜304)に分割されており、それぞれのバンク内には図示しないデコーダ回路が設けられている。この構成においてもライト状態でないときにリード動作を行うのは従来構造と変わるところはない。リードしたいアドレスが指定されて外部からアドレス端子311に入力され、この信号をアドレスバッファ309がリード用アドレスとして出力する。コントローラ310はリード用アドレスを選択されたバンクのみに伝達するようにスイッチ群を操作する。リード用アドレスにより選択されたバンクはそのアドレスに対応したメモリセルをデコーダにより選択する。コントローラ310は、リード用回路のセンスアンプ307aに選択されたバンクのみを接続するようにスイッチ群を操作する。これにより、メモリセルのデータがセンスアンプ307aにより判定され、その結果は出力回路307bを介してI/O端子313へと出力されてリード動作が実行される。この時、セル電流が流れるグランド配線320はリード用グランド端子312aに接続されており、ライト用グランド端子312bには電流が流れることはない。ライト用グランド端子312bには、セル電流が流れるグランド配線322が接続されている。グランド配線320と322はそれぞれ、各バンク301〜304に共通に設けられている。グランド配線320にはリード用グランド端子312aが接続され、グランド配線322にはライト用グランド端子312bが設けられている。グランド配線320と322は異なる長さであってもよいが、ほぼ同一の長さであることが好ましい。リード用グランド端子312aとライト用グランド端子312bとはそれぞれ独立した外部接続端子を構成してもよいし、両者を接続して単一の外部接続端子としてもよい。後者の場合には、リード用とライト用のスイッチ群を、共通化した外部接続端子に出来るだけ近接するように配置する。なお、リード及びライト動作をそれぞれ第1及び第2の動作モードと定義することができる。

[0030] 一方、デバイスがライト状態の場合は、コントローラ310がアドレスバッファ309にラ

イト用アドレスを出力させ、選択されたバンクのみにライト用アドレスが伝達されるようにスイッチ群を操作する。これと同時に、必要に応じてライト用回路のセンスアンプ308a、書込回路308b、および消去回路308cを接続するようにスイッチ群を操作する。選択されたバンクは、指定されたアドレスに応じたメモリセルのデータを書き換える。ここで、ベリファイ動作中にリード動作をした場合を考えると、先ず、ベリファイ動作中にリードしたいアドレスが外部よりアドレス端子311に入力される。コントローラ310は、このアドレスをベリファイ用アドレスとは独立したリード用アドレスとしてリードが選択されたバンクのみに伝達するようにアドレスバッファ309とスイッチ群を操作する。その後は、上述したリード動作のみの場合と同様に、リード選択されたバンクが対応するメモリセルを選択してセンスアンプ307aと接続し、データの判定を行った後、そのデータをI/O端子313へ出力する。この時、リード用グランド端子312aとライト用グランド端子312bにはそれぞれ、リード動作でのセル電流とベリファイ動作でのセル電流が流れるが、これら2つの電流が独立した経路を通過しているため電流値はそれぞれリード動作もしくはライト動作のみの場合の電流値と同じであり、従来構成のようにデュアルオペレーションにおける電流値の増加が生じることはない。

[0031] 図4(a)は、図3に示す構成の本発明のフラッシュメモリにおいて、2番バンク303がライト動作中であるときに1番バンク302に読出動作を実行させた場合の各スイッチの状態を説明するための図である。他のバンクの任意の組み合わせによるデュアルオペレーション時の動作も、オン／オフすべきスイッチを各バンクの対応するスイッチとすることにより以下に説明する例と同様に実行されるものであることは明らかである。なお、比較のために、図2に示した従来構成のフラッシュメモリにおいて、2番バンク203がライト動作中であるときに1番バンク202に読出動作を実行させた場合の各スイッチの状態を図4(b)に示した。また、図5(a)および図5(b)には、2番バンクが書込動作中であるときに1番バンクに読出動作を実行させた場合(すなわち、図4(a)および図4(b)のスイッチ状態に対応)のソース電位の様子を示した。

[0032] 図4(a)を参照すると、書込動作中の2番バンク303のライトアドレススイッチAW2およびライトデータスイッチDW2がオン状態とされ、アドレスバッファ309およびライトリファレンス306と電氣的に接続される。また、ライトソーススイッチSW2がオン状態とさ

れることで2番バンク303がライト用グラウンド312bに接続される。一方、読出動作を実行する1番バンク302のリードアドレススイッチAR1およびリードデータスイッチDR1がオン状態とされ、アドレスバッファ309およびリードリファレンス305と電氣的に接続される。また、リードソーススイッチSR1がオン状態とされることで1番バンク302がリード用グラウンド312aに接続される。その他のスイッチは何れもオフ状態である。

[0033] 1番バンク302の読出を実行するには、このバンクに属するメモリセルのアドレスが指定されて外部からアドレス端子311に入力され、この信号をアドレスバッファ309がリード用アドレスとして出力する。コントローラ310は第1バンク302のみに伝達するように図4(a)に示したようにスイッチ群を操作する。また、コントローラ310は、リード用回路のセンスアンプ307aに選択された第1バンク302のみを接続するようにスイッチ群を操作する。これにより、メモリセルのデータがセンスアンプ307aにより判定され、その結果は出力回路307bを介してI/O端子313へと出力されてリード動作が実行される。この時、セル電流が流れるグラウンド配線320はリード用グラウンド端子312aに接続されており、ライト用グラウンド端子312bには電流が流れることはない。

[0034] 一方、2番バンク303のライト動作中(プログラムまたは消去中)には、コントローラ310がアドレスバッファ309にライト用アドレスを出力させ、選択された2番バンク303のみにライト用アドレスが伝達されるようにスイッチ群を操作する。これと同時に、必要に応じてライト用回路のセンスアンプ308a、書込回路308b、および消去回路308cを接続するようにスイッチ群を操作する。選択された2番バンク303は、指定されたアドレスに応じたメモリセルのデータを書き換える。ここで、ベリファイ動作中にリード動作をした場合を考えると、まず、ベリファイ動作中にリードしたいアドレスが外部よりアドレス端子311に入力される。コントローラ310は、このアドレスをベリファイ用アドレスとは独立したリード用アドレスとしてリード選択された第1バンク302のみに伝達するようにアドレスバッファ309とスイッチ群を操作する。その後は、上述したリード動作のみの場合と同様に、リード選択された第1バンク302が対応するメモリセルを選択してセンスアンプ307aと接続し、データの判定を行った後、そのデータをI/O端子313へ出力する。この時、リード用グラウンド端子312aとライト用グラウンド端子312bにはそれぞれ、リード動作でのセル電流とベリファイ動作でのセル電流が流れるが、これら2つ

の電流が独立した経路を通過しているため電流値はそれぞれリード動作もしくはライト動作のみの場合の電流値と同じであり、デュアルオペレーションにおける電流値の増加が生じることはない。

[0035] このように、本発明のフラッシュメモリでは、リード用グラウンド312aとベリファイ用のライト用グラウンド312bとを独立に設けているため、図5(a)に示したように、リードとベリファイ動作が同時実行されてもメモリセルのソース電位をリードまたはベリファイのどちらか一方のみが実行中のときの電位と等しくすることが可能となり、デュアルオペレーション動作か否かに関わらず高速かつマージンの増大による安定したリード動作が実現される。

[0036] これに対して、図4(b)に図示した従来構成では、グラウンド配線がリードとライトで共通に使用されるため、リードまたはベリファイのどちらか一方のみが実行中の時よりもグラウンド配線に流れる電流が増えることになり、寄生抵抗による電圧降下も増大する。その結果、図5(b)に示すように、リードやライトで選択しているそれぞれのメモリセルのソース電位が、リードまたはベリファイのどちらか一方のみが実行中の時よりも上昇してセル電流の減少を招く。

[0037] 以上説明したように、本発明の半導体記憶装置では、デュアルオペレーション動作時であるか否かに関わらず、リード動作の高速読出しや十分な動作マージンの確保が可能となる。

産業上の利用可能性

[0038] 上述したように、本発明は、デュアルオペレーション機能を有する半導体装置の高速動作および十分な動作マージンの確保を可能とする技術を提供する。本発明はフラッシュメモリのような半導体記憶装置のみならず、内部に上記構成の記憶部を有するシステムLSIなどの半導体装置を含むものである。

請求の範囲

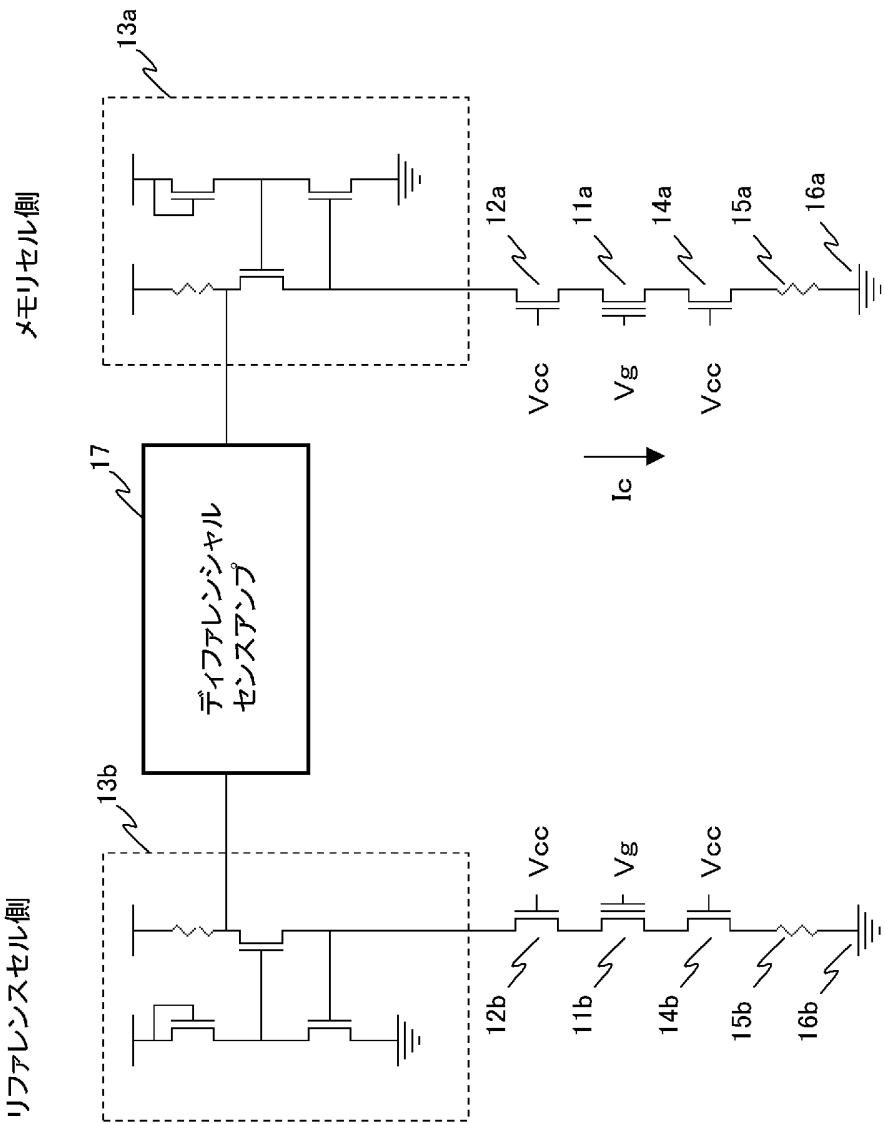
- [1] 第1及び第2の動作モードで同時に動作可能な半導体装置であって、
- 第1の動作モードにおいて半導体装置の内部回路を接地する第1のグランド配線と、
- 第2の動作モードにおいて前記内部回路を接地する第2のグランド配線とを独立に設けた半導体装置。
- [2] 前記半導体装置は、前記第1のグランド配線に接続された第1のグランド端子と、前記第2のグランド配線に接続された第2のグランド端子とを有する請求項1記載の半導体装置。
- [3] 前記第1のグランド配線と前記第2のグランド配線とは略等しい長さを有する請求項1又は2記載の半導体装置。
- [4] 前記内部回路と前記第1及び第2のグランド配線とを選択的に接続するスイッチを有する請求項1から3のいずれか一項記載の半導体装置。
- [5] 前記内部回路は複数のバンクを有し、前記第1及び第2のグランド配線は前記複数のバンクに共通に設けられている請求項1から4のいずれか一項記載の半導体装置。
- [6] 前記内部回路は複数のバンクを有し、前記半導体装置は、前記複数のバンクを選択的に前記第1及び第2のグランド配線に接続するスイッチを有する請求項1から4のいずれか一項記載の半導体装置。
- [7] 前記複数のバンクはそれぞれ、複数の不揮発性メモリセルを含む請求項5又は6記載の半導体装置。
- [8] 前記第1及び第2のモードはそれぞれ、データの読み出しモード及びライトモードである請求項1から7のいずれか一項記載の半導体装置。
- [9] 前記内部回路は複数のメモリセルを有する複数のバンクを有し、該複数のバンクの1つである第1のバンクは前記第1のモードで動作し、第2のバンクは前記第2のモードで動作し、前記第1のバンクは前記第1のグランド配線に接続され、前記第2のバンクは前記第2のグランド配線に接続される請求項1記載の半導体装置。

- [10] 前記第1及び第2の動作モードはそれぞれデータの読み出し及び書き込みモードである請求項9記載の半導体装置。
- [11] 前記半導体装置は不揮発性半導体記憶装置である請求項1から10のいずれか一項記載の半導体装置。
- [12] 第1及び第2の動作モードで同時に動作可能な半導体装置の制御方法であって、

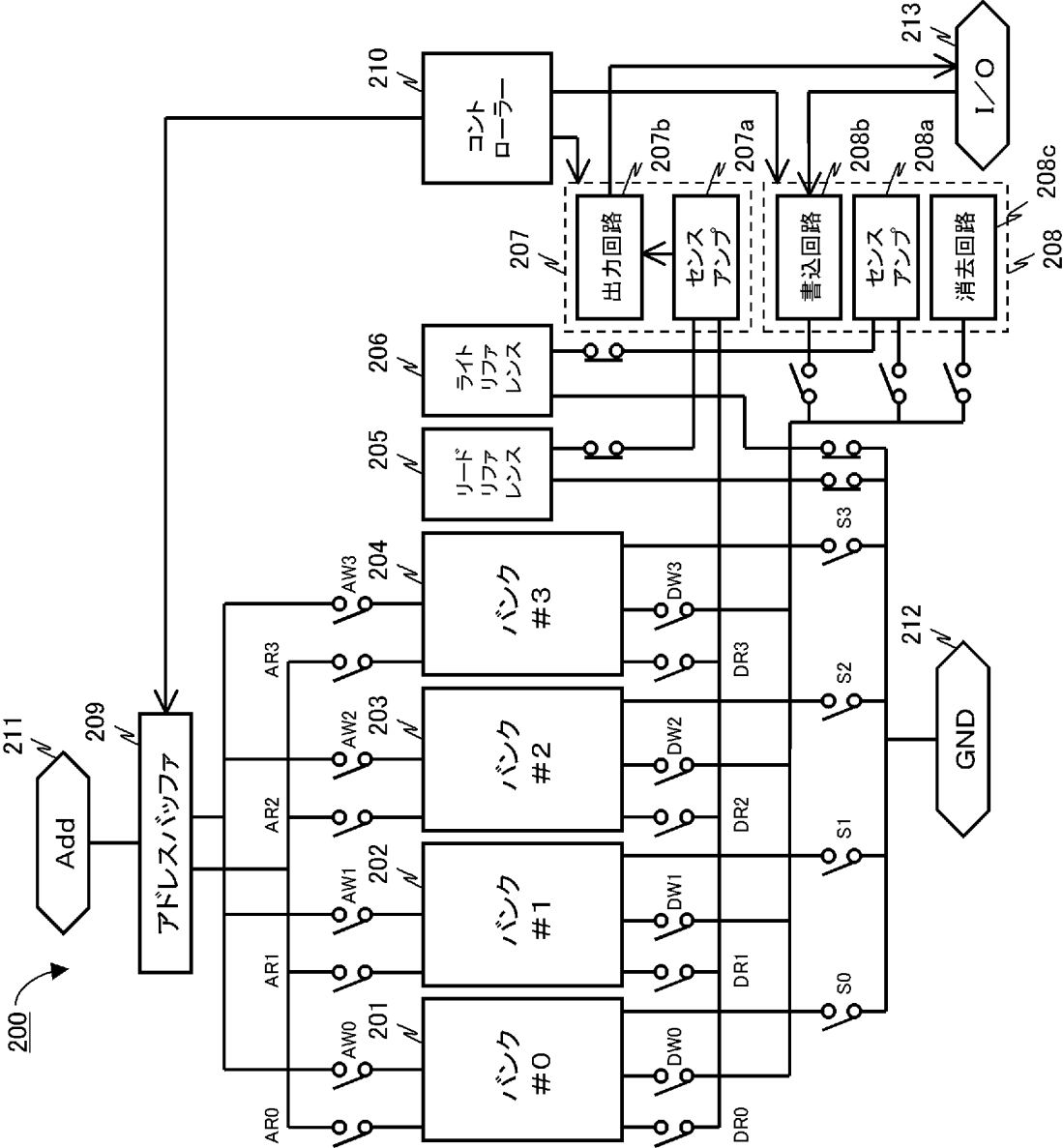
第1の動作モードにおいて半導体装置の内部回路を第1のグランド配線を介して接地するステップと、

第2の動作モードにおいて前記内部回路を、前記第1のグランド配線とは独立に設けられた第2のグランド配線を介して接地するステップと
を有する方法。

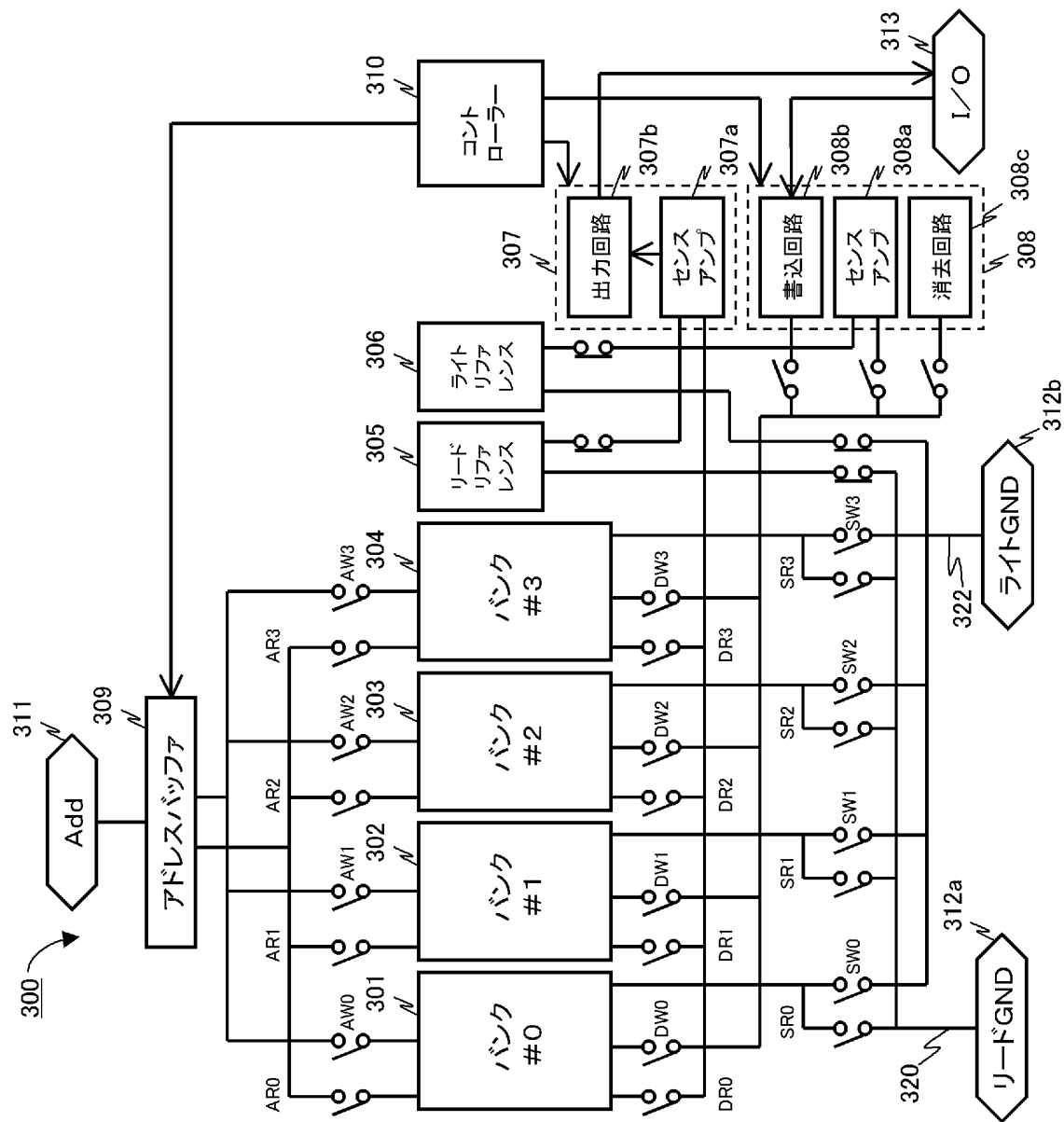
[図1]



[図2]



[図3]



[図4]

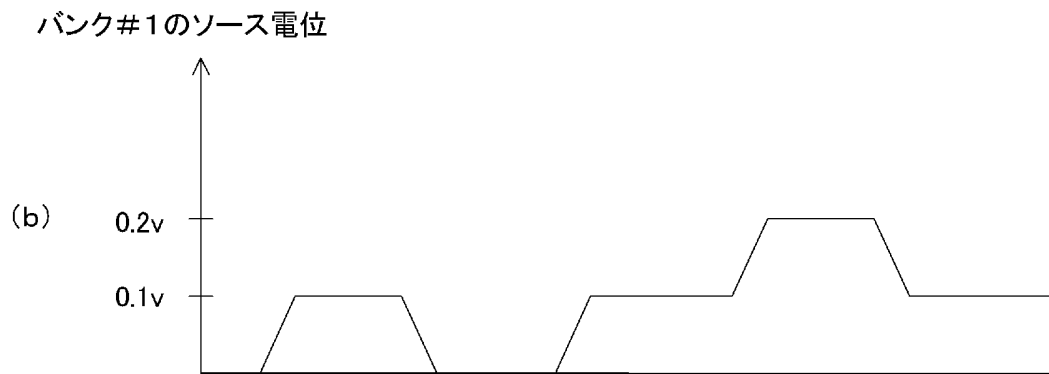
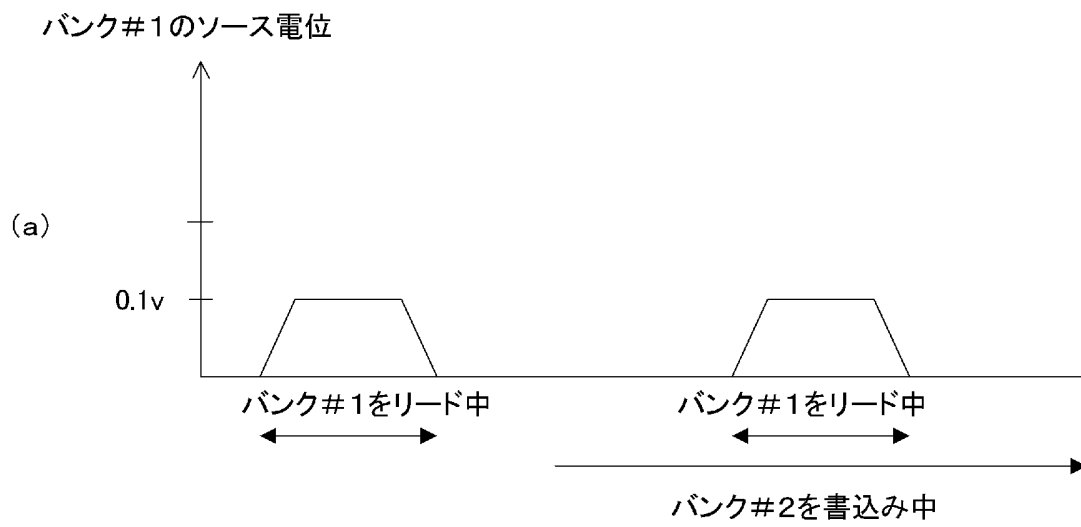
		状態
リードアドレススイッチ	AR0	OFF
	AR1	ON
	AR2	OFF
	AR3	OFF
ライトアドレススイッチ	AW0	OFF
	AW1	OFF
	AW2	ON
	AW3	OFF
リードデータスイッチ	DR0	OFF
	DR1	ON
	DR2	OFF
	DR3	OFF
ライトデータスイッチ	DW0	OFF
	DW1	OFF
	DW2	ON
	DW3	OFF
リードソーススイッチ	SR0	OFF
	SR1	ON
	SR2	OFF
	SR3	OFF
ライトソーススイッチ	SW0	OFF
	SW1	OFF
	SW2	ON
	SW3	OFF

(a)

		状態
リードアドレススイッチ	AR0	OFF
	AR1	ON
	AR2	OFF
	AR3	OFF
ライトアドレススイッチ	AW0	OFF
	AW1	OFF
	AW2	ON
	AW3	OFF
リードデータスイッチ	DR0	OFF
	DR1	ON
	DR2	OFF
	DR3	OFF
ライトデータスイッチ	DW0	OFF
	DW1	OFF
	DW2	ON
	DW3	OFF
ソーススイッチ	S0	OFF
	S1	ON
	S2	ON
	S3	OFF

(b)

[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014326

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C16/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C16/00-16/34, H01L27/108-27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages.	Relevant to claim No.
A	JP 2000-207891 A (Toshiba Corp.), 28 July, 2000 (28.07.00), Full text; all drawings & US 6465818 B1	1-12
A	JP 2003-123493 A (Fujitsu Ltd.), 25 April, 2003 (25.04.03), Full text; Fig. 2 & US 2003/0072176 A1	1-12
A	JP 2004-39184 A (Fujitsu Ltd.), 05 February, 2004 (05.02.04), Full text; Figs. 1, 9 to 12 & US 2004/0008543 A1	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 November, 2004 (30.11.04)

Date of mailing of the international search report
14 December, 2004 (14.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014326

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-148827 A (NEC IC Miconsystem Kabushiki Kaisha), 25 June, 1991 (25.06.91), Full text; all drawings & US 5121036 A	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ G11C 16/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ G11C 16/00-16/34, H01L 27/108-27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名、及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-207891 A (株式会社東芝) 2000. 07. 28, 全文, 全図 & US 6465818 B1	1-12
A	J P 2003-123493 A (富士通株式会社) 2003. 04. 25, 全文, 第2図 & US 2003/0072176 A1	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

30. 11. 2004

国際調査報告の発送日

14.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

3561

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-39184 A (富士通株式会社) 2004. 02. 05, 全文, 第1図, 第9-12図 & US 2004/008543 A1	1-12
A	JP 3-148827 A (日本電気アイシーマイコンシステム株式会社) 1991. 06. 25, 全文, 全図 & US 5121036 A	1-12