



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I868729 B

(45)公告日：中華民國 114 (2025) 年 01 月 01 日

(21)申請案號：112121336

(22)申請日：中華民國 112 (2023) 年 06 月 08 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

H01L29/41 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2022/06/21 美國

17/845,515

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72)發明人：彭良軒 PENG, LIANG-SHIUAN (TW)；呂志弘 LU, CHIH-HUNG (TW)；王智麟
WANG, CHIH-LIN (TW)；李松柏 LEE, SONG-BOR (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW 201349397A

US 6162583A

US 2010/0301491A1

US 2015/0137350A1

US 2019/0189563A1

US 2022/0165616A1

審查人員：賴奕儒

申請專利範圍項數：10 項 圖式數：7 共 53 頁

(54)名稱

半導體元件結構及其製造方法

(57)摘要

提供一種半導體元件結構及其製造方法。結構包含內連接結構、第一導電特徵、介電層及第二導電特徵，其中內連接結構是設置於基材上，第一導電特徵是設置於內連接結構中，介電層是設置於內連接結構上，且第二導電特徵具有頂部分及底部分。頂部分是設置於介電層上，且底部分是貫穿介電層設置。結構更包含黏合層，其中黏合層是設置於介電層及第二導電特徵上。黏合層包含第一部分及第二部分，其中第一部分是設置於第二導電特徵上，且第二部分是設置於介電層上，第一部分具有厚度，且第二部分具有實質大於厚度的寬度。

A semiconductor device structure, along with methods of forming such, is described. The structure includes an interconnect structure disposed over a substrate, a first conductive feature disposed in the interconnect structure, a dielectric layer disposed on the interconnect structure, and a second conductive feature having a top portion and a bottom portion. The top portion is disposed over the dielectric layer, and the bottom portion is disposed through the dielectric layer. The structure further includes an adhesion layer disposed over the dielectric layer and the second conductive feature. The adhesion layer includes a first portion disposed on a top of the second conductive feature and a second portion disposed over the dielectric layer, the first portion has a thickness, and the second portion has a width substantially greater than the thickness.

指定代表圖：

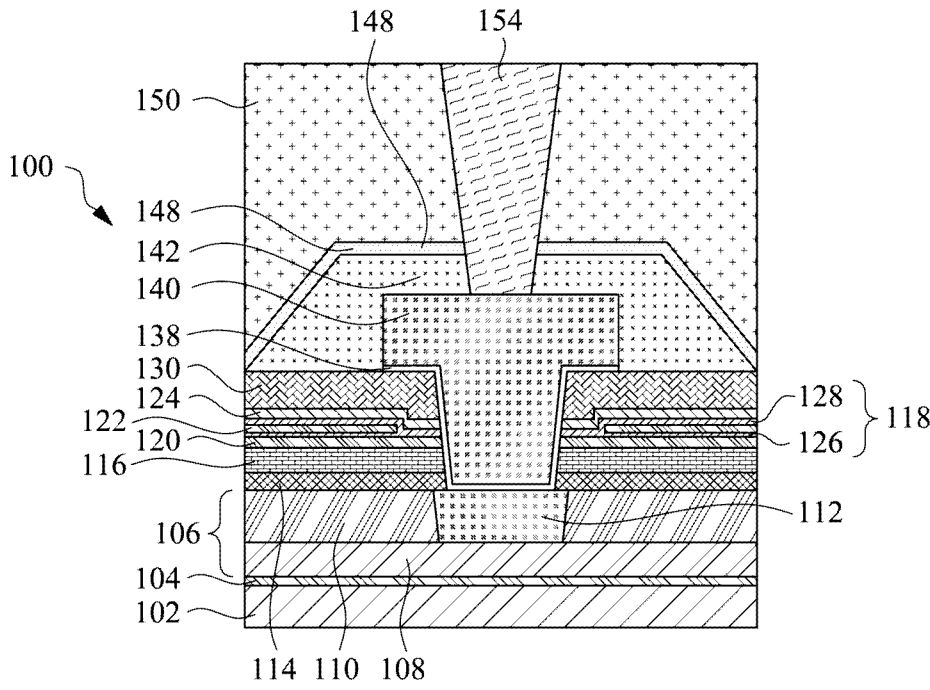


圖 1J

符號簡單說明：

- 100: 半導體元件結構
- 102: 基材
- 104: 元件層
- 106: 內連接結構
- 108: 金屬介電層
- 110, 116: 介電層
- 112, 114: 導電特徵
- 114, 148: 蝕刻停止層
- 118: 金屬絕緣層金屬結構
- 120: 第一電極層
- 122: 第二電極層
- 124: 第三電極層
- 126, 128: 介電層
- 130: 鈍化層
- 138: 阻障層
- 140: 重分佈層
- 142: 黏合層
- 150: 介電材料



公告本

I868729

【發明摘要】

【中文發明名稱】半導體元件結構及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE STRUCTURE AND METHODS OF FORMING THE SAME

【中文】

提供一種半導體元件結構及其製造方法。結構包含內連接結構、第一導電特徵、介電層及第二導電特徵，其中內連接結構是設置於基材上，第一導電特徵是設置於內連接結構中，介電層是設置於內連接結構上，且第二導電特徵具有頂部分及底部分。頂部分是設置於介電層上，且底部分是貫穿介電層設置。結構更包含黏合層，其中黏合層是設置於介電層及第二導電特徵上。黏合層包含第一部分及第二部分，其中第一部分是設置於第二導電特徵上，且第二部分是設置於介電層上，第一部分具有厚度，且第二部分具有實質大於厚度的寬度。

【英文】

A semiconductor device structure, along with methods of forming such, is described. The structure includes an interconnect structure disposed over a substrate, a first conductive feature disposed in the interconnect structure, a dielectric layer disposed on the interconnect structure, and a second conductive feature having a top portion and a bottom portion. The top portion is disposed over the dielectric layer, and the bottom

portion is disposed through the dielectric layer. The structure further includes an adhesion layer disposed over the dielectric layer and the second conductive feature. The adhesion layer includes a first portion disposed on a top of the second conductive feature and a second portion disposed over the dielectric layer, the first portion has a thickness, and the second portion has a width substantially greater than the thickness.

【指定代表圖】圖 1J。

【代表圖之符號簡單說明】

1 0 0 : 半 導 體 元 件 結 構

1 0 2 : 基 材

1 0 4 : 元 件 層

1 0 6 : 內 連 接 結 構

1 0 8 : 金 屬 介 電 層

1 1 0 , 1 1 6 : 介 電 層

1 1 2 , 1 5 4 : 導 電 特 徵

1 1 4 , 1 4 8 : 蝕 刻 停 止 層

1 1 8 : 金 屬 絕 緣 層 金 屬 結 構

1 2 0 : 第 一 電 極 層

1 2 2 : 第 二 電 極 層

1 2 4 : 第 三 電 極 層

1 2 6 , 1 2 8 : 介 電 層

1 3 0 : 鈍 化 層

1 3 8 : 阻 障 層

140:重分佈層

142:黏合層

150:介電材料

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體元件結構及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE STRUCTURE AND METHODS OF FORMING THE SAME

【技術領域】

【0001】 本揭露是有關於一種半導體元件結構，特別是關於一種可降低結構應力之半導體元件結構及其製造方法。

【先前技術】

【0002】 半導體積體電路 (integrated circuit, IC) 工業已經歷指數式成長。積體電路的材料及設計之技術性進步已產生數代積體電路，其中每一代皆具有比前一代更小且更複雜之電路。在積體電路進化過程中，功能密度 (例如，每晶片區域中內連接元件之數目) 已普遍增大，而幾何形狀尺寸 (例如，使用製造製程所能產生之最小組件 (或線)) 已減小。此縮小尺寸過程通常藉由增加生產效率且降低相關之成本來提供益處。然而，此尺寸縮小亦導致在較大幾何尺寸之先前世代中未曾出現的挑戰。

【發明內容】

【0003】 本揭露之一態樣是有關於一種半導體元件結構，包含：內連接結構、第一導電特徵、介電層、第二導電特徵

及黏合層，其中內連接結構是設置於基材上，第一導電特徵是設置於內連接結構中，介電層是設置於內連接結構上，第二導電特徵具有頂部分及底部分，頂部分是設置於介電層上面，且底部分是貫穿介電層設置，且黏合層是設置於介電層及第二導電特徵上，黏合層包含第一部分及第二部分，第一部分是設置在第二導電特徵之頂部分上，第二部分是設置在介電層上，第一部分具有厚度，第二部分具有寬度，且寬度實質是大於該厚度。

【0004】 本揭露之另一態樣是有關於一種半導體元件結構，包含內連接結構、第一導電特徵、介電層及第二導電特徵。內連接結構是設置於基材上。第一導電特徵是設置於內連接結構中。介電層是設置於內連接結構上。第二導電特徵具有線部分及通孔部分，其中線部分是設置於介電層上，通孔部分是貫穿介電層設置，線部分包含頂部分及基腳部分，頂部分具有第一寬度，基腳部分具有第二寬度，且第二寬度實質是大於第一寬度。

【0005】 本揭露之再一態樣是有關於一種半導體元件結構的製造方法，包含形成阻障層於基材上。接著，形成導電特徵於阻障層上。然後，形成黏合層於導電特徵上，其中黏合層係藉由進行高密度電漿製程來形成。接下來，移除部分的黏合層，直到黏合層的第一部分的厚度實質是小於黏合層的第二部分的寬度，其中黏合層的第一部分是設置於導電特徵上，且黏合層的第二部分是相鄰於阻障層。接著，形成蝕刻停止層於黏合層上。然後，形成介電材料於

蝕刻停止層上。

【圖式簡單說明】

【0006】 根據以下詳細說明並配合附圖閱讀，使本揭露的狀態獲致較佳的理解。需注意的是，如同業界的標準作法，許多特徵僅作示意之用並非按照比例繪示。事實上，為了清楚討論，許多特徵的尺寸可以經過任意縮放。

圖 1 A 至圖 1 J 是根據一些實施例的製造半導體元件結構之不同階段的剖面側視圖。

圖 2 是根據一些實施例的製造半導體元件結構之一個階段的剖面側視圖。

圖 3 A 及圖 3 B 是根據一些實施例的半導體封裝的剖面側視圖。

圖 4 是根據一些實施例的半導體封裝的示意圖。

圖 5 A 至圖 5 C 是根據一些實施例的圖 4 之製造半導體封裝的內連接結構之不同階段的剖面側視圖。

圖 6 A 至圖 6 E 是根據一些實施例的製造半導體元件結構之不同階段的剖面側視圖。

圖 7 A 至圖 7 B 是根據一些實施例的製造半導體元件結構之不同階段之一的剖面側視圖。

【實施方式】

【0007】 以下揭露內容提供了各種實施例或例示，以實現本揭露內容的不同特徵。下文所述之元件與配置的具體例子

係用以簡化本揭露內容。當可想見，此等敘述僅為例示，其本意並非用於限制本揭露內容。舉例而言，在下文的描述中，將第一特徵形成於第二特徵上或上方，可能包含某些實施例其中所述的第一與第二特徵彼此直接接觸；亦可能包含某些實施例其中於上述第一與第二特徵之間還形成其他特徵，而使得第一與第二特徵可能沒有直接接觸。此外，本揭露內容可能會在多個實施例中重複使用元件符號及/或標號。此種重複使用乃是基於簡化與清楚之目的，且其本身不代表所討論的不同實施例及/或組態之間的關係。

【0008】 再者，在此處可使用空間對應詞彙，例如「之下」、「下」、「低於」、「之上」、「上面」、「上」、「上方」、「高於」等類似詞彙，以方便說明圖中所繪示的一元件或特徵相應於另一或多個元件或特徵之間的關係。此等空間對應詞彙其本意除了圖中所繪示的位向之外，還涵蓋了裝置在使用或操作中所處的多種不同位向。可將所述設備放置於其他位向(如：旋轉 90 度或處於其他位向)，並可相應解釋本揭露內容使用的空間對應描述。

【0009】 描述本揭露的一些實施例。在所述的此些實施例的階段之製程前、中及後可提供額外的操作。對於不同實施例，所述的一些階段可被取代或刪除。在不同的實施例中，本文所述之一些特徵可被取代或刪除，且額外的特徵可被添加。雖然討論的一些實施例係以特定的順序進行操作，這些操作可以另一合乎邏輯的順序進行。

【0010】 圖 1A 至圖 1J 是根據一些實施例的製造半導體元件結構 100 之不同階段的剖面側視圖。如圖 1A 所示，半導體元件結構 100 包含基材 102 及元件層 104，其中基材 102 及元件層 104 是形成於基材 102 上。基材 102 可為半導體基材。在一些實施例中，基材 102 包含單一晶體型半導體層於基材 102 的至少一表面上。基材 102 可包含之晶體型半導體材料，可例如但不限於矽 (Si)、鍺 (Ge)、矽鍺 (SiGe)、砷化鎵 (GaAs)、銻化銾 (InSb)、磷化鎵 (GaP)、銻化鎵 (GaSb)、砷化銾鋁 (InAlAs)、砷化鎵銾 (InGaAs)、銻磷化鎵 (GaSbP)、銻砷化鎵 (GaAsSb) 及磷化銾 (InP)。舉例而言，基材 102 是由 Si 製得。在一些實施例中，基材 102 是絕緣層上矽 (SOI) 基材，其包含絕緣層 (未繪示)，其中絕緣層是設置於兩個矽層間。在一態樣中，絕緣層是含氧材料，如：氧化物。

【0011】 基材 102 可包含不同區域，其中不同區域是以多個雜質 (如：多個 p 型或 n 型雜質) 適當摻雜。對於 n 型鰭式場效電晶體 (fin field effect transistor, FinFET)，摻質可例如為磷，對於 p 型鰭式場效電晶體，摻質可例如為硼。

【0012】 元件層 104 包含一個或多個元件，如：電晶體、二極體、影像感測器、電阻器、電容器、電感器、儲存單元或其組合。在一些實施例中，元件是電晶體，如：金屬氧化物半導體場效電晶體 (metal oxide semiconductor field effect transistors，

MOSFETs)、互補式金屬氧化物半導體 (complementary metal oxide semiconductor, CMOS) 電晶體、雙極性接面電晶體 (bipolar junction transistors, BJTs)、高電壓電晶體、高頻率電晶體、p 通道及 / 或 n 通道場效電晶體 (p-channel field effect transistors/n-channel field effect transistors, PFETs/NFETs) 或其他適合的電晶體。電晶體可為平面場效電晶體 (planar field effect transistors, FETs)、鱗式場效電晶體、奈米結構電晶體或其他適合的電晶體。奈米結構電晶體可包含奈米片式電晶體、奈米線式電晶體、閘極全環 (gate-all-around, GAA) 電晶體、多橋通道 (multi-bridge channel, MBC) 電晶體或其他任何具有閘極電極環繞通道的電晶體。元件層 104 中的元件可由前段 (front end of line, FEOL) 製程製得。

【0013】 如圖 1A 所示，半導體元件結構 100 可選擇性包含內連接結構 106，其中內連接結構 106 是設置於元件層 104 及基材 102 之上。內連接結構 106 包含金屬介電 (intermetal dielectric, IMD) 層 108 及多個導電特徵 (未繪示)，其中多個導電特徵是設置在金屬介電層 108 中。導電特徵可為導電線及導電通孔。內連接結構 106 包含多個導電特徵的多個層，且導電特徵的每一層是排列以為位於內連接結構 106 下的元件層 104 中的不同元件提供電路。導電特徵可由一個或多個導電材料製得，如：金屬、合金、金屬氮化物或金屬矽化物。舉例而言，導電特徵是

由銅、鋁、鋁銅合金、鈦、氮化鈦、鉭、氮化鉭、氮化鈦矽、銩、金、銀、鈷、鎳、鎢、氮化鎢、氮化矽鎢、鉑、鉻、鉬、鉛、其他合適的導電材料或其組合所製得。

【0014】 金屬介電層 108 包含一個或多個介電材料，以為不同的導電特徵提供絕緣特徵。金屬介電層 108 可包含多個嵌設多層導電特徵之多個介電層。金屬介電層 108 是由介電材料所製得，如： SiO_x 、 $\text{SiO}_x\text{C}_y\text{H}_z$ 或 SiO_xC_y ，其中 x 、 y 及 z 是整數或非整數。在一些實施例中，金屬介電層 108 具有 k 值的範圍是約 1 至約 5 的介電材料。

【0015】 如圖 1A 所示，內連接結構 106 可選擇性包含介電層 110 及一個或多個導電特徵 112，其中導電特徵 112 是形成於介電層 110 中。介電層 110 可為內連接結構 106 的上層。介電層 110 可包含與金屬介電層 108 相同之材料，且導電特徵 112 可包含與形成於金屬介電層 108 中之導電特徵相同的材料。阻障層(未繪示)可為設置於導電特徵 112 及介電層 110 間。內連接結構 106 可藉由後段(BEOL)製程製得。

【0016】 蝕刻停止層 114 可為設置於內連接結構 106 上，如圖 1A 所示。蝕刻停止層 114 可包含 SiC 、 SiN 、 SiCN 、 SiOC 、 SiOCN 、金屬氧化物、金屬氮化物或其他適合的材料。介電層 116 是設置在蝕刻停止層 114 上，金屬絕緣層金屬(metal-insulator-metal, MIM)結構 118 是設置在介電層 116 上，且鈍化層 130 是設置在金屬絕緣層金屬結構 118 上。介電層 116 可包含與金屬介電層 108 相

同的材料。在一些實施例中，介電層 116 的厚度的範圍是約 300 nm 至約 500 nm。

【0017】 金屬絕緣層金屬結構 118 包含第一電極層 120、第二電極層 122 及第三電極層 124，其中第二電極層 122 是設置於第一電極層 120 上，且第三電極層 124 是設置於第二電極層 122 之上。第一電極層 120、第二電極層 122 及第三電極層 124 可包含導電材料，如：金屬或金屬氮化物。在一些實施例中，第一電極層 120、第二電極層 122 及第三電極層 124 可包含 Al、Cu、W、Ti、Ta、TiN、Ta₂N 或其他適合的導電材料。

【0018】 金屬絕緣層金屬結構 118 可選擇性包含介電層 126 及介電層 128，其中介電層 126 是設置於第一電極層 120 及第二電極層 122 間，且介電層 128 是設置第二電極層 122 及第三電極層 124 間。介電層 126 及介電層 128 可包含高介電材料，其中高介電材料之 k 值是大於約 7。在一些實施例中，介電層 126 及介電層 128 包含 Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 之氧化物或其他適合的材料。在一些實施例中，如圖 1A 所示，第二電極層 122 是非連續性的，且部分的金屬絕緣層金屬結構 118 可包含介電層 126 及介電層 128，其中介電層 126 及介電層 128 是設置於第一電極層 120 及第三電極層 124 間。

【0019】 鈍化層 130 是設置在金屬絕緣層金屬結構 118 之

上。鈍化層 130 可包含氧化物或 SiN。在一些實施例中，鈍化層 130 包含與介電層 116 相同的材料。在一些實施例中，鈍化層 130 的厚度可為大於或等於介電層 116 之厚度。舉例而言，鈍化層 130 的厚度範圍可為約 350 nm 至約 550 nm。

【0020】 遮罩層 134 是設置在鈍化層 130 上。遮罩層 134 可包含一個或多個層。在一些實施例中，遮罩層 134 包含氮化物，如：TiN。遮罩層 134 可藉由圖案化阻劑層(未繪示)圖案化，其中圖案化阻劑層是形成於遮罩層 134 上。圖案化阻劑層的圖案可轉移至遮罩層 134 上，並接著轉移至設置於遮罩層 134 下的多個層。

【0021】 如圖 1B 所示，開口 136 是形成於鈍化層 130、金屬絕緣層金屬結構 118、介電層 116 及蝕刻停止層 114 中，以暴露導電特徵 112。開口 136 可由一個或多個蝕刻製程形成。舉例而言，可進行第一蝕刻製程，以移除部分的遮罩層 134(圖 1A)，從而暴露部分的鈍化層 130，可進行第二蝕刻製程，以移除暴露的部分的鈍化層 130，從而暴露部分的金屬絕緣層金屬結構 118，可進行第三、第四及第五蝕刻製程，以移除金屬絕緣層金屬結構 118 的暴露部分(第一電極層 120 及第三電極層 124 與介電層 126 及介電層 128)，從而暴露部分的介電層 116，可進行第六蝕刻製程，以移除介電層 116 的暴露部分，從而暴露部分的蝕刻停止層 114，且可進行第七蝕刻製程，以移除蝕刻停止層 114 的暴露部分，從而暴露導電特徵 112。可進行

較多或較少個蝕刻製程，以形成開口 136。多個蝕刻製程可為乾式蝕刻製程、濕式蝕刻製程或其組合。在一些實施例中，遮罩層 134(圖 1A)、鈍化層 130、金屬絕緣層金屬結構 118、介電層 116 及部分的蝕刻停止層 114 是藉由一個或多個乾式蝕刻製程移除。多個蝕刻製程的結果是，遮罩層 134 可被移除。在一些實施例中，開口 136 是通孔開口。

【0022】 如圖 1C 所示，光阻層 133 是形成於鈍化層 130 上。光阻層 133 可先形成於開口 136 中，接著進行圖案化製程來移除開口 136 中部分的光阻層 133。部分的光阻層 133 亦是藉由圖案化製程移除，其中此部分的光阻層 133 是形成於開口 136 中。因此，如圖 1C 所示，開口 137 是形成於開口 136 之上。在一些實施例中，開口 136 是通孔開口，且開口 137 是溝槽，且開口 137 之尺寸是遠大於開口 136。

【0023】 如圖 1D 所示，阻障層 138 是形成於鈍化層 130 上與開口 136 中，且重分佈層(*redistribution layer*, *RDL*) 140 是形成於開口 136 及開口 137 中的阻障層 138 上。阻障層 138 及重分佈層 140 亦可形成於光阻層 133 上。形成於光阻層 133 上的阻障層 138 及部分的重分佈層 140 可藉由平坦化製程移除，如：化學機械研磨(*chemical mechanical polishing*, *CMP*)製程。移除光阻層 133 後，可藉由蝕刻製程來移除部分的阻障層 138，其中此部分的阻障層 138 是形成於光阻層 133 的側壁上。殘留的阻

障層 138 是被重分佈層 140 所保護，而不會受到後續的蝕刻製程影響。在一些實施例中，阻障層 138 是在形成光阻層 133 前形成，其中藉由先形成毯狀層，接續圖案化毯狀層，以形成如圖 1D 所示之阻障層 138。

【0024】 阻障層 138 可避免金屬從重分佈層 140 擴散至鈍化層 130 及介電層 116、介電層 126 及介電層 128。如圖 1C 所示，阻障層 138 接觸鈍化層 130、金屬絕緣層金屬結構 118、介電層 116、蝕刻停止層 114 及導電特徵 112。阻障層 138 可包含氮化物，如：金屬氮化物，舉例而言，耐火金屬氮化物。在一些實施例中，阻障層 138 包含導電材料。在一些實施例中，阻障層 138 包含氮化鈮 (Ta₂N₅)。阻障層 138 可由任何適合的製程形成，如：原子沉積技術 (ALD)、化學氣相沉積 (CVD) 或物理氣相沉積 (PVD)。在一些實施例中，阻障層 138 是藉由共形製程所形成的共形層。詞彙於此「共形」可用以方便描述不同區域之上的層具有實質相同的厚度。在一些實施例中，在形成重分佈層 140 前，晶種層 (未繪示) 可形成阻障層 138 上，且重分佈層 140 是形成於晶種層上。晶種層可包含與重分佈層 140 相同之材料。

【0025】 重分佈層 140 可包含導電材料，如：金屬。在一些實施例中，重分佈層 140 包含 Cu。重分佈層 140 可延伸貫穿鈍化層 130、金屬絕緣層金屬結構 118 及介電層 116。重分佈層 140 可電性連接導電特徵 112 及金屬絕緣層金屬結構 118 的第一電極層 120 與第三電極層 124。重

分佈層 140 可由任何適合的製程形成，如：物理氣相沉積 (PVD) 或電化學電鍍法 (ECP)。重分佈層 140 包含底部分及頂部分，其中底部分是設置於開口 136 (圖 1C) 中，且頂部分是設置於開口 137 中 (圖 1C)。在一些實施例中，底部分可為導電通孔，且頂部分可為導電線。

【0026】 如圖 1E 所示，黏合層 142 是形成於鈍化層 130、阻障層 138 及重分佈層 140 上。黏合層 142 是藉由高密度電漿 (high-density plasma, HDP) 製程形成，且所產生的黏合層 142 是非共形的。舉例而言，黏合層 142 於沉積時，可具有如圖 1E 所示之三角形。部分的黏合層 142 包含設置於鈍化層 130 上鄰近阻障層 138，且此部分具有寬度 $W1$ 。黏合層 142 具寬度 $W1$ 之部分可作為遮罩，以保護重分佈層 140 之底部分及金屬絕緣層金屬結構 118，並降低後續形成之介電材料 150 (圖 1I) 的應力。黏合層 142 可包括含氧介電材料，如：SiON。氧分子幫助黏合層 142 貼附於重分佈層 140。

【0027】 可移除部分的黏合層 142。圖 1F-1、圖 1F-2、圖 1F-3 表示黏合層 142 經不同移除製程後所產生的黏合層 142。如圖 1F-1 所示，回濺鍍製程是進行於黏合層 142 上。實質移除部分的黏合層 142，其中此部分的黏合層 142 是設置於重分佈層 140 上，但黏合層 142 具有寬度 $W1$ 之部分實質不被回濺鍍製程所影響。回濺鍍製程可為使用如氫或氦之氣體的物理蝕刻製程。

【0028】 如圖 1F-2 所示，平坦化製程是進行於黏合層 142

上。平坦化製程可為化學機械平坦化(CMP)製程。因此，黏合層 142 之頂面 144 可實質為平坦。平坦化製程移除部分的黏合層 142，其中此部分的黏合層 142 是設置於重分佈層 140 上，但部分的黏合層 142 實質不受影響，其中此部分的黏合層 142 是設置於鈍化層 130 上。因此，黏合層 142 具有寬度 $W1$ 之部分實質不受平坦化製程的影響。在部分的黏合層 142 達厚度 $T1$ 時，可停止平坦化製程，其中此部分的黏合層 142 是設置於重分佈層 140 上。在一些實施例中，黏合層 142 包含第一部分及第二部分，其中第一部分是設置於重分佈層 140 上面，且第二部分是設置於介電層 116 之上。第一部分具有厚度 $T1$ ，且第二部分具有寬度 $W1$ 。厚度 $T1$ 可實質為小於寬度 $W1$ 。在一些實施例中，寬度 $W1$ 對厚度 $T1$ 之比例範圍可為約 1.5 比 1 至約 3 比 1。相較於共形的黏合層，具有大於厚度 $T1$ 之寬度 $W1$ 的黏合層 142 可作為遮罩，以保護重分佈層 140 之底部分，且減少後續形成之介電材料 150 (圖 1I) 的應力。如果寬度 $W1$ 對厚度 $T1$ 之比例是小於約 1.5 比 1，黏合層 142 無法作為保護重分佈層 140 之底部分的遮罩，且無法減少後續形成之介電材料 150 (圖 1I) 應力。在另一方面，如果寬度 $W1$ 對厚度 $T1$ 之比例是大於約 3 比 1，製造成本提升，但沒有顯著優點。

【0029】 如圖 1F-3 所示，非等向性蝕刻製程是形成於黏合層 142 上。非等向性蝕刻製程移除部分的黏合層 142，其中此部分的黏合層 142 是設置於重分佈層 140 之上，但部

分的黏合層 142 實質是不受影響，其中此部分的黏合層 142 是設置於鈍化層 130 上。因此，部分的黏合層 142 之寬度 $W1$ 實質不受到非等向性蝕刻製程的影響。非等向性蝕刻製程亦可形成實質平坦的頂面 144，並形成厚度 $T1$ ，其中厚度 $T1$ 是實質小於寬度 $W1$ 。如上所述，寬度 $W1$ 對厚度 $T1$ 之比例的範圍可為約 1.5 比 1 至約 3 比 1。

【0030】 如圖 1G 所示，在一些實施例中，非等向性蝕刻製程是形成於如圖 1F-1、圖 1F-2 或圖 1F-3 所示之黏合層 142 上。以於圖 1F-2 所示之黏合層 142 上進行非等向性蝕刻製程為例。如圖 1G 所示，移除部分的黏合層 142，其中部分的黏合層 142 是設置於重分佈層 140 上，以暴露重分佈層 140 之頂面 146。在非等向性蝕刻製程後，殘留的黏合層 142 是設置在鈍化層 130 上且臨近重分佈層 140 之側。殘留的黏合層 142 具有底部分及頂部分，其中底部分是設置於鈍化層 130 上。底部分具有寬度 $W1$ ，且頂部分具有寬度 $W2$ 。寬度 $W1$ 實質是大於寬度 $W2$ 。在一些實施例中，寬度 $W1$ 是寬度 $W2$ 的約 1.5 至約 3 倍大。殘留的黏合層 142 可避免重分佈層 140 分層。非等向性蝕刻製程亦可移除部分的鈍化層 130，且非共形的黏合層 142 可提供鈍化層 130 的平滑蝕刻輪廓。鈍化層 130 的平滑蝕刻輪廓實質減少鈍化層 130 之的尖角，從而降低鈍化層 130 中的應力。

【0031】 在一些實施例中，可省略非等向性蝕刻製程。在一些實施例中，且圖 1F-3 所示之黏合層 142 上進行之非等

向性製程亦可移除設置於重分佈層 140 上部分的黏合層 142。換言之，在高密度電漿(HDP)沉積離子製程後，一個非等向性蝕刻製程是進行以形成如圖 1G 所示之殘留的黏合層 142。

【0032】 如圖 1H 所示，蝕刻停止層 148 是形成於黏合層 142 上。舉例而言，蝕刻停止層 148 是形成於圖 1F-2 所示之黏合層 142 上。蝕刻停止層 148 可形成於圖 1F-1、圖 1F-3 或圖 1G 所示之黏合層 142 上。蝕刻停止層 148 可包含與蝕刻停止層 114 相同之材料。在一些實施例中，蝕刻停止層 148 包含 SiN。蝕刻停止層 148 可為由任何適合的製程所製得之共形層。

【0033】 如圖 1I 所示，介電材料 150 是形成於蝕刻停止層 148 上，且開口 152 是形成於介電材料 150、蝕刻停止層 148 及黏合層 142 中，以暴露重分佈層 140。介電材料 150 可為任何適合的介電材料。在一些實施例中，介電材料 150 是聚合物，如：聚醯亞胺。介電材料 150 可為藉由任何適合的製程所形成，如：旋轉塗布、化學氣相沉積(CVD)、可流動化學氣相沉積(FCVD)或貼合。開口 152 可由任何適合的製程所形成，如：乾式蝕刻、濕式蝕刻或其組合。在一些實施例中，開口 152 是深度大於約 5 微米之通孔開口。由於深度大，用以形成開口 152 之蝕刻製程可長，且可降低介電材料 150 之應力，其中如果黏合層 142 不存在，此應力可導致重分佈層 140 分層。進一步地，由於蝕刻停止層 148 及黏合層 142，重分佈層 140 的過度蝕

刻是實質減少。

【0034】 如圖 1J 所示，導電特徵 154 是形成於開口 152 (圖 1I) 中。在一些實施例中，導電特徵 154 可為接觸重分佈層 140。導電特徵 154 可包含如金屬之導電材料。在一些實施例中，導電特徵 154 包含 Cu、Ni、Au、Ag、Pd、Al、Sn 或其他適合的金屬。在一些實施例中，導電特徵 154 是導電凸塊。

【0035】 黏合層 142 可形成於導電特徵(如：重分佈層 140) 上，以在形成開口(如：開口 152)於黏合層 142 上時，降低接續形成之層的應力(如：介電材料 150)，從而降低導電特徵分層的風險。舉例而言，在一些實施例中，如圖 2 所示，半導體元件結構 100 包含基材 102、元件層 104 及內連接結構 106。多個導電線 204 及導電通孔 206 是嵌設於內連接結構 106 中。在一些實施例中，設置於距離內連接結構 106 的頂面為如約 5 微米的導電線 204a 是電性連結導電通孔 208，其中導電通孔 208 是自導電線 204a 延伸至內連接結構 106 的頂面。黏合層 142 可形成於導電線 204a 之周圍，以在為導電通孔 208 形成通口開口時，避免導電線 204 分層。在一些實施例中，半導體元件結構 100 是晶粒，且半導體元件結構 100 可藉由混合鍵合 (hybrid bonding) 鍵結另一晶粒(半導體元件結構 100)，以形成三維積體電路(3D ICs)。

【0036】 圖 3A 及圖 3B 是根據一些實施例的半導體封裝 300 的剖面側視圖。如圖 3A 所示，半導體封裝 300 可為

系統整合單晶片(system-on-integrated-chip, SOIC)封裝。半導體封裝 300 包含第一晶粒 302、第二晶粒 310 及第三晶粒 308，其中第二晶粒 310 是設置於第一晶粒 302 上，且第三晶粒 308 是設置於第一晶粒 302 上。在一些實施例中，第一晶粒 302 是中央處理器(central processing unit, CPU)晶粒，第二晶粒 310 是靜態隨機存取記憶體[static random access memory (SRAM)]晶粒，且第三晶粒 308 是虛設晶粒。第二晶粒 310 包含基材 304、元件層(未繪示)及內連接結構 316。在一些實施例中，第二晶粒 310 是圖 1J 或圖 2 中所示之半導體元件結構 100。基材 304 可為基材 102，元件層可為元件層 104，且內連接結構 316 可為內連接結構 106。黏合層 142 可為形成於一個或多個導電特徵的周圍，如：導電線 204 (圖 2)或重分佈層 140 (圖 1J)，以避免一個或多個導電特徵分層。

【0037】 如圖 3B 所示，半導體封裝 300 可為基材上晶圓上晶片封裝[chip-on-wafer-on-substrate (CoWoS)]封裝。半導體封裝 300 包含基材 330、中介層 340 及一個或多個晶粒 334，其中中介層 340 是設置於基材 330 上，且一個或多個晶粒 334 是設置於中介層 340 上。在一些實施例中，一個或多個晶粒 334 包含一個或多個高頻寬記憶體(high bandwidth memory, HBM)晶粒。在一些實施例中，晶粒 334 是圖 1J 或圖 2 所示之半導體元件結構 100，且晶粒 334 可包含黏合層 142 形成於一個或多個導

電特徵的周圍，以避免一個或多個導電特徵分層，其中一個或多個導電特徵是設置於晶粒 334 的內連接結構中。

【0038】 圖 4 是根據一些實施例的半導體封裝 300 的示意圖。如圖 4 所示，半導體封裝 300 包含基材 350、基部晶粒 352 及多個晶粒 354，其中基部晶粒 352 是設置於基材 350 上，且多個晶粒 354 是設置於基部晶粒 352 上。每個晶粒 354 可包含內連接結構 356，其中內連接結構 356 是設置於晶粒 354 及基部晶粒 352 間。內連接結構 356 包含多個導電特徵，其係直接鍵結形成於基部晶粒 352 上的導電特徵。圖 5A 至圖 5C 是根據一些實施例之製造內連接結構 356 之不同階段的剖面側視圖。如圖 5A 所示，重分佈層 502 是設置於內連接結構 356 中。重分佈層 502 可包含與重分佈層 140 相同之材料。黏合層 504 是形成於重分佈層 502 上。黏合層 504 可包含與黏合層 142 相同的材料，且可藉由與黏合層 142 相同之製程形成。鈍化層 506 是形成以包圍重分佈層 502 及黏合層 504。蝕刻停止層(未繪示)可為形成於黏合層 504 及鈍化層 506 間。

【0039】 如圖 5B 所示，開口 508 是形成於鈍化層 506 及黏合層 504 中，以暴露部分的重分佈層 502。在一些實施例中，開口 508 是深度是大於約 5 微米之通孔開口。因為深度大，用以形成開口 508 之蝕刻製程可能很長，且鈍化層 506 中的應力可降低，其中如果黏合層 504 不存在，此應力可造成重分佈層 502 分離。接著，如圖 5C 所示，導電特徵 510 是形成於開口 508 中。

【0040】 如上所述，藉由實質減少鈍化層 130 中的尖角，黏合層 142 (或黏合層 504) 可減少應力。其次，具有基腳部分的導電特徵亦可藉由實質減少尖角來減少應力。由於應力減少，薄膜開裂減少。圖 6A 至圖 6E 是根據一些實施例的半導體元件結構 600 之不同階段的剖面側視圖。如圖 6A 所示，半導體元件結構 600 包含基材 601、元件層 603 及內連接結構 602，其中內連接結構 602 是設置於元件層 603 上。在一些實施例中，如圖 1A 所示，基材 601 與基材 102 可為相同，元件層 603 與元件層 104 可為相同，且內連接結構 602 與圖 1A 所示之內連接結構 106 可為相同。在一些實施例中，金屬絕緣層金屬結構 605 是嵌設於內連接結構 602 中，且金屬絕緣層金屬結構 605 與圖 1A 所示之金屬絕緣層金屬結構 118 可為相同。阻障層 604 是形成於內連接結構 602 上。阻障層 604 可包含與阻障層 138 (圖 1D) 相同的材料。光阻層 606 是形成於阻障層 604 上，且開口 610 是形成於光阻層 606 上。藉由暴露部分的光阻層 606 於光，如：極紫外光 (extreme ultraviolet lithography)，並接續移除光阻層 606 的暴露部分，形成開口 610。在一些實施例中，開口 610 延伸貫穿金屬絕緣層金屬結構 605，且開口 610 可為雙鑲嵌開口。

【0041】 圖 6A-1 是圖 6A 的放大部分 608。如圖 6A-1 所示，開口 610 包含底部寬度 $W3$ 及頂部寬度 $W4$ 。底部寬度 $W3$ 實質是大於頂部寬度 $W4$ 。在一些實施例中，頂部寬度 $W4$ 的範圍是約 1 微米至約 50 微米，且底部寬度

W3 是約 40 nm 至約 1000 nm 大於頂部寬度 W4。部分的光阻層 606 與阻障層 604 的頂面形成角 A。角 A 是銳角。在一些實施例中，角 A 的範圍是約 10 度至約 80 度，如約 30 度至約 70 度。如果角 A 是小於 10 度，則空間不足以使後續形成之導電特徵 612 (圖 6B) 具有基腳部分。另一方面，如果角 A 是大於約 80 度，則空間亦不足以使後續形成之導電特徵 612 (圖 6B) 具有基腳部分。藉由在暴露製程期間，刻意降低光的焦距，可形成開口 610 之具有寬度 W3 之部分，其中具有寬度 W3 之部分是實質大於具有寬度 W4 之部分。在一些實施例中，光是沿著厚度方向聚焦於位在光阻層 606 中心的平面，且定義開口 610 之光阻層 606 之側面相對於阻障層 604 的角度可實質一致。換言之，界定開口 610 的光阻層 606 之側面的剖面可實質為線性的。在一些實施例中，光是沿著厚度方向聚焦於靠近光阻層 606 底部分的平面上，且界定開口 610 的光阻層 606 的側面之底部分相對於阻障層 604 的角度可實質不同於界定開口 610 的光阻層 606 之側面的頂部分與阻障層 604 的角度。換言之，界定開口 610 的光阻層 606 之側邊的剖面可為非線性，如圖 6A-1 所示。

【0042】 如圖 6B 所示，導電特徵 612 是形成於每個開口 610 (圖 6A) 中。導電特徵 612 可包含如金屬的導電材料。在一些實施例中，導電特徵 612 包含 Cu 或 Al。在一些實施例中，導電特徵 612 是重分佈層 (RDL)。導電特徵 612 可藉由任何適合的製程形成，如：電化學電鍍法 (ECP) 或

物理氣相沉積(PVD)。導電特徵 612 亦可先形成於光阻層 606 上，並進行平坦化製程(如：化學機械平坦化製程)，以移除部分的導電特徵 612，其中部分的導電特徵 612 是形成於光阻層 606 上。由於凹陷效應，平坦化製程亦可造成導電特徵 612 的頂面低於光阻層 606 的頂面。在開口 610 延伸貫穿金屬絕緣層金屬結構 605 的實施例中，導電特徵 612 是電性連接金屬絕緣層金屬結構 605。

【0043】 圖 6B-1 是圖 6B 的放大部分 608。如圖 6B-1 所示，導電特徵 612 包含頂部分 614 及基腳部分 616。基腳部分 616 是設置在阻障層 604 上。頂部分 614 具有實質一致的寬度 W_4 ，且基腳部分 616 的寬度朝阻障層 604 增加。部分的基腳部分 616 具有寬度 W_3 ，其中寬度 W_3 實質是大於寬度 W_4 ，且此部分的基腳部分 616 接觸阻障層 604。在一些實施例中，寬度 W_3 是約 40 nm 至約 1000 nm 大於寬度 W_4 。基腳部分 616 包含斜面 618，其中斜面 618 與阻障層 604 之頂面形成角 A 。角 A 的範圍可為約 10 度至約 80 度，如約 30 度至約 70 度。頂部分 614 包含側面 619，其中側面 619 實質是垂直於阻障層 604 的頂面，或與阻障層 604 之頂面形成銳角。

【0044】 如圖 6C 所示，移除光阻層 606。光阻層 606 可由任何適合的製程移除。在一些實施例中，光阻層 606 是藉由剝離的方式移除。移除光阻層 606 的製程不會實質影響導電特徵 612 或阻障層 604。在光阻層 606 的移除後，暴露部分的導電特徵 612 及阻障層 604。

【0045】 如圖 6 D 所示，移除阻障層 6 0 4 的暴露部分。阻障層 6 0 4 的暴露部分之移除可由任何適合的製程進行。在一些實施例中，進行乾式蝕刻製程，以移除阻障層 6 0 4 的暴露部分。圖 6 D - 1 是圖 6 D 的放大部分 6 2 0。如圖 6 D - 1 所示，內連接結構 6 0 2 包含層 6 5 0，且阻障層 6 0 4 是設置在層 6 5 0 上。層 6 5 0 可為金屬介電層(如圖 1 A 所示之金屬介電層 1 0 8)或鈍化層(如圖 1 A 所示之鈍化層 1 3 0)。藉由移除阻障層 6 0 4 的暴露部分之乾式蝕刻製程，亦可移除部分的層 6 5 0。由於導電特徵 6 1 2 的基腳部分 6 1 6，沒有尖角是形成於層 6 5 0 中。如圖 6 D - 1 所示，當移除部分的層 6 5 0，形成鈍角 B。如無基腳部分 6 1 6，角 B 可為直角，導致壓力增加。因此，有了基腳部分 6 1 6 的幫助，應力降低，從而減少產量損失並提高可靠性。

【0046】 在一些實施例中，進行濕式蝕刻製程，以移除阻障層 6 0 4 的暴露部分。圖 6 D - 2 是根據另一實施例之圖 6 D 的放大部分 6 2 0。如圖 6 D - 2 所示，移除阻障層 6 0 4 的暴露部分之濕式蝕刻製程亦移除部分的層 6 5 0。因為導電特徵 6 1 2 的基腳部分 6 1 6，導電特徵 6 1 2、阻障層 6 0 4 及層 6 5 0 的側面可具有實質的線性剖面。與圖 6 D - 1 所示的結構相似，形成於圖 6 D - 2 所示之層 6 5 0 中的角 B 亦是鈍角。因此，應力減少。

【0047】 在一些實施例中，進行濕式蝕刻製程，以移除阻障層 6 0 4 的暴露部分，而不實質影響層 6 5 0。如圖 6 D - 3 所示，其係根據再一實施例之圖 6 D 之放大部分 6 2 0，阻障

層 604 的暴露部分是藉由濕式蝕刻製程移除，且層 650 實質是不被濕式蝕刻製程影響。

【0048】 圖 6E 是導電特徵 612 的放大視圖。如圖 6E 所示，在一些實施例中，黏合層 622 是形成於導電特徵 612 的側面上。藉由先形成共形層於半導體元件結構 600 的暴露表面上，再接著進行非等向性蝕刻製程，以移除部分的共形層，可形成黏合層 622，其中部分的共形層是在半導體元件結構 600 之水平表面上。黏合層 622 可包含與黏合層 142 (圖 1J) 相同之材料。在一些實施例中，設置於導電特徵 612 的側邊上的黏合層 622 是實質共形，如圖 6E 所示。在一些實施例中，黏合層 622 是由與形成黏合層 142 相同的製程形成，以進一步降低應力。換言之，黏合層 622 可具有不同的寬度。

【0049】 具有基腳部分 616 之導電特徵 612 實質幫助降低設置於其下的層中之銳角的形成。在一些實施例中，具有基腳部分 616 的導電特徵 612 是與圖 1A 至圖 1J 所述之黏合層 142 合併使用。圖 7A 至圖 7B 顯示用圖 6A 至圖 6E 所述之製程所形成之重分佈層 140。如圖 7A 所示，半導體元件結構 100 包含介電層 110、導電特徵 112、介電層 116、金屬絕緣層金屬結構 118、鈍化層 130、重分佈層 140、蝕刻停止層 148 及介電材料 150，其中導電特徵 112 是形成於介電層 110 中，介電層 116 是設置於介電層 110 上，金屬絕緣層金屬結構 118 設置於介電層 116 上，鈍化層 130 是設置於金屬絕緣層金屬結構 118 上，重分佈

層 140 是設置於鈍化層 130 上並貫穿鈍化層 130，蝕刻停止層 148 是設置於鈍化層 130 及重分佈層 140 上，且介電材料 150 是設置於蝕刻停止層 148 上。重分佈層 140 包含線部分 702 及通孔部分 704。在一些實施例中，線部分 702 是導電線，且通孔部分 704 是導電通孔。線部分 702 包含基腳部分 706。線部分 702 可為如圖 6A 至圖 6E 所示之導電特徵 612。舉例而言，線部分 702 具有頂部分，如頂部分 614 (圖 6B-1)，且線部分 702 具有基腳部分 706，如：基腳部分 616 (圖 6B-1)。黏合層 142 (未繪示)可形成於重分佈層 140 之側面上。在一些實施例中，黏合層 622 (未繪示)是形成於重分佈層 140 之側面上。開口 152 是形成於介電材料 150 及蝕刻停止層 148 中，以暴露部分的重分佈層 140。

【0050】 在一些實施例中，如圖 7B 所示，金屬絕緣層金屬結構 118 不存在。介電層 116 是設置在介電層 110 上，且重分佈層 140 是設置在介電層 116 上並貫穿介電層 116。重分佈層 140 之具有基腳部分 706 的線部分 702 可幫助降低結構中的應力，從而減少產量損失並提高可靠性。與黏合層 142 相同，具有基腳部分 706 之重分佈層 140 可用於三維積體電路或其他種類的積體電路 (integrated circuit，積體電路) 封裝中，如：整合扇出式封裝 (integrated fan-out package-on package，InFO-POP)、覆晶晶片尺寸級封裝 (flip chip-chip scale package，FCCSP)、多晶片模組 (multi-chip

module, MCM)、覆晶 (flip-chip)、高頻寬封裝 (high-bandwidth package-on-package, HB-POP)、覆晶球閘陣列 (flip-chip BGA, FCBGA) 或其他適合的積體電路封裝。

【0051】 本揭露在不同的實施例中，提供一種半導體元件結構。在一些實施例中，結構包含黏合層，其中黏合層是設置於導電特徵上，且黏合層實質是非共形層，以於後續蝕刻期間，保護設置於黏合層下的多個層。在一些實施例中，導電特徵包含基腳部分，其中基腳部分的寬度是大於導電特徵之頂部分的寬度。一些實施例可達到優點。舉例而言，在後續蝕刻製成的期間，導電特徵的基腳部分實質降低設置於導電特徵下的層中之尖角的形成，從而降低應力。因此，減少產量損失並提高可靠性。

【0052】 一實施例是半導體元件結構。結構包含內連接結構、第一導電特徵、介電層及第二導電特徵，其中內連接結構是設置於基材上，第一導電特徵是設置於內連接結構上，介電層是設置於內連接結構上，且第二導電特徵具有頂部分及底部分。頂部分是設置於介電層上，且底部分是貫穿介電層設置。結構可選擇性包含黏合層及第二導電特徵，其中黏合層是設置於介電層上。黏合層包含第一部分及第二部分，其中第一部分是設置於第二導電特徵的頂部分上，且第二部分是設置於介電層之上，第一部分具有厚度，且第二部分具有實質大於厚度的寬度。

【0053】 在一實施例中，黏合層包含 SiON。

【0054】 在一實施例中，半導體元件結構可選擇性包含金屬絕緣層金屬結構，其中金屬絕緣層金屬結構是設置於介電層上。

【0055】 在一實施例中，半導體元件結構可選擇性包含鈍化層，其中鈍化層是設置在金屬絕緣層金屬結構上，且黏合層是設置在鈍化層上。

【0056】 在一實施例中，半導體元件結構可選擇性包含阻障層，其中阻障層是設置在鈍化層上，且阻障層貫穿鈍化層、金屬絕緣層金屬結構及介電層，其中第二導電特徵是設置在阻障層上。

【0057】 在一實施例中，阻障層接觸第一導電特徵。

【0058】 在一實施例中，半導體元件結構可選擇性包含蝕刻停止層及介電材料，其中蝕刻停止層是設置在黏合層上，且介電材料是設置在蝕刻停止層上。

【0059】 另一實施例是半導體元件結構。結構包含內連接結構、第一導電特徵、介電層及第二導電特徵，其中內連接結構是設置於基材上，第一導電特徵是設置於內連接結構中，介電層是設置於內連接結構上，且第二導電特徵具有線部分及通孔部分。線部分是設置於介電層上，通孔部分是貫穿介電層設置，其中線部分包含頂部分及基腳部分，頂部分具有第一寬度，基腳部分具有第二寬度，且第二寬度是大於第一寬度。

【0060】 在一實施例中，半導體元件結構可選擇性包含阻障層，其中基腳部分是設置在阻障層上。

【0061】 在一實施例中，第二導電特徵之線部分的頂部分具有第一側面，且第一側面是實質垂直於阻障層的頂面。

【0062】 在一實施例中，第二導電特徵之線部分的基腳部分具有第二側面，且第二側面與阻障層的頂面呈銳角。

【0063】 在一實施例中，半導體元件結構可選擇性包含黏合層，其中黏合層是設置於第二導電特徵之第二側面。

【0064】 在一實施例中，半導體元件結構可選擇性包含金屬絕緣層金屬結構，其中金屬絕緣層金屬結構是設置於介電層上。

【0065】 在一實施例中，半導體元件結構可選擇性包含鈍化層，其中鈍化層是設置於金屬絕緣層金屬結構上。

【0066】 在一實施例中，半導體元件結構可選擇性包含元件層，其中元件層是設置於內連接結構下。

【0067】 在一實施例中，元件層包含一個或多個電晶體。

【0068】 再一實施例是半導體元件結構的製造方法。方法包含形成阻障層於基材上，形成導電特徵於阻障層上，形成黏合層於導電特徵上，其中黏合層係藉由進行高密度電漿製程來形成，移除部分的黏合層，直到黏合層的第一部分之厚度實質是小於黏合層的第二部分之寬度，其中黏合層的第一部分是設置於導電特徵上，且黏合層的第二部分是鄰近於阻障層；形成蝕刻停止層於黏合層上；以及形成介電材料於蝕刻停止層上。

【0069】 在一實施例中，移除部分的黏合層的操作是藉由平坦化製程進行。

【0070】 在一實施例中，移除部分的黏合層的操作是藉由回濺鍍製程進行。

【0071】 在一實施例中，移除部分的黏合層的操作是藉由非等向性蝕刻製程進行。

【0072】 前文概括了幾個實施例之特徵，使得熟習此項技術者可更好地理解本揭露內容之態樣。熟習此項技術者應瞭解，其可容易使用本揭露內容作為設計或修改其他過程及結構，以用於實行本揭露內容介紹之實施例之相同目的及/或實現相同優點之基礎。熟習此項技術者亦應認識到，此些等效構造不偏離本揭露內容之精神及範疇，且其在不偏離本揭露內容之精神及範疇之情況下可在此做出各種改變、替換及更改。

【符號說明】

【0073】

100,600:半導體元件結構

102,304,330,350,601:基材

104:元件層

106,316,356,602:內連接結構

108:金屬介電層

110,116:介電層

112,154,510,612:導電特徵

114,148:蝕刻停止層

118,605:金屬絕緣層金屬結構

1 2 0 : 第一電極層
1 2 2 : 第二電極層
1 2 4 : 第三電極層
1 2 6 , 1 2 8 : 介電層
1 3 0 , 5 0 6 : 鈍化層
1 3 3 : 光阻層
1 3 4 : 遮罩層
1 3 6 , 1 3 7 , 1 5 2 , 5 0 8 , 6 1 0 : 開口
1 3 8 , 6 0 4 : 阻障層
1 4 0 , 5 0 2 : 重分佈層
1 4 2 , 5 0 4 , 6 2 2 : 黏合層
1 4 4 , 1 4 6 : 頂面
1 5 0 : 介電材料
2 0 4 , 2 0 4 a : 導電線
2 0 6 , 2 0 8 : 導電通孔
3 0 0 : 半導體封裝
3 0 2 : 第一晶粒
3 0 8 : 第三晶粒
3 1 0 : 第二晶粒
3 3 4 , 3 5 4 : 晶粒
3 4 0 : 中介層
3 5 2 : 基部晶粒
6 0 3 : 元件層
6 0 6 : 光阻層

608, 620: 放大部分

614: 頂部分

616, 706: 基腳部分

618: 斜面

619: 側面

650: 層

702: 線部分

704: 通孔部分

W1, W2, W3, W4: 寬度

T1: 厚度

A, B: 角

【發明申請專利範圍】

【請求項 1】一種半導體元件結構，包含：

一內連接結構，設置於一基材上；

一第一導電特徵，設置於該內連接結構中；

一介電層，設置於該內連接結構上；

一第二導電特徵，具有一頂部分及一底部分，其中該頂部分是設置於該介電層上面，且該底部分是貫穿該介電層設置；

一黏合層，設置於該介電層及該第二導電特徵上，其中該黏合層包含一第一部分及一第二部分，該第一部分是設置在該第二導電特徵之該頂部分上，該第二部分是設置在該介電層上，該第一部分具有一厚度，該第二部分具有一寬度，且該寬度實質是大於該厚度；

一蝕刻停止層，設置在該黏合層上；

一介電材料，設置在該蝕刻停止層上，其中該蝕刻停止層將該介電材料與該黏合層分隔開來；以及

一第三導電特徵，位於該第二導電特徵的該頂部分上且延伸穿過該介電材料、該蝕刻停止層以及該黏合層。

【請求項 2】如請求項 1 所述之半導體元件結構，其中該黏合層包含 SiON。

【請求項 3】如請求項 2 所述之半導體元件結構，更包含一金屬絕緣層金屬結構，其中該金屬絕緣層金屬結構係設

置於該介電層上。

【請求項 4】如請求項 1 所述之半導體元件結構，其中該第三導電特徵的一側面直接接觸該介電材料、該蝕刻停止層以及該黏合層。

【請求項 5】一種半導體元件結構，包含：

一內連接結構，設置於一基材上；

一第一導電特徵，設置於該內連接結構中；

一介電層，設置於該內連接結構上；

一第二導電特徵，具有一線部分及一通孔部分，其中該線部分是設置於該介電層上，該通孔部分是貫穿該介電層設置，該線部分包含一頂部分及一基腳部分，該頂部分具有一第一寬度，該基腳部分具有一第二寬度，且該第二寬度實質是大於該第一寬度；

一黏合層，設置於該介電層及該第二導電特徵上；

一蝕刻停止層，設置在該黏合層上；

一介電材料，設置在該蝕刻停止層上，其中該蝕刻停止層將該介電材料與該黏合層分隔開來；以及

一第三導電特徵，位於該第二導電特徵的該線部分上且延伸穿過該介電材料、該蝕刻停止層以及該黏合層。

【請求項 6】如請求項 5 所述之半導體元件結構，更包含一阻障層，其中該基腳部分是設置在該阻障層上。

【請求項 7】如請求項 6 所述之半導體元件結構，其中該第二導電特徵之該線部分的該頂部分具有一第一側面，且該第一側面實質是垂直於該阻障層的一頂面。

【請求項 8】如請求項 5 所述之半導體元件結構，更包含一金屬絕緣層金屬結構，其中該金屬絕緣層金屬結構是設置於該介電層上。

【請求項 9】一種半導體元件結構之製造方法，包含：

形成一阻障層於一基材上；

形成一第一導電特徵於該阻障層上；

形成一黏合層於該第一導電特徵上，其中該黏合層係藉由進行一高密度電漿製程來形成；

移除部分之該黏合層，直到該黏合層的一第一部分之一厚度實質是小於該黏合層的一第二部分之一寬度，其中該黏合層的該第一部分係設置於該第一導電特徵上，且該黏合層的該第二部分係相鄰於該阻障層；

形成一蝕刻停止層於該黏合層上；

形成一介電材料於該蝕刻停止層上，其中該蝕刻停止層將該介電材料與該黏合層分隔開來；

在該介電材料、該蝕刻停止層以及該黏合層中，蝕刻一開口，其中該開口露出該第一導電特徵；以及

在該開口中，形成一第二導電特徵。

【請求項 10】如請求項 9 所示之方法，其中該移除部分之該黏合層的操作是藉由一平坦化製程進行。

【發明圖式】

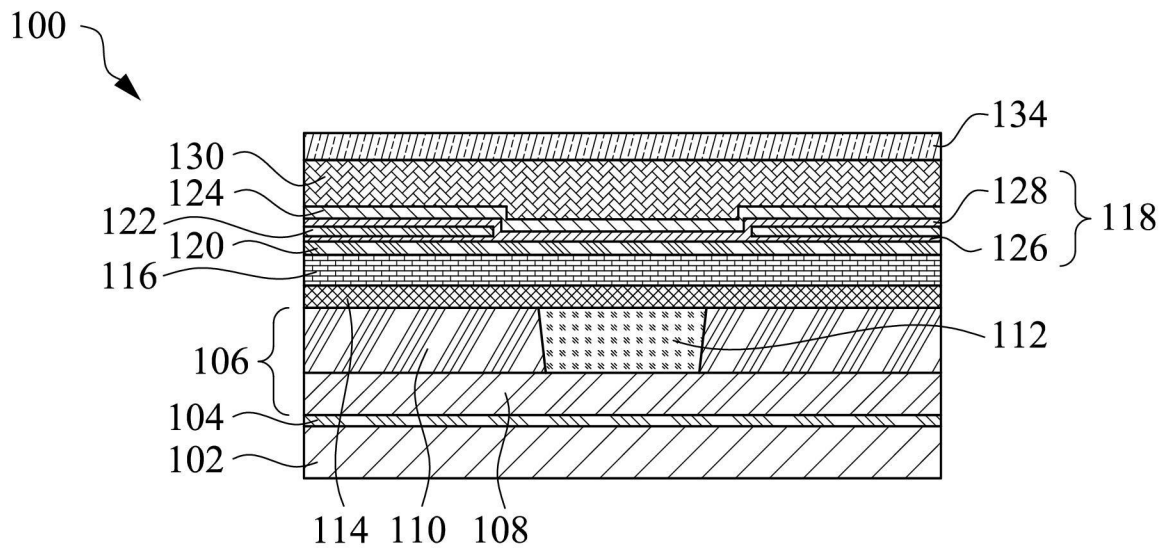


圖 1A

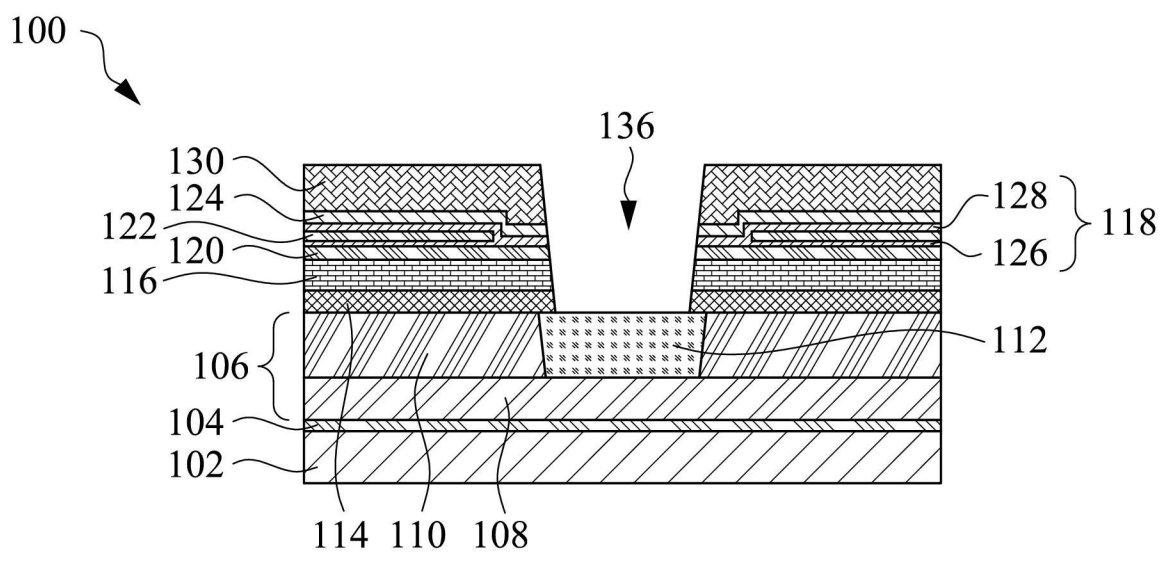


圖 1B

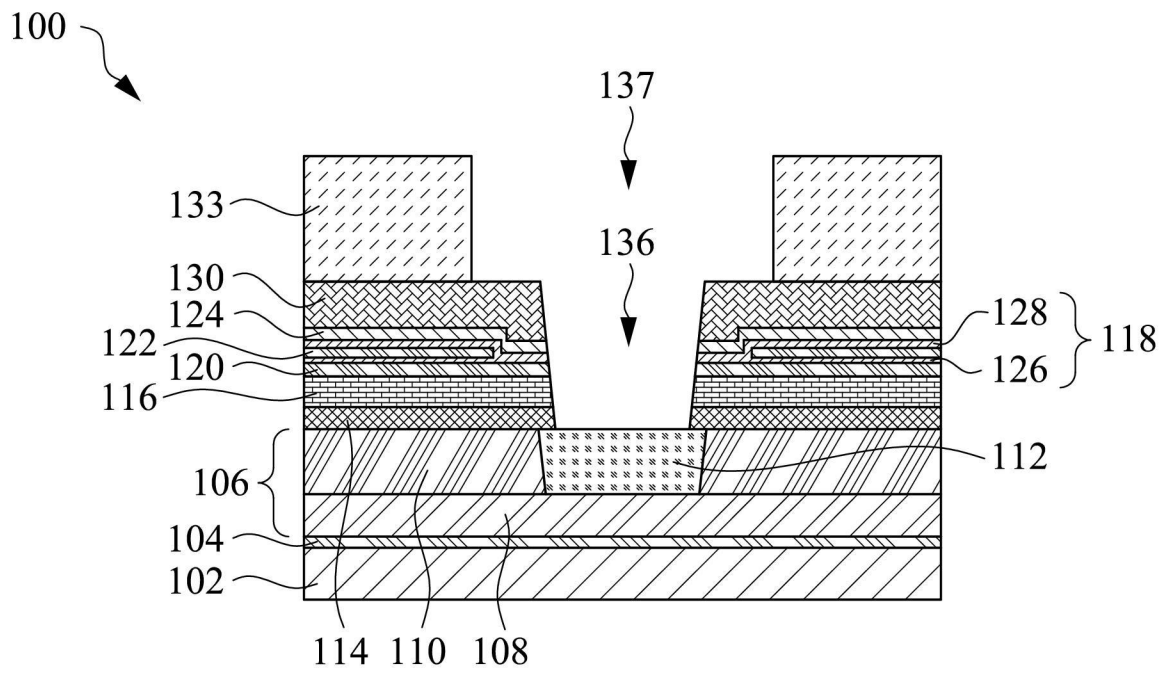


圖 1C

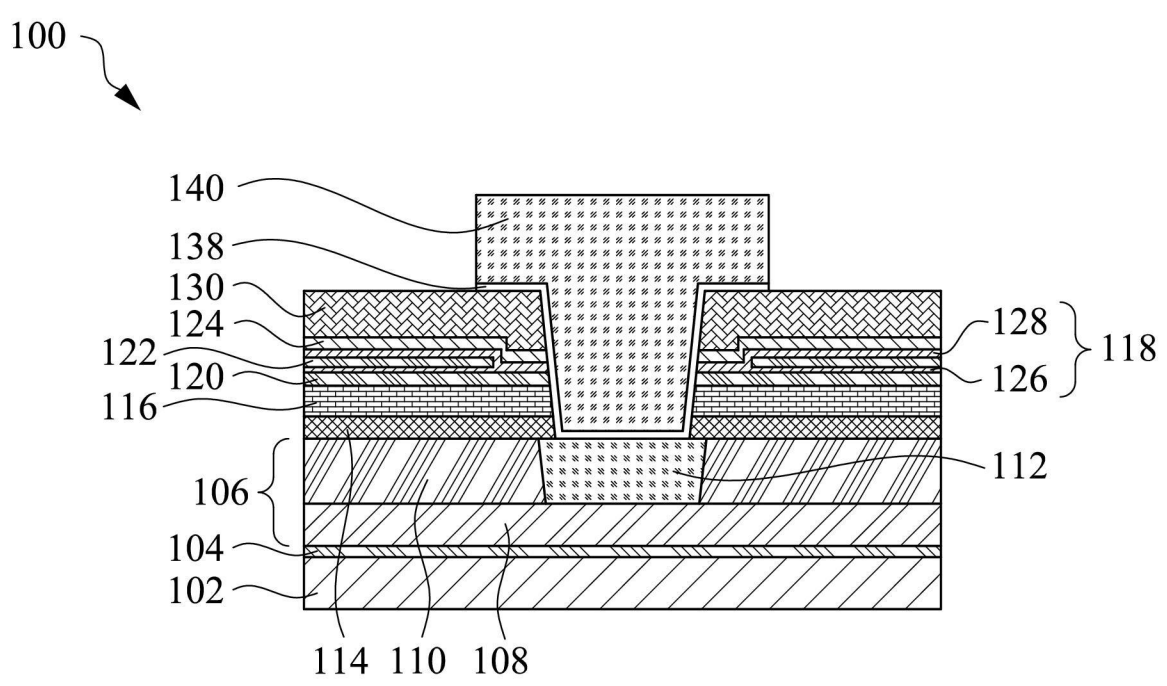


圖 1D

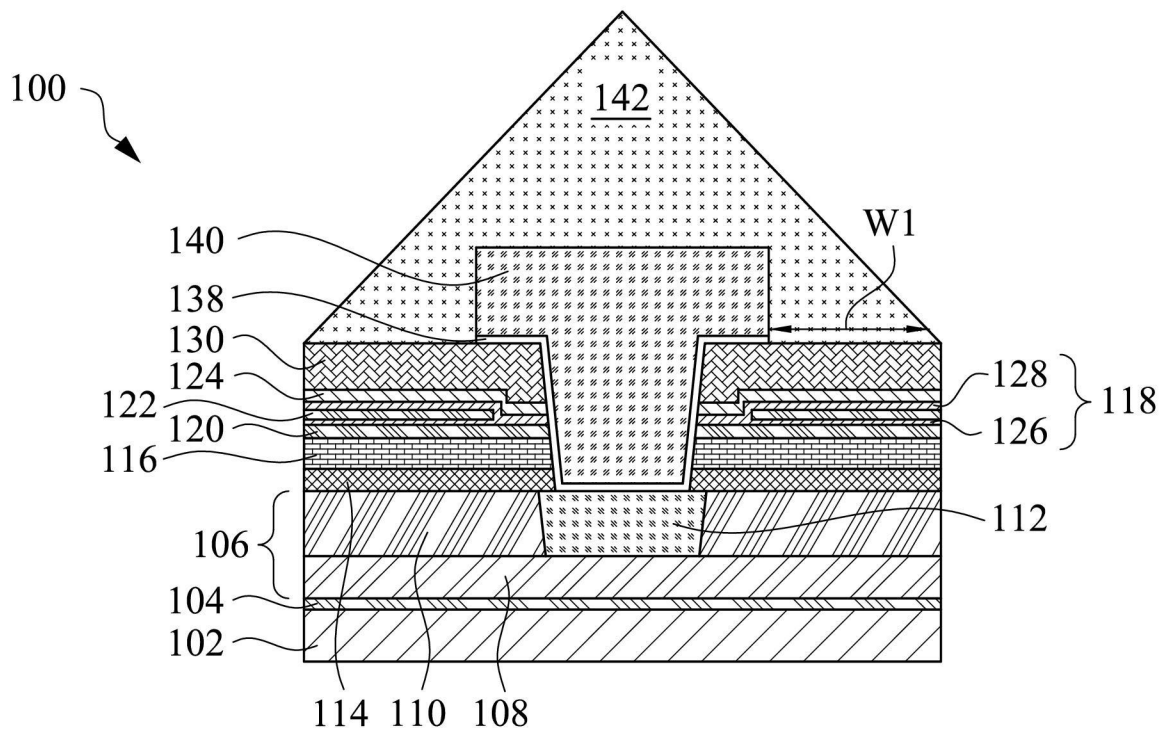


圖 1E

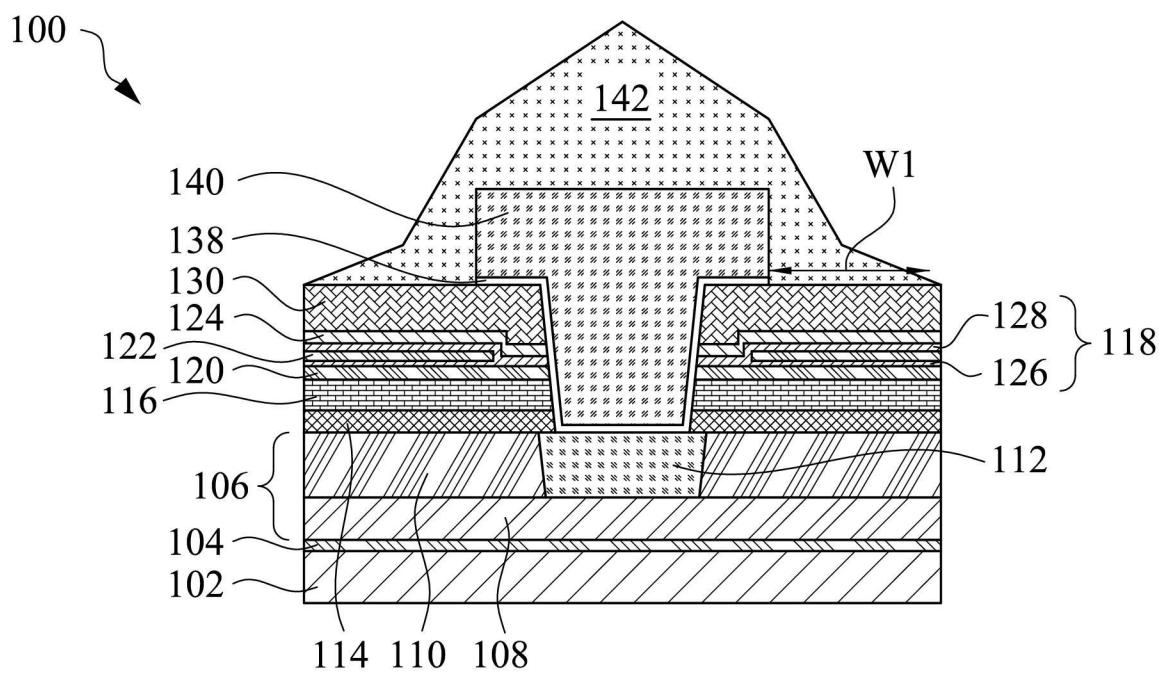


圖 1F-1

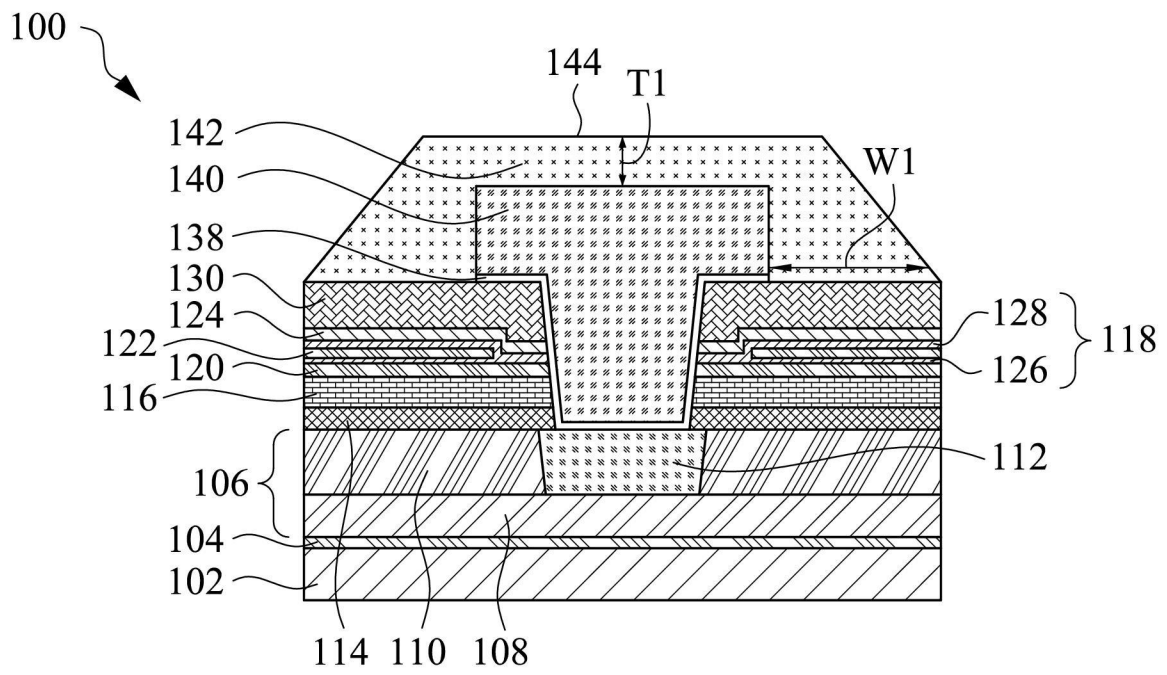


圖 1F-2

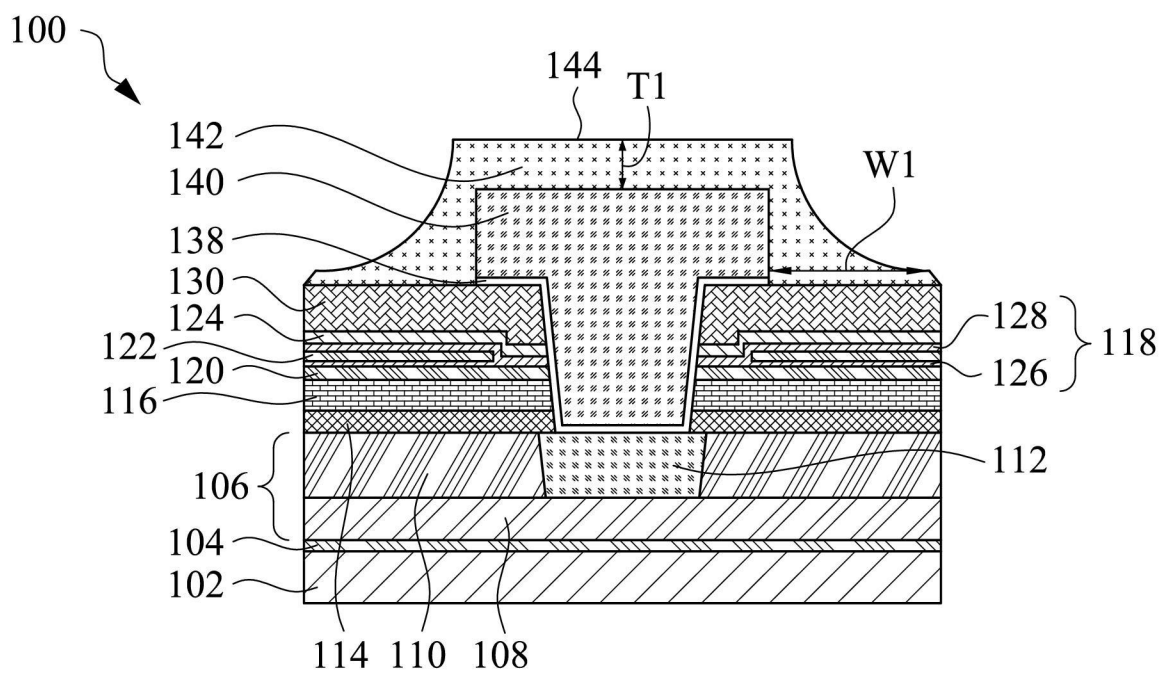


圖 1F-3

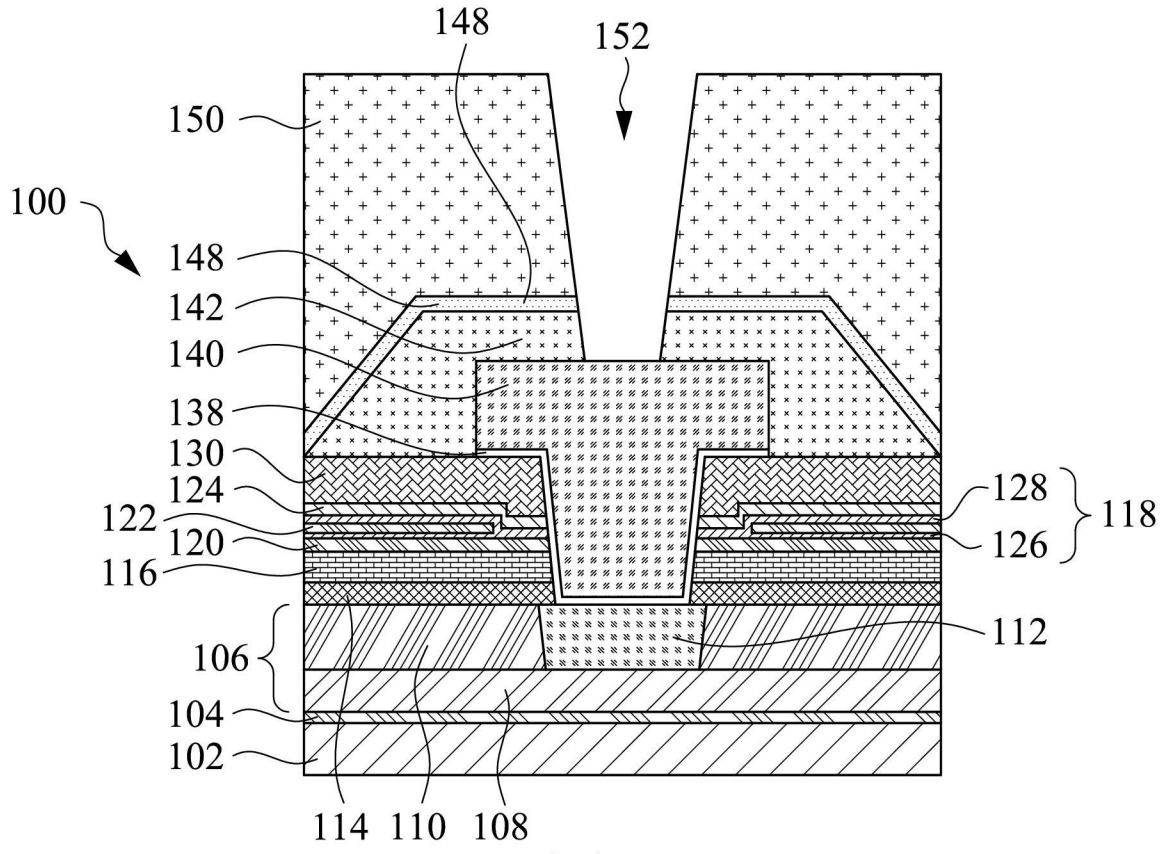


圖 1I

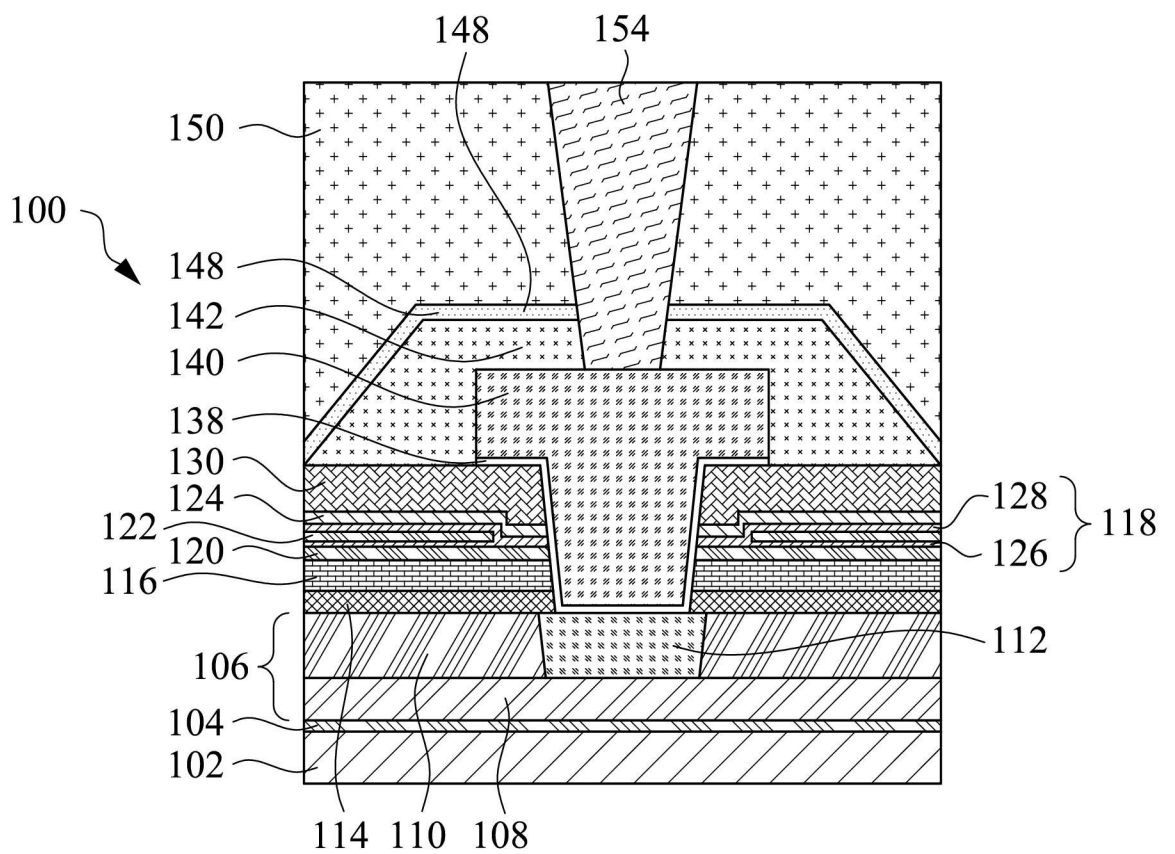


圖 1J

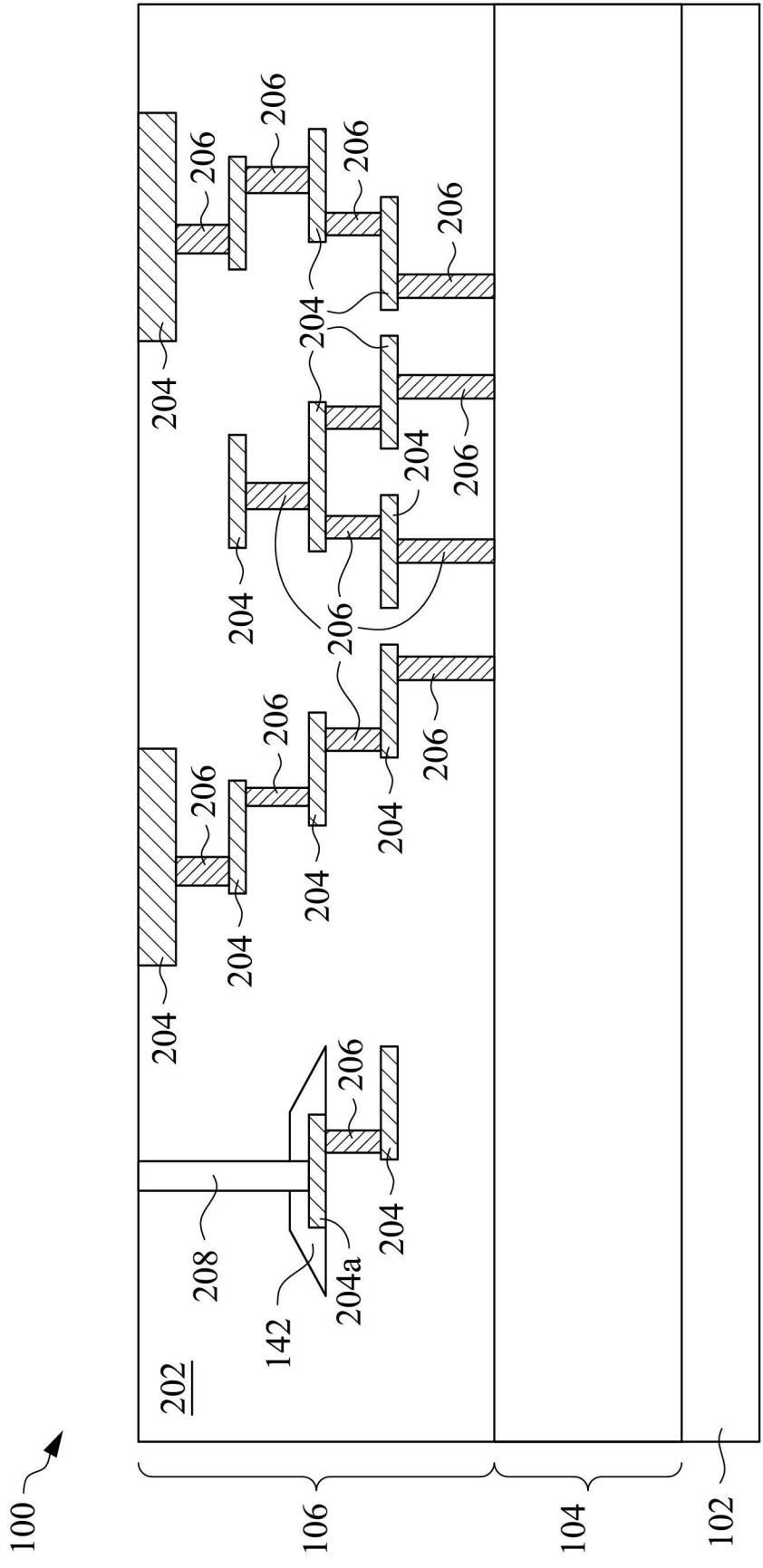


圖 2

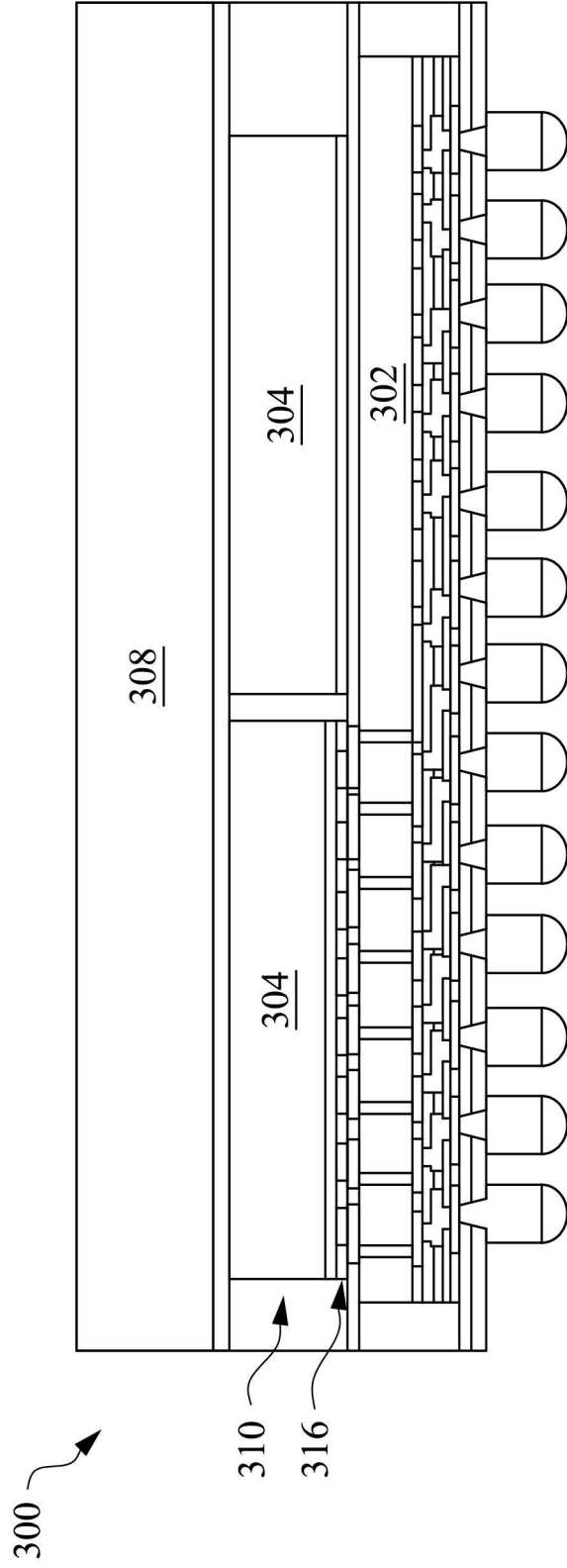


圖 3A

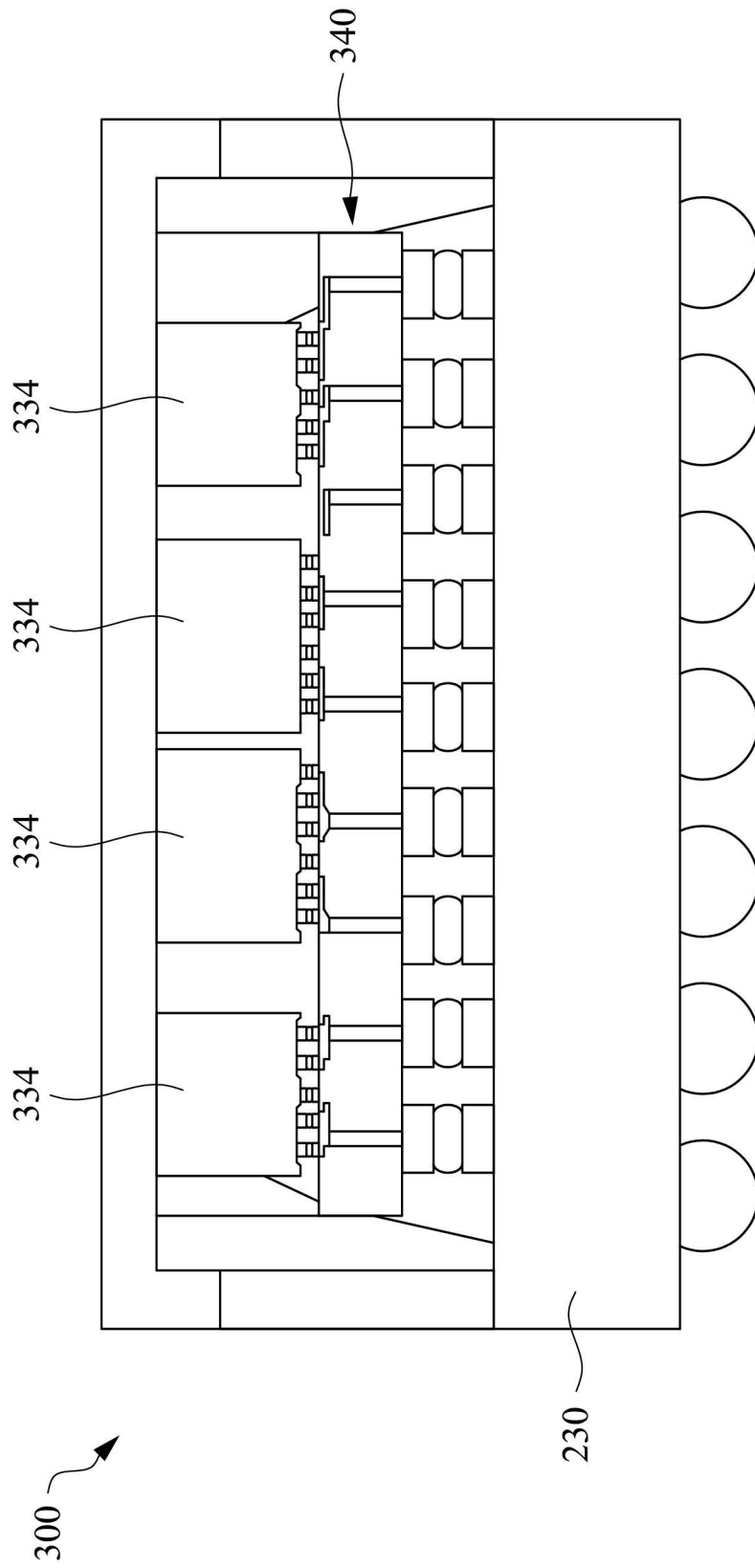


圖 3B

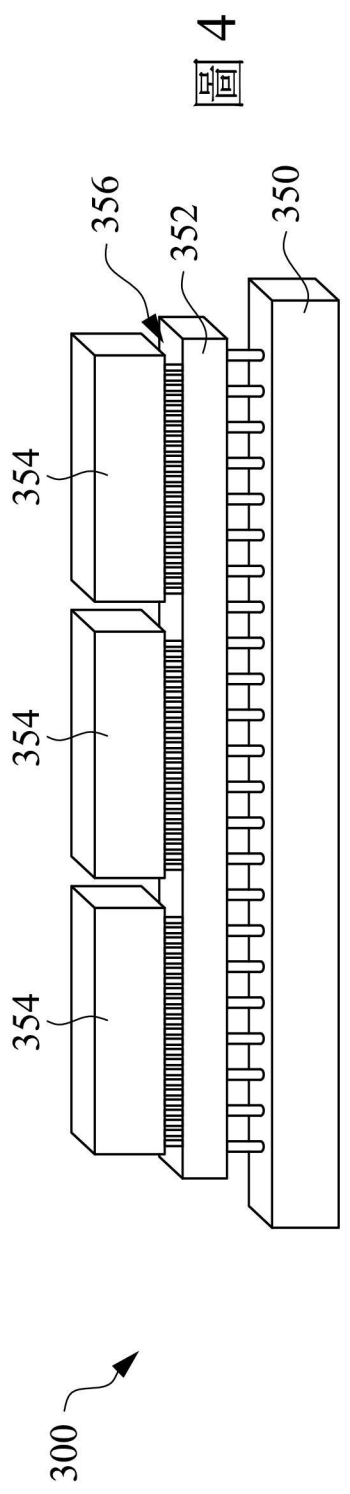


圖 4

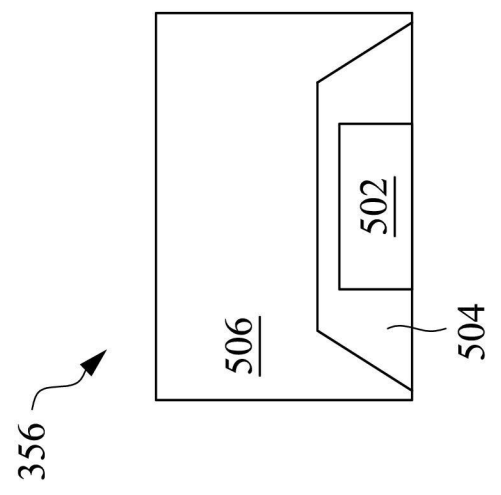


圖 5A

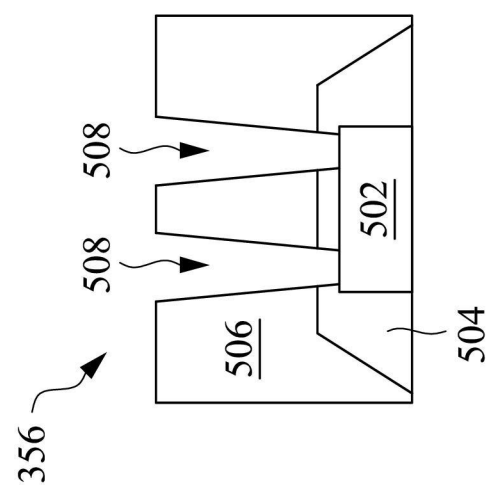


圖 5B

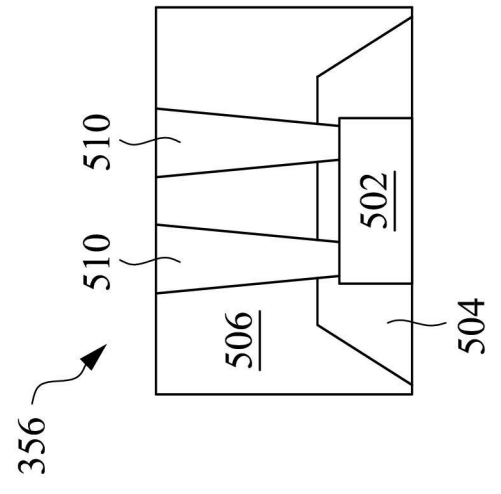


圖 5C

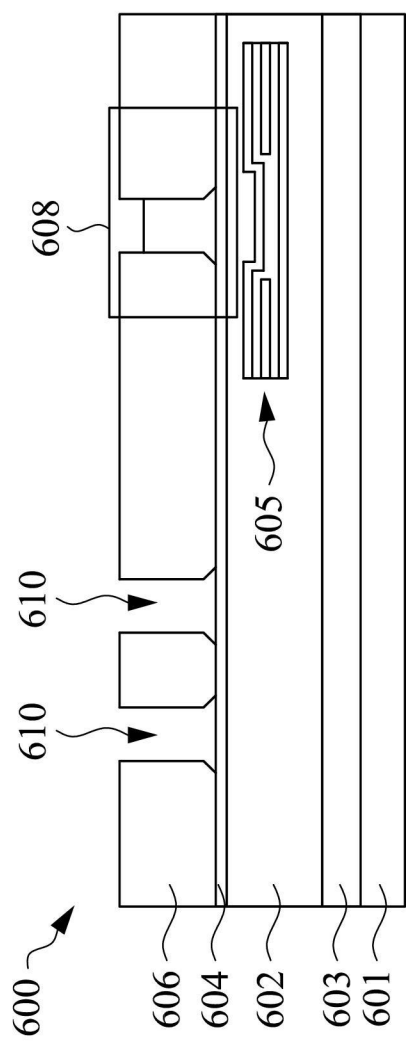


圖 6A

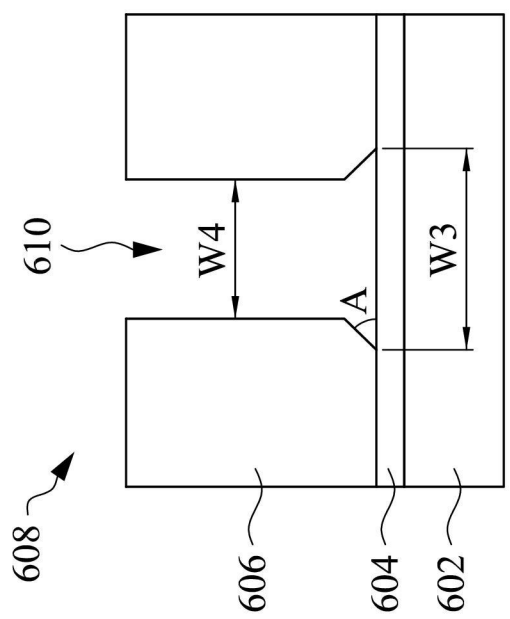


圖 6A-1

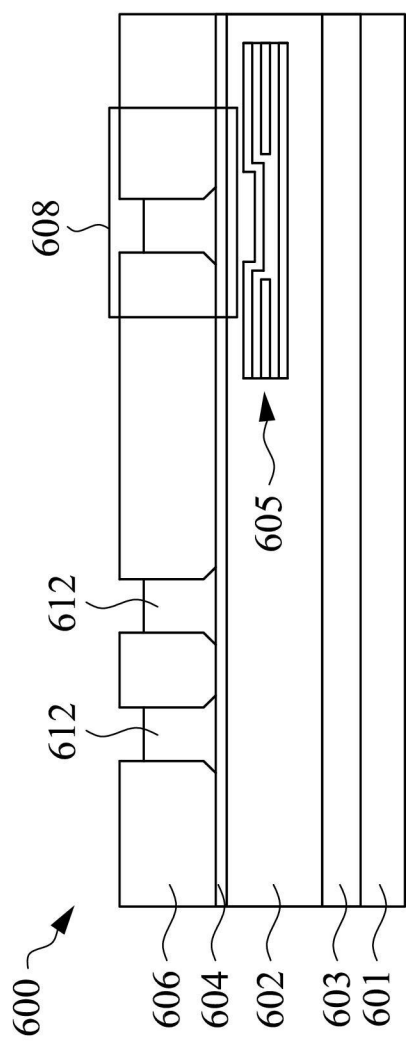


圖 6B

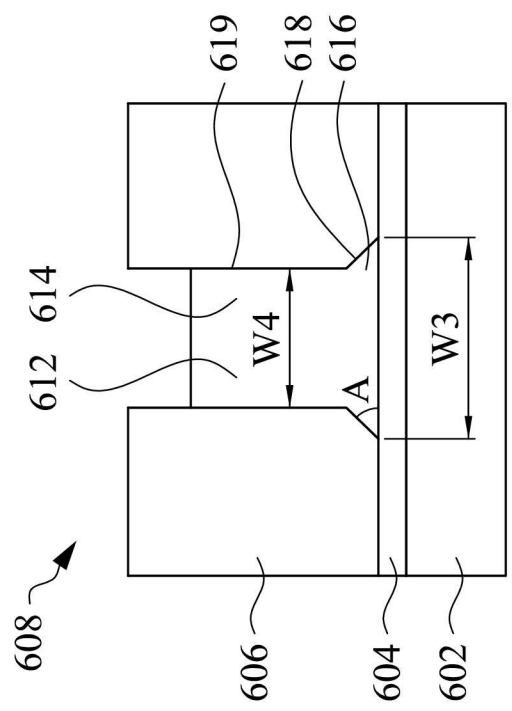


圖 6B-1

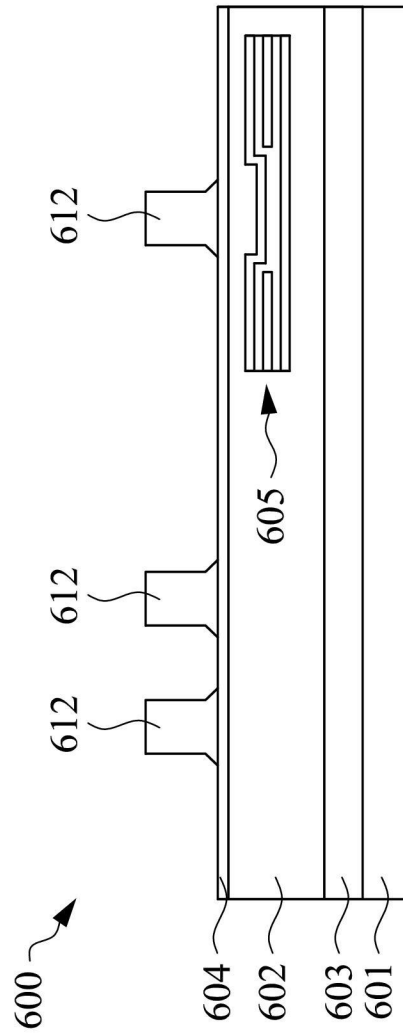


圖 6C

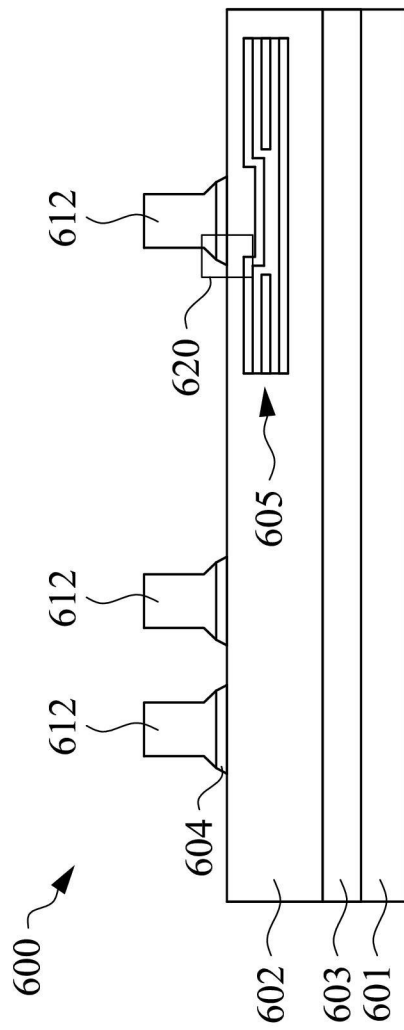


圖 6D

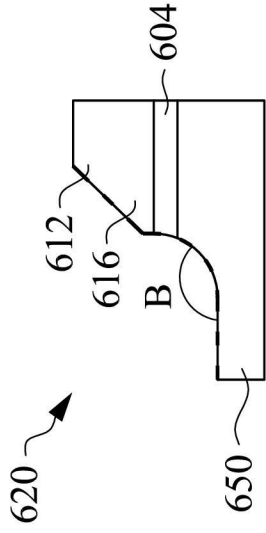


圖 6D-1

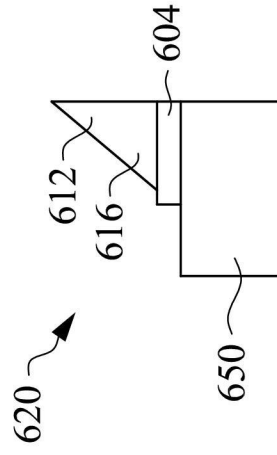


圖 6D-3

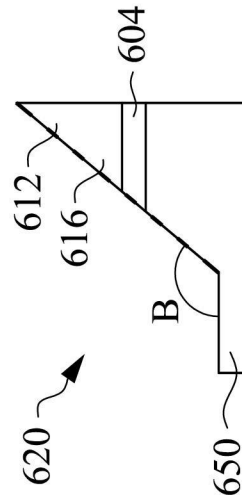


圖 6D-2

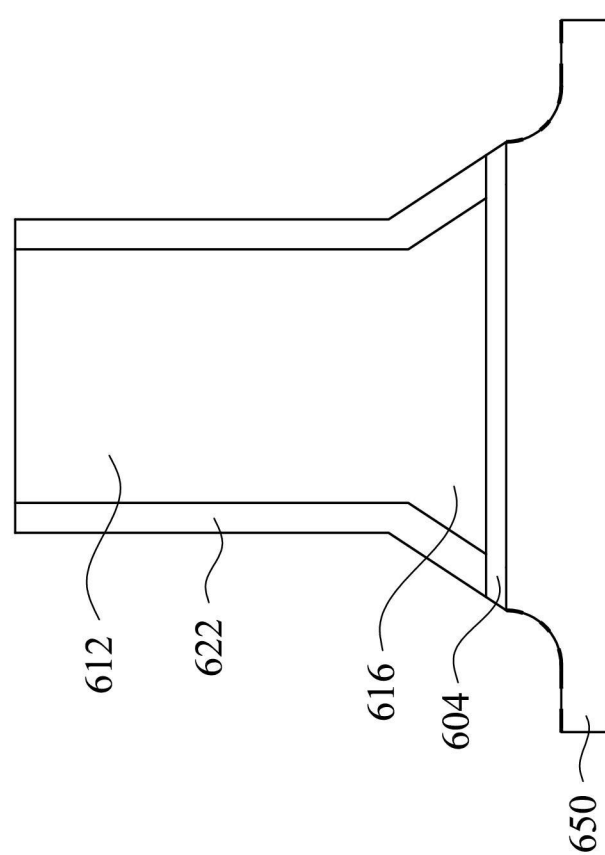


圖 6E

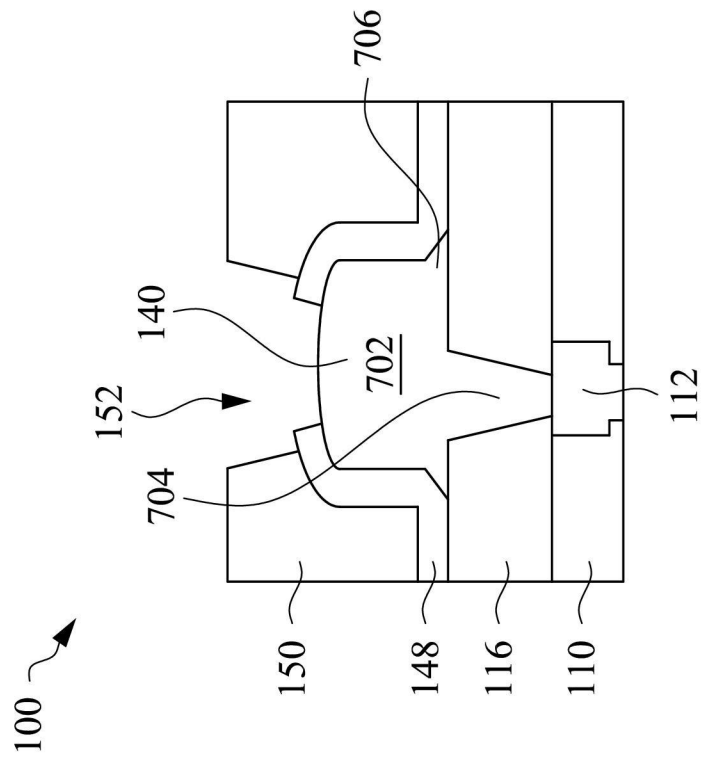


圖 7B

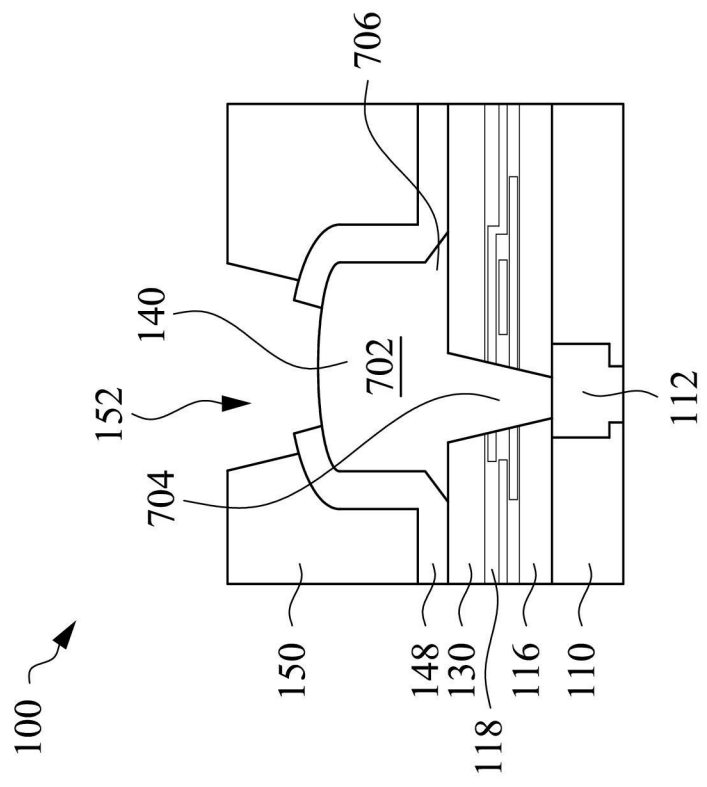


圖 7A