



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

256717

(11)

(B1)

(51) Int. Cl.⁴
G 06 F 13/14

(22) Prihlášené 26 09 85
(21) (PV 6852-85)

(40) Zverejnené 17 09 87

(45) Vydané 15 11 88

(75)

Autor vynálezu

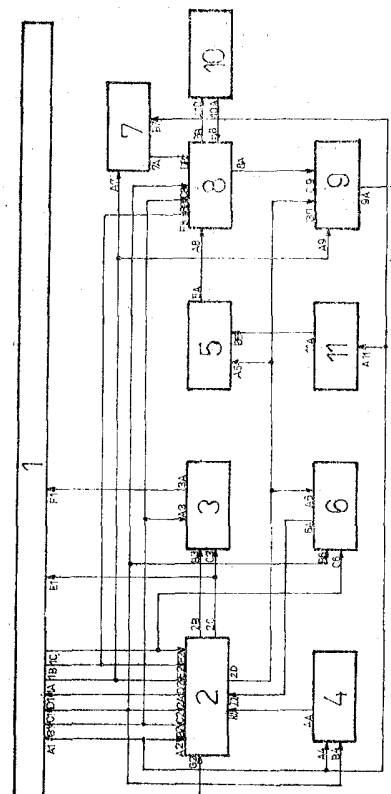
HOTTMAR VLADIMÍR ing., SCHWARTZ LADISLAV ing., ŽILINA

(54) Zapojenie spolupráce radičov priameho prístupu do pamäte
a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov

1

Zapojenie umožňuje spoluprácu radiča priameho prístupu do pamäte z jednej systémovej stavebnice prvkov a jeho ekvivalentov so sériovým vstupno-výstupným radičom z inej systémovej stavebnice prvkov a jeho ekvivalentov. Týmto spôsobom je možné využiť sériový vstupno-výstupný radič až na maximálnu rýchlosť prenosu bez účasti procesora. Zapojenie prispôbuje a synchronizuje súčinnosť spomenutých radičov určených pre rôzne systémové zbernice.

2



Vynález sa týka zapojenia spolupráce radiča priameho prístupu do pamäte z jednej systémovej stavebnice prvkov a jeho ekvivalentov so sériovým vstupno-výstupným radičom z inej systémovej stavebnice prvkov a jeho ekvivalentov.

Doteraz známe zapojenia s radičom priameho prístupu do pamäte z jednej systémovej stavebnice prvkov a jeho ekvivalentov a so sériovým vstupno-výstupným radičom z inej systémovej stavebnice prvkov a jeho ekvivalentov predpisovali a umožňovali ich spoluprácu len v rámci vlastnej systémovej stavebnice.

Vyššie uvedené nedostatky odstraňuje zapojenie podľa vynálezu, ktorého podstata je v tom, že obojsmerné vstupy dolnej adresnej slabiky bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku radiča priameho prístupu do pamäte a ďalej so vstupmi bloku výberu priameho prístupu do pamäte a tiež so vstupmi bloku dekódera adresy a so vstupmi bloku návestia príkaz — dáta, pričom obojsmerné dátové vstupy bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku radiča priameho prístupu do pamäte a ďalej so vstupmi registra hornej adresnej slabiky a tiež so vstupmi bloku radiča sériového vstupu a výstupu, zatiaľ čo obojsmerné riadiace vstupy bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku radiča priameho prístupu do pamäte a tiež so vstupmi bloku výberu radiča priameho prístupu do pamäte a ďalej so vstupmi bloku synchronizácie doby prístupu a tiež so vstupmi bloku radiča sériového vstupu a výstupu, pričom výstup potvrdenia priameho prístupu do pamäte bloku systémovej zbernice je spojený so vstupom bloku radiča priameho prístupu do pamäte a tiež so vstupom bloku generovania žiadosti a so vstupom bloku návestia príkaz — dáta, zatiaľ čo výstup systémových hodín bloku systémovej zbernice je spojený so vstupom bloku radiča priameho prístupu do pamäte a tiež so vstupom bloku synchronizácie doby prístupu, pričom výstup žiadosti o priamy prístup bloku radiča priameho prístupu do pamäte je spojený so vstupom bloku systémovej zbernice a výstup nulovania bloku systémovej zbernice je spojený so vstupom bloku radiča sériového vstupu a výstupu, a tiež so vstupom bloku radiča priameho prístupu do pamäte, ktorého výstup povolenia je spojený so vstupom registra hornej adresnej slabiky a výstup strobovania bloku radiča priameho prístupu do pamäte je spojený so vstupom registra hornej adresnej slabiky, ktorého výstupy hornej adresnej slabiky sú spojené so vstupmi bloku systémovej zbernice, zatiaľ čo výstup potvrdenia žiadosti bloku radiča priameho prístupu do pamäte je spojený so vstupom bloku synchronizácie doby prístupu a tiež so vstupom bloku výberu radiča sériového vstupu a výstupu a so vstupom bloku generovania

žiadosti, zatiaľ čo výstup pripravenosti bloku synchronizácie doby prístupu je spojený so vstupom bloku radiča priameho prístupu do pamäte a výstup žiadosti bloku generovania žiadosti je spojený so vstupom bloku radiča priameho prístupu do pamäte, pričom výberový výstup bloku dekódera adresy je spojený so vstupom bloku výberu radiča sériového vstupu a výstupu, ktorého povolovací výstup je spojený so vstupom bloku radiča sériového vstupu a výstupu, zatiaľ čo výstup bloku návestia príkaz — dáta je spojený so vstupom bloku radiča sériového vstupu a výstupu, ktorého výstup žiadosti je spojený so vstupom bloku generovania žiadosti, pričom sériový výstup dát bloku radiča sériového vstupu a výstupu je spojený so vstupom bloku prevodníka signálu a sériový výstup dát bloku prevodníka signálu je spojený so vstupom bloku radiča sériového vstupu a výstupu.

Zapojenie podľa tohoto vynálezu je oproti doteraz známym zapojeniam výhodné preto, že umožňuje spoluprácu radičov priameho prístupu do pamäte a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov a ich ekvivalentov. Priame spojenie takýchto prvkov nie je možné.

Na priloženom výkrese obr. 1 je zobrazená celková blokovaná schéma zapojenia podľa tohoto vynálezu.

Príklad konkrétnej realizácie vynálezu je riešenie podľa obr. 1, vyznačujúce sa tým, že obojsmerné vstupy A1 dolnej adresnej slabiky bloku 1 systémovej zbernice sú spojené s obojsmernými vstupmi A2 bloku 2 radiča priameho prístupu do pamäte a ďalej so vstupmi A4 bloku 4 výberu priameho prístupu do pamäte a tiež so vstupmi A11 bloku 11 dekódera adresy a so vstupmi B7 bloku 7 návestia príkaz — dáta. Obojsmerné dátové vstupy B1 bloku 1 systémovej zbernice sú spojené s obojsmernými vstupmi B2 bloku 2 radiča priameho prístupu do pamäte a ďalej so vstupmi A3 registra 3 hornej adresnej slabiky a tiež so vstupmi B8 bloku 8 radiča sériového vstupu a výstupu. Obojsmerné riadiace vstupy C1 bloku 1 systémovej zbernice sú spojené s obojsmernými vstupmi C2 bloku 2 radiča priameho prístupu do pamäte a tiež so vstupmi B4 bloku 4 výberu radiča priameho prístupu do pamäte a ďalej so vstupmi B6 bloku 6 synchronizácie doby prístupu a tiež so vstupmi C8 bloku 8 radiča sériového vstupu a výstupu. Výstup 1A potvrdenia priameho prístupu do pamäte bloku 1 systémovej zbernice je spojený so vstupom D2 bloku 2 radiča priameho prístupu do pamäte a tiež so vstupom A9 bloku 9 generovania žiadosti a so vstupom A7 bloku 7 návestia príkaz — dáta. Výstup 1C systémových hodín bloku 1 systémovej zbernice je spojený so vstupom F2 bloku 2 radiča priameho prístupu do pamäte a tiež so vstupom C6 bloku 6 synchronizácie doby prístupu. Výstup 2A žiadosti o priamy prístup

stup bloku 2 radiča priameho prístupu do pamäte je spojený so vstupom D1 bloku 1 systémovej zbernice. Výstup 1B nulovania bloku 1 systémovej zbernice je spojený so vstupom F8 bloku 8 radiča sériového vstupu a výstupu a tiež so vstupom E2 bloku 2 radiča priameho prístupu do pamäte, ktorého výstup 2B povolenia je spojený so vstupom B3 registra 3 hornej adresnej slabiky. Výstup 2C strobovania bloku 2 radiča priameho prístupu do pamäte je spojený so vstupom C3 registra 3 hornej adresnej slabiky, ktorého výstupy 3A hornej adresnej slabiky sú spojené so vstupmi F1 bloku 1 systémovej zbernice. Výstup 2D potvrdenia žiadosti bloku 2 radiča priameho prístupu do pamäte je spojený so vstupom A6 bloku 6 synchronizácie doby prístupu a tiež so vstupom A5 bloku 5 výberu radiča sériového vstupu a výstupu a so vstupom B9 bloku 9 generovania žiadosti.

Výstup 6A pripravenosti bloku 6 synchronizácie doby prístupu je spojený so vstupom I2 bloku 2 radiča priameho prístupu do pamäte. Výstup 9A žiadosti bloku 9 generovania žiadosti je spojený so vstupom G2 bloku 2 radiča priameho prístupu do pamäti.

Výberový výstup 11A bloku 11 dekódera adresy je spojený so vstupom B5 bloku 5 výberu radiča sériového vstupu a výstupu, ktorého povolovací výstup 5A je spojený so vstupom A8 bloku 8 radiča sériového vstupu a výstupu. Výstup 7A bloku 7 návestia príkaz — dáta je spojený so vstupom D8 bloku 8 radiča sériového vstupu a výstupu,

ktorého výstup 8A žiadosti je spojený so vstupom C9 bloku 9 generovania žiadosti. Sériový výstup 8B dát bloku 8 radiča sériového vstupu a výstupu je spojený so vstupom A10 bloku 10 prevodníka signálu. Sériový výstup 10A dát bloku 10 prevodníka signálu je spojený so vstupom E8 bloku 8 radiča sériového vstupu a výstupu. Výstup 4A bloku 4 výberu radiča priameho prístupu do pamäte je spojený so vstupom H2 bloku 2 radiča priameho prístupu do pamäte.

Zapojenie, ktoré je predmetom tohto vynálezu, umožňuje spoluprácu prvkov z dvoch rôznych systémových stavebníc. Zapojenie funguje tak, že systémovou zbernicou je prostredníctvom výberu priameho prístupu do pamäte ovládaný radič priameho prístupu do pamäte a prostredníctvom dekódera adresy spolu s výberom radiča sériového vstupu a výstupu. Systémovou zbernicou a radičom priameho prístupu do pamäte je ovládaný register hornej adresnej slabiky. V režime priameho prístupu do pamäte je blokom generovania žiadosti vydaná žiadosť o priamy prístup a vzájomná spolupráca medzi radičom priameho prístupu do pamäte a radičom sériového vstupu a výstupu je synchronizovaná obvodmi synchronizácie doby prístupu.

Zapojenie podľa tohto vynálezu umožňuje spoluprácu prvkov z dvoch rôznych systémových stavebníc. Toto zapojenie je použité v riadení terminálovej pokladne. Môže byť tiež použité aj v iných mikroprocesorových radičoch zariadení.

PREDMET VYNÁLEZU

Zapojenie spolupráce radičov priameho prístupu do pamäte a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov, vyznačujúce sa tým, že obojsmerné vstupy (A1) dolnej adresnej slabiky bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (A2) bloku (2) radiča priameho prístupu do pamäte a ďalej so vstupmi (A4) bloku (4) výberu priameho prístupu do pamäte a tiež so vstupmi (A11) bloku (11) dekódera adresy a so vstupmi (B7) bloku (7) návestia príkaz — dáta, pričom obojsmerné dátové vstupy (B1) bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (B2) bloku (2) radiča priameho prístupu do pamäte a ďalej so vstupmi (A3) registra (3) hornej adresnej slabiky a tiež so vstupmi (B8) bloku (8) radiča sériového vstupu a výstupu, zatiaľ čo obojsmerné riadiace vstupy (C1) bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (C2) bloku (2) radiča priameho prístupu do pamäte a tiež so vstupmi (B4) bloku (4) výberu radiča priameho prístupu do pamäte a ďalej so vstupmi (B6) bloku (6) synchronizácie doby prístupu a tiež so vstupmi (C8) bloku (8) radiča sé-

riového vstupu a výstupu, pričom výstup (1A) potvrdenia priameho prístupu do pamäte bloku (1) systémovej zbernice je spojený so vstupom (D2) bloku (2) radiča priameho prístupu do pamäte a tiež so vstupom (A9) bloku (9) generovania žiadosti a so vstupom (A7) bloku (7) návestia príkaz — dáta, zatiaľ čo výstup (1C) systémových hodín bloku (1) systémovej zbernice je spojený so vstupom (F2) bloku (2) radiča priameho prístupu do pamäte a tiež so vstupom (C6) bloku (6) synchronizácie doby prístupu, pričom výstup (2A) žiadosti o priamy prístup bloku (2) radiča priameho prístupu do pamäte je spojený so vstupom (D1) bloku (1) systémovej zbernice a výstup (1B) nulovania bloku (1) systémovej zbernice je spojený so vstupom (F8) bloku (8) radiča sériového vstupu a výstupu a tiež so vstupom (E2) bloku (2) radiča priameho prístupu do pamäte, ktorého výstup (2B) povolenia je spojený so vstupom (B3) registra (3) hornej adresnej slabiky a výstup (2C) strobovania bloku (2) radiča priameho prístupu do pamäte je spojený so vstupom (C3) registra (3) hornej adresnej slabiky, ktoré-

ho výstupy (3A) hornej adresnej slabiky sú spojené so vstupmi (F1) bloku (1) systémovej zbernice, zatiaľ čo výstup (2D) potvrdenia žiadosti bloku (2) radiča priameho prístupu do pamäte je spojený so vstupom (A6) bloku (6) synchronizácie doby prístupu a tiež so vstupom (A5) bloku (5) výberu radiča sériového vstupu a výstupu a so vstupom (B9) bloku (9) generovania žiadosti, zatiaľ čo výstup (6A) pripravenosti bloku (6) synchronizácie doby prístupu je spojený so vstupom (I2) bloku (2) radiča priameho prístupu do pamäte a výstup (9A) žiadosti bloku (9) generovania žiadostí je spojený so vstupom (G2) bloku (2) radiča priameho prístupu do pamäti, pričom výberový výstup (11A) bloku (11) dekódera adresy je spojený so vstupom (B5) bloku (5) výberu radiča sériového vstupu a výstupu, ktorého

výstupu (5A) je spojený so vstupom (A8) bloku (8) radiča sériového vstupu a výstupu, zatiaľ čo výstup (7A) bloku (7) návestia príkaz -- dáta je spojený so vstupom (D8) bloku (8) radiča sériového vstupu a výstupu, ktorého výstup (8A) žiadosti je spojený so vstupom (C9) bloku (9) generovania žiadosti, pričom sériový výstup (8B) dát bloku (8) radiča sériového vstupu a výstupu je spojený so vstupom (A10) bloku (10) prevodníka signálu a sériový výstup (10A) dát bloku (10) prevodníka signálu je spojený so vstupom (E8) bloku (8) radiča sériového vstupu a výstupu, pričom výstup (4A) bloku (4) výberu radiča priameho prístupu do pamäte je spojený so vstupom (H2) bloku (2) radiča priameho prístupu do pamäte.

