(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 3 月 3 日(03.03.2011)

PCT

(10) 国際公開番号
WO 2011/024654 A1

(51) 国際特許分類:
G06T 1/20 (2006.01)

(21) 国際出願番号: PCT/JP2010/063740

(22) 国際出願日: 2010 年 8 月 13 日(13.08.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-195777 2009 年 8 月 26 日(26.08.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 国立大学法人東京大学 **(THE UNIVERSITY OF TOKYO)** [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 石川 正俊 **(ISHIKAWA, Masatoshi)** [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 国立大学法人東京大学内 Tokyo (JP). 小室 孝 **(KOMURO, Takashi)** [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 国立大学法人東京大学内 Tokyo (JP). 田畑 友啓 **(TABATA, Tomohira)** [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 成瀬 重雄 **(NARUSE, Shigeo)**; 〒1020093 東京都千代田区平河町２丁目１０番６号 南山ビル２階 成瀬・稲葉・井波特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

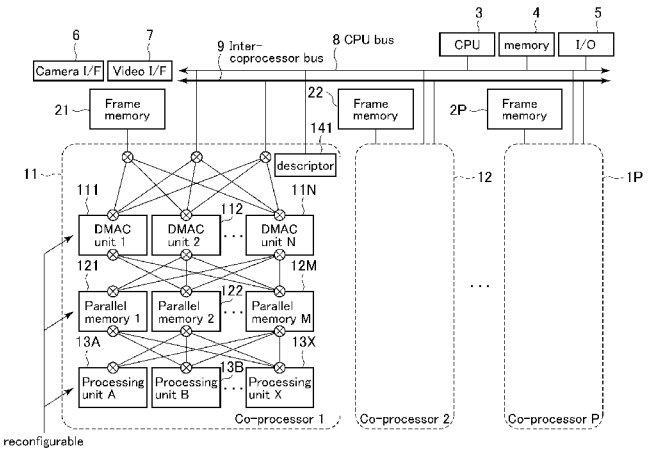
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: IMAGE PROCESSING DEVICE AND IMAGE PROCESSING METHOD

(54) 発明の名称 : 画像処理装置及び画像処理方法

[図1]



(57) Abstract: Disclosed are an image processing device and an image processing method which achieve an increase in the speed of image processing by designating and operating a plurality of image processing units each corresponding to a specific function for the image processing in accordance with a program. A frame memory (21...) stores image data to be processed. Parallel memories (121...) each receive all or part of the image data stored in the frame memory (21...) and transmit the received image data to any of DMACs (111...) or processing units (13A...) for the image processing. The processing units (13A...) each have a function corresponding to a function for the image processing. The processing units (13A...) each receive all or part of the image data from the parallel memory (121...) or the frame memory (21...) in accordance with a command from a CPU (3) and perform processing based on the function for the image processing on all or part of the image data.

(57) 要約:

[続葉有]

WO 2011/024654 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本発明は、画像処理のための特定の関数に対応する複数の画像処理部をプログラムによって指定して動作させることによって、画像処理の高速化を図るものである。フレームメモリ２１…は、処理されるべき画像データを格納する。並列メモリ１２１…は、フレームメモリ２１…に格納された画像データの全部又は一部を受け取って、画像処理用の DMAC １１１…又は処理ユニット１３Ａ…のいずれかに送る。処理ユニット１３Ａ…は、画像処理のための関数に対応した機能を有している。処理ユニット１３Ａ…は、ＣＰＵ３からの指令に従って、並列メモリ１２１…又はフレームメモリ２１…から、画像データの全部又は一部を受け取り、さらに、画像データの全部又は一部に対して、画像処理のための関数に従った処理を行う。

明　細　書

発明の名称 ： 画像処理装置及び画像処理方法

技術分野

[0001] 本発明は、画像の高速処理に適した装置及び方法に関するものである。

背景技術

[0002] 従来のマシンビジョン及びロボットビジョンの多くにおいては、人間の視覚特性を元に定められたビデオフレームレート（24～60fps）を上限としたフレームレートが用いられてきた。それに対し、ビデオフレームレートを大幅に超える、1000fpsオーダーの高フレームレートカメラを用いたリアルタイムビジョン（以下、高速ビジョンと呼ぶ）の研究が行われている。

[0003] 例えば、高速ビジョンを用いることで、安定した視覚フィードバック制御が可能となることから、高速ビジョンは、高速な動作が必要なロボットの制御に応用されている（下記非特許文献１～５）。

[0004] また、高速ビジョンは、速い動きを計測できることから、生体観察（下記非特許文献６及び７）や、モーションキャプチャ（下記非特許文献８）、流体計測（下記非特許文献９）などにも応用されている。

[0005] このほか、トラッキング（下記非特許文献１０及び１１）、三次元計測（下記非特許文献１２及び１３）、画像合成（下記非特許文献１４及び１５）、オプティカルフロー推定（下記非特許文献１６）など、一般的な画像処理の性能向上に高速ビジョンを利用した研究もある。

[0006] このような高いフレームレートの動画像をリアルタイムに扱うには、高い演算性能が必要となる。近年のコンピュータの飛躍的な性能向上により、PCを用いたシステムでも、ある程度までの性能を出すことはできるが、PCは安定性や信頼性に欠けるという問題がある。したがって、実用的な高速ビジョンを実現するためには、組み込みシステムを用いることが望ましいと考えられる。組み込みシステムを用いることで、ハードウェア構成を使用目的に合わせて最適化でき、システムの小型化にもつながる。

[0007] 一方、通常の組み込みシステムで用いられるCPUは、PCのそれに比べて非力なため、コプロセッサによる画像処理のアクセラレーションが必須となる。これまでに開発された高速ビジョンシステムは、SIMD型の超並列プロセッサを採用したり（下記非特許文献１０）、ハードウェア構成を書き換えることができるLSIであるFPGA(Field Programmable Gate Array)に専用回路を実装したり（下記非特許文献１７及び１８）して、演算の高速化を図っている。

[0008] SIMD型の超並列プロセッサは、多くの画素に対して均一に処理を行う場合において、きわめて高い性能が実現できる（下記非特許文献１９～２２）。しかし、画像の一部に対して処理を行う場合には、必ずしもすべての処理要素（PE）を有効に活用できない。高速ビジョンを用いた多くのアプリケーションでは、画像全体に対する処理よりも、トラッキングなどの局所領域に対する処理を高速に行う必要があり、小領域の計算が中心となるため、この問題は深刻である。

[0009] また、多くの場合、PE間のデータ転送は隣接PEとの間のみ可能となっており、拡大・縮小や回転などの幾何変換を効率よく実装することが難しい。したがって、実装できるアルゴリズムが制限されてしまう。

[0010] このほか、イメージセンサの撮像面上で演算処理を行うfocal plane processorも、高フレームレート処理に向いているといえるが、回路面積に対する制約から、多くは特定の処理に特化して作られている。汎用の演算を行うものも開発されている（下記非特許文献２３～２６）が、上のSIMD型の超並列プロセッサと同様の問題を抱えている。

[0011] またDSPを画像処理に利用することも考えられる。近年ではVLIW（Very Long Instruction Word）やマルチコアなどの並列処理技術を採用したDSPが登場しており、高速処理が可能となっている（下記非特許文献２７及び２８）。しかし、VLIWを用いたアーキテクチャにおいては、アルゴリズムの並列化が主にコンパイラによって自動的に行われるため、命令の実行に要する時間があらかじめ予測できかったり、あるいは、予期しない理由によって実行速度が低下したりすることがある。

[0012] それに対し、ASICやFPGAはアルゴリズムが持つ並列性をそのままハードウェアに実装できるので、並列化の効率が高く、処理を最適化しやすい。特にハードウェア構成を書き換え可能なLSIであるFPGAは、プロトタイプや少量生産に向いている。一方、FPGAを用いたシステムは、アルゴリズムを変更しようとする毎にHDL(Hardware Description Language)による回路設計が必要となり、開発コストが高いという問題がある。

[0013] それに対し、FPGAのリコンフィギャラビリティ（reconfigurability）を用いて、汎用CPUのインストラクションセットをカスタマイズすることができるシステムも提案されている（下記非特許文献２９）。このシステムでは、CPUの持つソフトウェア開発の容易性とFPGAのリコンフィギャラビリティが両立されており、ユーザーの回路設計の負担を必要最低限にできる。しかし、このシステムでは、CPUはあらかじめ用意されたものしか利用できず、商用の開発ツールやミドルウェア、ソフトウェア資産などを最大限に活用することができない。

[0014] 本発明者らの知見によれば、割り込みやマルチタスクなどによる性能低下を考えると、CPUとFPGAは極力分離し、FPGAが自律的に動作するほうが望ましい。また、画像処理に必要とされる並列処理や並列データアクセス、高速データ転送の仕組みがあらかじめ用意されていることが望ましい。

先行技術文献

非特許文献

[0015] 非特許文献1：[1] A. Namiki, Y. Nakabo, I. Ishii, and M. Ishikawa, "1ms sensory-motor fusion system," IEEE Transactions on Mechatoronics, Vol. 5, No. 3, pp. 244-252, 2000.

非特許文献2：[2] Y. Nakamura, K. Kishi, and H. Kawakami, "Heartbeat synchronization for robotic cardiac surgery," Proc. IEEE International Conference on Robotics and Automation, pp. 2014-2019, 2001.

非特許文献3：[3] R. Ginhoux, J. Gangloff, M. de Mathelin, L. Soler, M. Sanchez, and J. Marescaux, "Beating heart tracking in robotic surge

ry using 500 Hz visual servoing, model predictive control and an adaptive observer," Proc. IEEE International Conference on Robotics and Automation, pp. 274-279, 2004.

非特許文献4：[4] T. Senoo, A. Namiki, and M. Ishikawa, "High-speed batting using a multijointed manipulator," Proc. IEEE International Conference on Robotics and Automation, pp. 1191-1196, 2004.

非特許文献5：[5] N. Furukawa, A. Namiki, T. Senoo, and M. Ishikawa, "Dynamic regrasping using a high-speed multifingered hand and a high-speed vision system,"Proc. IEEE International Conference on Robotics and Automation, pp. 181-187, 2006.

非特許文献6：[6] H. Oku, N. Ogawa, K. Hashimoto, and M. Ishikawa, "Two-dimensional tracking of a motile microorganism allowing high-resolution observation with various imaging techniques," Review of Scientific Instruments, Vol. 76, No. 3, 034301, 2005.

非特許文献7：[7] I. Ishii, Y. Nie, K. Yamamoto, K. Orito, and H. Matsuda, "Real-time and long-time quantification of behavior of laboratory mice scratching," Proc. IEEE International Conference on Automation Science and Engineering, pp. 628-633, 2007.

非特許文献8：[8] K. Yamane, T. Kuroda, and Y. Nakamura, "High-precision and high-speed motion capture combining heterogeneous cameras," Proc. IEEE/RSJ International Conference on Intelligent Robots and Systems, pp. 279-286, 2004.

非特許文献9：[9] Y. Watanabe, T. Komuro, and M. Ishikawa, "A high-speed vision system for moment-based analysis of numerous objects," Proc. IEEE International Conference on Image Processing, pp. V177-180, 2007.

非特許文献10：[10] Y. Nakabo, M. Ishikawa, H. Toyoda, and S. Mizuno, "1ms column parallel vision system and its application of high speed

target tracking," Proc. IEEE International Conference on Robotics and Automation, pp. 650-655, 2000.

非特許文献11：[11] U. Muehlmann, M. Ribo, P. Lang, and A. Pinz, "A new high speed CMOS camera for real-time tracking applications," Proc. IEEE International Conference on Robotics and Automation, pp. 5195-5200, 2004.

非特許文献12：[12] Y. Watanabe, T. Komuro, and M. Ishikawa, "955-fps real-time shape measurement of a moving/deforming object using high-speed vision for numerous-point analysis," Proc. IEEE International Conference on Robotics and Automation, pp. 3192-3197, 2007.

非特許文献13：[13] I. Ishii, K. Yamamoto, K. Doi, and T. Tsuji, "High-speed 3D image acquisition using coded structured light projection," Proc. IEEE/RSJ International Conference on Intelligent Robots and Systems, pp. 925-930, 2007.

非特許文献14：[14] X. Liu and A. Gamal, "Synthesis of high dynamic range motion blur free image from multiple captures," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 50, No. 4, pp. 530-539, 2003.

非特許文献15：[15] T. Komuro, Y. Watanabe, M. Ishikawa, and T. Narabu, "High-S/N imaging of a moving object using a high-frame-rate camera," IEEE International Conference on Image Processing, pp. 517-520, 2008.

非特許文献16：[16] S. Lim, J. Apostolopoulos, and A. Gamal, "Optical flow estimation using temporally oversampled video," IEEE Transactions on Image Processing, vol. 14, No. 8, pp. 1074-1087, 2005.

非特許文献17：[17] I. Ishii, K. Kato, S. Kurozumi, H. Nagai, A. Numata, and K. Tajima, "Development of a mega-pixel and milli-second vision system using intelligent pixel selection," Proc. IEEE Technical Exh

ibition Based Conference on Robotics and Automation, pp. 9-10, 2004.

非特許文献18：[18] K. Shimizu and S. Hirai, "CMOS+FPGA vision system for visual feedback of mechanical systems," Proc. IEEE International Conference on Robotics and Automation, pp. 2060-2065, 2006.

非特許文献19：[19] W. Raab, N. Bruels, U. Hachmann, J. Harnisch, U. Ramacher, C. Sauer, and A. Techmer, "A 100-GOPS programmable processor for vehicle vision systems," IEEE Design & Test of Computers, vol. 20, No. 1, pp. 8-15, 2003.

非特許文献20：[20] H. Noda, M. Nakajima, K. Dosaka, K. Nakata, M. Higashida, O. Yamamoto, K. Mizumoto, T. Tanizaki, T. Gyohten, Y. Okuno, H. Kondo, Y. Shimazu, K. Arimoto, K. Saito, and T. Shimizu, "The design and implementation of the massively parallel processor based on the matrix architecture," Proc. IEEE Journal of Solid-State Circuits, vol. 42, No. 1, pp. 183-192, 2007.

非特許文献21：[21] A. Abbo, R. Kleihorst, V. Choudhary, L. Sevat, P. Wielage, S. Mouy, B. Vermeulen, and M. Heijligers, "Xetal-II: A 107 GOPS, 600 mW massively parallel processor for video scene analysis," IEEE Journal of Solid-State Circuits, vol. 43, No. 1, pp. 192-201, 2008.

非特許文献22：[22] S. Kyo, S. Okazaki, and T. Arai, "An integrated memory array processor architecture for embedded image recognition systems," Proc. International Symposium on Computer Architecture, pp. 134-145, 2005.

非特許文献23：[23] J. Eklund, C. Svensson, and A. A° stro¨m, "VLSI implementation of a focal plane image processor - a realization of the near-sensor image processing concept," IEEE Transactions on Very Large Scale Integrat. (VLSI) Systems, vol. 4, no. 3, pp. 322-335, 1996.

非特許文献24：[24] T. Komuro, S. Kagami, and M. Ishikawa, "A dynamica

lly reconfigurable SIMD processor for a vision chip," IEEE Journal of Solid-State Circuits, Vol. 39, No. 1, pp. 265-268, 2004.

非特許文献25：[25] P. Dudek and P. Hicks, "A general-purpose processor-per-pixel analog SIMD vision chip," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 52, No. 1, pp. 13-20, 2005.

非特許文献26：[26] W. Miao, Q. Lin, W. Zhang, and N. Wu, "A programmable SIMD vision chip for real-time vision applications," IEEE Journal of Solid-State Circuits, vol. 43, pp. 1470-1479 , 2008.

非特許文献27：[27] J. Tanabe, Y. Taniguchi, T. Miyamori, Y. Miyamoto, H. Takeda, M. Tarui, H. Nakayama, N. Takeda, K. Maeda, and M. Matsui , "Visconti: multi-VLIW image recognition processor based on configurable processor," Proc. IEEE Custom Integrated Circuits Conference, pp. 185-188, 2003.

非特許文献28：[28] B. Khailany, T. Williams, J. Lin, E. Long, M. Rygh , D. Tovey, and W. Dally, "A programmable 512 GOPS stream processor for signal, image, and video processing," IEEE Journal of Solid-State Circuits, vol. 43, pp. 202-213, 2008.

非特許文献29：[29] M. Wirthlin, B. Hutchings, and K. Gilson, "The nano processor: a low resource reconfigurable processor," Proc. IEEE Workshop on FPGAs for Custom Computing Machines, pp. 23-30, 1994.

非特許文献30：[30] J. Farrugia, P. Horain, E. Guehenneux, and Y. Alusse, "GPUCV: a framework for image processing acceleration with graphics processors," Proc. IEEE International Conference on Multimedia and Expo, pp. 585-588, 2006.

発明の概要

発明が解決しようとする課題

[0016] 本発明は、以上の現状に鑑みてなされたものである。本発明の主な目的は、画像処理のための特定の関数に対応する複数の画像処理部をプログラムに

よって指定して動作させることによって、画像処理の高速化を図ることである。

課題を解決するための手段

[0017] 前記した課題を解決する手段は、以下の項目のように記載できる。

[0018] （項目１）

コプロセッサと、フレームメモリと、ＣＰＵとを備えており、

前記フレームメモリは、処理されるべき画像データを格納する構成となっており、

前記コプロセッサは、複数の画像処理部と複数の並列メモリとを備えており、

前記並列メモリは、前記フレームメモリに格納された前記画像データの全部又は一部を受け取って前記画像処理部のいずれかに送る構成となっており、

前記複数の画像処理部は、いずれも、画像処理のための関数に対応した機能を有しており、

かつ、前記複数の画像処理部は、前記ＣＰＵからの指令に従って、

前記並列メモリ又は前記フレームメモリから、前記画像データの全部又は一部を受け取り、さらに、

前記画像データの全部又は一部に対して、前記画像処理のための関数に従った処理を行う構成となっている

画像処理装置。

[0019] 画像処理部は、画像処理に用いられる特定の関数に対応する。画像処理を行う場合、処理に必要な関数の実行を、専用の画像処理部で行うことにより、処理を高速化できる。さらに、プログラムにおいては、ＣＰＵを介して、特定の関数あるいは画像処理部を指定して処理を実行させることができる。

[0020] （項目２）

前記コプロセッサは、再構成可能なプログラマブル・ロジック・デバイスによって構成されている

項目１に記載の画像処理装置。

[0021] 再構成可能なプログラマブル・ロジック・デバイスは、通常、FPGA又はFPLAと呼ばれる集積回路である。このようなデバイスをコプロセッサとして用いることにより、画像処理部の機能を、ユーザの必要に応じて書き換えることができる。例えば、不足する関数に対応する画像処理部を追加したり、あるいは、必要な関数に対応する画像処理部を追加することができる。

[0022] （項目３）

前記複数の並列メモリは、デュアルポート・メモリである

項目１又は２に記載の画像処理装置。

[0023] デュアルポート・メモリを用いることにより、メモリへの読み込みと書き込みとを独立に行うことができる。このため、処理を一層高速化することができる。

[0024] また、デュアルポート・メモリを用いることにより、前記ＣＰＵの指令に従って、並列メモリをバッファとしたパイプライン処理を行うことができる。

[0025] （項目４）

前記画像処理部は、ダイレクト・メモリ・アクセス・コントローラと、処理ユニットとを備えており、

前記ダイレクト・メモリ・アクセス・コントローラは、前記並列メモリの動作を制御する構成となっており、

前記処理ユニットは、前記画像処理のための関数に従った処理を行う構成となっている

項目１～３のいずれか１項に記載の画像処理装置。

[0026] （項目５）

前記コプロセッサを複数個備えている

項目１～４のいずれか１項に記載の画像処理装置。

[0027] （項目６）

前記複数のコプロセッサは、共通のコプロセッサ・バスに接続されている

項目５に記載の画像処理装置。

[0028] （項目７）

前記コプロセッサは、ディスクリプタをさらに備えており、

前記ＣＰＵは、前記コプロセッサへの命令を前記ディスクリプタに書き込む構成となっており、

前記コプロセッサは、前記ディスクリプタに書かれている命令を読み取り、前記複数の画像処理部による処理を実行する構成となっている

項目１～６のいずれか１項に記載の画像処理装置。

[0029] ディスクリプタを用いることにより、ＣＰＵは、コプロセッサに対して、一度に複数の処理を指示することができる。このため、コプロセッサの動作完了時におけるＣＰＵへの割り込み回数を減らすことができるという利点がある。

[0030] （項目８）

前記複数の画像処理部は、前記ＣＰＵからの指令に従って、独立して並列に動作する構成となっている

項目１～７のいずれか１項に記載の画像処理装置。

[0031] 複数の画像処理部を並列動作可能とすることにより、ＣＰＵからの指令に従って、タスクレベルでの並列処理が可能となる。また、ディスクリプタに、処理ユニットや待ちユニットをでの処理手順を書き込むことで、タスクレベルでの並列処理を効率的に行うことができる。

[0032] （項目９）

以下のステップを備える画像処理方法：

（１）フレームメモリが、処理されるべき画像データを格納するステップ；

（２）並列メモリが、前記フレームメモリに格納された前記画像データの全部又は一部を受け取るステップ；

（３）前記複数の画像処理部が、ＣＰＵからの指令に従って、前記並列メモリ又は前記フレームメモリから、前記画像データの全部又は一部を受け取るステップ；

（４）前記複数の画像処理部が、前記ＣＰＵからの指令に従って、前記画像データの全部又は一部に対して、画像処理のための関数に従った処理をそれぞれ行うステップ。

[0033] （項目１０）

前記並列メモリとして、デュアルポート・メモリが用いられており、

さらに、複数の画像処理部は、前記ＣＰＵからの指令に従って、前記並列メモリをバッファとしたパイプライン処理を行うものである

項目９に記載の画像処理方法。

[0034] 並列メモリをバッファとしたパイプライン処理を行うことにより、画像処理をさらに高速化することが可能になる。

[0035] （項目１１）

前記複数の画像処理部は、前記ＣＰＵからの指令に従って、独立して並列に動作する構成となっており、

さらに、前記複数の画像処理部は、前記ＣＰＵからの指令に従って、タスクレベルでの並列処理を行うものである

項目９又は１０に記載の画像処理方法。

[0036] タスクレベルでの並列処理を行うことにより、画像処理の高速化を図ることができる。

発明の効果

[0037] 本発明によれば、高速な画像処理が実現可能であり、しかも、プログラム作成上の負担が過大にならない画像処理装置及び方法を提供することが可能になる。

図面の簡単な説明

[0038] [図1]本発明の一実施形態に係る画像処理装置の概略的なブロック図である。

[図2]図１の装置を用いた画像処理方法の概略を示すフローチャートである。

[図3]図１の装置における概略的なハードウエア構成図である。

発明を実施するための形態

[0039] 本発明の一実施形態に係る画像処理装置を、添付の図面を参照しながら説

明する。この画像処理装置は、主な要素として、Ｐ個のコプロセッサ１１、１２、…、１Ｐと、Ｐ個のフレームメモリ２１、２２、…、２Ｐと、ＣＰＵ３とを備えている。さらに、この装置は、メインメモリ４と、Ｉ／Ｏインタフェース５と、カメラインタフェース６と、ビデオインタフェース７と、ＣＰＵバス８と、インターコプロセッサバス９とを備えている。

[0040] 各フレームメモリ２１…は、処理されるべき画像データを格納する構成となっている。具体的には、この実施形態では、カメラインタフェース６又はビデオインタフェース７から取り込まれた画像データを格納する構成となっている。図示されているように、各フレームメモリ２１…は、各コプロセッサ１１…に対応して設けられている。

[0041] コプロセッサ１１…は、いずれも、複数のダイレクト・メモリ・アクセス・コントローラ（DMAC）１１１、１１２、…、１１Ｎと、複数の並列メモリ１２１、１２２、…、１２Ｍと、複数の処理ユニット１３Ａ、１３Ｂ、…、１３Ｘとを備えている。なお、各コプロセッサの基本的な内部構成は、この実施形態においては同様なので、コプロセッサ１１の内部構成についてのみ詳しく説明する。

[0042] この実施形態では、DMAC１１１…と処理ユニット１３Ａ…とにより、本発明における複数の画像処理部が構成されている。なお、DMACと処理ユニットとは１対１で対応するものではない。この明細書においては、処理ユニットが複数あることをもって、画像処理部が複数あることとする。ただし、DMAC１１１…が画像処理機能を受け持っている場合は、DMACが複数あることをもって、画像処理部が複数あると把握することも可能である。

[0043] DMAC１１１…は、並列メモリ１２１…の動作を制御する構成となっている。ただし、この実施形態では、さらに、DMAC１１１が、処理ユニット１３Ａ…と分担して、画像処理の機能を実行するようになっている。

[0044] 処理ユニット１３Ａ…は、画像処理のための関数に対応した構成となっている。

[0045] 並列メモリ１２１…は、フレームメモリ２１に格納された画像データの全

部又は一部を受け取り、DMACを介していずれかの処理ユニット１３Ａ…に送る構成となっている。

[0046] また、本実施形態の並列メモリ１２１…としては、デュアルポート・メモリが用いられている。

[0047] 本実施形態における複数のDMAC１１１…及び処理ユニット部１３Ａ…は、いずれも、画像処理のための関数に対応した機能を有している。ただし、この機能を処理ユニット１３Ａ…のみが受け持つ構成も可能である。

[0048] DMAC１１１…及び処理ユニット部１３Ａ…は、ＣＰＵ３からの指令に従って、並列メモリ１２１…又はフレームメモリ２１から、画像データの全部又は一部を受け取る構成となっている。さらに、DMAC１１１…及び処理ユニット部１３Ａ…は、画像データの全部又は一部に対して、画像処理のための関数に従った処理を行う構成となっている。

[0049] 本実施形態のコプロセッサ１１…は、再構成可能なプログラマブル・ロジック・デバイス、すなわち、いわゆるFPGAによって構成されている。したがって、コプロセッサ１１…における並列メモリ１２１…の数と容量、並びに、DMAC１１１…及び処理ユニット１３Ａ…の数と機能は、コプロセッサ１１…の書き換えによって変更可能である。

[0050] Ｉ／Ｏインタフェース５は、外部機器（図示せず）との間での入出力動作を制御する部分である。

[0051] カメラインタフェース６は、カメラ（図示せず）から画像を取り込むための機能を有している。

[0052] ビデオインタフェース７は、ビデオ（図示せず）から画像を取り込むための機能を有している。

[0053] ＣＰＵバス８は、ＣＰＵ３と各コプロセッサ１１…との間におけるデータ転送を行うためのバスである。

[0054] インターコプロセッサバス９は、各コプロセッサ１１…どうしの間におけるデータ転送を行うためのバスである。

[0055] 各コプロセッサ１１…は、ディスクリプタ１４１をさらに備えている。デ

ィスクリプタ１４１は、画像処理やダイレクトメモリアクセス（ＤＭＡ）の内容を、CPU３からの指令に従って書き込むためのレジスタアレイである。つまり、本実施形態のCPU３は、コプロセッサ１１…への命令をディスクリプタ１４１に書き込む構成となっている。

[0056] コプロセッサ１１…は、ディスクリプタ１４１に書かれている命令を読み取り、DMAC１１１…及び処理ユニット１３Ａ…による処理（すなわち複数の画像処理部による処理）を実行する構成となっている。

[0057] （画像処理方法）

つぎに、本実施形態の画像処理装置を用いた画像処理方法を、図２を参照しながら、以下に説明する。

[0058] （図２のステップＳ－１）

まず、CPU３からの指示により、処理対象となる画像を、カメラインタフェース６又はビデオインタフェース７から取り込む。

[0059] （図２のステップＳ－２）

ついで、当該画像を処理するコプロセッサ１１…に対応するフレームメモリ２１…が、当該画像又はその一部を格納する。この処理も、CPU３からの指示により行われる。

[0060] 一方、CPU３は、各コプロセッサ１１…へのコマンドを、それぞれのディスクリプタ１４１に書き込む。

[0061] 具体的には、CPU３は、各ディスクリプタ１４１に以下の情報（コマンド）を書き込む。

・使用する処理ユニット；

・使用する並列メモリ（入力用及び出力用）；

・処理のためのパラメータ；

・どの処理ユニットでの処理が完了してから、処理を開始するか(すなわち待ちユニット)。

[0062] （図２のステップＳ－３）

ついで、各コプロセッサ１１…は、ディスクリプタ１４１に書き込まれた

コマンドを読み取る。

[0063] すなわち、各コプロセッサ１１…は、ディスクリプタ１４１に書かれているコマンドを読み、処理を各画像処理部（DMAC及び処理ユニット）に割り当てる。それぞれのDMAC及び処理ユニットは独立して並列に動作する。たとえば、総和計算を行いながら座標変換を行う、といった事も可能である。

[0064] ディスクリプタ方式を使うと、コプロセッサに一度に複数の処理を指示できるため、コプロセッサの動作完了時におけるCPUへの割り込みの回数を減らす事ができる。

[0065] （図２のステップＳ－４及びステップＳ－５）

ついで、画像処理部が、フレームメモリ２１…又は並列メモリ１２１…から画像の全部又は一部を受け取って処理する。この処理を以下に詳しく述べる。

[0066] ディスクリプタに書かれている処理を振り分けるモジュール（このモジュールは例えばディスクリプタ内に構築できる）は、以下のように動作する。なお、ここでの説明においては、処理ユニットはDMAC（画像処理機能を持つ場合）を含む。

１）次のディスクリプタを読む。

２）ディスクリプタが空だったら、処理を停止する。

３）使用しようとする処理ユニットと、待ちユニットの全てが使用可能となるまで待つ。

４）処理ユニットに、処理を振り分ける。

５）前記の１）へ戻る。

[0067] ここで、本実施形態においては、待ちユニットを指定しない場合、ディスクリプタに書かれた処理の内容はそれぞれの処理ユニットにすぐに送られる。待ちユニットを指定した場合、指示したユニットが空くまで(処理が完了するまで)、処理の振り分けは行われない。同じユニットを使う処理を並べた場合は、前の処理が完了してから次の処理が行われる。

[0068] 本実施形態のアーキテクチャでは、アルゴリズムの実装を、通常のCPUのプ

ログラミング環境のみを用いて行うことができる。コプロセッサ１１…内に、基本的な画像処理を行う処理ユニット１３Ａ…あるいはDMAC１１１…があらかじめ用意されており、それらを組み合わせて用いることで、さまざまなアルゴリズムを実装できる。本実施形態では、アルゴリズムを変更しようとする毎に回路設計を行う必要がないため、ユーザーの負担が軽減される。また、本実施形態では、処理ユニット１３Ａ…あるいはDMAC１１１…によって特定の関数を高速に実行できるので、画像処理を高速に行うことができる。

[0069] なお、本実施形態では、プログラム中で用意されたAPI(Application Programming Interface)をコールすることで、ディスクリプタに命令を書き込むことができる。

[0070] 例えば、コプロセッサ１１を使って、処理ユニット１３Ａと処理ユニット１３Ｂの両方が完了してから処理ユニット１３Ａで処理を行う場合には、以下のようにする。なお、以下の例において、UNIT_A1、UNIT_A2のような添え字は、同じ機能を持つ処理モジュールであることを示している。

[0071]

```
proc_A(CP_1, UNIT_A1, 0, ...);
proc_B(CP_1, UNIT_B, 0, ...);
proc_A(CP_1, UNIT_A2, UNIT_A1 |
UNIT_B, ...);
```

[0072] ここで、関数proc_Xは、以下のフォーマットを取る。関数名は、処理の種類を表す。cpは使用するコプロセッサ、unitは使用する処理ユニット、wunitは待ちユニットを示す。このほか、使用するメモリやアドレス、画像サイズ、演算のパラメータなども引数で指定する。

[0073]

```
proc_X(int cp, int unit, int wunits,
...);
```

[0074] sync()を呼ぶと、指定した処理ユニットが空くまで、ファームウェアは待ちに入る。sync()の引数には、使用するコプロセッサcp及び待ちユニットwun

itを取る。

[0075]

```
proc_A(CP_1, UNIT_A1, ...);
proc_B(CP_1, UNIT_B, ...);
sync(CP_1, UNIT_A1 | UNIT_B);
```

[0076] 前記したように、予め準備した関数だけでは不十分な場合、コプロセッサ１１…を構成するFPGA内の論理回路を書き換えることによって、必要な関数を準備することができる。この際には回路設計が必要となってしまうが、コプロセッサ全体ではなく、ユニット単位で変更できるため、回路設計の負担は必要最低限となる。

[0077] さらに、FPGAを書き換えた場合でもプロセッサの基本構成は変わらないため、ソフトウェアの互換性を極力保つことができる。例えば、同一機能のユニットは同じ関数名、ユニット名で呼び出せるようにすることで、既存コードの変更を必要最低限にすることができる。

[0078] 処理ユニット１３Ａ…は、処理毎に専用回路で実装されており、演算の同時実行やパイプラインによる並列化がなされている。加えて、並列メモリ１２１…から複数のデータを同時に読み出すことにより、1クロックに1画素以上の処理を行わせることができる。これらはタスク内での並列処理とみなすことができる。

[0079] すなわち、本実施形態においては、並列に動作する複数の画像処理部を用いて、CPUからの指令（つまりプログラム）に従って、タスクレベルでの並列処理を行うことができる。

[0080] 一方、処理をタスクレベルで並列化するには、以下の方法がある。

１）同一コプロセッサ内で、複数のユニットを同時に使用する。

２）複数のコプロセッサを同時に使う。

[0081] 同一コプロセッサ内で複数のユニットを同時に使用する場合、複数のユニットが同じメモリへの同時入力、または同時出力を行うことはできない（実行時エラーになる）。これは、FPGAの内部メモリにはアービトレーション機

能が無いためである。ただし、メモリにアービトレーション機能が実装されていれば、同時アクセスが可能となる。例えば、並列メモリであるINTRAM1を入力として総和計算をしている間、スケール変換の入力としてINTRAM1を使う事はできないが、他の並列メモリであるINTRAM2を入力とする事は可能である。

[0082] また、総和計算のための処理ユニットが二つある場合において、一方の処理ユニットでINTRAM1を入力としている場合、他方の処理ユニットでINTRAM1を入力とする事もできない。

[0083] 他方、PBSRAM（後述）、フレームメモリなどのように、FPGAの外部にあるメモリに関しては、一般的に、アービトレーション機能が実装されているので、同時にアクセスする事ができる。

[0084] アルゴリズムを実装する際に、並列化のために処理を分割する方法としては、

・一枚の画像を分割して、それぞれを別ユニットで実行させる方法、

・テンプレートマッチングなどのように同じ処理を複数回行う場合に、それらを別ユニットで実行させる方法、

・タスクレベルで処理をパイプライン化する方法

などがある。

[0085] 一般に同一の処理を複数のユニットに振り分ける場合、リソースの競合の観点から、別々のコプロセッサに割り当てるのがよい。一方、タスク間の依存関係が強い場合は、転送コストを考えると同一コプロセッサ内で割り当てるのがよい。

[0086] ここで、本実施形態のように、並列メモリ１２１…をデュアルポートRAMで構成した場合は、読み込みと書き込みを独立に行うことができる。したがって、処理の出力先が次の処理の入力元になっている場合であっても、後ろの処理が前の処理を追い越さないことが保証できる場合は、処理がすべて完了する前に次の処理を開始できる。

[0087] これにより、前の処理が完了し、結果をすべてメモリに書き込むまで次の

処理が実行できない場合に比べて、より短いステージでパイプラインを構成することができるため、処理の高速化に貢献できる。つまり、本実施形態では、並列メモリとしてデュアルポート・メモリを用いることによって、CPUの指令（つまりプログラム）に従って、メモリをバッファとしたパイプライン処理を行うことができ、処理を高速化することが可能になる。

[0088] 処理のパイプライン化の具体例は後述する（後述の表４）。

[0089] （実施例）

上に述べたアーキテクチャに基づいて、本発明者らは、以下に示す評価用のシステムを開発した。システムのデザインと性能評価の結果を示す。

[0090] 開発したシステムのブロック図を図３に示す。このシステムは２枚のサブボードが載った１枚のメインボードに実装されている。

[0091] メインボードにはFPGA、メモリ、I/Oポートなどが搭載されており、サブボードは、CPUボードとカメラインターフェースボードである。前記した実施形態の要素と実施例のハードウエアとの対応を以下に示す。

・FPGA：コプロセッサ

・DDR2DIMM：フレームメモリ

・DIO、USB、RS-232C、Ethernet（登録商標）：I/Oインタフェース

・DDR-SDRAM：メインメモリ

・EXT.BUS：拡張バス。なお、この拡張バスを介して各FPGAはCPUバスに接続されている。したがって、機能上は、この拡張バスは、コプロセッサ間のバスとCPUバスとを兼ねていることになる。

[0092] なお、図３中のPBSRAMは、図１には示していないが、各FPGA用の外部メモリである。

[0093] この実施例では、開発コストを抑えるため、CPUボードは市販のCPU基板ESPT-Giga（商品名）を利用し、拡張バスを通じてメインボード内のFPGAと接続している。ESPT-Gigaは、CPUにRenesas SH7763（SH-4A, 266MHz)、メモリには64MBのDDR-SDRAMを搭載し、入出力として、10/100/1000BASE Ethernet（登録商標）、USB1.1、RS232Cを備えている。

[0094] ここで、ESPT-Gigaは、ウェブサーバー機能を内蔵することが可能であり、PCからブラウザを通してシステムを操作したり、処理結果を表示することができる。これにより、LANによる遠隔管理が可能となり、多数のシステムを一台のPCで管理することができるようになっている。

[0095] 本実施例では、FPGAとして、Altera製のEP2S60F1020C5を２個搭載している。図３中でPBSRAMとあるのは、FPGAのコンフィギュレーションデータを格納するためのフラッシュメモリ（8MBytes）であり、これは、各FPGAに搭載されている。

[0096] FPGAはそれぞれフレームメモリ（DRAM）を持っており、カメラからの入力画像は自動的にFPGA1のフレームメモリに溜められる。カメラインタフェースはFPGA1に接続されている。個別のカメラ用の物理インタフェースは、メインボード上に取り付けられるカメラインタフェース基板に実装されて使用される。本実施例の実装では、カメラ用のインタフェースは、Basler製のA504k（モノクロ）/kc（カラー）と、Microtron製のEosens MC1362（モノクロ）/1363（カラー）に対応している。これらのカメラは、最大で1280×1024画素の画像を、500fpsでリアルタイム出力することができる。また、これらのカメラでは、画像の行数を減らすことでフレームレートを上げることが可能となっており、たとえば1280×512画素であれば1000fpsで出力できる。

[0097] 前記したA504k/kcおよびMC1362/1363は、Camera Link規格を独自拡張したインタフェースを採用しており、２本のCamera Link ケーブルでボードと接続される。これらのカメラは、通常のCamera Linkインタフェースのカメラと、物理層での互換性があるので、FPGA1の回路を変更することにより、他のカメラにも対応できる。さらに、本実施例では、カメラインタフェース基板を交換することで、IEEE1394やGigabit Ethernet（登録商標）などの他のカメラインターフェースにも対応できるようになっている。

[0098] また、FPGA1には、アナログVGAポートが接続されており、フレームメモリに蓄えられた画像をSXGAサイズ（1280×1024)でディスプレイに出力できるようになっている。

[0099] なお、本実施例の画像処理装置では、フレームメモリとは別に、各FPGAが、小容量のSRAMを持っている。本実施例では、このSRAMを、後述の座標変換処理における入力元として利用できる。

[0100] さらに、本実施例では、ESPT-Gigaでの外部入出力機能とは別に、32ビットのデジタルI/O（DIO）を用意しており、ロボット制御など高いリアルタイム性が要求される用途に利用できる。

[0101] 本実施例における各モジュール間での動作速度は以下の通りである。

・FPGA-DRAM間：3200MB/s（200MHz, 128bit）；

・FPGA-SRAM間：1333MB/s（166.6MHz, 64bit）；

・FPGA-CPU間：133MB/s（66.67MHz, 16bit）；

・FPGA-FPGA間：2133MB/s（133.33MHz, 128bit）。

[0102] 以上述べた本実施例のボードのスペックを下記表１にまとめた。

[0103] [表1]

CPU	Renesas SH7763 (SH-4A, 266 MHz)
OS	Renesas HI7750/4 (μITRON 4.0)
FPGA	Altera Stratix II EP2S60F1020C5× 2
Memory	DDR SDRAM 64 MB (CPU)
	DDR2 DIMM 2 GB (Frame)
	DDR2 SDRAM 128 MB (Frame)
	PBSRAM 8 MB × 2 (FPGA local)
Supported Camera	Basler A504k/kc
	- 1280×1024 pixels @ 500 fps
	- 1280×512 pixels @ 1000 fps
Video Output	SXGA (1280×1024)
I/Os	10/100/1000BASE Ethernet
	USB1.1, 32 bit DIO, RS-232C
Dimensions	257 mm×182 mm×58 mm
Power Supply	12 V, 5 A

[0104] 本実施例では、二つのFPGAのそれぞれに、前記の実施形態で説明したコプ

ロセッサが実装されている。各コプロセッサは、以下のユニットを持つ。

・二つの並列メモリ(64kbytes) (PAR1, PAR4) ;

・四つの並列メモリ(16kbytes) (PAR2, PAR3, PAR5, PAR6) ;

・二つのDMA制御ユニット(DMA1, DMA2) ;

・九つの処理ユニット（後述の表２及び表３参照） ;

・命令ディスクリプタ。

[0105] 本実施例のコプロセッサでは、1画素を16bitとして処理する。カメラから送られてくる画像は一般に8bitであることが多いが、演算の途中過程において、それ以上の精度が必要になることもあるため、16bitを標準とした。たとえば8bit画像同士を加算あるいは減算した場合の結果は9bitである。フィルタ処理など多くの画素を重み付きで足し合わせる場合には、それ以上のビット数が必要となる。

[0106] カラー画像の処理は、RGBそれぞれを3枚の独立したグレースケール画像として扱う。画像の処理ユニットで計算を行う時、16bitの入力データの扱いと出力データの扱いをそれぞれ以下のように指定する事ができる。

・入力データを、

１）0x0000～0xffffとして解釈(符号無し) ;

２）-0x8000～0x7fffとして解釈(符号付き)。

・演算結果を、

１）0x0000～0xffffで表現 ;

２）-0x8000～0x7fffで表現 ;

３）絶対値をとって、0x0000～0xffffで表現。

・演算結果が16bitに収まらない場合は最大値か最小値のいずれかで飽和させる。

・二値化を行う場合、結果yが$T_l \leqq y \leqq T_h$の場合は１、それ以外は０とする。ここで、T_l及びT_hは、適宜に設定される閾値の上限及び下限を示す。

[0107] 画像処理の係数パラメータは、16bit長または12bit長の符号付固定小数点とし、小数点の位置は各パラメータ共通で指定する。

[0108] 並列メモリは、一つにつき同時に128bit(8pixel)のデータの読み書きができる。また、この並列メモリは、デュアルポートRAMで構成されており、読み込みと書き込みを独立に行うことができる。

[0109] DMA制御ユニット（DMAC）は、各メモリ間のデータの転送を行う。本実施例では、CPUとのデータ転送は、各FPGAにおいて、特定のDMAC（例えばDMA2とする）でのみ可能である。また、他方のFPGAにデータを転送できるのは、各FPGAにおいて、他の特定のDMAC（例えばDMA1とする）のみである。各メモリ間でのデータ転送は、128bit単位で行われるが、外部メモリとの間でデータ転送をするときは、外部メモリの動作速度に制限される。

[0110] データの転送範囲としては、

・（一行あたり転送バイト数）×（行数）の設定；

・ソース及びディスティネーションそれぞれの転送開始アドレスと一行あたりのアドレス増分

を指定する。これによって大画面の画像の一部切り出し、埋め込みが可能である。

[0111] 本実施例のDMA制御ユニット（DMAC）には、オプションで以下のデータ操作回路（すなわち画像処理機能）を備えることができる。

[0112] シフト回路

この回路は、16バイト毎にデータを左にバイト単位でシフトした結果を出力するものである。データのsrcアドレスについては、16の倍数でなければならないという制限があるが、シフト回路を使うと、任意のアドレスのデータをsrcとすることができる。

[0113] 間引き回路

この回路は、16バイト毎にデータ入力を受け付け、8→1(出力データ量1/8倍)，4→1(出力データ量1/4倍)，2→1(出力データ量1/2倍)のいずれかの間引きを行ったデータを出力する。この機能とDMA転送のアドレス増分の指定とにより、画像の縮小を行うことができる。

[0114] 変換回路

この回路では、16バイト毎にデータを入力する。そして、8ビット（モノクロ）→16ビット(出力データ量は2倍)、8ビット（ベイヤー）→16ビット（R成分、G成分、B成分のいずれか）、16ビット→8ビット(出力データ量は1/2倍)のいずれかの変換を行うことができる。カメラから送られてくるデータは1画素が8ビットで構成されており、これをコプロセッサで処理するためには、1画素16ビットに変換する必要がある。カラーカメラの場合、ベイヤー変換を行い、RGBのいずれかの成分のみを出力する処理を行う。

[0115] 表２に、各コプロセッサに実装されている演算ユニット（すなわち処理ユニット）を示す。

[0116] [表2]

name	function	pixels per clock	number of units
SCALE	$O(x,y) = a_1 I(x,y) + a_2$	8	2
ARITH	$O(x,y) = a_1 I_1(x,y) I_2(x,y) + a_2 I_1(x,y) + a_3 I_2(x,y) + a_4$	8	2
CONV	$O(x,y) = F * I(x,y)$ $F = \begin{pmatrix} a_1 & a_2 & a_3 \\ a_4 & a_5 & a_6 \\ a_7 & a_8 & a_9 \end{pmatrix}$	4	1
SUM	$S = \sum_x \sum_y I(x,y)$	8	2
AFFINE	$O(x,y) = I(a_1 x + a_2 y + a_3, a_4 x + a_5 y + a_6)$	1	2

[0117] この表における記号の意味は以下の通りである・

・SCALE：画素値を線形にスケーリングする処理；

・ARITH：二つの画像間で加減算、乗算を行う処理；

・3x3CONV：オペレータのカーネルサイズが3×3のコンボリューションフィルタ；

・SUM：指定した範囲で画素値の総和を計算する処理；

・AFFINE：画像を平面アフィン変換で変形する処理。

[0118] ここで、AFFINEは、入力をSRAMから受け取ることができる。SCALE、ARITH、SUMは、１クロックに８画素、3x3CONVは１クロックに４画素、同時に処理を行うことができる。AFFINEは1クロックに1画素だけ処理を行う。

[0119] 本実施例では、画像処理のための処理ユニットとして、一般的によく用いられる画像処理アルゴリズムを実現するのに必要最低限と思われる基本機能を搭載した。他に、処理ユニットに実装することが有用な機能としては、「ルックアップ・テーブル（LUT）を用いた非線形のスケール変換」、「ルックアップ・テーブル（LUT）を用いた非線形の座標変換」及び「論理演算」などが挙げられる。

[0120] 本実施例のディスクリプタは、それぞれ256Word(1Word=2bytes)まで命令を積むことができる。一つの命令は、パラメータの数により1～3Wordで構成される。ここで、一つの命令は、前記したproc_X()関数の一つに対応し、一つのDMA制御ユニットまたは画像処理ユニットを用いて、指定した範囲の画像データに対する処理を指示することができる。なお、何もしないという命令も用意されており、これはsync()関数に対応する。

[0121] （動作周波数、回路規模などのスペック）

本実施例で用いたFPGAは、200MHzで動作し、使用リソースはFPGA1が88%、FPGA2が81%である。

[0122] 表３に、本実施例のシステムが持つ基本機能を用いた処理と、基本機能を組み合わせた処理の計算時間を示す。比較のため、OpenCVを用いて同等の処理をPCに実装した場合の計算時間も示す。使用したPCは、CPUがIntel E6300 (1.86GHz×2)、RAMが3GBで、Visual Studio 2005とOpenCV 1.0を用いて実装し、Windows（登録商標） XP上で計測した。表中のEvalSysは、開発した評価システムを用いた場合の処理時間、OpenCVはPCとOpenCVを用いた場合の処理時間を示す。

[0123]

[表3]

algorithm	time (ns/pixel)		ratio (T_B/T_A)
	EvalSys (T_A)	OpenCV (T_B)	
Basic Image Processing			
Copy†	1.10	0.51	0.46
Bayer Conversion†	2.68	5.15	1.92
Shrink†	2.16	1.87	0.87
Shift	0.76	0.33	0.43
Scaling	0.64	6.14	9.59
Arithmetic Operation	0.76	13.6	17.9
3×3 Convolution	1.41	18.7	13.2
Summation	0.90	0.58	0.64
Affine Transformation	5.16	13.6	2.64
Complex Image Processing			
Centroid Detection	2.34	10.2	4.36

† From frame memory

[0124] 本実施例において、入力元・出力先はFPGA内部の並列メモリとし、画像の大きさは256×32とした。

[0125] 一方、PCでの計測は、同じ処理を100000回繰り返し行い、実行時間の平均を用いた。実装はOpenCVのライブラリを用いて行い、画像は符号付き16ビットとした。ただし、ベイヤー変換およびアフィン変換については、OpenCVの関数が符号付き16ビットに対応していなかったので、符号なし8ビットで実装した。係数は、関数の仕様に合わせてfloatまたはdoubleを用いた。Copy、Bayer Conversion、Shrinkの三つの関数については、カメラから取り込まれた画像に対して最初に行うことが想定されるため、入力元をフレームメモリとし、PCでの計測は直前の処理におけるキャッシュの影響を排除するようにした。また、Bayer ConversionとShrinkは入力と出力で画像サイズが異なるが、出力の画像サイズを基準に算出した。

[0126] 重心計算は、まず入力画像から前フレームの結果から推定される対象が存

在する領域を切り出し、固定あるいは適応的に定められたしきい値で二値化する。次に、以下の式を用いて重心の計算を行う。

[0127]

$$m_{00} = \sum_{x,y} I(x,y) \quad (1)$$

$$m_{10} = \sum_{x,y} xI(x,y), m_{01} = \sum_{x,y} yI(x,y) \quad (2)$$

$$x_c = m_{10}/m_{00}, y_c = m_{01}/m_{00} \quad (3)$$

[0128] (x, y)座標値での重みI_x及びI_yはそれぞれあらかじめ並列メモリに入れておき、二値化した入力画像をARITHにより重み付けし、SUMによる総和計算でモーメントm_{10}及びm_{01}を計算する。モーメントm_{00}は重み付けなしで総和計算により求める。

[0129] これらの処理は、表４に示すような形で、タスクレベルでパイプライン化し、並列に実行する。並列メモリはデュアルポートになっているため、処理の出力先が次の処理の入力元になっている場合、処理がすべて完了する前に次の処理を開始できる。なお、本実施例における前記の処理はすべてコプロセッサ1のみで行った。

[0130] [表4]

	processing 1	processing 2	processing 3	processing 4
step 1	Binarization	Copy	Weighting (x)	Sum (m_{10})
UNIT	SCALE1	SCALE2	ARITH1	SUM1
IN1	PAR1	PAR2	PAR3	PAR5
IN2			PAR4 (I_x)	
OUT	PAR2	PAR3	PAR5	
step 2	Weighting (y)	Sum (m_{01})	Sum (m_{00})	
UNIT	ARITH1	SUM2	SUM1	
IN1	PAR2	PAR5	PAR3	
IN2	PAR4 (I_y)			
OUT	PAR5			

[0131] これらの結果から、本実施例によれば、平均的にはPCを数倍上回る性能が得られていることがわかった。しかし、今回PCと比較したのは、他の一般的な手法と比較する際の基準となるからであり、PCベースのシステムを用いない理由は、安定性や信頼性を確保するためである。実際、PCを用いたシステムではディレイやフレーム落ちが頻繁に観測されており、高速ビジョンのアプリケーションにおいて支障をきたすことになる。

[0132] また、PCを用いた場合でも、マルチメディア命令やGPUの利用により高速化が可能であり、この場合、開発したシステムより高い演算性能を実現することができる。たとえば、GPUを用いた枠組みの一つであるGPUCV（非特許文献３０）では、いくつかの画像処理においてPCの1.7～18倍の処理性能が報告されている。しかし、これらはPCのプラットフォームを前提にしており、やはり上記の問題を抱えることになる。

[0133] 開発したボードは12V,5Aの電源で動作し、実効的な消費電力は４２W程度であった。FPGAの消費電力は比較的高いため、DSPなどを利用する場合に比べると消費電力は高くなるが、本実施形態では、組込みシステムを用いることにより、安定性と信頼性を確保できるという利点がある。

[0134] 本実施例では、高速ビジョンシステムのアーキテクチャとして、組み込みマイクロプロセッサとFPGAを組み合わせることによって、ハードウェアのリコンフィギャラビリティとアルゴリズム実装の容易性を両立できるという利点がある。

[0135] 半導体の集積化が指数的に進む中、並列処理を活かしたプロセッシングアーキテクチャは今後よりいっそう重要になってくる。その際に、汎用的なアーキテクチャでは、並列度を最大限に活かすことは難しい。FPGAによる再構成可能な専用回路と、CPUの容易なプログラミング環境を組み合わせることで、高い画像処理性能を発揮しつつ、ある程度の汎用性を持たせることができる。

[0136] 再構成可能なプログラマブル・ロジック・デバイスは、通常、FPGAと呼ばれる集積回路である。FPGAを用いることにより、画像処理部の機能を、ユー

ザの必要に応じて書き換えることができる。例えば、不足する関数に対応する画像処理部を追加したり、あるいは、必要な関数に対応する画像処理部を追加することができる。

[0137] 本実施例では、並列メモリとしてデュアルポート・メモリを用いることにより、メモリへの読み込みと書き込みとを独立に行うことができる。このため、処理を一層高速化することができる。

[0138] また、ディスクリプタを用いることにより、CPUは、コプロセッサに対して、一度に複数の処理を指示することができる。このため、コプロセッサの動作完了時におけるCPUへの割り込み回数を減らすことができるという利点がある。

[0139] 画像処理部は、画像処理に用いられる特定の関数に対応する。画像処理を行う場合、処理に必要な関数の実行を、専用の画像処理部で行うことにより、処理を高速化できる。さらに、プログラムにおいては、特定の関数あるいは画像処理部を指定して処理を実行させることができる。

[0140] なお、前記した実施形態及び実施例の構成は、本発明の例示に過ぎず、本発明の内容を制限する趣旨のものではない。

請求の範囲

[請求項1] コプロセッサと、フレームメモリと、ＣＰＵとを備えており、

前記フレームメモリは、処理されるべき画像データを格納する構成となっており、

前記コプロセッサは、複数の画像処理部と複数の並列メモリとを備えており、

前記並列メモリは、前記フレームメモリに格納された前記画像データの全部又は一部を受け取って前記画像処理部のいずれかに送る構成となっており、

前記複数の画像処理部は、いずれも、画像処理のための関数に対応した機能を有しており、

かつ、前記複数の画像処理部は、前記ＣＰＵからの指令に従って、

前記並列メモリ又は前記フレームメモリから、前記画像データの全部又は一部を受け取り、さらに、

前記画像データの全部又は一部に対して、前記画像処理のための関数に従った処理を行う構成となっている

画像処理装置。

[請求項2] 前記コプロセッサは、再構成可能なプログラマブル・ロジック・デバイスによって構成されている

請求項１に記載の画像処理装置。

[請求項3] 前記複数の並列メモリは、デュアルポート・メモリである

請求項１又は２に記載の画像処理装置。

[請求項4] 前記画像処理部は、ダイレクト・メモリ・アクセス・コントローラと、処理ユニットとを備えており、

前記ダイレクト・メモリ・アクセス・コントローラは、前記並列メモリの動作を制御する構成となっており、

前記処理ユニットは、前記画像処理のための関数に従った処理を行う構成となっている

請求項１～３のいずれか１項に記載の画像処理装置。

[請求項5] 前記コプロセッサを複数個備えている

請求項１～４のいずれか１項に記載の画像処理装置。

[請求項6] 前記複数のコプロセッサは、共通のコプロセッサ・バスに接続されている

請求項５に記載の画像処理装置。

[請求項7] 前記コプロセッサは、ディスクリプタをさらに備えており、

前記ＣＰＵは、前記コプロセッサへの命令を前記ディスクリプタに書き込む構成となっており、

前記コプロセッサは、前記ディスクリプタに書かれている命令を読み取り、前記複数の画像処理部による処理を実行する構成となっている

請求項１～６のいずれか１項に記載の画像処理装置。

[請求項8] 前記複数の画像処理部は、前記ＣＰＵからの指令に従って、独立して並列に動作する構成となっている

請求項１～７のいずれか１項に記載の画像処理装置。

[請求項9] 以下のステップを備える画像処理方法：

（１）フレームメモリが、処理されるべき画像データを格納するステップ；

（２）並列メモリが、前記フレームメモリに格納された前記画像データの全部又は一部を受け取るステップ；

（３）前記複数の画像処理部が、ＣＰＵからの指令に従って、前記並列メモリ又は前記フレームメモリから、前記画像データの全部又は一部を受け取るステップ；

（４）前記複数の画像処理部が、前記ＣＰＵからの指令に従って、前記画像データの全部又は一部に対して、画像処理のための関数に従った処理をそれぞれ行うステップ。

[請求項10] 前記並列メモリとして、デュアルポート・メモリが用いられており

、

さらに、複数の画像処理部は、前記ＣＰＵからの指令に従って、前記並列メモリをバッファとしたパイプライン処理を行うものである

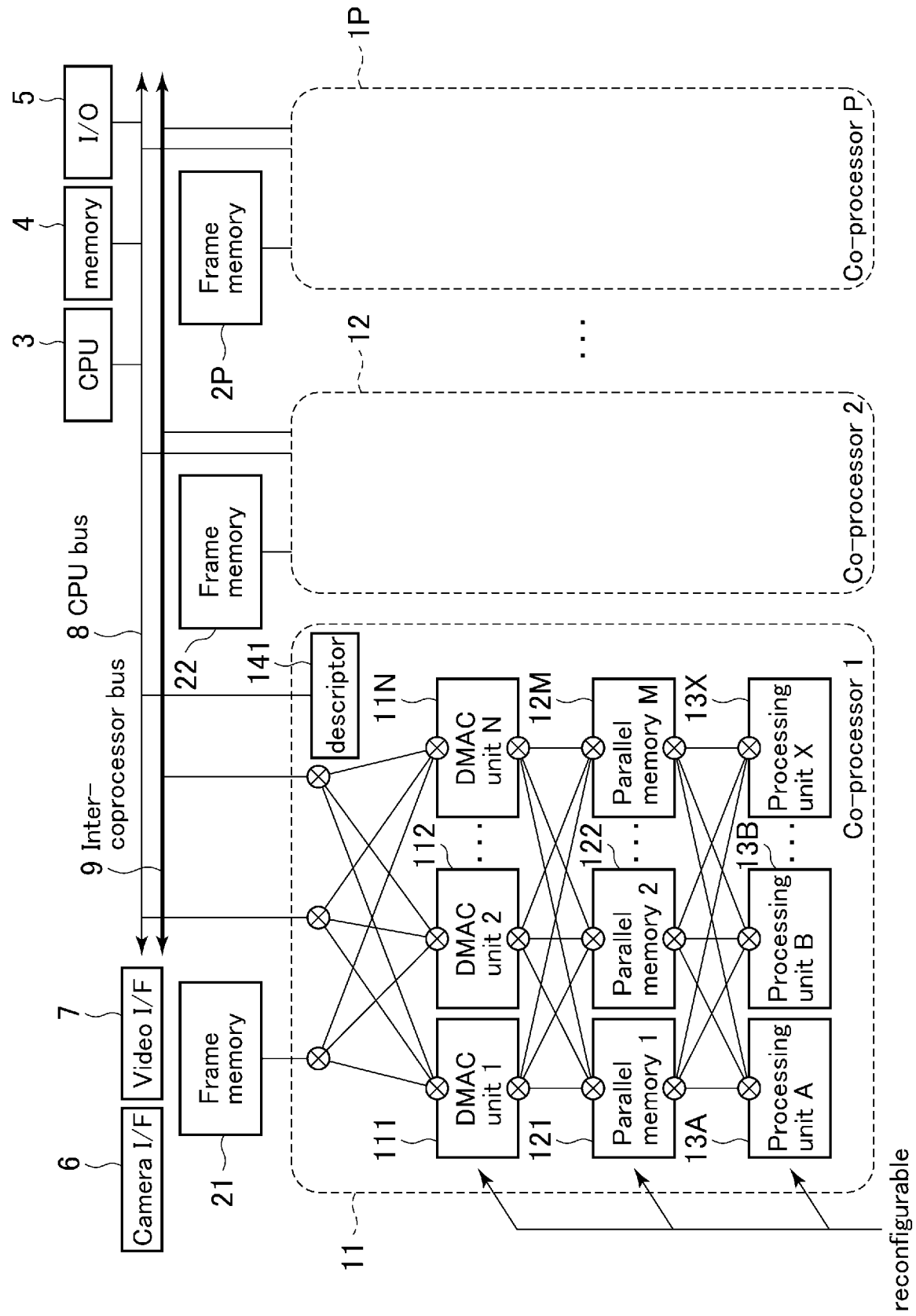
請求項９に記載の画像処理方法。

[請求項11] 前記複数の画像処理部は、前記ＣＰＵからの指令に従って、独立して並列に動作する構成となっており、

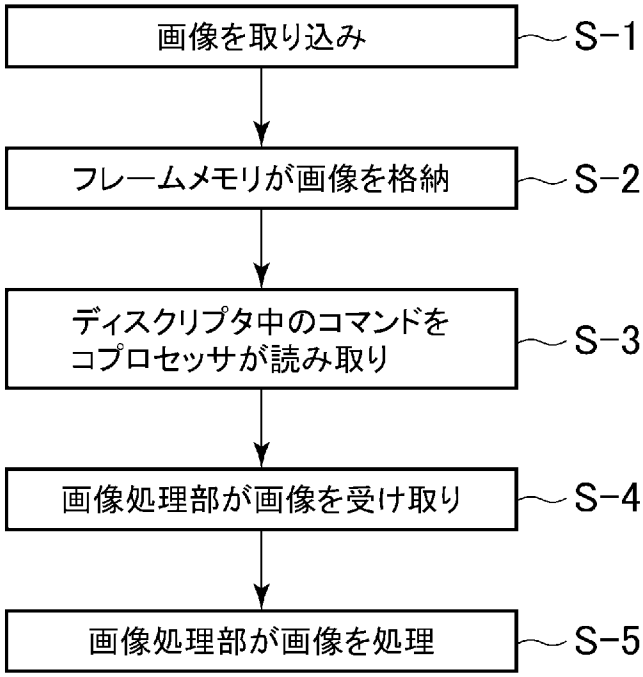
さらに、前記複数の画像処理部は、前記ＣＰＵからの指令に従って、タスクレベルでの並列処理を行うものである

請求項９又は１０に記載の画像処理方法。

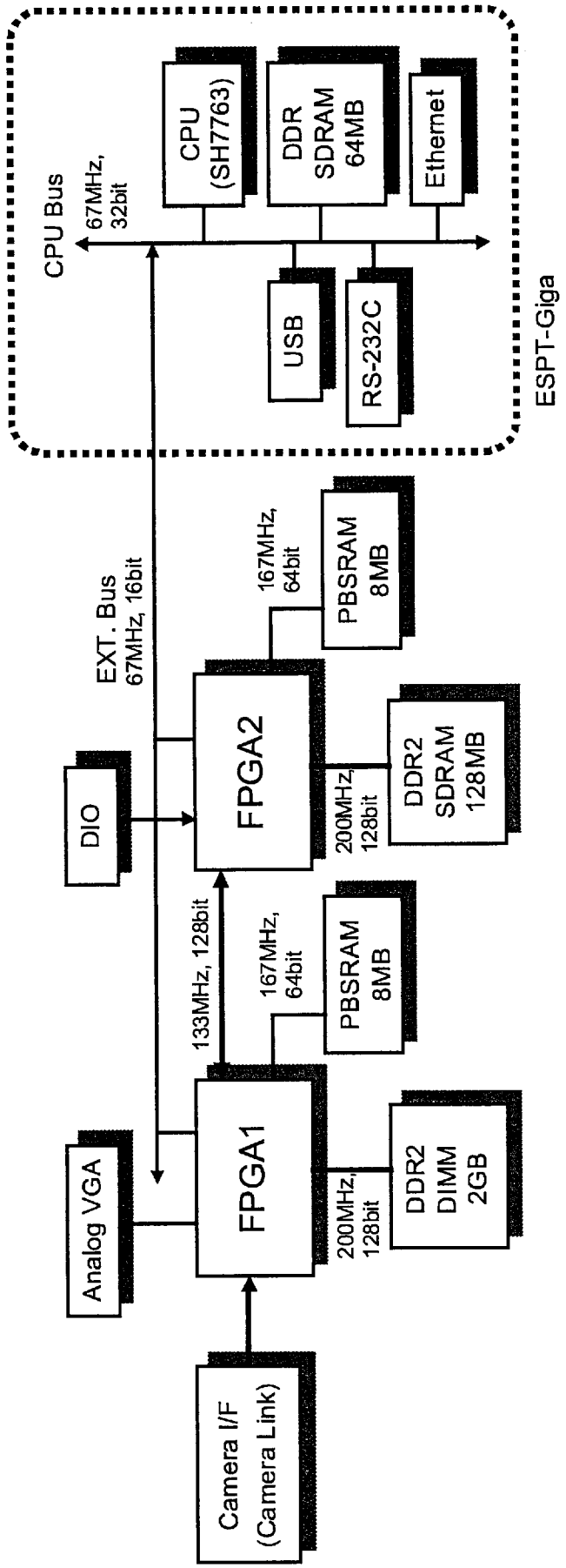
[図1]


1P
Co-processor P
12
Co-processor 2
Co-processor 1
11
reconfigurable
5
I/O
4
memory
3
CPU
8 CPU bus
9 Inter-coprocessor bus
7
Video I/F
6
Camera I/F
Frame memory
2P
22
21
141
descriptor
11N
12M
13X
112
122
13B
111
121
13A
DMAC unit N
DMAC unit 2
DMAC unit 1
Parallel memory M
Parallel memory 2
Parallel memory 1
Processing unit X
Processing unit B
Processing unit A

[図2]


画像を取り込み
S-1
フレームメモリが画像を格納
S-2
ディスクリプタ中のコマンドを
コプロセッサが読み取り
S-3
画像処理部が画像を受け取り
S-4
画像処理部が画像を処理
S-5

[図3]


CPU Bus
67MHz,
32bit
CPU
(SH7763)
DDR
SDRAM
64MB
Ethernet
USB
RS-232C
ESPT-Giga
EXT. Bus
67MHz, 16bit
167MHz,
64bit
PBSRAM
8MB
DIO
FPGA2
200MHz,
128bit
DDR2
SDRAM
128MB
133MHz, 128bit
167MHz,
64bit
PBSRAM
8MB
Analog VGA
FPGA1
200MHz,
128bit
DDR2
DIMM
2GB
Camera I/F
(Camera Link)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/063740

A. CLASSIFICATION OF SUBJECT MATTER
G06T1/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06T1/20, G06F9/38, G06F15/16, G06F15/17

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-085963 A (Canon Information Systems Research Australia Pty. Ltd.), 30 March 1999 (30.03.1999), paragraphs [0022] to [0059], [0089], [0099] to [0103], [0277] to [0279]; fig. 1 to 7, 14 to 17 & US 6061749 A & EP 875855 A2 & DE 69835392 T & AU 6366798 A	1,4-9,11 2,3,10
Y	JP 5-073516 A (Sony Corp.), 26 March 1993 (26.03.1993), paragraphs [0011] to [0052]; fig. 1 to 4 (Family: none)	2,3,10
Y	JP 6-131155 A (Analogic Corp.), 13 May 1994 (13.05.1994), paragraphs [0009] to [0024]; fig. 1 to 10 & US 5301344 A & EP 497029 A2	2,3,10

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 August, 2010 (27.08.10)	07 September, 2010 (07.09.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／０６３７４０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06T1/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06T1/20, G06F9/38, G06F15/16, G06F15/17

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 11-085963 A (キヤノン　インフォメーション　システムズ　リサーチ　オーストラリア　プロプライエタリー　リミテツド)	1, 4-9, 11
Y	1999.03.30, 段落【００２２】－【００５９】【００８９】【００９９】－【０１０３】【０２７７】－【０２７９】、図１－７、図１４－１７、 & US 6061749 A & EP 875855 A2 & DE 69835392 T & AU 6366798 A	2, 3, 10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．０８．２０１０	国際調査報告の発送日 ０７．０９．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　5H　４１８９ 佐田　宏史 電話番号　０３－３５８１－１１０１　内線　３５３１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 5-073516 A（ソニー株式会社）1993.03.26, 段落【００１１】－【００５２】、図１－４（ファミリーなし）	2, 3, 10
Y	JP 6-131155 A（アナロジック　コーポレイション）1994.05.13, 段落【０００９】－【００２４】、図１－１０ & US 5301344 A & EP 497029 A2	2, 3, 10