

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

128 128

Patent dodatkowy
do patentu —

Zgłoszono: 80 02 19 (P. 222129)

Pierwszeństwo: —

Zgłoszenie ogłoszono: 81 08 21

Opis patentowy opublikowano: 1985 08 30

Int. Cl.³ G05F 1/58
H02H 7/20



Twórcy wynalazku: Seweryn Kozłowski, Jerzy Przybyś, Antoni Skurzyński

Uprawniony z patentu: Instytut Automatyki Systemów Energetycznych,
Wrocław (Polska)

Układ elektroniczny zabezpieczający stabilizator napięcia stałego przed przeciążeniem prądowym i zwarcie

Przedmiotem wynalazku jest układ elektroniczny zabezpieczający stabilizator napięcia stałego przed przeciążeniem prądowym i zwarcie.

Znane układy, działające na zasadzie kontroli prądu poprzez pomiar napięcia na rezystorze pomiarowym, połączonym szeregowo z rezystancją obciążenia, nie mogą być stosowane do zabezpieczania stabilizatorów impulsowych w których wymagana jest duża sprawność przetwarzania a straty mocy na rezystorze pomiarowym są znaczne. Układ według wynalazku zawiera dzielniki napięcia utworzone z rezystorów oraz komparator. Dzielniki napięcia są przyłączone do obu stron rezystora pomiarowego, przy czym jeden dzielnik jest podłączony do zacisków wyjściowych stabilizatora a drugi dzielnik jest połączony równolegle z rezystancją obciążenia. Wyjścia obu dzielników mają połączenie z wejściami komparatora, ponadto wyjście pierwszego dzielnika jest połączone, poprzez rezystor wstępnie polaryzujący wejścia komparatora, z napięciem dodatkowym. Wartość tego napięcia dodatkowego, mierzona względem zacisku wyjściowego stabilizatora, jest ujemna gdy wartość napięcia na rezystancji obciążenia, mierzona również względem tego zacisku, ma wartość dodatnią. Jeśli zaś napięcie na rezystancji obciążenia ma wartość ujemną napięcie dodatkowe ma wartość dodatnią. W układzie wyjście komparatora jest połączone z wzmacniaczem błędu stabilizatora.

Przykład wykonania wynalazku zostanie bliżej objaśniony w przykładzie wykonania na rysunku, który przedstawia schemat ideowy układu. Do obu stron rezystora pomiarowego R_p przyłączone są dzielniki napięcia R1, R2 i R3, R4 złożone z rezystorów. Dzielnik R1, R2 jest podłączony do zacisków wyjściowych 1, 2 stabilizatora ST, drugi dzielnik R3, R4 jest połączony równolegle z rezystancją obciążenia R_0 . Wyjście 5 dzielnika R3, R4, jest połączone z wejściem komparatora K, zaś wyjście 4 dzielnika R1, R2 jest połączone z drugim wejściem komparatora oraz poprzez rezystor R5 wstępnie polaryzujący wejście komparatora z napięciem dodatkowym U_d . Wyjście komparatora K jest dołączone do wzmacniacza błędu K_u stabilizatora ST. Elementy dzielników R1, R2 i R3, R4 dobrane są w taki sposób aby napięcia U_2 i U_4 nie przekroczyły wartości dopuszczalnych dla komparatora K. Różnica tych napięć $U_r = U_2 - U_4$ ma określoną wartość, utrzymującą wyjście komparatora K w jednym ze stanów nie oddziałujących na wzmacniacz błędu K_u stabilizatora. Gdy prąd obciążenia I_0 osiągnie pewną określoną wartość progową, przy której napięcie różnicowe U_r osiągnie taką wartość, że komparator K zmieni swój stan na wyjściu, rozpocznie się ograniczanie prądu I_0 poprzez wpływ sygnału S1 na parametr impulsu informujący o prądzie.

Zastrzeżenia patentowe

2. Układ według zastrz. 1, znamienny tym, że wyjście komparatora (K) jest połączone z wzmacniaczem błędów (K_u) stabilizatora (ST).

