

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-114420

(P2011-114420A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.			F I			テーマコード (参考)	
<b>H03G</b>	<b>3/12</b>	<b>(2006.01)</b>	H03G	3/12	D	5J100	
<b>H03F</b>	<b>1/34</b>	<b>(2006.01)</b>	H03F	1/34		5J500	
<b>H03F</b>	<b>3/45</b>	<b>(2006.01)</b>	H03F	3/45	B		

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2009-266901 (P2009-266901)  
 (22) 出願日 平成21年11月25日 (2009.11.25)

(71) 出願人 000227180  
 日置電機株式会社  
 長野県上田市小泉81番地  
 (74) 代理人 100104787  
 弁理士 酒井 伸司  
 (72) 発明者 柳沢 浩一  
 長野県上田市小泉81番地 日置電機株式  
 会社内  
 Fターム(参考) 5J100 AA03 BA07 BB02 BB07 BC07  
 EA02  
 5J500 AA03 AA47 AH09 AH25 AH27  
 AK01 AM13 ND02

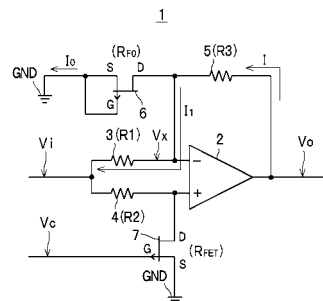
(54) 【発明の名称】 増幅回路

(57) 【要約】

【課題】 利得の変化量を大きくさせ得る増幅回路を提供する。

【解決手段】 演算増幅器2の反転入力端子に一端が接続された入力抵抗3と、非反転入力端子に一端が接続された入力抵抗4と、演算増幅器2の反転入力端子と出力端子との間に接続された抵抗5と、演算増幅器2の反転入力端子にドレイン端子が接続され、かつゲート端子およびソース端子がグランド電位GNDに規定されたFET6と、演算増幅器2の非反転入力端子にドレイン端子が接続され、ソース端子がグランド電位GNDに規定されたFET6と同型のFET7とを備え、各入力抵抗3, 4が各FET6, 7の作動時のドレイン・ソース間の抵抗値 $R_{FET}$ よりも大きな抵抗値に規定され、FET7のゲート端子に増幅率制御用の制御電圧 $V_c$ が入力される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

演算増幅器と、

当該演算増幅器の反転入力端子に一端が接続された第 1 入力抵抗と、

前記演算増幅器の非反転入力端子に一端が接続されると共に他端が前記第 1 入力抵抗の他端に接続された第 2 入力抵抗と、

前記演算増幅器の反転入力端子と出力端子との間に接続された第 3 抵抗と、

前記演算増幅器の反転入力端子にドレイン端子が接続され、かつゲート端子とソース端子とが互いに接続されて基準電位に規定された第 1 F E T と、

前記演算増幅器の非反転入力端子にドレイン端子が接続され、かつソース端子が前記基準電位に規定された前記第 1 F E T と同型の第 2 F E T とを備え、

前記第 1 入力抵抗および前記第 2 入力抵抗が、前記各 F E T の作動時におけるドレイン・ソース間の抵抗値よりも大きな抵抗値に規定され、

前記第 2 F E T のゲート端子に増幅率制御用の制御電圧が入力される増幅回路。

## 【請求項 2】

前記第 1 入力抵抗および前記第 2 入力抵抗は、互いに同等の抵抗値に規定されている請求項 1 記載の増幅回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電界効果型トランジスタを使用した可変利得型の増幅回路に関するものである。

## 【背景技術】

## 【0002】

この種の増幅回路として、下記特許文献 1 に開示された増幅回路が知られている。この場合、この増幅回路（増幅回路 5 1）は、図 2 に示すように、演算増幅器 5 2、演算増幅器 5 2 の出力端子と反転入力端子との間に接続された抵抗 5 3（抵抗値  $R_r$ ）、および演算増幅器 5 2 の反転入力端子と基準電位（グランド電位）に規定された部位との間に接続された F E T（電界効果型トランジスタ。この例では一例として p 型チャネルの電界効果型トランジスタ）5 4 を備え、入力電圧  $V_i$  を増幅して出力電圧  $V_o$  として出力する。

## 【0003】

この増幅回路 5 1 では、ゲート端子に印加される制御電圧  $V_c$  に応じてドレイン端子とソース端子との間の抵抗値  $R_{F E T}$  が変化する F E T 5 4 が可変抵抗として機能して、非反転増幅回路に構成された増幅回路 5 1 の利得  $G$  が変更される。この場合、利得  $G$  は下記式（1）で表される。

$$G = (1 + R_r / R_{F E T}) \cdots \cdots (1)$$

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開昭 6 0 - 9 0 4 0 8 号公報（第 2 頁、第 1 図）

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

ところが、上記の増幅回路 5 1 には、以下の解決すべき課題が存在している。すなわち、ゲート端子に印加する制御電圧（この例では、制御電圧  $V_c$ ）を変化させたときの一般的な F E T におけるドレイン端子とソース端子との間の抵抗値  $R_{d s}$  の変化量（最大抵抗値 / 最小抵抗値）は 5 ~ 1 0 倍程度であることから、上記式（1）で表されるように利得  $G$  の下限値（最小利得）が「1」を超える値に規定され、1 未満にできない上記の増幅回路 5 1 では、利得  $G$  の変化量（最大利得 / 最小利得）を大きくすることができないという課題が存在している。

10

20

30

40

50

## 【0006】

本発明は、かかる課題に鑑みてなされたものであり、利得の変化量を大きくさせ得る増幅回路を提供することを主目的とする。

## 【課題を解決するための手段】

## 【0007】

上記目的を達成すべく請求項1記載の増幅回路は、演算増幅器と、当該演算増幅器の反転入力端子に一端が接続された第1入力抵抗と、前記演算増幅器の非反転入力端子に一端が接続されると共に他端が前記第1入力抵抗の他端に接続された第2入力抵抗と、前記演算増幅器の反転入力端子と出力端子との間に接続された第3抵抗と、前記演算増幅器の反転入力端子にドレイン端子が接続され、かつゲート端子とソース端子とが互いに接続されて基準電位に規定された第1FETと、前記演算増幅器の非反転入力端子にドレイン端子が接続され、かつソース端子が前記基準電位に規定された前記第1FETと同型の第2FETとを備え、前記第1入力抵抗および前記第2入力抵抗が、前記各FETの作動時におけるドレイン・ソース間の抵抗値よりも大きな抵抗値に規定され、前記第2FETのゲート端子に増幅率制御用の制御電圧が入力される。

10

## 【0008】

また、請求項2記載の増幅回路は、請求項1記載の増幅回路において、前記第1入力抵抗および前記第2入力抵抗は、互いに同等の抵抗値に規定されている。

## 【発明の効果】

## 【0009】

請求項1記載の増幅回路では、演算増幅器の反転入力端子に第1入力抵抗の一端が接続され、演算増幅器の非反転入力端子に第2入力抵抗の一端が接続されると共に第2入力抵抗の他端が第1入力抵抗の他端に接続され、演算増幅器の反転入力端子と出力端子との間に第3抵抗が接続され、演算増幅器の反転入力端子と基準電位との間に第1FETが接続され、演算増幅器の非反転入力端子と基準電位との間に第2FETが接続され、第1入力抵抗および第2入力抵抗が各FETの作動時におけるドレイン・ソース間の抵抗値よりも大きな抵抗値に規定され、第2FETのゲート端子に増幅率制御用の制御電圧が入力され、各入力抵抗の各他端に入力された入力電圧を制御電圧によって制御された増幅率で増幅して、演算増幅器の出力端子から出力電圧として出力する。

20

## 【0010】

したがって、この増幅回路によれば、利得の最小値（第2FETに対する制御電圧をゼロにしたときの利得）をゼロに近い値に規定することができるため、制御電圧を変化させたときの利得の変化量（最大利得/最小利得）を従来の増幅回路と比較して十分に大きくすることができる。

30

## 【0011】

また、請求項2記載の増幅回路によれば、さらに、各入力抵抗の抵抗値を互いに同等の抵抗値としたことにより、制御電圧をゼロにしたときの利得をゼロまたはよりゼロに極めて近い値に制御できるため、制御電圧を変化させたときの利得の変化量を極めて大きくすることができる。

## 【図面の簡単な説明】

40

## 【0012】

【図1】増幅回路1の回路図である。

【図2】増幅回路51の回路図である。

## 【発明を実施するための形態】

## 【0013】

以下、増幅回路の実施の形態について、添付図面を参照して説明する。

## 【0014】

最初に、増幅回路1の構成について、図面を参照して説明する。

## 【0015】

図1に示す増幅回路1は、1つの演算増幅器2、第1入力抵抗3（以下、「入力抵抗3

50

」ともいう)、第2入力抵抗4(以下、「入力抵抗4」ともいう)、第3抵抗5(以下、「抵抗5」ともいう)、第1FET6(以下、「FET6」ともいう)、および第2FET7(以下、「FET7」ともいう)を備え、入力電圧 $V_i$ を増幅して出力電圧 $V_o$ として出力する。

【0016】

この場合、入力抵抗3は、その一端が演算増幅器2の反転入力端子に接続されている。入力抵抗4は、その一端が演算増幅器2の非反転入力端子に接続されると共に、その他端が入力抵抗3の他端に接続されている。また、このようにして互いに接続された入力抵抗3,4の各他端は、増幅回路1の入力端子として機能して、入力電圧 $V_i$ が入力される。抵抗5は、演算増幅器2の反転入力端子と出力端子との間に接続されて、帰還抵抗として機能する。

10

【0017】

FET6は、演算増幅器2の反転入力端子にドレイン端子が接続され、かつゲート端子とソース端子とが互いに接続されて基準電位(本例ではグランド電位GND)に規定されている。FET7は、FET6と同型のFET(本例では一例としてp型チャンネルのFETであって同じ電気的特性を有している)で構成されて、演算増幅器2の非反転入力端子にドレイン端子が接続され、かつソース端子がグランド電位GNDに規定されている。また、FET7のゲート端子は制御端子として機能して、制御電圧 $V_c$ が入力される。また、本例では、各FET6,7は、接合型(ジャンクション型)のFETで構成されている。このように構成された増幅回路1は、利得(増幅率)可変型で、かつ非反転型の増幅回路として機能して、入力電圧 $V_i$ を利得(増幅率)Gで増幅して、演算増幅器2の出力端子から出力電圧 $V_o$ として出力する。

20

【0018】

この場合、利得Gは、以下のようにして算出される。なお、入力抵抗3の抵抗値を $R_1$ で表し、入力抵抗4の抵抗値を $R_2$ で表し、抵抗5の抵抗値を $R_3$ で表す。また、FET6,7の抵抗値(ドレイン・ソース間抵抗値)については $R_{FET}$ で表し、特にゲート端子に入力される電圧がゼロに規定されたときの抵抗値については $R_{F0}$ で表すものとする。なお、FET6は上記したようにゲート端子がグランド電位GNDに規定されているため、その抵抗値は $R_{F0}$ となる。また、仮想ショートにより互いに同電位となる演算増幅器2の両入力端子の電圧については、 $V_x$ で表すものとする。

30

【0019】

また、各入力抵抗3,4の抵抗値 $R_1, R_2$ については、同等の値(同一値( $R_1 = R_2$ ))か、またはほぼ同じ値(つまり、 $R_1 \approx R_2$ )であるものとする。また、制御電圧 $V_c$ によって変化するFET7の作動時の抵抗値 $R_{FET}$ は、制御電圧 $V_c$ がゼロのときの $R_{F0}$ (約200 から400 程度)を最小値として、最大でも数K 程度であるため、各入力抵抗3,4の抵抗値 $R_1, R_2$ を抵抗値 $R_{FET}$ に対して大きな値、好ましくは十分に大きな値(例えば数百K 以上)に設定することにより、 $R_1, R_2 \gg R_{FET}$ が成り立つように増幅回路1が構成されているものとする。

【0020】

以上のような条件下での増幅回路1において、図1に示すように、抵抗5に流れる電流を $I$ で表し、FET6に流れる電流を $I_0$ で表し、FET6のドレイン端子と抵抗5の接続点から入力抵抗3に流れる電流を $I_1$ で表すと、以下の式(2),(3),(4),(5)が成り立つ。

40

$$I = (V_o - V_x) / R_3 \quad \dots (2)$$

$$I_0 = V_x / R_{F0} \quad \dots (3)$$

$$I_1 = (V_x - V_i) / R_1 \quad \dots (4)$$

$$V_x = R_{FET} / (R_2 + R_{FET}) \times V_i \quad \dots (5)$$

【0021】

次いで、上記の各式(2),(3),(4),(5)から増幅回路1の利得Gを算出すると、下記式(6)のように表される。

50

$$G = V_o / V_i$$

$$= ( (R_{F0} + R_3) \times R_1 \times R_{FET} - R_{F0} \times R_2 \times R_3 ) / ( R_{F0} \times R_1 \times (R_2 + R_{FET}) ) \quad \dots \quad (6)$$

## 【0022】

この場合、増幅回路1が非反転型の増幅回路として機能するためには、利得Gがゼロ以上（負にならない）、すなわち上記式（6）の分子がゼロ以上となる必要がある。つまり、 $(R_{F0} + R_3) \times R_1 \times R_{FET} - R_{F0} \times R_2 \times R_3$ が成り立つ必要があり、また抵抗値 $R_{FET}$ の最小値は、ゲート端子に入力される制御電圧 $V_c$ がゼロのときの抵抗値 $R_{F0}$ であるが、このときにも上記式が成り立つ必要がある。つまり、 $(R_{F0} + R_3) \times R_1 \times R_{F0} - R_{F0} \times R_2 \times R_3$ が成り立つ必要がある。よって、抵抗値 $R_1$ は、 $R_2 \times R_3 / (R_{F0} + R_3)$ 以上の値に規定される必要がある。本例では、上記したように、抵抗値 $R_1$ は抵抗値 $R_2$ と同等の値（同一値（ $R_1 = R_2$ ）か、またはほぼ同じ値（つまり、 $R_1 \approx R_2$ ））に規定されているため、この条件を満たすように規定されている。

10

## 【0023】

また、このように、 $R_1 \approx R_2$ が成り立っているため、上記式（6）はさらに下記式（7）のように表される。

$$G = (R_3 \times R_{FET}) / (R_{F0} \times (R_1 + R_{FET})) + R_{FET} / (R_1 + R_{FET}) - R_3 / (R_1 + R_{FET}) \quad \dots \quad (7)$$

さらに、上記したように、 $R_1, R_2 \approx R_{FET}$ が成り立っているため、上記式（7）は下記式（8）のように表される。

20

$$G = R_3 \times R_{FET} / (R_{F0} \times R_1) + R_{FET} / R_1 - R_3 / R_1$$

$$= (R_3 / R_{F0} + 1) / R_1 \times R_{FET} - R_3 / R_1 \quad \dots \quad (8)$$

## 【0024】

この場合、制御電圧 $V_c$ をゼロボルトにしたときの利得Gは、FET7の抵抗値 $R_{FET}$ が $R_{F0}$ となるため、利得Gは、下記式（9）のように表され、

$$G = R_3 \times R_{F0} / (R_{F0} \times R_1) + R_{F0} / R_1 - R_3 / R_1$$

$$= R_3 / R_1 + R_{F0} / R_1 - R_3 / R_1$$

$$= R_{F0} / R_1 \quad \dots \quad (9)$$

さらに、上記したように、 $R_1, R_2 \approx R_{FET} (> R_{F0})$ であることから、 $R_{F0} / R_1 > 0$ が成り立つ。

30

## 【0025】

このように、利得Gは、上記式（8）で示されるように、FET7の抵抗値 $R_{FET}$ を変数とする一次関数として表される。また、抵抗値 $R_{FET}$ が制御電圧 $V_c$ を変数とするパラメータであり、かつ上記したように、制御電圧 $V_c$ をゼロボルトにしたときの利得Gがゼロになることから、利得Gは、制御電圧 $V_c$ を変数とし、かつ制御電圧 $V_c$ をゼロボルトにしたときに値がゼロとなる関数としても表される。

## 【0026】

次いで、増幅回路1の動作について説明する。

## 【0027】

最初に、所望の利得Gとなるように電圧値が規定された制御電圧 $V_c$ をFET7のゲート端子に入力（印加）する。これにより、FET7の抵抗値 $R_{FET}$ は制御電圧 $V_c$ の電圧値に応じた抵抗値に規定され、この規定された抵抗値 $R_{FET}$ と上記式（8）とにより、利得Gが所望の値に規定される。

40

## 【0028】

この状態で入力電圧 $V_i$ を増幅回路1に入力すると、増幅回路1は、上記のようにして規定された利得Gで入力電圧 $V_i$ を増幅して、出力電圧 $V_o$ として出力する。一方、入力電圧 $V_i$ を一定にした状態において、制御電圧 $V_c$ を変化させたときには、この制御電圧 $V_c$ の変化に応じて利得Gが変化するため、増幅回路1は、この利得Gの変化に対応して出力電圧 $V_o$ を変化させる。この場合、この増幅回路1では、上記したように、制御電圧

50

$V_c$  をゼロにしたときには、利得  $G$  がゼロとなって、出力電圧  $V_o$  もゼロになる。このように、この増幅回路 1 では、利得の下限値が「1」に制限される（利得が 1 未満にならない）従来の増幅回路 5 1 とは異なり、利得  $G$  をゼロ（最小利得）にまで変化させることができることから、制御電圧  $V_c$  を変化させたときの利得  $G$  の変化量（最大利得 / 最小利得）を従来の増幅回路 5 1 と比較して極めて大きくすることが可能となっている。

【0029】

また、この増幅回路 1 では、従来の増幅回路 5 1 とは異なり、演算増幅器 2 の非反転入力端子と反転入力端子の双方に対して、基準電位（グランド電位  $GND$ ）との間に同型の FET 6, 7 が接続される構成（FET の配置に関して対称となる構成）を採用しているため、温度変化などによって FET に生じる抵抗値  $R_{FET}$  のバラツキを相殺することができる結果、入力電圧  $V_i$  を良好な状態で、安定して増幅して出力電圧  $V_o$  として出力することが可能となっている。

10

【0030】

このように、この増幅回路 1 では、演算増幅器 2 の反転入力端子に入力抵抗 3 の一端が接続され、演算増幅器 2 の非反転入力端子に入力抵抗 4 の一端が接続されると共に入力抵抗 4 の他端が入力抵抗 3 の他端に接続され、演算増幅器 2 の反転入力端子と出力端子との間に抵抗 5 が接続され、演算増幅器 2 の反転入力端子とグランド電位  $GND$  との間に FET 6 が接続され、演算増幅器 2 の非反転入力端子とグランド電位  $GND$  との間に FET 7 が接続され、さらに各入力抵抗 3, 4 の抵抗値が、互いに同等の抵抗値で、かつ各 FET 6, 7 の作動時におけるドレイン・ソース間の抵抗値  $R_{FET}$  よりも大きな（十分に大きな）抵抗値に規定されている。

20

【0031】

したがって、この増幅回路 1 によれば、制御電圧  $V_c$  をゼロにしたときの利得  $G$  をゼロまたはゼロに極めて近い値に制御できるため、利得の下限値が「1」を超える値に制限される従来の増幅回路 5 1 とは異なり、制御電圧  $V_c$  を変化させたときの利得  $G$  の変化量を従来の増幅回路 5 1 と比較して極めて大きくすることができる。

【0032】

また、この増幅回路 1 によれば、演算増幅器 2 の非反転入力端子と反転入力端子の双方に対して、基準電位（グランド電位  $GND$ ）との間に同型の FET 6, 7 が接続される構成のため、温度変化などによって FET に生じる抵抗値  $R_{FET}$  のバラツキを相殺することができる結果、入力電圧  $V_i$  を良好な状態で、安定して増幅して出力電圧  $V_o$  として出力することができる。

30

【0033】

なお、上記の増幅回路 1 では、上記した非反転型の増幅回路として機能するための条件と共に、各入力抵抗 3, 4 の抵抗値を、互いに同等の抵抗値に規定し（第 1 条件）、かつ各 FET 6, 7 の作動時におけるドレイン・ソース間の抵抗値  $R_{FET}$  よりも大きな（十分に大きな）抵抗値に規定すること（第 2 条件）により、制御電圧  $V_c$  をゼロにしたときの利得  $G$  をゼロまたは極めてゼロに近い値に制御できる好ましい構成を採用したが、増幅回路 1 の利得  $G$  は、上記式（6）のように表されるため、上記の第 1 条件および第 2 条件のうちの第 1 条件を満たさない構成においても、利得  $G$  の最小値（制御電圧  $V_c$  をゼロにしたときの利得  $G$ ）をゼロに近い値に規定することができ、制御電圧  $V_c$  を変化させたときの利得  $G$  の変化量を従来の増幅回路 5 1 と比較して十分に大きくすることができる。

40

【0034】

例えば、非反転型の増幅回路として機能するための条件および第 2 条件を満たし、第 1 条件を満たさない構成として、各 FET 6, 7 の抵抗値  $R_{FET}$  が制御電圧  $V_c$  によって  $300$ （ $= R_{F0}$ ）から  $3k$  の範囲内で変更可能（抵抗値  $R_{FET}$  の変化量（最大抵抗値 / 最小抵抗値）が 10 倍の例）であり、抵抗値  $R_1$  を  $200k$ 、抵抗値  $R_2$  を  $100k$ 、抵抗値  $R_3$  を  $5k$  とした構成のときには、利得  $G$  の最小値（抵抗値  $R_{FET} = 300$  のときの利得  $G$ ）は、上記式（6）に基づき、ゼロに近い数値「0.028」となり、利得  $G$  の最大値（抵抗値  $R_{FET} = 3k$  のときの利得  $G$ ）は、上記式（6）に基

50

づき、数値「0.49」となる。このため、制御電圧 $V_c$ を変化させたときの利得 $G$ の変化量は、 $17.5 (= 0.49 / 0.028)$ となる。一方、従来増幅回路51において、 $R_r$ を5kとし、FET54の抵抗値 $R_{FET}$ を300から3kの範囲内で変更可能としたときには、その利得 $G$ の最大値は、 $(1 + 5000 / 300) = 17.6$ であり、利得 $G$ の最小値は、 $(1 + 5000 / 3000) = 3.5$ であることから、利得 $G$ の変化量は、 $5 (= 17.6 / 3.5)$ となる。したがって、増幅回路1の利得 $G$ の変化量は、従来増幅回路51の利得 $G$ の変化量と比較して十分に大きな値となる。

【0035】

一方、第2条件と共に第1条件を満たす構成（抵抗値 $R_1, R_2$ が100k）のときには、利得 $G$ の最小値（抵抗値 $R_{FET} = 300$ のときの利得 $G$ ）は、上記式（6）に基づき、ゼロに極めて近い数値「0.003」となり、利得 $G$ の最大値（抵抗値 $R_{FET} = 3k$ のときの利得 $G$ ）は、上記式（6）に基づき、数値「0.47」となる。このため、制御電圧 $V_c$ を変化させたときの利得 $G$ の変化量は、 $156 (= 0.47 / 0.003)$ となる。したがって、第1条件および第2条件を満たす構成の増幅回路1では、利得 $G$ の変化量は、従来増幅回路51の利得 $G$ の変化量と比較して極めて大きな値となる。

【0036】

なお、各FET6, 7として、p型チャネルのFETを使用しているが、n型チャネルのFETを使用する構成を採用することもできる。また、各FET6, 7として上記のように接合型のFETを使用した例について上記したが、ゲート接合部の構造が接合型（ジャンクション型）以外の構造のFETを使用することもできる。

【符号の説明】

【0037】

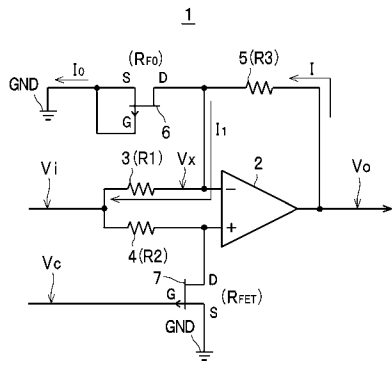
- 1 増幅回路
- 2 演算増幅器
- 3, 4 入力抵抗
- 5 抵抗
- 6, 7 FET
- G 利得
- $R_{FET}$  ドレイン・ソース間の抵抗値
- $V_c$  制御電圧
- $V_i$  入力電圧
- $V_o$  出力電圧

10

20

30

【 図 1 】



【 図 2 】

