



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201201008 A1

(43)公開日：中華民國 101 (2012) 年 01 月 01 日

(21)申請案號：100106888

(22)申請日：中華民國 100 (2011) 年 03 月 02 日

(51)Int. Cl. : **G06F11/10 (2006.01)**

G11C29/42 (2006.01)

(30)優先權：2010/03/22 美國

61/316,138

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：58 項 圖式數：27 共 64 頁

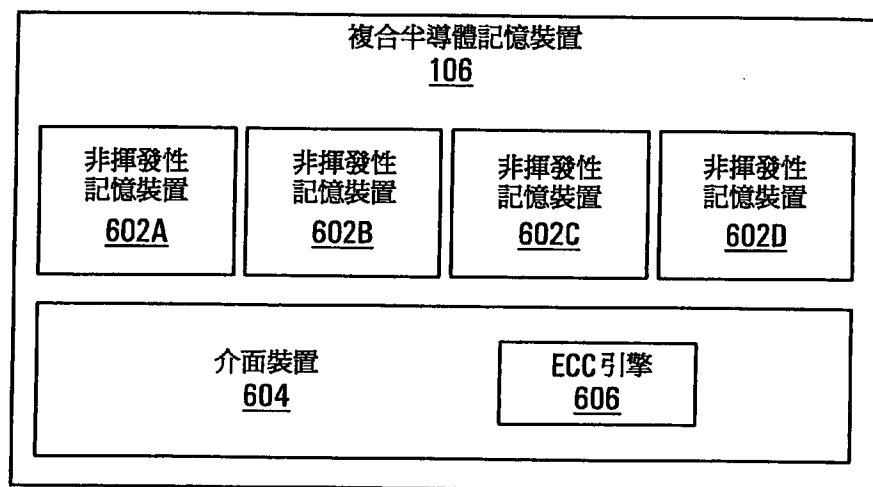
(54)名稱

具有錯誤更正的複合半導體記憶裝置

COMPOSITE SEMICONDUCTOR MEMORY DEVICE WITH ERROR CORRECTION

(57)摘要

一種複合半導體記憶裝置，包括：複數個非揮發性記憶裝置；以及介面裝置，連接至該等複數個非揮發性記憶裝置，並用來連接至記憶控制器，該介面裝置包括錯誤更正編碼(ECC)引擎。此外，一種記憶系統，包括：記憶控制器；以及至少一複合半導體記憶裝置，配置來寫至該記憶控制器並從該記憶控制器讀取，並包括內建錯誤更正編碼(ECC)引擎。此外，一種記憶系統，包括：複合半導體記憶裝置，包括複數個非揮發性記憶裝置；記憶控制器，連接至該至少一複合半導體記憶裝置，供發出讀取和寫入命令至該複合半導體記憶裝置，以使資料被寫入該等非揮發性記憶裝置之個別裝置或自該等裝置讀取；以及複合半導體記憶裝置，提供資料之無錯寫入及讀取。



106：複合半導體記憶裝置

602A：非揮發性記憶裝置

602B：非揮發性記憶裝置

602C：非揮發性記憶裝置

602D：非揮發性記憶裝置

604：介面裝置

606：錯誤更正編碼(ECC)引擎



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201201008 A1

(43)公開日：中華民國 101 (2012) 年 01 月 01 日

(21)申請案號：100106888

(22)申請日：中華民國 100 (2011) 年 03 月 02 日

(51)Int. Cl. : **G06F11/10 (2006.01)**

G11C29/42 (2006.01)

(30)優先權：2010/03/22 美國

61/316,138

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：58 項 圖式數：27 共 64 頁

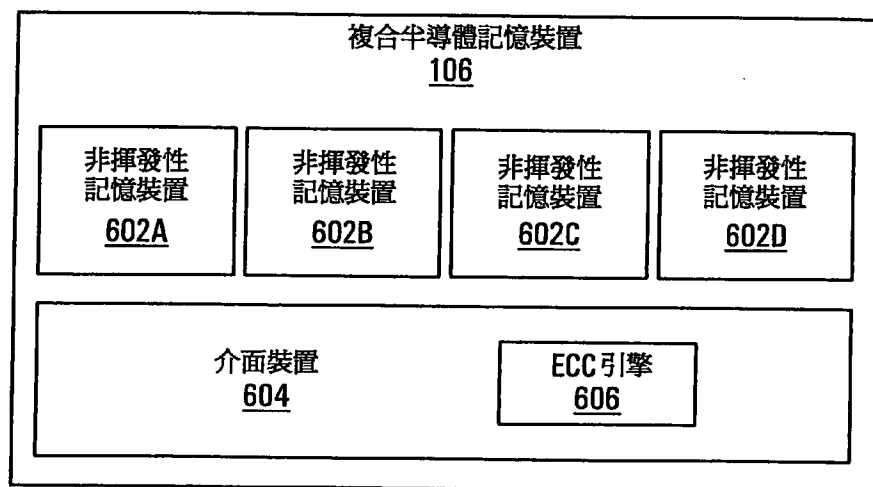
(54)名稱

具有錯誤更正的複合半導體記憶裝置

COMPOSITE SEMICONDUCTOR MEMORY DEVICE WITH ERROR CORRECTION

(57)摘要

一種複合半導體記憶裝置，包括：複數個非揮發性記憶裝置；以及介面裝置，連接至該等複數個非揮發性記憶裝置，並用來連接至記憶控制器，該介面裝置包括錯誤更正編碼(ECC)引擎。此外，一種記憶系統，包括：記憶控制器；以及至少一複合半導體記憶裝置，配置來寫至該記憶控制器並從該記憶控制器讀取，並包括內建錯誤更正編碼(ECC)引擎。此外，一種記憶系統，包括：複合半導體記憶裝置，包括複數個非揮發性記憶裝置；記憶控制器，連接至該至少一複合半導體記憶裝置，供發出讀取和寫入命令至該複合半導體記憶裝置，以使資料被寫入該等非揮發性記憶裝置之個別裝置或自該等裝置讀取；以及複合半導體記憶裝置，提供資料之無錯寫入及讀取。



106：複合半導體記憶裝置

602A：非揮發性記憶裝置

602B：非揮發性記憶裝置

602C：非揮發性記憶裝置

602D：非揮發性記憶裝置

604：介面裝置

606：錯誤更正編碼(ECC)引擎

六、發明說明：

【發明所屬之技術領域】

本發明係有關於具有錯誤更正的複合半導體記憶裝置。

【先前技術】

消費者電子裝置，像是數位音頻/視頻播放機、手機、可攜式通用串行匯流排（USB）驅動器及固態驅動器（SSD）之資料儲存需要一直可觀地增加。這個密度需要可藉由非揮發性記憶體裝置併合一般咸知為快閃裝置之快閃記憶體，較低成本滿足。目前，有兩種主要類型的快閃記憶體，亦即NOR快閃及NAND快閃，且兩者中，NAND快閃業已證實特別普遍。

然而，由於快閃裝置變得更密集且更便宜，因此，預期提供之儲存量甚至更為增加。這個預期轉加更大壓力，所費不貲地使這些裝置甚至更低成本地更密集。

【發明內容】

根據本發明之一態樣，提供一種複合半導體記憶裝置，包括：複數個非揮發性記憶裝置；以及介面裝置，連接至該等複數個非揮發性記憶裝置，並用來連接至記憶控制器，該介面裝置包括錯誤更正編碼（ECC）引擎。

根據本發明之一態樣，提供一種記憶系統，包括：記憶控制器；以及至少一複合半導體記憶裝置，配置來寫至

該記憶控制器並從該記憶控制器讀取，並包括內建錯誤更正編碼（ECC）引擎。

根據本發明之一態樣，提供一種記憶系統，包括：複合半導體記憶裝置，包括複數個非揮發性記憶裝置；記憶控制器，連接至該至少一複合半導體記憶裝置，供發出讀取和寫入命令至該複合半導體記憶裝置，以使資料被寫入該等非揮發性記憶裝置之個別裝置或自該等裝置讀取；以及複合半導體記憶裝置，從該記憶控制器看來，配置來提供該資料之無錯寫入及讀取。

熟於一般技藝人士在參閱以下配合附圖所作發明之具體實施例之說明下，當知本發明之其他態樣及特點。

【實施方式】

第1圖顯示根據非限制性實施例之非揮發性記憶系統100之方塊圖。非揮發性記憶系統100包括記憶控制器102，用來經由通信鏈路104，與主系統或處理器98通信。非揮發性記憶系統100亦包括至少一複合半導體記憶裝置106，其經由通信鏈路108連接至記憶控制器102。該記憶控制器102可為快閃記憶控制器。

於第2圖所示之非限制性實施例中，可在非揮發性記憶系統100內有單一複合半導體記憶裝置106。於第3、4及5圖所示之其他非限制性實施例中，可在非揮發性記憶系統100內有複數個複合半導體記憶裝置106。雖然圖示4個複合半導體記憶裝置106，惟須知，對可包含於非揮發性

記憶系統100中的複合半導體記憶裝置106的數目並無特別限制。

於非揮發性記憶系統100內有複數個複合半導體記憶裝置106，通信鏈路108可採各種不同形式。特別是根據第3圖所示非限制性實施例，通信鏈路108可包含共用介面通道（例如多點並聯匯流排）302。此外，可提供專用晶片致能信號304至各個複合半導體記憶裝置106。可藉由確認對應之專用晶片致能信號304，選擇個別之複合半導體記憶裝置106。根據第4圖所示非限制性實施例，通信鏈路108可使用多重專用介面通道406於記憶控制器102與複合半導體記憶裝置106間。於此情況下，複合半導體記憶裝置106之每一者具有其本身之專用介面通道406。根據第5圖所示非限制性實施例，通信鏈路108可使用多重專用介面通道506於記憶控制器102與複合半導體記憶裝置106間。於此情況下，共用介面通道506之每一者由一組兩個或更多個複合半導體記憶裝置106共用。

於非限制性實施例中，且參考第6圖，複合半導體記憶裝置106包括複數個非揮發性記憶裝置602A、602B、602C、602D及介面裝置604。雖然顯示4個非揮發性記憶裝置602A、602B、602C、602D，惟須知，對可連接至介面裝置604之非揮發性記憶裝置602A、602B、602C、602D之數目並無特別限制。如稍後參考第16-19圖所說明，使用介面通道來實現介面裝置604與非揮發性記憶裝置602A、602B、602C、602D間之通信。介面裝置604可包含錯誤更

正編碼（ECC）引擎606。ECC引擎606容許複合半導體記憶裝置106呈現對非揮發性記憶裝置602A、602B、602C、602D之無錯資料寫入（如由記憶控制器102研判），以及從非揮發性記憶裝置602A、602B、602C、602D之無錯資料讀取（如由記憶控制器102研判）。

參考第7A、7B、8A及8B圖，介面裝置604及非揮發性記憶裝置602A、602B、602C、602D可裝入單一封裝704，像是多晶片封裝（MCP）中。具體而言，非揮發性記憶裝置602A、602B、602C、602D一起堆疊於基板706。於第7A及8A圖中，介面裝置604顯示安置在非揮發性記憶裝置602D之頂部上，而於第7B及8B圖中，介面裝置604顯示安置在非揮發性記憶裝置之堆疊之底部上。在不悖離本發明之範圍下，仍可為其他配置。圖示亦有接合墊708，附著於基板706上，以容許複合半導體記憶裝置106與其他外部阻件間的電連接。連接亦設在介面裝置604與非揮發性記憶裝置602A、602B、602C、602D之每一者間。又，於第7A及7B圖之實施例中，引線接合702透過基板706建立於介面裝置604與非揮發性記憶裝置602A、602B、602C、602D之每一者間。相對地，於第8A及8B圖之實施例中，直接連接802建立於介面裝置604與非揮發性記憶裝置602A、602B、602C、602D之每一者間。相對地，於第8A及8B圖之實施例中，直接連接802建立於介面裝置604與非揮發性記憶裝置602A、602B、602C、602D之每一者間。仍可為將介面裝置604與非揮發性記憶裝置602A、602B、602C

、602D之每一者互連之其他方式。此外，雖然顯示堆疊晶片配置，卻不得解釋為有限制性。

非揮發性記憶裝置 602A、602B、602C、602D

非揮發性記憶裝置 602A、602B、602C、602D僅舉一些非限制可能性，可為 NAND 快閃記憶裝置、NOR 快閃記憶裝置或相變記憶裝置。非揮發性記憶裝置 602A、602B、602C、602D僅舉一些非限制可能性，可不同步或同步操作。非揮發性記憶裝置 602A、602B、602C、602D僅舉一些非限制可能性，可作為單資料速率（SDR）裝置或雙資料速率（DDR）裝置操作。於具體之非限制性實施例中，非揮發性記憶裝置 602A、602B、602C、602D可遵循產業規格，例如用於產品 K9GAG08U0D、K9LBG08U1D、K9HCG08U5D（如於可由三星電子獲得之名為 2G×8 位元 / 4G×8 位元 / 8G×8 位元 NAND 快閃記憶裝置之文獻中所說明）之三星之 16Gb 多位準胞元 NAND 快閃規格，其提供裝置操作及時序細節，且在此以參考方式併提。當然，可使用市售快閃記憶裝置之其他方式或模式作為非揮發性記憶裝置 602A、602B、602C、602D。

第 9 圖示意圖示被實施為 NAND 快閃記憶裝置之非揮發性記憶裝置（於本例子中像是裝置 602A）之各種功能組件。

裝置 602A 使用以下諸埠及信號：

- 輸入 / 輸出埠（I/O0 至 I/O7）：I/O 埠用來轉送位址

、命令及輸入/輸出資料至及從裝置 602A。特別是，待寫至裝置 602A 之資料到達 I/O 埠 I/O0 至 I/O7，且在儲存於記憶體胞元陣列 902 中之前，暫時安置於一組總體緩衝器 916 中。待從裝置 602A 讀取之資料自記憶體胞元陣列 902 萃取，並在釋放於 I/O 埠 I/O0 至 I/O7 之前，安置於一組總體緩衝器 916 中。

- 寫入致能埠 (WE#)：WE# 埠接收用來控制從 I/O 埠獲得資料之 WE# 信號。

- 命令閃鎖致能 (CLE) 埠：CLE 埠接收用來控制操作模式命令載入命令暫存器 910 之 CLE 信號。當 CLE 信號被確認時，於 WE# 信號之上升緣，命令被從 I/O 埠閃入命令暫存器 910。

- 位址閃鎖致能 (ALE) 埠：ALE 埠接收用來控制位址資訊載入內部位址暫存器 912 之 ALE 信號。當 ALE 信號被確認時，於 WE# 信號之上升緣，位址資訊被從 I/O 埠閃入內部位址暫存器 912。

- 就緒/忙碌 (R/B#) 埠：R/B# 埠係開路汲極接腳，且輸出 R/B# 信號被裝置 602A 用來指出其操作狀態。具體而言，R/B# 信號指出裝置就緒或忙碌。當裝置 602A 處於忙碌狀態時（像是在讀取、程式及抹除操作期間），裝置 602A 中之 R/B# 電路 914 會解除 R/B# 信號之確認。在完成操作後，R/B# 電路 914 將重確認 R/B# 信號，指出裝置 602A 處於就緒狀態。

- 晶片致能 (CE#) 埠：CE# 埠接收 CE# 信號。當

裝置 602A 處於就緒狀態（當確認 R/B # 信號時）而 CE # 信號被解除確認時，裝置 602A 進入低電力備用模式。然而，當裝置 602A 處於忙碌狀態（當解除 R/B # 信號之確認時），像是在讀取、程式及抹除操作期間，CE # 信號被忽略。亦即，若裝置 602A 處於忙碌狀態，不管 CE # 信號是否解除確認，裝置 602A 均不會進入就緒模式。

- 讀取致能（RE #）埠：RE # 埠接收用來控制串列資料輸出之 RE # 信號。具體而言，在 RE # 信號之下降緣後（亦即當確認 RE # 信號時），待被裝置 602 輸出之資料安置於 I/O 埠 I/O0 至 I/O7。內行位址計數器亦遞增在 RE # 信號之下降緣（位址 = 位址 + 1）。

- 寫入保護（WP #）埠：WP # 埠接收用來保護裝置 602A 免受意外程式化或抹除之害的 WP # 信號。當確認 WP # 信號時，重設內電壓調節器（高電壓產生器 918，其在讀取、程式及抹除操作期間，提供必要高電壓及參靠電壓）。WP # 信號可用來於輸入信號無效時通電/斷電時期期間，保護儲存於記憶胞元陣列 902 之資料。

第 10 圖顯示記憶胞元陣列 902 之胞元陣列構造，其包含 n 個可抹除區塊 1002-0 至 1002- $(n-1)$ 。每一區塊可如第 11 圖所示，細分成可程式頁 1002-0 至 1002- $(m-1)$ 。各頁轉而如第 12 圖所示，細分成 $(j+k)$ 8 位元位元組。具體而言，各頁之位元組分成 j 位元組資料儲存區（資料欄 1202）及 k 位元組資料儲存區（備用欄 1204）。因此，記憶胞元陣列 902 之總大小為 n 區塊，其對應 $(n * m)$ ，並因此等

於 $(n * m * (j+k))$ 位元組。

備用欄 1204 可用於錯誤管理功能（例如儲存錯誤控制編碼同位位元）。各頁及 / 或區塊之元資料（像是抹除循環數、位址資訊、不良區塊資訊等）亦可儲存於資料欄 1202 或備用欄 1204 中，依實施例而定。

NAND 快閃記憶體中之備用欄 1204 之所需大小依頁大小、處理技術、每一胞元之位元數（亦即，每一胞元 1 位元、每一胞元 2 位元、每一胞元 3 位元等）及位元錯誤率而定。稍早一代之 NAND 快閃記憶體的頁大小為資料欄 1202 之 512 位元組及備用欄 1204 之 16 位元組。頁大小隨著處理技術演進成長，這容許實現更大之記憶密度。然而，該成長亦已帶來更高的位元錯誤率，並因此需要更強的錯誤更正編碼。目前頁大小例子係為資料欄 1202 之 8k 位元組及備用欄 1204 之 436 位元組。資料欄 1202 及備用欄 1204 之大小亦可在快閃記憶體之製造廠間相異。然而，熟於本技藝人士當知，本發明之實施例對資料欄 1202 之絕對或相對大小並無具體限制。

再度參考第 9 圖，裝置 602A 之記憶芯除了記憶胞元陣列 902 外，包含列解碼器 920、感測放大器 / 頁緩衝器 904 及行解碼器 922。列解碼器 920 用來選擇用於讀取操作或程式操作之頁，或用於選擇抹除操作作用區塊。

更具體而言，於讀取操作期間，記憶胞元陣列 902 中所選頁上的資料被感測出並闕入感測放大器 / 頁緩衝器 904。接著，儲存於感測放大器 / 頁緩衝器 904 中之資料依序透

過行解碼器 922 及總體緩衝器 916 讀取。於程式操作期間，自總體緩衝器 916 輸入之資料依序經由行解碼器 922 載入感測放大器/頁緩衝器 904。閃入感測放大器/頁緩衝器 904 之輸入資料接著被程式編入記憶胞元陣列 902 之選頁。

裝置 602A 亦包含狀態暫存器 928，其在讀取、程式或抹除操作期間，追蹤裝置 602A 之狀態。此狀態可被編碼來反映操作是否通過或失敗，及裝置 602A 是否忙碌或就緒。

裝置 602A 進一步包含控制緩衝器 930，其係具有狀態機器之中央單元，在各種操作模式期間，控制裝置 602A。例如，上述命令暫存器 910 將從總體緩衝器 916 輸入之命令解碼，並將解碼之命令輸入至控制緩衝器 930。

此外，裝置 602A 包含控制緩衝器 932，其根據目前於輸入埠，亦即 CE#、CLE、ALE、WE#、RE# 及 WP# 埠上之信號組合，決定目前操作模式（像是命令輸入、位址輸入、資料輸入、資料輸出及狀態輸出）。

而且，裝置 602A 包含上述位址暫存器 912，其儲存多工行位址及列位址。該位址藉位址暫存器解分工，並轉送入列預解碼器 934 及行預解碼器 936。

於操作中，以命令驅動讀取、程式及抹除操作。讀取及程式操作按頁執行，惟抹除操作則按區塊執行。就本例子而言，假設 $j=4096(=4k)$ ， $k=218$ ， $m=128$ 及 $n=4096$ 。因此，頁、區塊、平面及裝置之容量如以下提供。

1 頁 = $(4k + 218)$ 位元組；

1 區塊 = 128 頁 = $(4k + 218)$ 位元組 $\times 128 = (512k + 27.25k)$ 位

元組：

1 平面 = 2048 區塊 = $(512k + 27.25k)$ 位元組 $\times 2048 =$
 $(8G + 436M)$ 位元；

1 裝置 = 2 平面 = $(8G + 436M)$ 位元 $\times 2 = (16G + 872M)$ 位元

現在考慮讀取操作，這按頁執行（有 $(4k + 218)$ 位元組 = 每頁 4,314 位元組的大小）。該操作於將經由共用 I/O 接腳（I/O0 至 I/O7）到達之讀取信號門入命令暫存器 910，其後，將經由共用 I/O 接腳（I/O0 至 I/O7）到達之位址門入位址暫存器 912。參考第 13 圖，感測出經辨識之頁次中的 4,314 位元組資料，並在小於 t_R （資料轉送時間）的時間內轉送至感測放大器/頁緩衝器 904。一旦感測出 4,314 位元組，並將其從記憶胞元陣列 902 中的選頁轉送至感測放大器/頁緩衝器 904，即可依序從裝置 602A 讀取感測放大器/頁緩衝器 904 中的資料。

其次，考慮亦按頁執行之程式操作。該操作在將經由共用 I/O 接腳（I/O0 至 I/O7）到達之程式命令門入命令暫存器 910 之後開始，隨後，將經由共用 I/O 接腳（I/O0 至 I/O7）到達之位址門入位址暫存器 912，此後，經由共用 I/O 接腳（I/O0 至 I/O7）到達之 4,314 位元組資料門入感測放大器/頁緩衝器 904。參考第 14 圖，在少於 t_{BERS} （頁程式時間）內，此等 4,314 位元組資料被程式編至記憶胞元陣列 902 之選頁。

現在考慮按區塊執行之抹除操作。該操作在將經由共用 I/O 接腳（I/O0 至 I/O7）到達之抹除命令門入命令暫存器

910之後開始，隨後，將經由共用 I/O 接腳（I/O0至 I/O7）到達之位址門入位址暫存器 912。參考第 15 圖，在少於 t_{BERS} （區塊抹除時間）內抹除（512k+27.25k）位元組資料。

與非揮發性記憶裝置 602A、602B、602C、602D 通信

參考第 16 及 17 圖，複合半導體記憶裝置 106 可使用共用內介面通道 1602，以支持介面裝置 604 與非揮發性記憶裝置 602A、602B、602C、602D 間之通信。共用內介面通道 1602 可作為用於所有信號 $\overline{CLE}$ 、 ALE 、 $WE\#$ 、 $RE\#$ 、 $WP\#$ 及 $R/B\#$ 之多點並聯匯流排及共用 I/O 接腳 I/O0 至 I/O7 來實施。此外，分別對非揮發性記憶裝置 602A、602B、602C、602D 提供專用晶片致能信號 $CE\#$ $\overline{1604A}$ 、 $CE\#$ $\overline{1604B}$ 、 $CE\#$ $\overline{1604C}$ 及 $CE\#$ $\overline{1604D}$ ，容許選擇進行讀取、程式及抹除操作之個別非揮發性記憶裝置。例如，非揮發性記憶裝置 602A 可藉由確認 $CE\#$ $\overline{1604A}$ 選擇及存取。其餘裝置（例如裝置 602B、602C、602D）藉由解除 $CE\#$ $\overline{1604B}$ 、 $CE\#$ $\overline{1604C}$ 及 $CE\#$ $\overline{1604D}$ 之確認不選擇，這造成自記憶控制器 102 之任何輸入（命令、位址或資料）被忽視。未選裝置之輸出信號亦處於高阻態（亦即，Hi-Z）。

參考第 18 圖，複合半導體記憶裝置 106 可使用多重專用介面通道 1802A、1802B、1802C、1802D，其等分別連接至非揮發性記憶裝置 602A、602B、602C、602D。

參考第 19 圖，複合半導體記憶裝置 106 可使用多重專用介面通道 1902、1904，以支持介面裝置 604 與非揮發性記憶裝置 602A、602B、602C、602D 間之通信。於此情況下，第一組兩個非揮發性記憶裝置（例如裝置 602A 及 602B）共用共同介面通道 1902，而第二組兩個非揮發性記憶裝置（例如裝置 602C 及 602D）則共用共同介面通道 1904。然而，須知，組數（並因此共同介面通道數）及每一共同介面通道之非揮發性記憶裝置數未特別限制。

第 20 圖顯示根據非限制性實施例之介面裝置 604 之某些功能元件。根據該非限制性實施例，介面裝置 604 可包含外介面區塊 2004，其越過前述通信鏈路 108 介接至 / 自記憶控制器 102。於其他功能間，外介面區塊 2004 自 / 對記憶控制器 102 緩衝 / 產生控制信號，以及輸入 / 輸出資料自 / 至記憶控制器 102。舉若干非限制可能性來說，外介面區塊 2004 可具有不同步 NAND 快閃、不同步雙資料速率（DDR）或同步 DDR 之行爲或功能。介面裝置 604 亦可包含內介面區塊 2002，其如前面業已說明，越過一或更多介面通道（亦即 1602 或 1802A、1802B、1802C、1802D 或 1902、1904），介接至 / 自非揮發性記憶裝置 602A、602B、602C、602D。於其他功能間，內介面區塊 2002 自 / 對非揮發性記憶裝置 602A、602B、602C、602D 緩衝 / 產生控制信號，以及輸入 / 輸出資料自 / 至記憶控制器 102。內介面區塊 2002 可具有不同步 NAND 快閃、不同步雙資料速率（DDR）或同步 DDR 之行爲或功能。

此外，介面裝置604包含上述ECC引擎606。ECC引擎606提供接收自記憶控制器102之資料在被寫至非揮發性記憶裝置602A、602B、602C、602D之任一者前的錯誤更正編碼，以及自非揮發性記憶裝置602A、602B、602C、602D之任一者讀取之資料在被送至記憶控制器102之前的錯誤更正解碼。

此外，介面裝置604可包含緩衝記憶體2006（像是靜態隨機存取記憶體-SRAM），其暫時儲存在ECC編碼前自記憶控制器102輸入之資料，並在ECC解碼後，將資料輸出至記憶控制器102。

介面裝置604亦包括控制區塊及時序控制信號產生器2008，其產生包含控制外介面區塊2004、內介面區塊2002、緩衝記憶體2006及ECC引擎606所需之時序控制信號之各種控制信號。

於第21圖中顯示第20圖之實施例之變化。在此，ECC引擎再度以第一ECC引擎2102及第二ECC引擎2104實施，配置來同時操作以分擔錯誤更正編碼及解碼之工作負荷。須知，可實施以組合地執行ECC引擎606之整體工作負荷之ECC引擎2102之數目並未特別限制。

雖然可於本非限制性實施例中，將ECC引擎2102、2104之每一者分配給非揮發性記憶裝置602A、602B、602C、602D之個別預定子組，惟未必如此。特別是，必要時動態地將ECC引擎2102、2104之每一者分配給非揮發性記憶裝置602A、602B、602C、602D之不同裝置的可能性

藉由內介面區塊2002經由共用內介面通道1602提供對所有非揮發性記憶裝置602A、602B、602C、602D之接達來使其可行。

於第21圖之實施例中，亦須知緩衝記憶體以和第一ECC引擎2102相關之第一記憶儲存器2106以及和第二ECC引擎2104相關之第二記憶儲存器2108實施。然而，亦可使用ECC引擎2102、2104間共用之單一、較大記憶儲存器。

於第22圖中顯示第20圖之實施例之第二變化。在此，ECC引擎再度以第一ECC引擎2102及第二ECC引擎2104實施，配置來同時操作以分擔錯誤更正編碼及解碼之工作負荷。亦須知，如於第21圖之實施例中，緩衝記憶體以和第一ECC引擎2102相關之第一記憶儲存器2106以及和第二ECC引擎2104相關之第二記憶儲存器2108實施。再者，可實施以組合地執行ECC引擎606之整體工作負荷之ECC引擎2102之數目並未特別限制，且可考慮到其可使用ECC引擎2102、2104間共用之單一、較大記憶儲存器。

於本實施例中，ECC引擎2102、2104之每一者被分配給非揮發性記憶裝置602A、602B、602C、602D之個別預定子組。該分配藉由內介面區塊之配置決定，該內介面區塊以第一內介面區塊2202（其越過共同介面通道1902，與非揮發性記憶裝置602A、602B通信）以及第二內介面區塊2204（其越過共同介面通道1904，與非揮發性記憶裝置602C、602D通信）實施。

ECC引擎 606

於程式操作期間，ECC引擎 606產生對應從記憶控制器 102輸入之資料的諸如同位資料之 ECC控制資料，組合此輸入資料與 ECC同位資料，接著將兩者程式化成非揮發性記憶裝置 602A、602B、602C、602D之一選擇裝置。

更具體而言，參考第 23 圖，且僅舉非限制性例子，其顯示使用 BCH ECC碼及 4kB 頁大小的輸出資料。ECC引擎 606設有同位產生器 2304。同位產生器 2304使用用於例如非揮發性記憶裝置 602A之目標頁之 4kB 輸入資料 2302，產生同位資料 2306。同位資料 2306可由數段輸入資料 2302或使用完整輸入資料 2302（參閱羅勃 比耶斯，德耐軟體公司 2009 年“Mr. NAND’s Wild Ride : Warning - Surprises Ahead,”其以參考方式併提於此）產生。輸入資料 2302被程式化至目標頁之資料欄 1202，而同位資料 2306則被程式化至目標頁之備用欄 1204。

於讀取操作期間，ECC引擎 606以 ECC同位資料從非揮發性記憶裝置 602A、602B、602C、602D之一選定裝置讀取輸出資料，並接著進行 ECC操作，以產生對應輸出資料之 ECC同位資料。ECC引擎 606接著比較所萃取及產生之 ECC同位資料，且必要的話，在提供輸出資料至記憶控制器 102之前將其更正。

更具體而言，參考第 24 圖，且僅舉非限制性例子，其顯示使用 BCH ECC碼及 4kB 頁大小的輸出資料之 ECC解碼程序。ECC引擎 606設有徵候產生器 2406、伯雷坎普區塊

2408、奇恩區塊 2410 及資料更正器 2412。徵候產生器 2406 使用例如自非揮發性記憶裝置 602A 讀取之 4kb 的輸出資料 2402 及同位資料 2404，計算及產生徵候，以判定是否有任何錯誤。徵候被輸入伯雷坎普區塊 2408，其判定錯誤定位多項式及錯誤數。奇恩區塊 2410 在伯雷坎普區塊 2408 所輸出之錯誤定位多項式中發現多項數根（其為錯誤位置）。最後，若根據奇恩區塊 2410 之輸出的確發現任何錯誤，即藉資料更正器區塊 2412 更正輸出資料 2402。因此，資料更正器區塊 2412 之輸出係更正之資料 2414，其接著被供至記憶控制器 102。

為求簡化，以上實施例業已假設接受錯誤更正編碼及解碼之輸入資料及輸出資料佔據整個資料欄 1202。在欲包含元資料情況下，該元資料可儲存於備用欄 1204 中。於替代實施例中，元資料可佔據資料欄 1202 之一部分，且接受錯誤更正編碼及解碼之輸入資料及輸出資料可佔據資料欄 1202 不包含元資料之部分。

須知，上述 ECC 操作簡化且決未限制。熟於本技藝人士當知，有許多可行方式來實施對非揮發性記憶裝置之資料讀取及寫入的錯誤更正編碼及解碼，且其可用在本發明。錯誤更正編碼（ECC）演算更正強度（可被更正之位元錯誤數）依用來更正錯誤之 ECC 演算（此等演算可以硬體或軟體實施）而定。簡單漢明碼可更正簡單位元錯誤。李德-所羅門碼可更正更多錯誤並被廣泛使用。BCH（波謝、雷-休杜利、霍坎亨）碼亦可更正多重位元錯誤，並因其

效率較李德-所羅門碼更為改進，因此，很普遍。仍存在其他非限制例子，像是低密度同位碼（LDPC）、turbo碼、葛萊碼及其他並置、褶積及塊碼。

從記憶控制器102的觀點看來，且參考第25圖中之非限制性實施例，最後頁格式（亦即，在記憶控制器102與複合半導體記憶裝置106間交換之資料大小）可與備用欄1204中的資料無關，僅包含資料欄1202中的資料。亦即，記憶控制器102不寫入資料至或讀取資料自備用欄1204。反而係介面裝置604以ECC引擎606所產生之同位位元充填備用欄1204。在此一實施例中，對使用者隱藏備用欄1204（且事實上對記憶控制器102），且記憶控制器102本身無須與錯誤更正編碼或解碼有關。這容許記憶控制器102在失效之ECC功能下或在毫無ECC功能下運作。

於上述第25圖之實施例中，須知不藉記憶控制器102對複合半導體記憶裝置106提供元資料，或者此元資料已埋置於資料欄1202中。亦存在有一實施例，其中元資料個別提供於資料欄1202外。具體而言，於第26圖所示之非限制性實施例中，最後頁格式（亦即，在記憶控制器102與複合半導體記憶裝置106間交換之資料大小）可不僅包含資料欄1202之資料，亦包含小的添加備用欄2602（例如，16或20位元，惟不限於此），其小於備用欄1204之大小。添加備用欄2602可供儲存用於頁之元資料（諸如抹除循環數、位址資訊、不良區塊資訊等）。於本實施例中，介面裝置604以以下充填備用欄1204：（i）ECC引擎606所產生

之同位位元以及 (ii) 來自備用欄 2602 之元資料。在此一實施例中，使用者僅可看到添加備用欄 2602，使用者及記憶控制器 102 仍看不到備用欄 1204。於此再申言之，記憶控制器 102 本身無須與錯誤更正編碼或解碼有關，因此，容許記憶控制器 102 在失效之 ECC 功能下或在毫無 ECC 功能下運作。

記憶控制器 102

現在參考第 27 圖，其顯示根據非限制性實施例之記憶控制器 102 之功能方塊圖。記憶控制器 102 包括晶體 2702，其提供基帶時脈信號，該基帶時脈信號被饋送至時脈產生器及控制區塊 2704。時脈產生器及控制區塊 2704 提供各種時脈信號至中央處理單元 (CPU) 2706、裝置管理區塊 2710 及實體層收發器 2740 (於本例子中為串列 ATA PHY)。CPU 2706 (其可為微處理機控制器) 藉共用匯流排 2742，與其他子系統通信。此外，可提供包含隨機存取記憶體 (RAM) 及僅讀記憶體 (ROM) 之記憶儲存器 2708；RAM 用來作為緩衝記憶體，且 ROM 儲存可藉 CPU 2706 執行之可電腦讀取碼 (指令)。

裝置管理區塊 2710 包含實體介面 2714 及檔案及記憶管理區塊 2712。至少一複合半導體記憶裝置 106 透過實體介面 2714 存取。檔案及記憶管理區塊 2712 提供邏輯-對-實體位址翻譯並應用平均磨損演算。

於一非限制性實施例中，裝置管理區塊 2710 包含 ECC

(錯誤更正碼) 引擎 2716，其能可控制地在從 CPU 2706 收到失效信號 2718 時失效。於另一非限制性實施例中，ECC 引擎 2716 在硬體中失效。於又另一非限制性實施例中，記憶控制器 102 不包含 ECC 引擎或錯誤更正電路。若設置，ECC 引擎 2716 即可檢查及更正從至少一複合半導體記憶裝置 106 存取之資料。

須知，與日俱增的更大數目的複合半導體記憶裝置 106 與記憶控制器 102 之連接不會改變記憶控制器 102 之 ECC 處理負荷。此乃因為 ECC 要件分配於複合半導體記憶裝置 106 間。事實上，記憶控制器 102 根本無須進行任何錯誤更正編碼或解碼，此乃因為介面裝置 604 中的 ECC 引擎 606 確保非揮發性記憶裝置 602A、602B、602C、602D 之無錯性能（如由記憶控制器 102 研判）。

而且，介面裝置 604 可設計成實現用於同時多重讀取及 / 或寫入之同時 ECC，這導致潛在地改善記憶體存取次數。

此外，由於各複合半導體記憶裝置 106 具有其本身之 ECC 引擎 606，因此，記憶控制器 102 不限於一次單一讀取或寫入。反而，記憶控制器 102 可發出兩個（或者可能更多）命令，使和此等命令有關之資料同時流經記憶控制器 102。

而且，須知，由於 ECC 引擎 606 位於介面裝置 604 內，因此，發展中的 ECC 需要可由介面裝置 604 設計之進展見其一斑，惟其可同時持續使用相同記憶控制器 102。有利

地，相同記憶控制器之再使用可有潛力地歷經多個不同世代的快閃記憶裝置，且亦可跨越許多製造及生產技術。而且，備用欄 1204 的大小變化（可能被發展中的 ECC 需要促成）不會對記憶控制器 102 的設計發生效應。

此外，從使用者的觀點，在設計及使用記憶控制器 102 時，隱藏備用欄 1204 簡化了研發者的努力。而且，若使用者使用備用欄 2602，即可保持很小及大小一致，以儲存頁管理的必要元資料（例如抹除循環數、位址資訊、不良區塊資訊等）。

於上述實施例中，為簡化，裝置元件及電路如圖示相互連接。於本發明之實際應用中，元件、電路等可直接相互連接。同樣地，裝置元件及電路可例如透過適當操作所需之其他元件、電路等間接相互連接。因此，於實際配置中，電路-元件及電路等可直接或間接相互耦接或連接。

本發明之上述實施例僅欲作為例子。在不悖離僅由本文所附申請專利範圍界定之本發明範圍內，熟於本技藝人士可對特定實施例進行變更、修改及變動。

【圖式簡單說明】

現在將參考附圖僅舉例說明本發明之實施例，其中：

第 1 圖係顯示根據非限制性實施例之非揮發性記憶系統之方塊圖；

第 2 圖係顯示根據非限制性實施例，使用單一複合半導體記憶裝置之非揮發性記憶系統之方塊圖；

第 3-5 圖係顯示根據非限制性實施例，使用複數個複合半導體記憶裝置之非揮發性記憶系統之方塊圖；

第 6 圖係顯示根據非限制性實施例，複合半導體記憶裝置之某些組件之方塊圖；

第 7A、7B、8A 及 8B 圖顯示根據非限制性實施例，複合半導體記憶裝置之橫剖視圖；

第 9 圖係顯示 NAND 快閃功能區塊之方塊圖；

第 10 圖係顯示 NAND 快閃胞元陣列構造之方塊圖；

第 11 圖係顯示 NAND 快閃區塊構造之方塊圖；

第 12 圖係顯示 NAND 快閃頁構造之方塊圖；

第 13 圖係顯示於 NAND 快閃中按頁讀取操作之方塊圖；

第 14 圖係顯示於 NAND 快閃中按頁程式操作之方塊圖；

第 15 圖係顯示於 NAND 快閃中按區塊讀取操作之方塊圖；

第 16 圖係顯示根據非限制性實施例，複合半導體記憶裝置之內部功能建構之方塊圖，其中複數個非揮發性記憶裝置以多點方式互接；

第 17 圖係顯示有關第 16 圖中對複數個非揮發性記憶裝置之多點互接之更多細節之方塊圖；

第 18 圖係顯示根據非限制性實施例，複合半導體記憶裝置之內部功能建構之方塊圖，其中複數個非揮發性記憶裝置使用專用介面通道互接；

第 19 圖係顯示根據非限制性實施例，複合半導體記憶裝置之內部功能建構之方塊圖，其中複數個非揮發性記憶裝置使用群系介面通道互接；

第 20、21 及 22 圖係顯示根據非限制性實施例，複合半導體記憶裝置之不同內部配置之方塊圖；

第 23 圖係顯示錯誤更正編碼程序之方塊圖；

第 24 圖係顯示錯誤更正解碼程序之方塊圖；

第 25-26 圖凸顯根據非限制性實施例，寫至介面裝置之資料與藉介面裝置寫至非揮發性記憶裝置之資料間之差異；以及

第 27 圖係根據非揮發性記憶裝置之記憶控制器之功能方塊圖。

【主要元件符號說明】

98：主系統或處理器

100：非揮發性記憶系統

102：記憶控制器

104、108：通信鏈路

106：複合半導體記憶裝置

302：共用介面通道

304：專用晶片致能信號

406、506：多重專用介面通道

602A、602B、602C、602D：非揮發性記憶裝置

604：介面裝置

- 606：錯誤更正編碼（ECC）引擎
- 702：引線接合
- 704：封裝
- 706：基板
- 708：接合墊
- 802：直接連接
- 902：記憶胞元陣列
- 904：感測放大器/頁緩衝器
- 910：命令暫存器
- 912：位址暫存器
- 914：R/B# 電路
- 916：總體緩衝器
- 918：高電壓產生器
- 920：列解碼器
- 922：行解碼器
- 928：狀態暫存器
- 930、932：控制緩衝器
- 934：列預解碼器
- 936：行預解碼器
- 1202：資料欄
- 1204：備用欄
- 1802A、1802B、1802C、1802D：多重專用介面通道
- 1902、1904：共同介面通道
- 2002：內介面區塊

2004：外介面區塊
2006：緩衝記憶體
2008：控制區塊及時序控制信號產生器
2102、2104：ECC引擎
2106：第一記憶儲存器
2108：第二記憶儲存器
2202：第一內介面區塊
2204：第二內介面區塊
2302：輸入資料
2304：同位產生器
2306：同位資料
2402：輸出資料
2404：同位資料
2406：徵候產生器
2408：伯雷坎普區塊
2410：奇恩區塊
2412：資料更正器
2414：更正之資料
2602：備用欄
2702：晶體
2704：時脈產生器及控制區塊
2706：中央處理單元（CPU）
2710：裝置管理區塊
2712：檔案及記憶管理區塊

2714：實體介面

2716：ECC（錯誤更正碼）引擎

2718：失效信號

2740：實體層收發器

2742：共用匯流排

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106888

※申請日：100 年 03 月 02 日

※IPC 分類：

G06F 11/10 (2006.01)

G11C 29/42 (2006.01)

一、發明名稱：(中文／英文)

具有錯誤更正的複合半導體記憶裝置

Composite semiconductor memory device with error correction

二、中文發明摘要：

一種複合半導體記憶裝置，包括：複數個非揮發性記憶裝置；以及介面裝置，連接至該等複數個非揮發性記憶裝置，並用來連接至記憶控制器，該介面裝置包括錯誤更正編碼(ECC)引擎。此外，一種記憶系統，包括：記憶控制器；以及至少一複合半導體記憶裝置，配置來寫至該記憶控制器並從該記憶控制器讀取，並包括內建錯誤更正編碼(ECC)引擎。此外，一種記憶系統，包括：複合半導體記憶裝置，包括複數個非揮發性記憶裝置；記憶控制器，連接至該至少一複合半導體記憶裝置，供發出讀取和寫入命令至該複合半導體記憶裝置，以使資料被寫入該等非揮發性記憶裝置之個別裝置或自該等裝置讀取；以及複合半導體記憶裝置，提供資料之無錯寫入及讀取。

三、英文發明摘要：

A composite semiconductor memory device, comprising: a plurality of nonvolatile memory devices; and an interface device connected to the plurality of nonvolatile memory devices and for connection to a memory controller, the interface device comprising an error correction coding (ECC) engine. Also, a memory system, comprising: a memory controller; and at least one composite semiconductor memory device configured for being written to and read from by the memory controller and comprising a built-in error correction coding (ECC) engine. Also, a memory system, comprising: a composite semiconductor memory device comprising a plurality of nonvolatile memory devices; and a memory controller connected to the at least one composite semiconductor memory device, for issuing read and write commands to the composite semiconductor memory device to cause data to be written to or read from individual ones of the nonvolatile memory devices; the composite semiconductor memory device providing error-free writing and reading of the data.

七、申請專利範圍：

1.一種複合半導體記憶裝置，包括：

複數個非揮發性記憶裝置；以及

介面裝置，連接至該等複數個非揮發性記憶裝置，並用來連接至記憶控制器，該介面裝置包括錯誤更正編碼（ECC）引擎。

2.如申請專利範圍第1項之複合半導體記憶裝置，其中，在自該記憶控制器接收之資料被寫至該等非揮發性記憶裝置之任一者之前，該ECC引擎提供該資料之錯誤更正編碼；且其中，在自該非揮發性記憶裝置讀取之資料被送至該記憶控制器之前，該ECC引擎進一步提供該資料之錯誤更正解碼。

3.如申請專利範圍第2項之複合半導體記憶裝置，其中，該介面裝置包括：

緩衝記憶體，連接至該ECC引擎：

第一介面，連接於該ECC引擎與該等非揮發性記憶裝置間；

第二介面，連接至該緩衝記憶體，並用來連接至該記憶控制器；以及

控制信號產生器，用以控制該ECC引擎、該緩衝記憶體、該第一介面及該第二介面。

4.如申請專利範圍第3項之複合半導體記憶裝置，進一步包括並聯匯流排，用以連接該第一介面至該等非揮發性記憶裝置之每一者。

5.如申請專利範圍第3項之複合半導體記憶裝置，其中，該第一介面包括第一內介面電路及第二內介面電路，其中該複合半導體記憶裝置進一步包括第一並聯匯流排，用以連接該第一內介面電路至該等非揮發性記憶裝置之第一子組之每一裝置，且其中該複合半導體記憶裝置進一步包括第二並聯匯流排，用以連接該第二內介面電路至該等非揮發性記憶裝置之第二子組之每一裝置。

6.如申請專利範圍第3項之複合半導體記憶裝置，其中，該複合半導體記憶裝置進一步包括於該第一介面與該等非揮發性記憶裝置之每一者間的專用連接。

7.如申請專利範圍第2項之複合半導體記憶裝置，其中，該ECC引擎包括第一ECC引擎及第二ECC引擎，該第一ECC引擎與該第二ECC引擎並聯操作，以提供該錯誤更正編碼及該錯誤更正解碼。

8.如申請專利範圍第7項之複合半導體記憶裝置，其中，該介面裝置包括：

緩衝記憶體，連接至該ECC引擎：

第一介面，連接於該ECC引擎與該等非揮發性記憶裝置間；

第二介面，連接至該緩衝記憶體，並用來連接至該記憶控制器；以及

控制信號產生器，用以控制該第一ECC引擎、該第二ECC引擎、該緩衝記憶體、該第一介面及該第二介面。

9.如申請專利範圍第8項之複合半導體記憶裝置，進

一步包括並聯匯流排，用以連接該第一介面至該等非揮發性記憶裝置之每一者。

10.如申請專利範圍第8項之複合半導體記憶裝置，其中，該第一介面包括第一內介面電路及第二內介面電路，其中該複合半導體記憶裝置進一步包括第一並聯匯流排，用以連接該第一內介面電路至該等非揮發性記憶裝置之第一子組之每一裝置，且其中該複合半導體記憶裝置進一步包括第二並聯匯流排，用以連接該第二內介面電路至該等非揮發性記憶裝置之第二子組之每一裝置。

11.如申請專利範圍第8項之複合半導體記憶裝置，其中，該複合半導體記憶裝置進一步包括於該第一介面與該等非揮發性記憶裝置之每一者間的專用連接。

12.如申請專利範圍第2項之複合半導體記憶裝置，其中，該ECC引擎包括第一ECC引擎及第二ECC引擎，其中該第一ECC引擎在自該記憶控制器接收之寫入資料被寫至該等非揮發性記憶裝置之第一子組之任一裝置之前，提供該寫入資料之錯誤更正編碼，並在自該等非揮發性記憶裝置之第一子組之任一裝置接收之讀取資料被送至該記憶控制器之前，進一步提供該讀取資料之錯誤更正解碼，且其中該第二ECC引擎在自該記憶控制器接收之寫入資料被寫至該等非揮發性記憶裝置之第二子組之任一裝置之前，提供該寫入資料之錯誤更正編碼，並在自該等非揮發性記憶裝置之第一子組之任一裝置接收之讀取資料被送至該記憶控制器之前，進一步提供該讀取資料之錯誤更正解碼。

13.如申請專利範圍第12項之複合半導體記憶裝置，其中，該介面裝置包括：

緩衝記憶體，連接至該ECC引擎：

第一介面，連接於該ECC引擎與該等非揮發性記憶裝置間；

第二介面，連接至該緩衝記憶體，並用來連接至該記憶控制器；以及

控制信號產生器，用以控制該第一ECC引擎、該第二ECC引擎、該緩衝記憶體、該第一介面及該第二介面。

14.如申請專利範圍第13項之複合半導體記憶裝置，進一步包括並聯匯流排，用以連接該第一介面至該等非揮發性記憶裝置之每一者。

15.如申請專利範圍第13項之複合半導體記憶裝置，其中，該第一介面包括第一內介面電路及第二內介面電路，其中該複合半導體記憶裝置進一步包括第一並聯匯流排，用以連接該第一內介面電路至該等非揮發性記憶裝置之第一子組之每一裝置，且其中該複合半導體記憶裝置進一步包括第二並聯匯流排，用以連接該第二內介面電路至該等非揮發性記憶裝置之第二子組之每一裝置。

16.如申請專利範圍第13項之複合半導體記憶裝置，其中，該複合半導體記憶裝置進一步包括於該第一介面與該等非揮發性記憶裝置之每一者間的專用連接。

17.如申請專利範圍第13項之複合半導體記憶裝置，其中，該緩衝記憶體包括：第一記憶儲存器，連接於該第

一 ECC引擎與該第二介面間，以及第二記憶儲存器，連接於該第二 ECC引擎與該第二介面間。

18.如申請專利範圍第2項之複合半導體記憶裝置，其中，自該記憶控制器接收之某些資料之該錯誤更正編碼及用於該等非揮發性記憶裝置之特定裝置者產生控制資料，以及其中，該介面裝置使該某些資料及該控制資料被寫至該特定記憶裝置。

19.如申請專利範圍第18項之複合半導體記憶裝置，其中，該控制資料包括同位位元。

20.如申請專利範圍第18項之複合半導體記憶裝置，其中，該等非揮發性記憶裝置之每一者包括複數頁，每一頁具有資料欄及備用欄，其中，該介面裝置使該某些資料被寫至該特定記憶裝置之特定頁之該資料欄，並使該控制資料被寫至該特定記憶裝置之特定頁之該備用欄。

21.如申請專利範圍第20項之複合半導體記憶裝置，其中，自該記憶控制器接收之該某些資料附有元資料。

22.如申請專利範圍第21項之複合半導體記憶裝置，其中，該元資料包括若干抹除循環、位址資訊及不良區塊資訊之至少一者。

23.如申請專利範圍第21項之複合半導體記憶裝置，其中，該介面裝置使該元資料被寫至該特定記憶裝置之特定頁之該資料欄。

24.如申請專利範圍第21項之複合半導體記憶裝置，其中，該介面裝置使該元資料被寫至該特定記憶裝置之特

定頁之該備用欄。

25.如申請專利範圍第18項之複合半導體記憶裝置，其中，自該記憶控制器接收之該某些資料不包含先前在該某些資料之任一部分上進行錯誤更正編碼所產生之控制資料。

26.如申請專利範圍第2項之複合半導體記憶裝置，其中，自該等非揮發性記憶裝置之一特定裝置讀取之該某些資料之該錯誤更正編碼包括：

從該某些資料產生控制資料；

讀取先前所產生與該某些資料有關之控制資料；以及
在所產生控制資料與先前所產生之控制資料間失配情況下，在該某些資料傳輸至該記憶控制器之前，修改該某些資料。

27.如申請專利範圍第26項之複合半導體記憶裝置，其中，該特定記憶裝置包括複數頁，每一頁具有資料欄及備用欄，其中，該某些資料位於該等頁之特定頁之該資料欄中，且其中讀取先前所產生與該某些資料有關之控制資料包括從該特定頁之該備用欄讀取該先前所產生之控制資料。

28.如申請專利範圍第27項之複合半導體記憶裝置，進一步包括自該等非揮發性記憶裝置之一特定裝置讀取元資料，並將該元資料傳輸至該記憶控制器。

29.如申請專利範圍第28項之複合半導體記憶裝置，其中，該元資料包括若干抹除循環、位址資訊及不良區塊

資訊之至少一者。

30.如申請專利範圍第28項之複合半導體記憶裝置，其中，該元資料位於該特定頁之該資料欄中。

31.如申請專利範圍第28項之複合半導體記憶裝置，其中，該元資料位於該特定頁之該備用欄中。

32.如申請專利範圍第2項之複合半導體記憶裝置，其中，該等非揮發性記憶裝置堆疊在一起。

33.如申請專利範圍第2項之複合半導體記憶裝置，其中，該介面裝置與該等非揮發性記憶裝置一起堆疊於基板上。

34.如申請專利範圍第33項之複合半導體記憶裝置，進一步於該介面裝置與該等非揮發性記憶裝置之每一者間包括電連接。

35.如申請專利範圍第34項之複合半導體記憶裝置，其中，該等連接作成貫穿該基板。

36.如申請專利範圍第2項之複合半導體記憶裝置，其中，該等非揮發性記憶裝置之至少一者包括多晶片封裝，該多晶片封裝包含複數個堆疊之非揮發性記憶裝置。

37.如申請專利範圍第1項之複合半導體記憶裝置，其中，該等非揮發性記憶裝置係快閃記憶裝置。

38.如申請專利範圍第1項之複合半導體記憶裝置，其中，該等非揮發性記憶裝置係相變記憶裝置。

39.如申請專利範圍第1項之複合半導體記憶裝置，其中，如同從該記憶控制器所研判，該ECC引擎使該複合半

導體記憶裝置進行無錯寫入及讀取。

40.一種記憶系統，包括：

記憶控制器；以及

至少一複合半導體記憶裝置，配置來寫至該記憶控制器並從該記憶控制器讀取，並包括內建錯誤更正編碼（ECC）引擎。

41.如申請專利範圍第40項之記憶系統，其中，該記憶控制器包括錯誤控制編碼電路，其配置成透過控制信號之施加使其失效。

42.如申請專利範圍第40項之記憶系統，其中，該記憶控制器缺少錯誤控制編碼電路。

43.如申請專利範圍第40項之記憶系統，其中，至少一複合半導體記憶裝置之至少一者包括：

複數個非揮發性記憶裝置；以及

介面裝置，於該記憶控制器與該等非揮發性記憶裝置間進行中介，該介面裝置包括內建ECC引擎。

44.如申請專利範圍第43項之記憶系統，其中，在自該記憶控制器接收之資料被寫至該等非揮發性記憶裝置之任一者之前，該內建ECC引擎提供該資料之錯誤更正編碼；且其中，在自該非揮發性記憶裝置讀取之資料被送至該記憶控制器之前，該內建ECC引擎進一步提供該資料之錯誤更正解碼。

45.如申請專利範圍第43項之記憶系統，其中，該複數個非揮發性記憶裝置與該介面裝置一起堆疊於基板上。

46.如申請專利範圍第45項之記憶系統，其中，該複數個非揮發性記憶裝置係快閃記憶裝置。

47.如申請專利範圍第46項之記憶系統，其中，該記憶控制器係快閃控制器。

48.如申請專利範圍第40項之記憶系統，其中，該至少一複合半導體記憶裝置包括複數個複合半導體記憶裝置，其每一者配置來寫至該記憶控制器並從該記憶控制器讀取，並包括個別內建ECC引擎。

49.一種記憶系統，包括：

複合半導體記憶裝置，包括複數個非揮發性記憶裝置；

記憶控制器，連接至該複合半導體記憶裝置，供發出讀取和寫入命令至該複合半導體記憶裝置，以使資料被寫入該等非揮發性記憶裝置之個別裝置或自該等裝置被讀取；以及

複合半導體記憶裝置，從該記憶控制器看來，係提供該資料之無錯寫入及讀取。

50.如申請專利範圍第49項之記憶系統，其中，該記憶控制器配置來發出至少二命令，使有關個別命令之資料同時通過該記憶控制器。

51.如申請專利範圍第50項之記憶系統，其中，該複合半導體記憶裝置包括：

複數個非揮發性記憶裝置；以及

介面裝置，於該記憶控制器與該等非揮發性記憶裝置

間進行中介，該介面裝置包括內建ECC引擎。

52.如申請專利範圍第51項之記憶系統，其中，在自該記憶控制器接收之資料被寫至該等非揮發性記憶裝置之任一者之前，該ECC引擎提供該資料之錯誤更正編碼；且其中，在自該非揮發性記憶裝置讀取之資料被送至該記憶控制器之前，該ECC引擎進一步提供該資料之錯誤更正解碼。

53.如申請專利範圍第51項之記憶系統，其中，該等至少二命令包含：（1）第一命令，自該等非揮發性記憶裝置之既定第一記憶裝置讀取資料並將資料寫入該記憶裝置，以及（2）第二命令，自該等非揮發性記憶裝置之既定第二記憶裝置讀取資料並將資料寫入該記憶裝置，該既定第二記憶裝置異於該等非揮發性記憶裝置之該既定第一記憶裝置。

54.如申請專利範圍第51項之記憶系統，其中，該複數個非揮發性記憶裝置與該介面裝置一起堆疊於基板上。

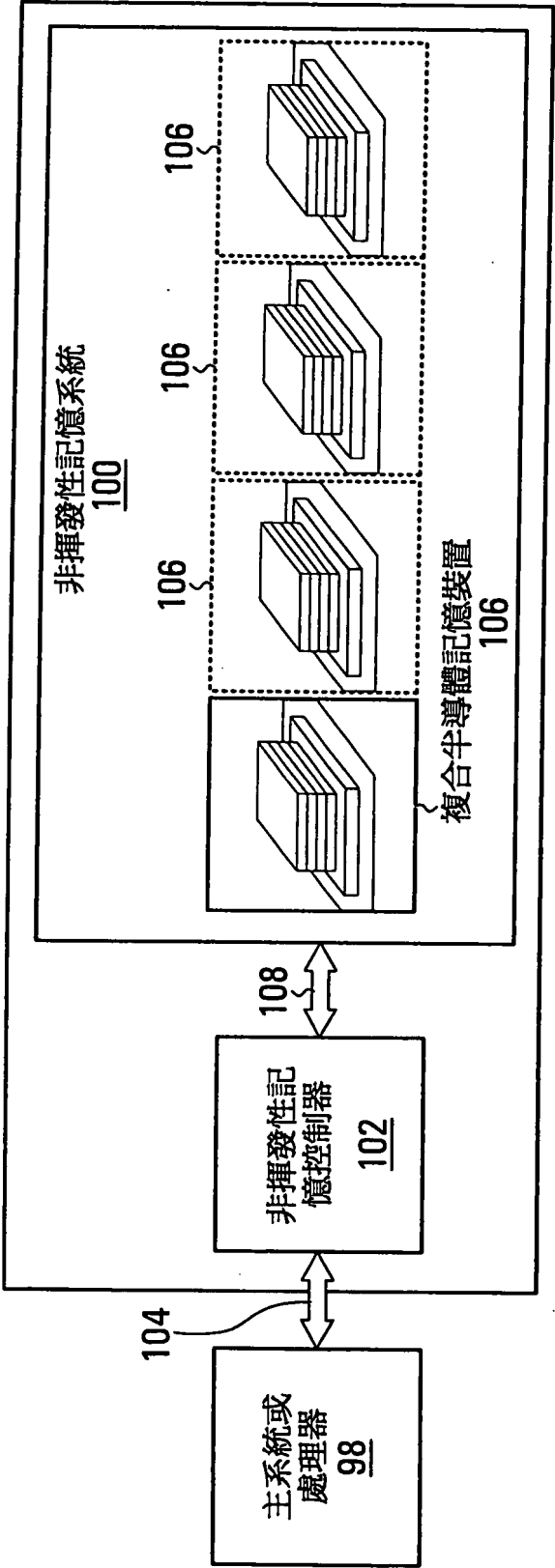
55.如申請專利範圍第51項之記憶系統，其中，該等複數個非揮發性記憶裝置係快閃記憶裝置。

56.如申請專利範圍第55項之記憶系統，其中，該記憶控制器係快閃控制器。

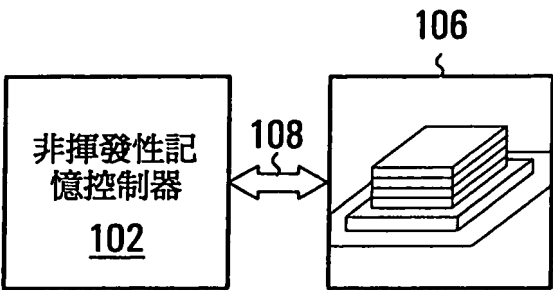
57.如申請專利範圍第49項之記憶系統，其中，該記憶控制器包括錯誤控制編碼電路，其配置成透過控制信號之施加使其失效。

58.如申請專利範圍第49項之記憶系統，其中，該記

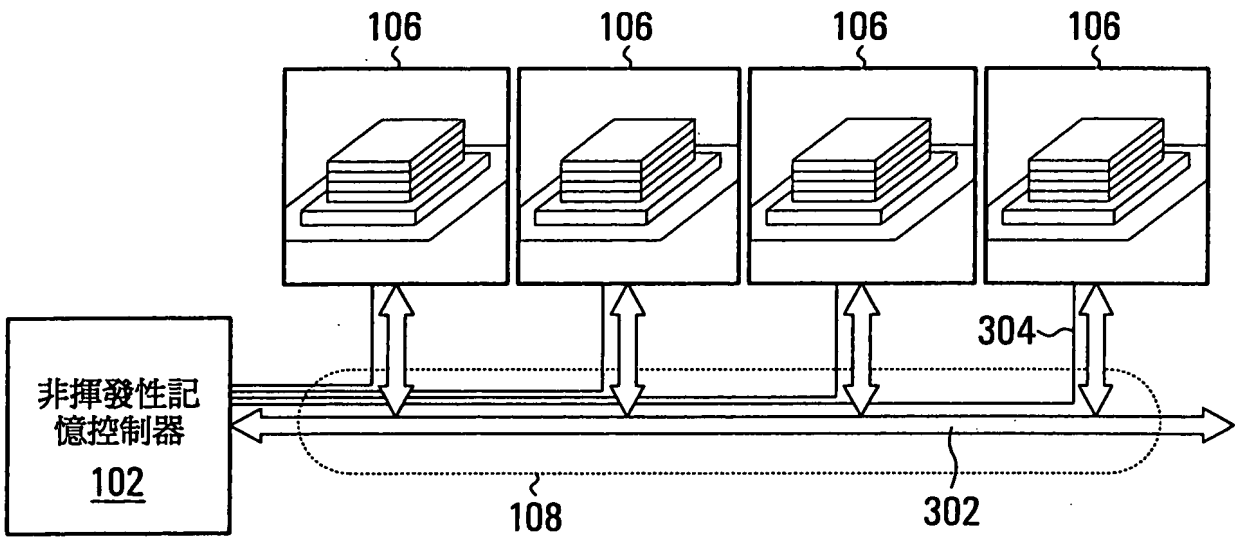
憶控制器缺少錯誤控制編碼電路。



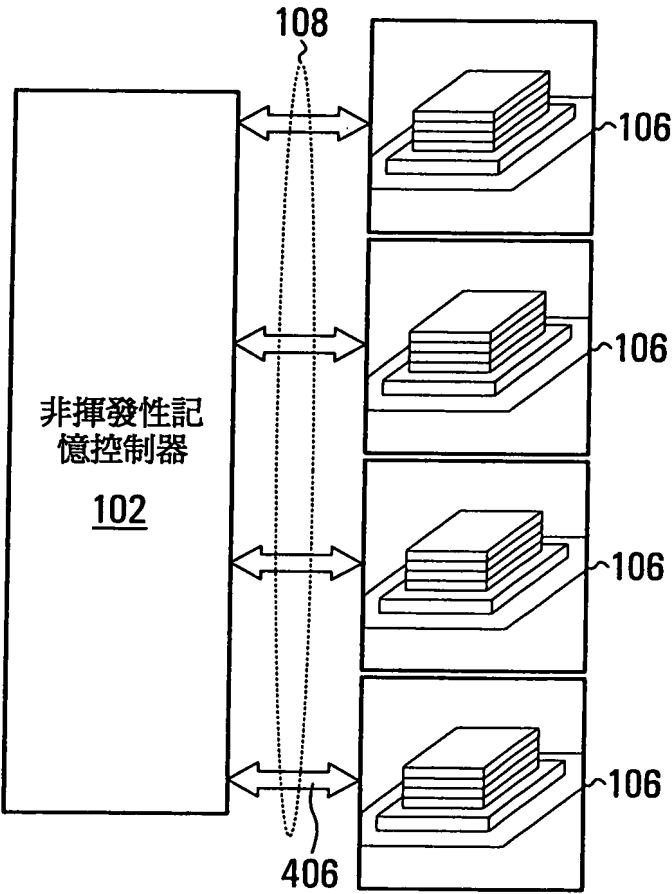
第1圖



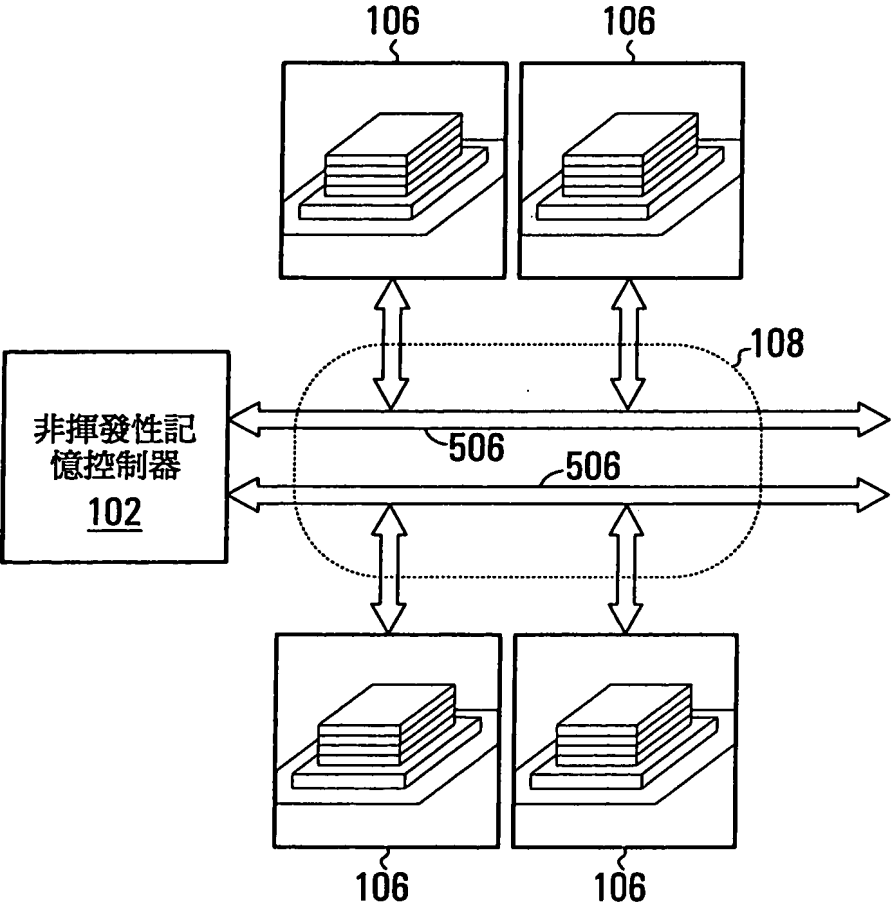
第2圖



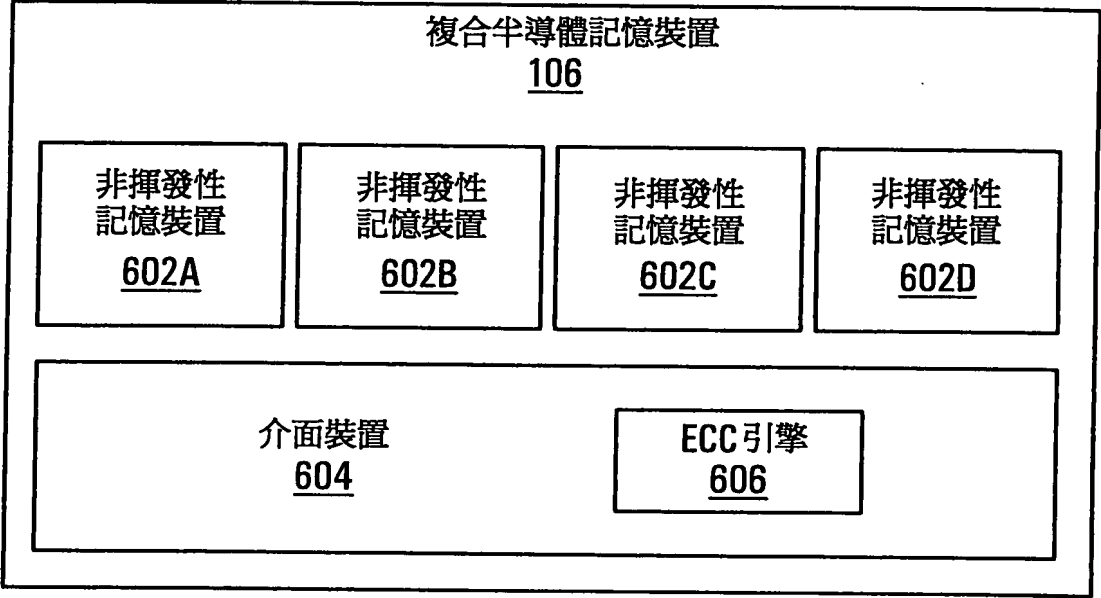
第3圖



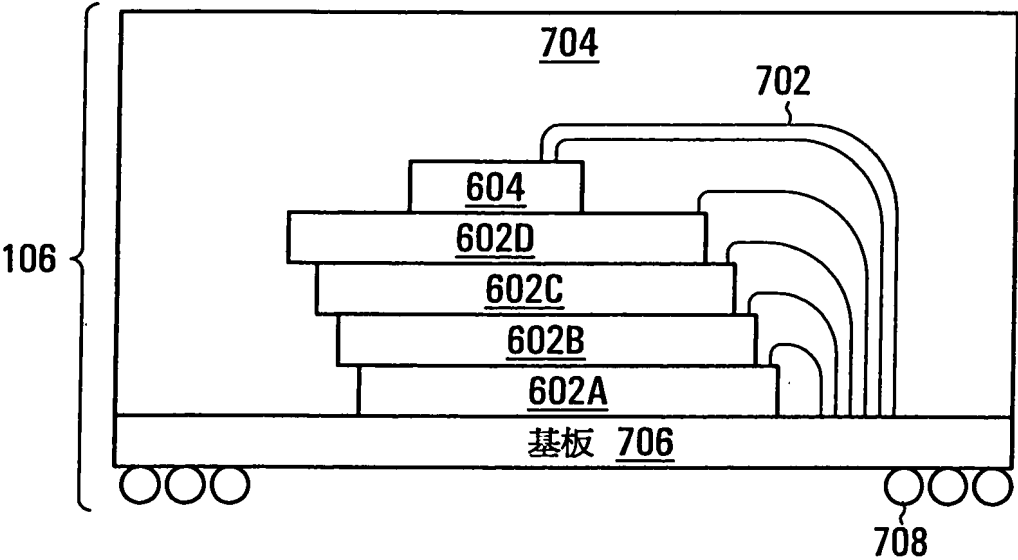
第4圖



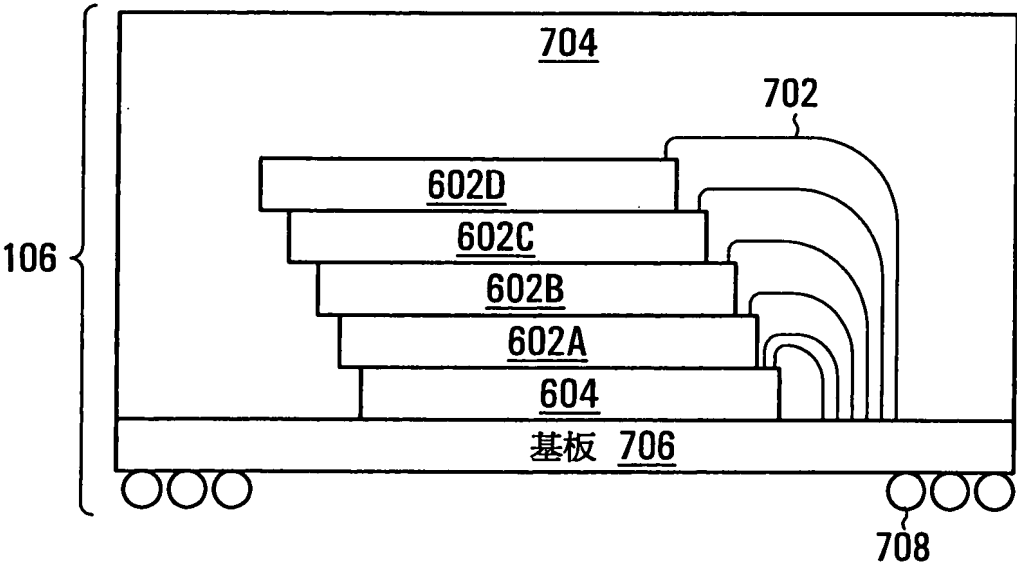
第5圖



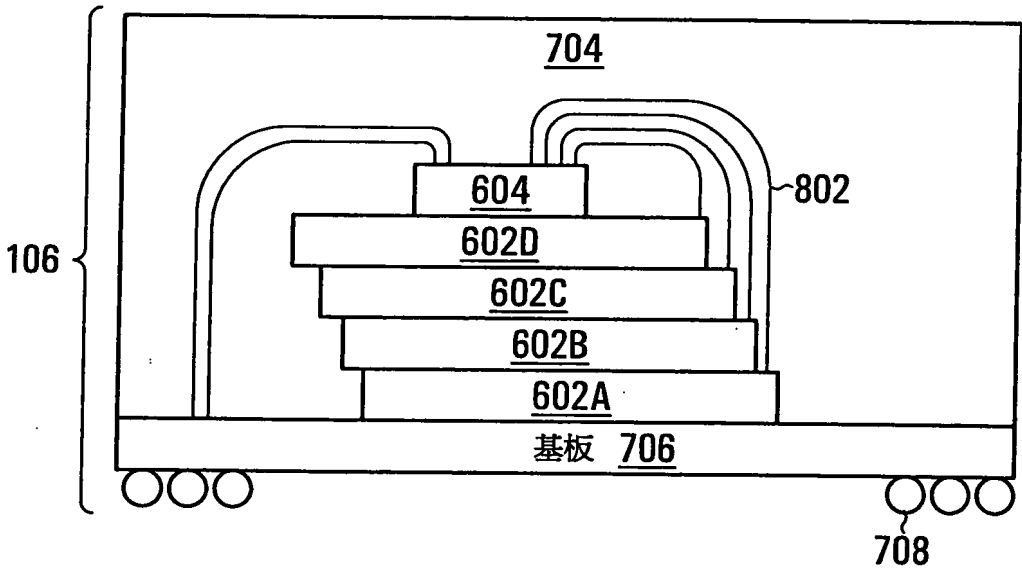
第6圖



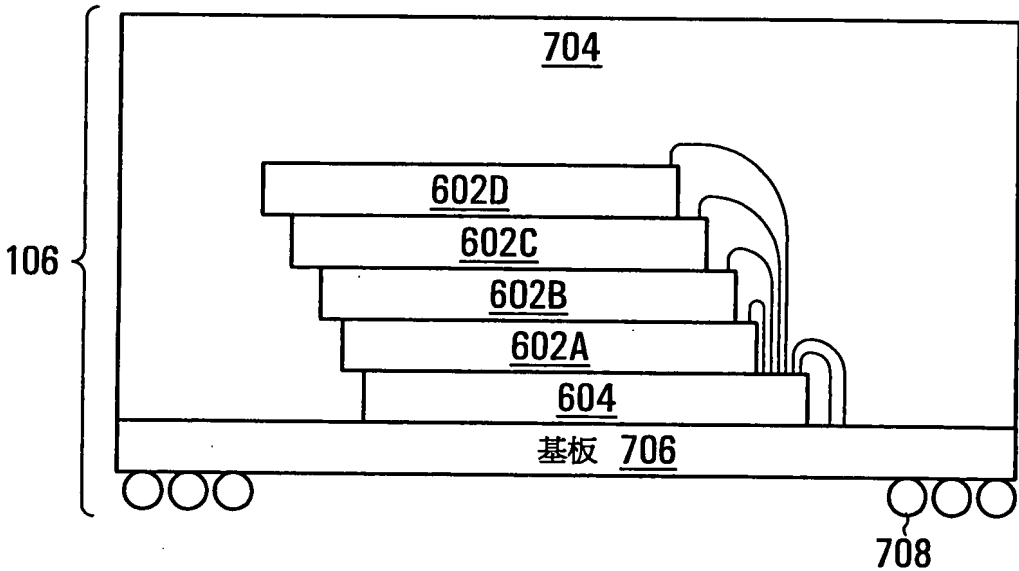
第7A圖



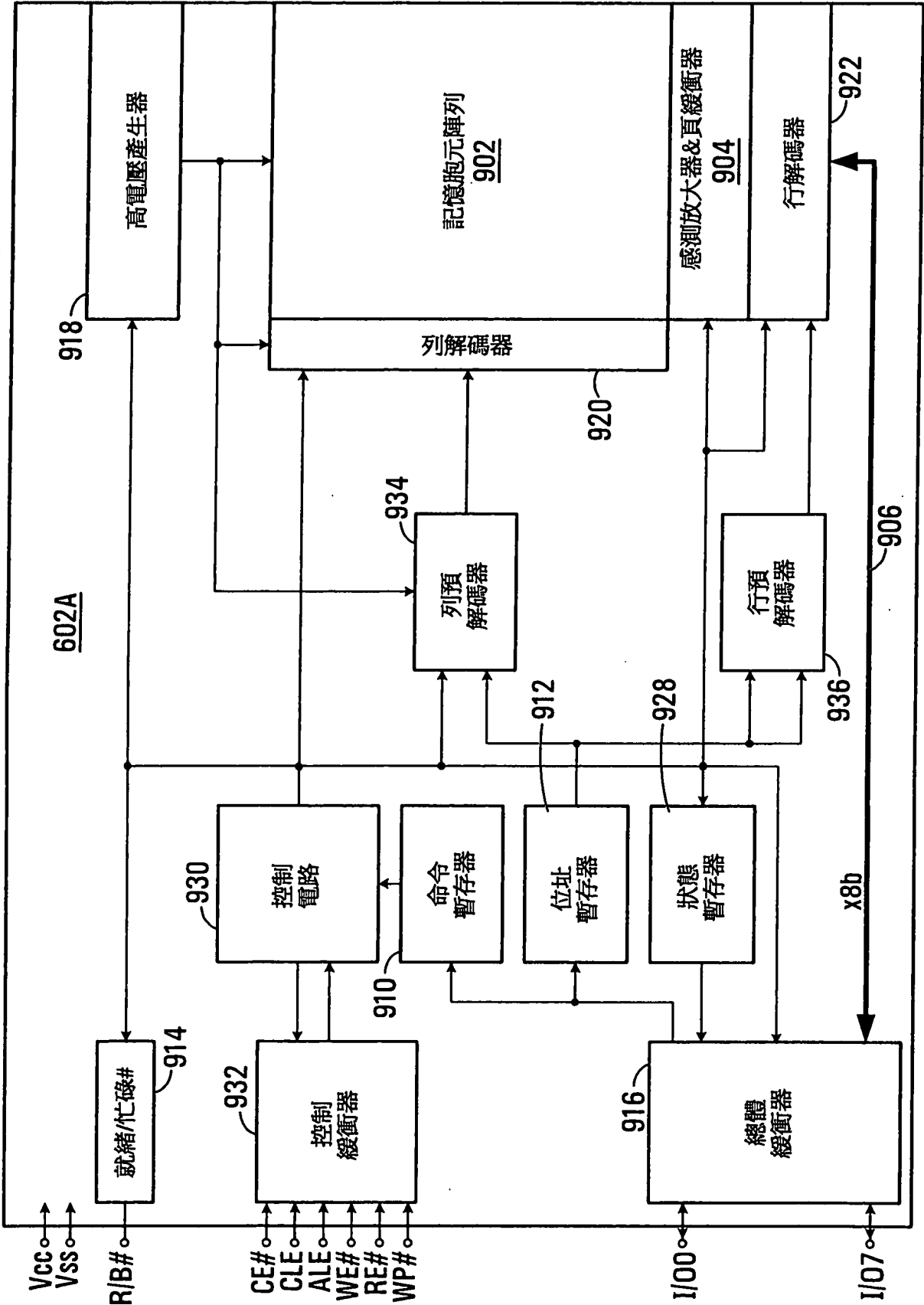
第7B圖



第8A圖

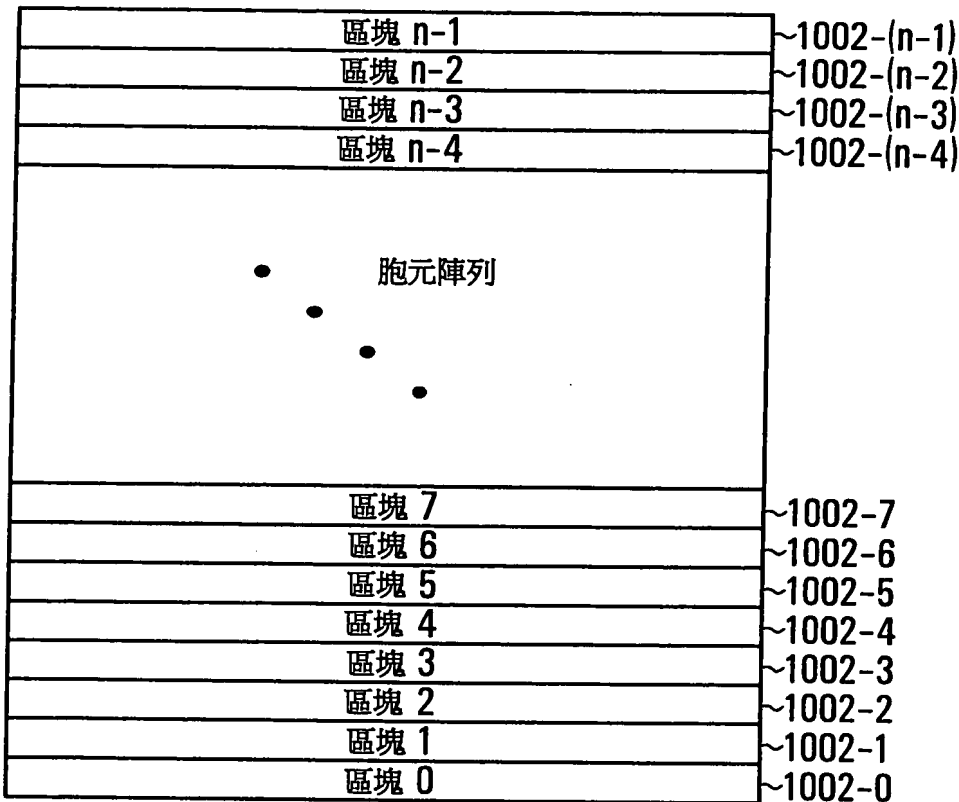


第8B圖

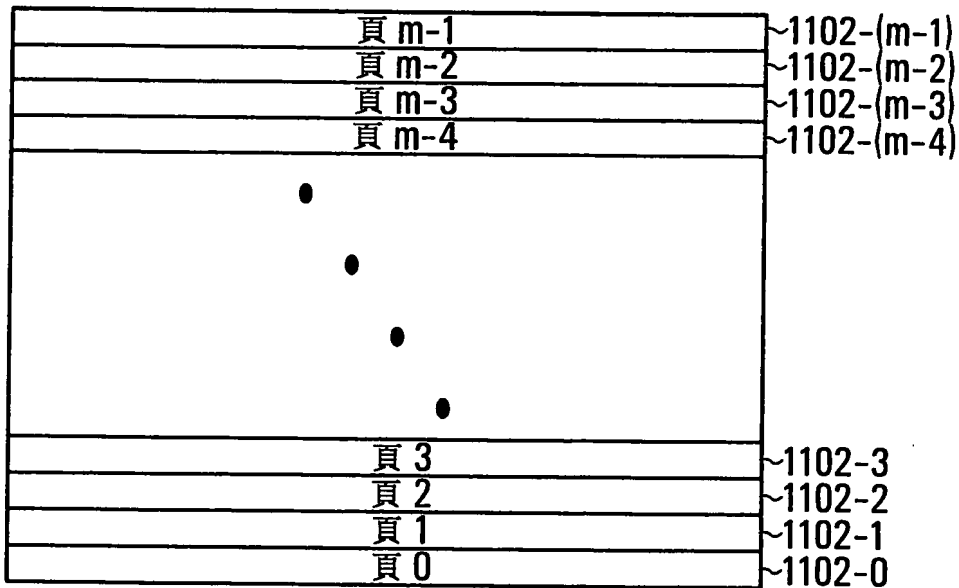


第9圖

第10圖

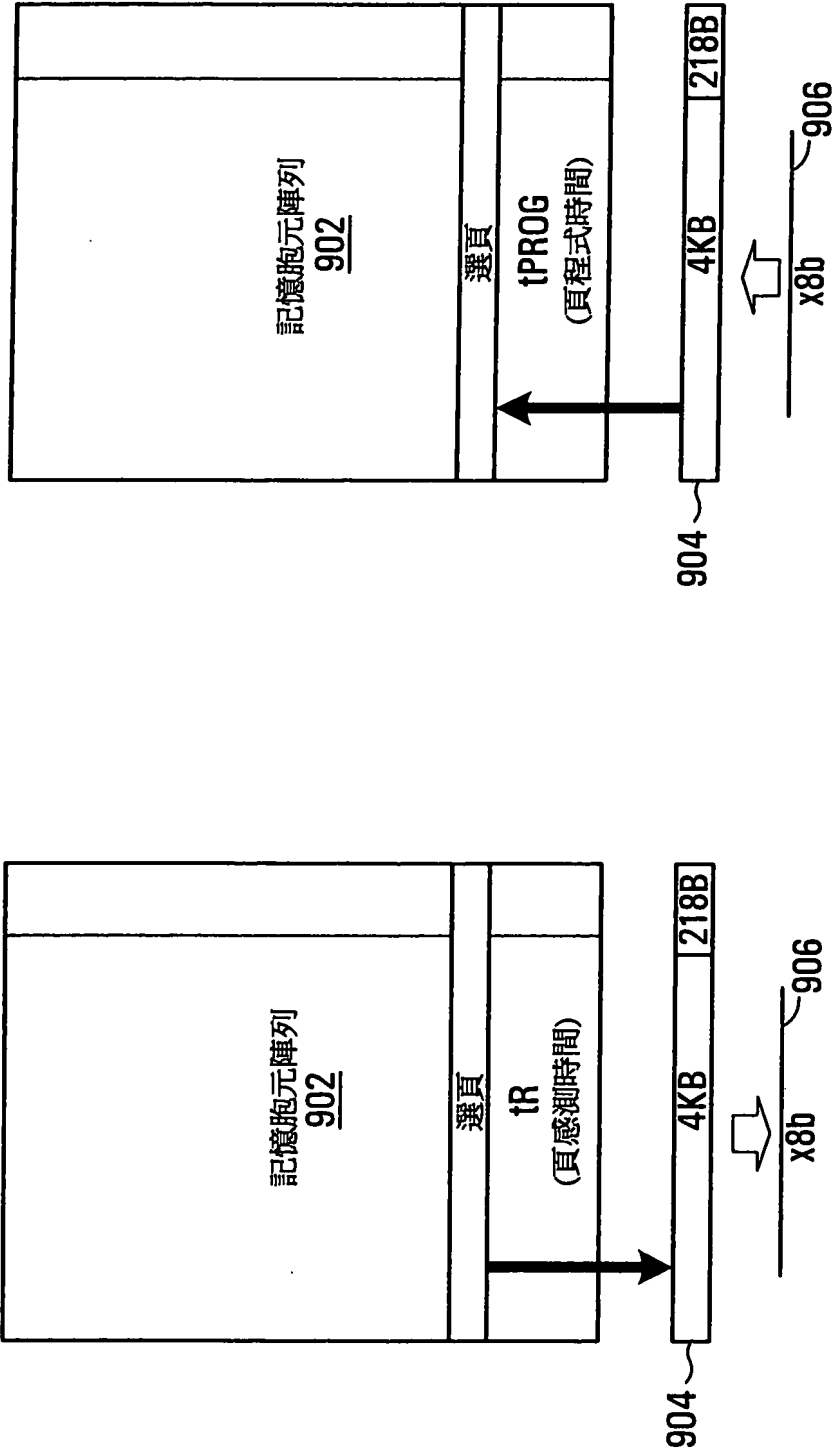


第11圖

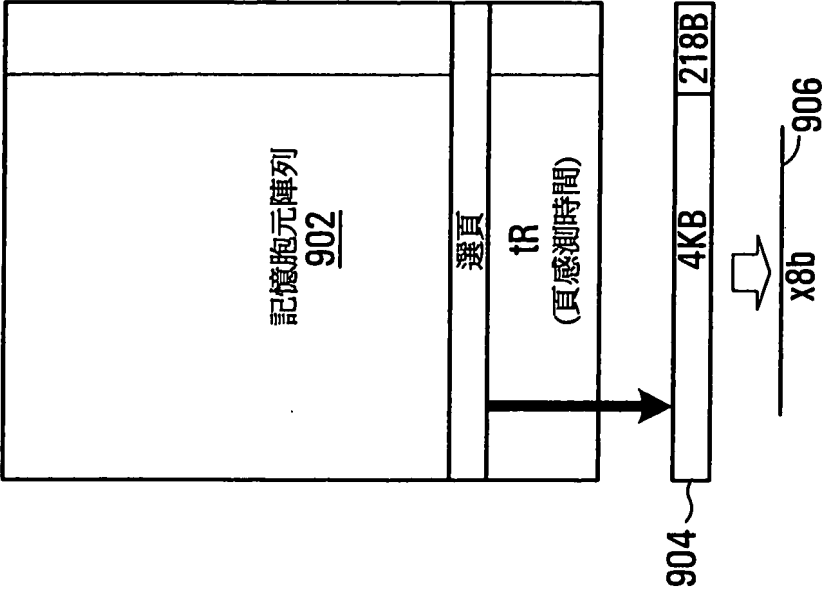


第12圖





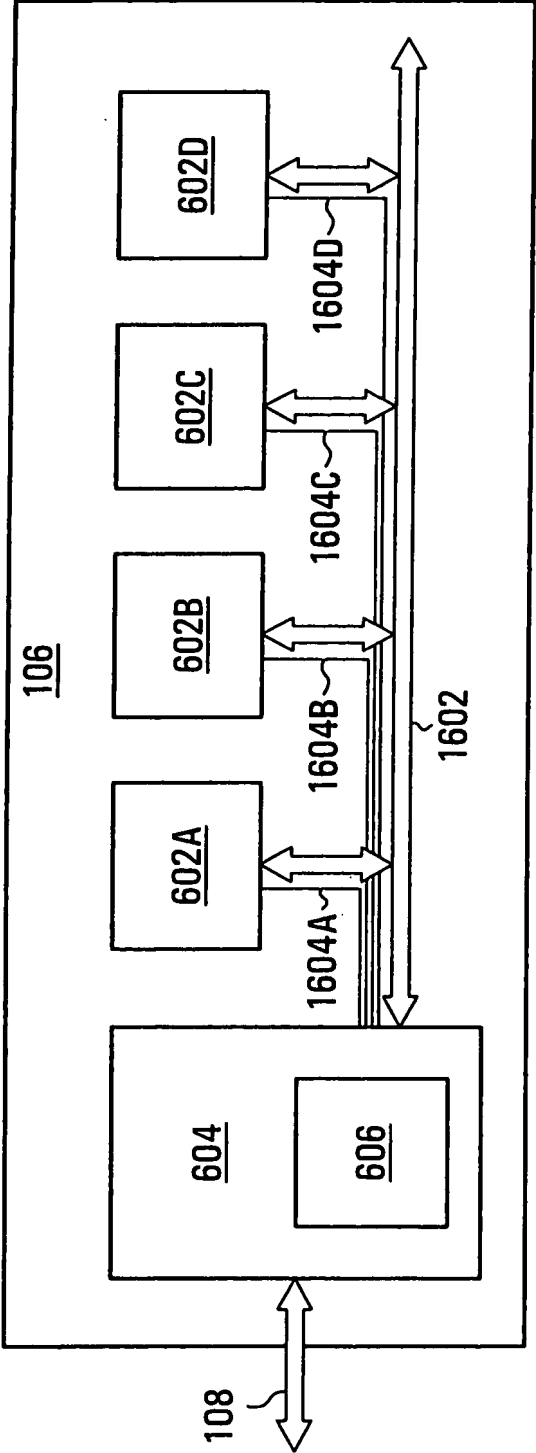
第14圖



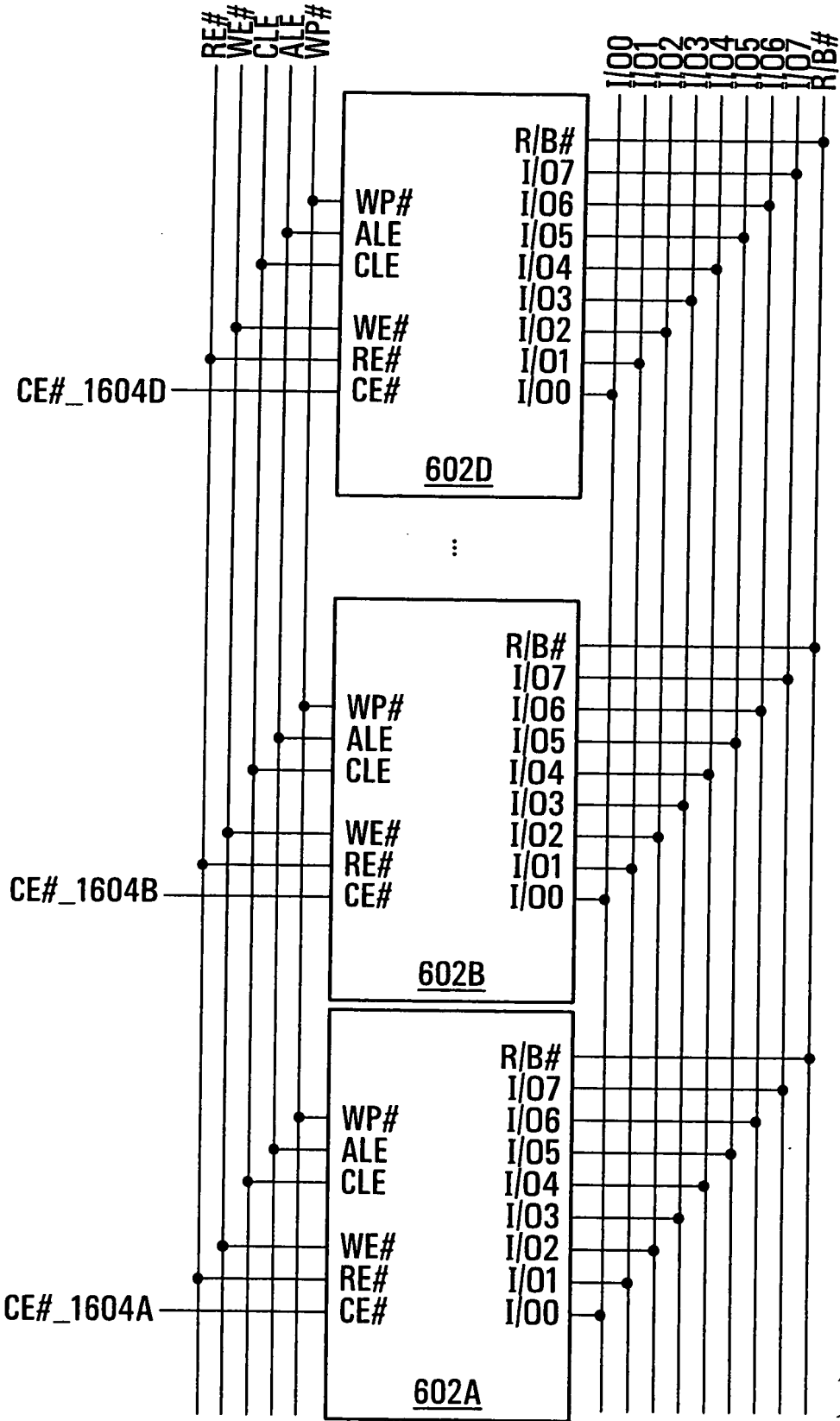
第13圖

記憶胞元陣列 <u>902</u>		
選擇區塊		
tBERS (區塊抹除時間)		

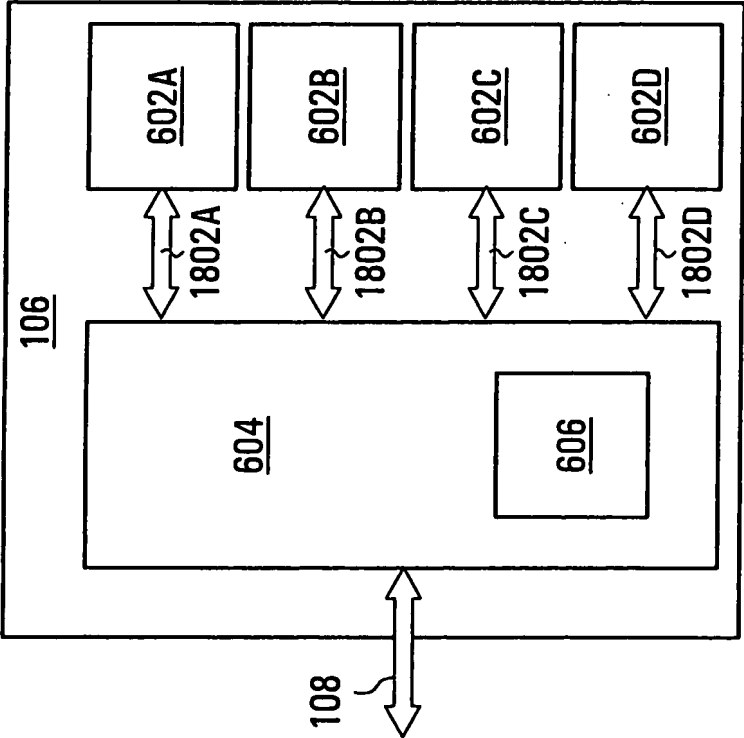
第15圖



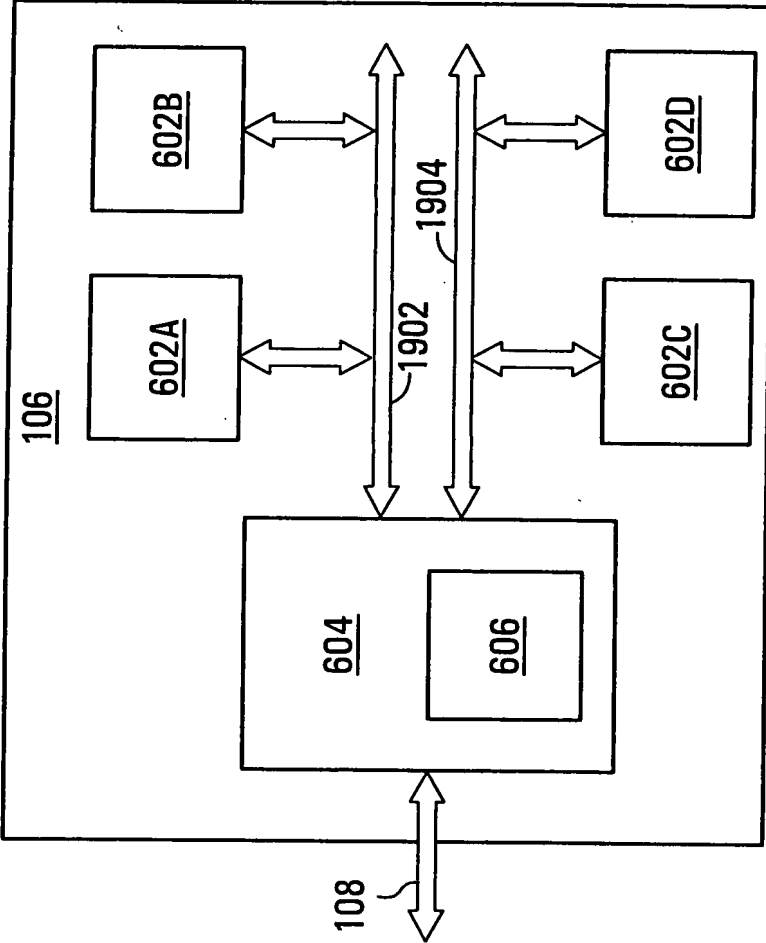
第16圖



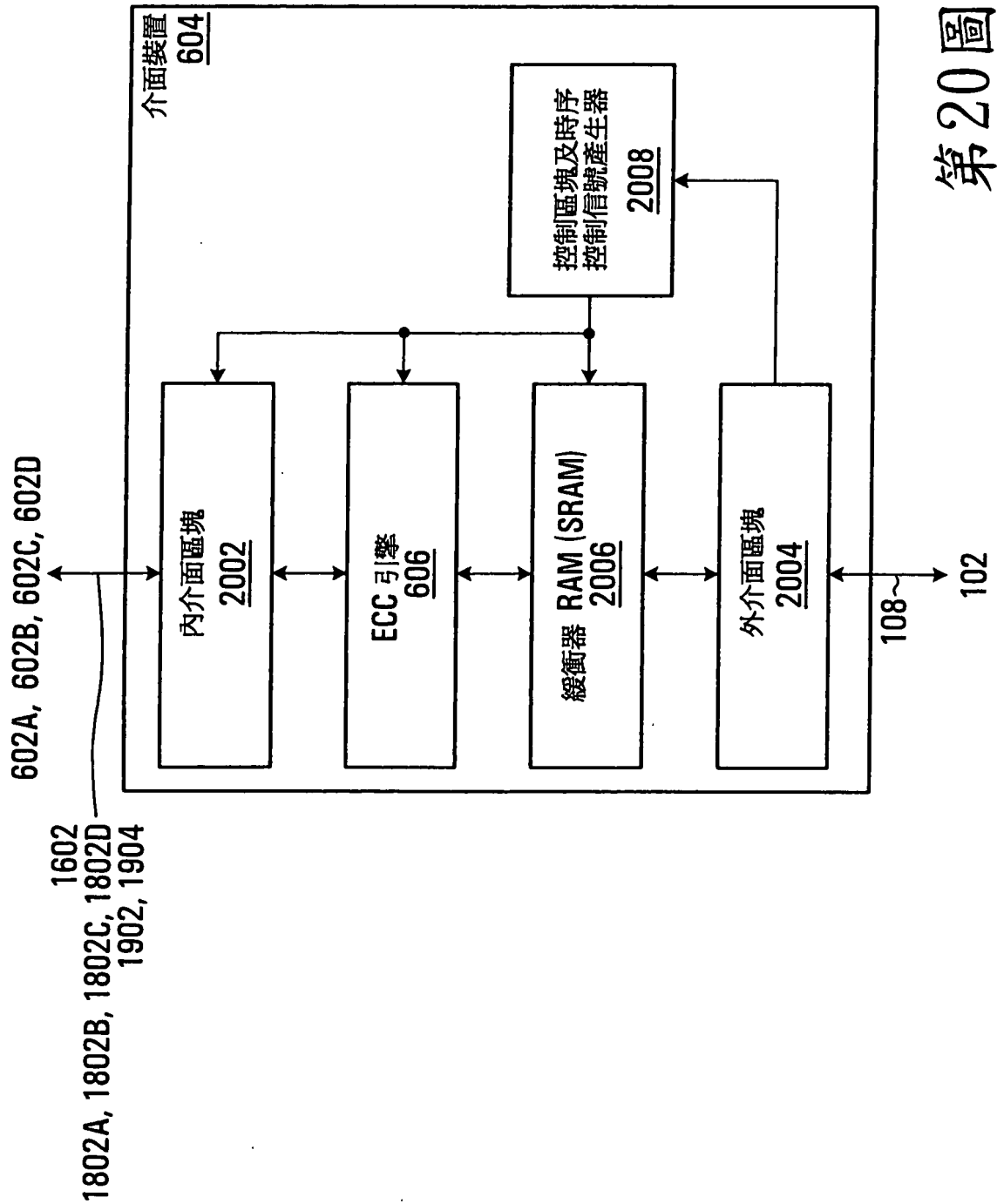
第17圖



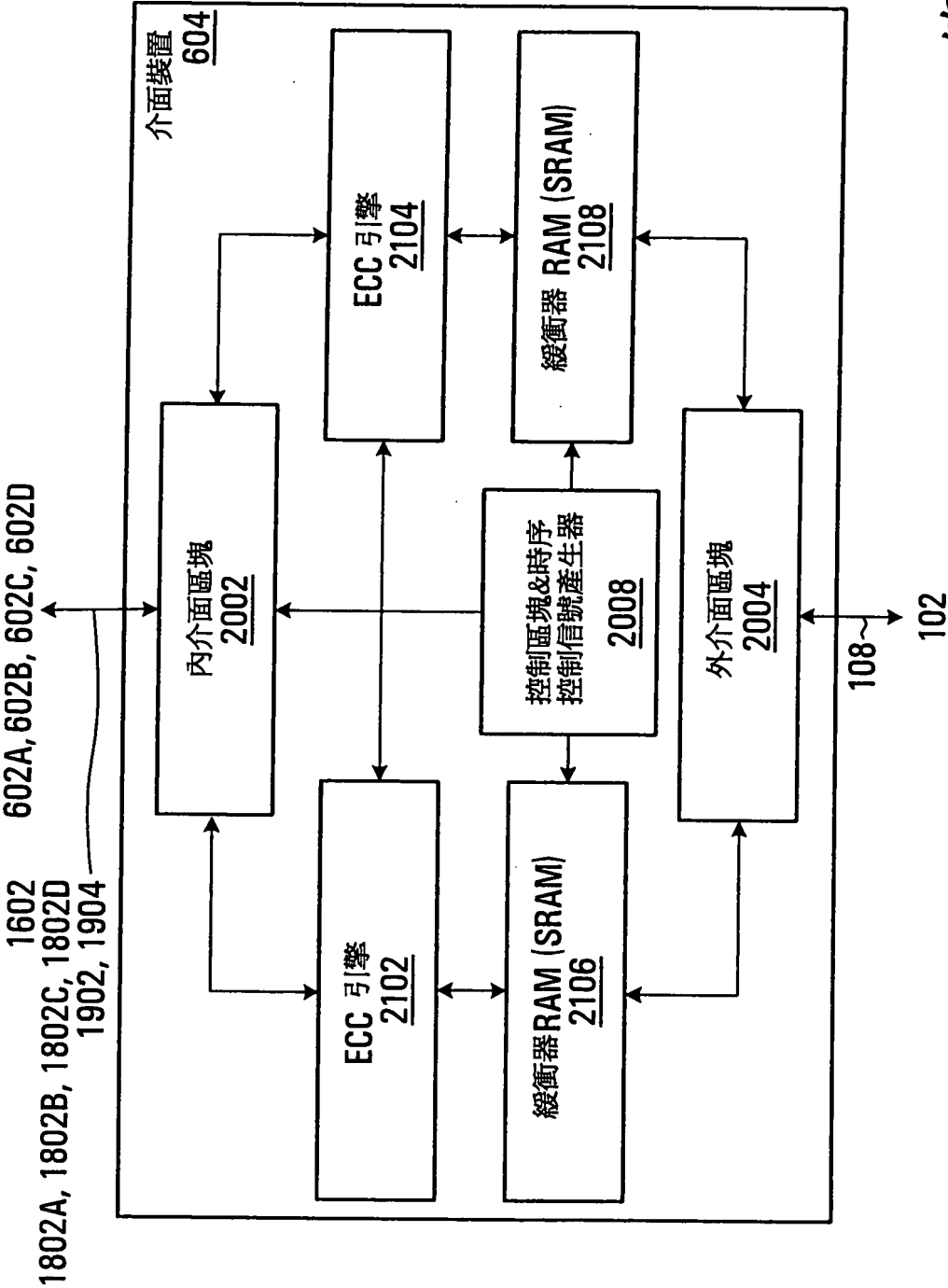
第18圖



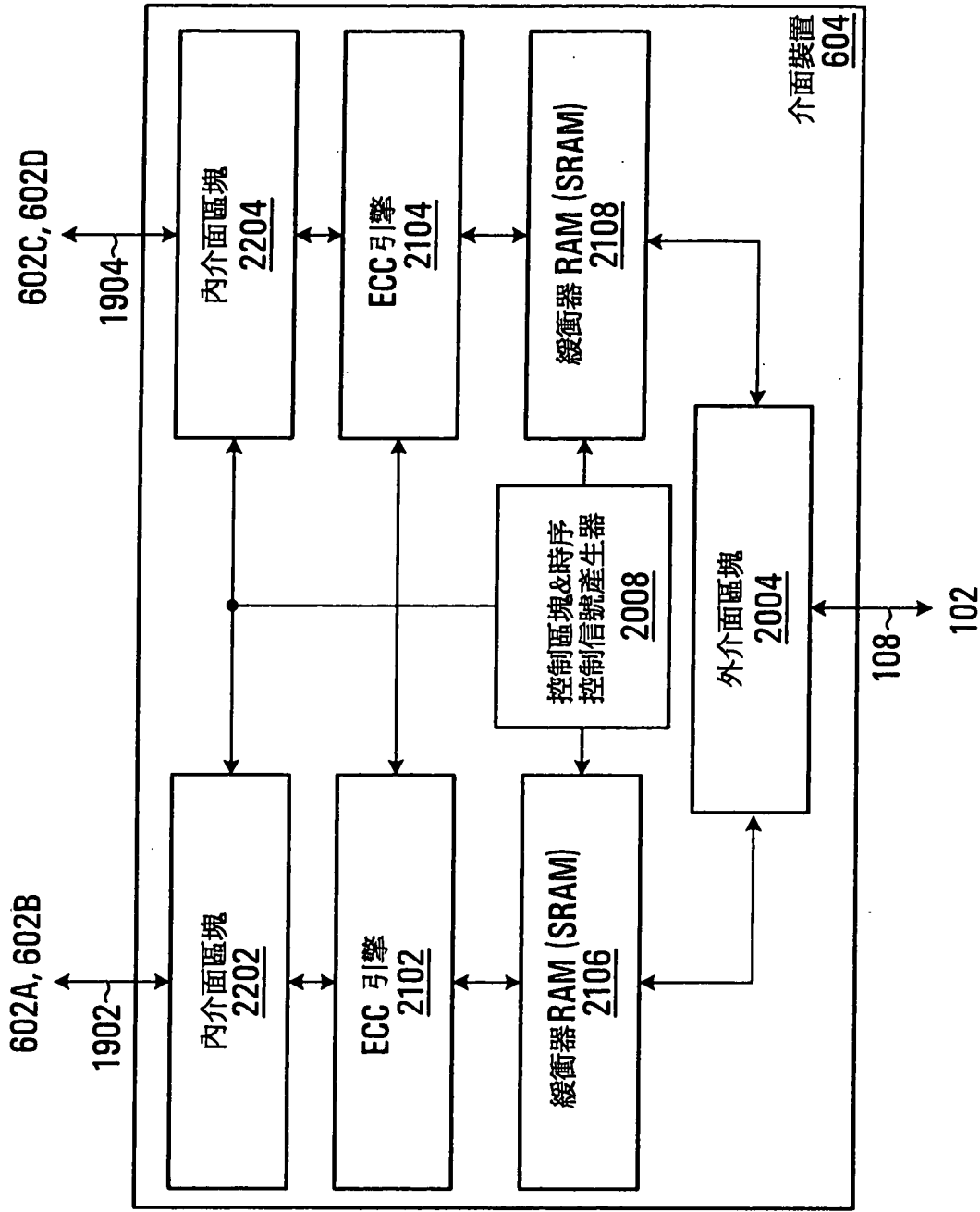
第19圖



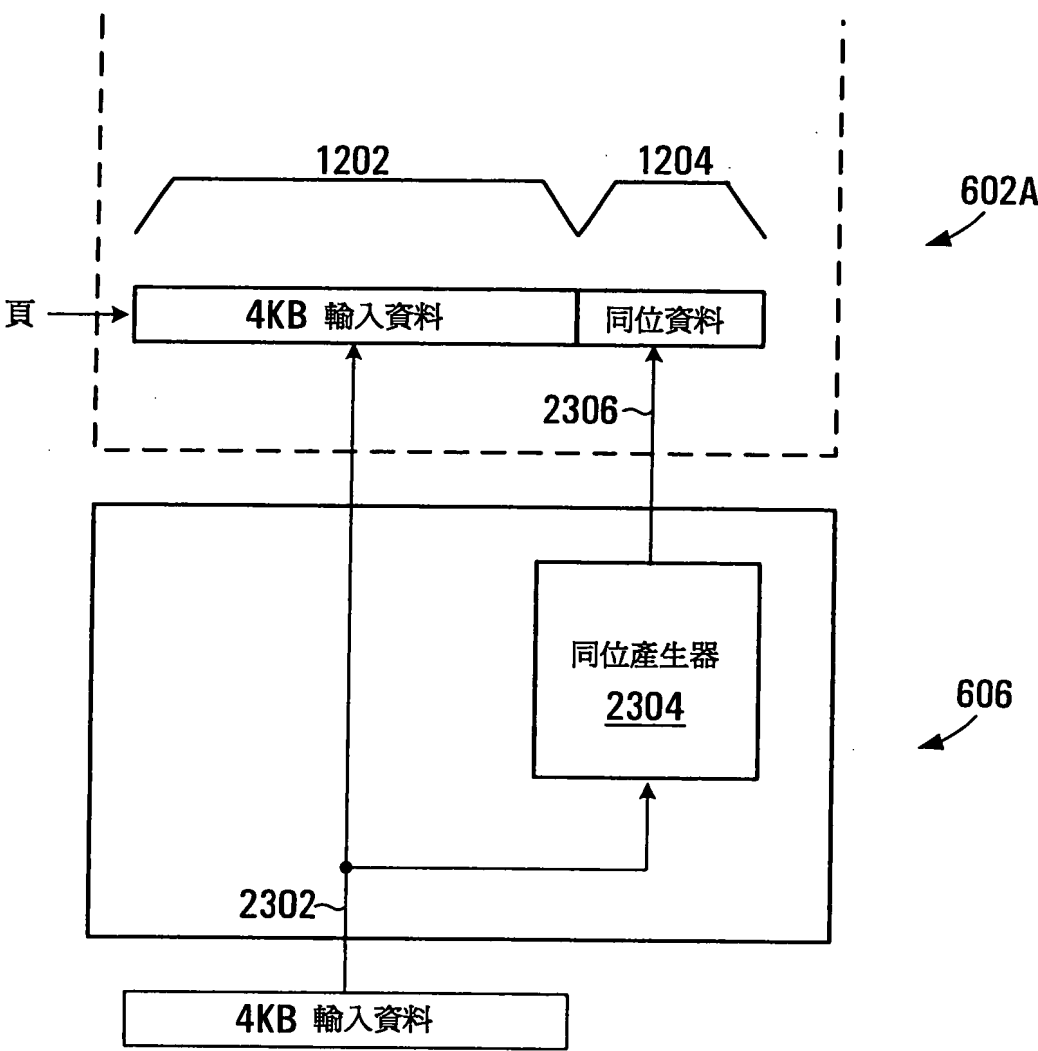
第20圖



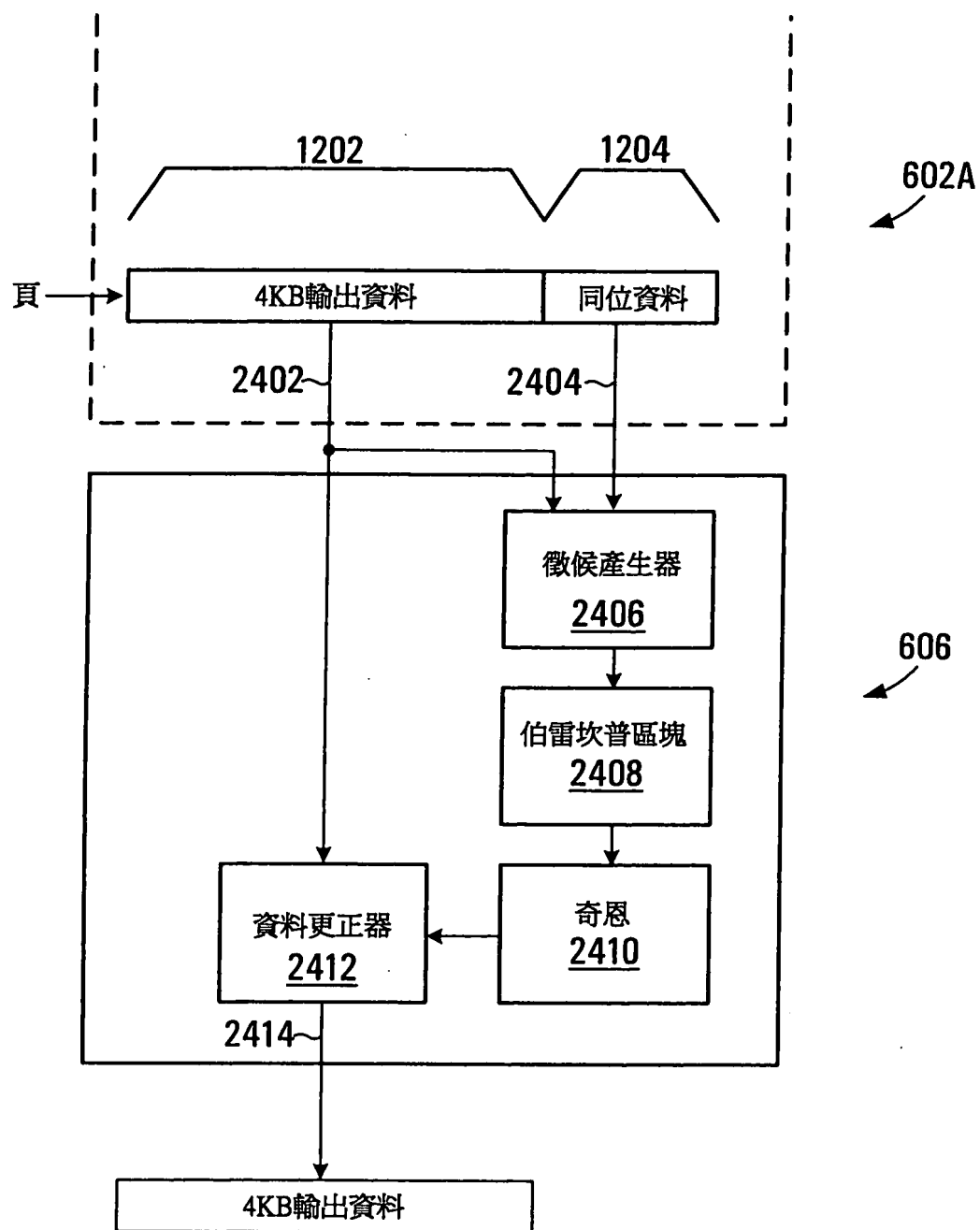
第21圖

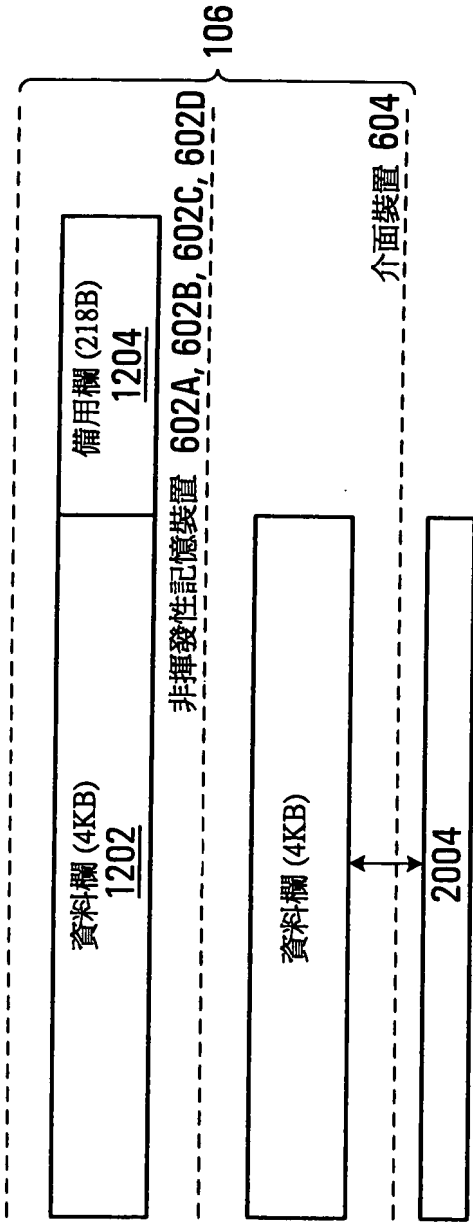


第22圖

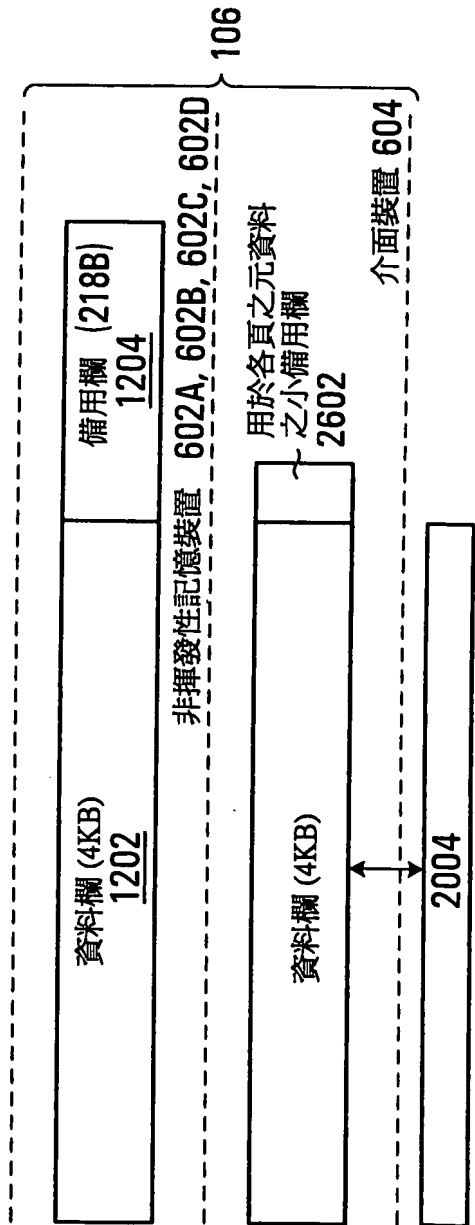


第23圖

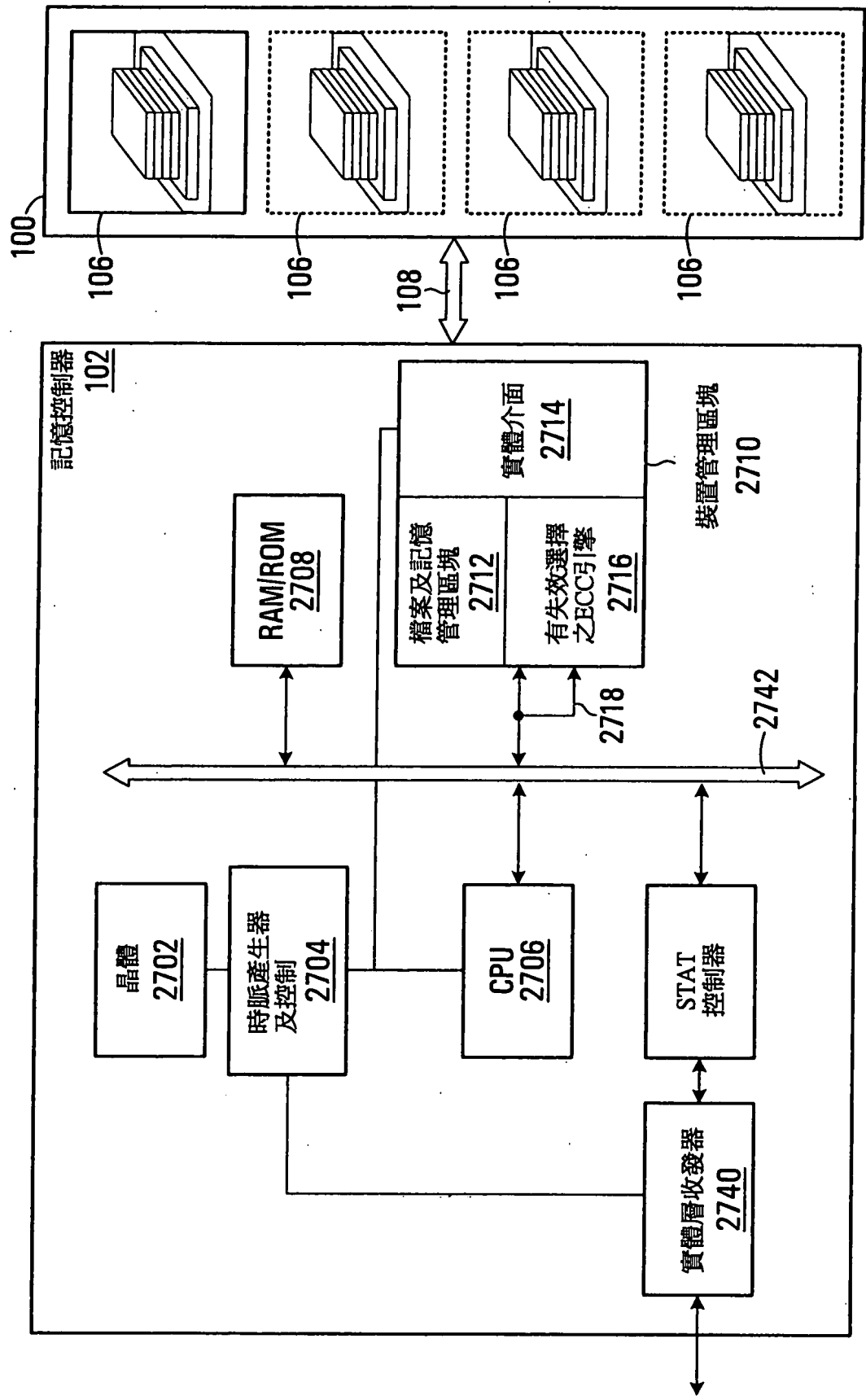




第25圖



第26圖



第27圖

四、指定代表圖：

(一) 本案指定代表圖為：第(6)圖。

(二) 本代表圖之元件代表符號簡單說明：

106：複合半導體記憶裝置

602A、602B、602C、602D：非揮發性記憶裝置

604：介面裝置

606：錯誤更正編碼(ECC)引擎

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無