



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 603 08 977 T2** 2007.06.21

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 416 639 B1**

(21) Deutsches Aktenzeichen: **603 08 977.1**

(96) Europäisches Aktenzeichen: **03 013 828.3**

(96) Europäischer Anmeldetag: **18.06.2003**

(97) Erstveröffentlichung durch das EPA: **06.05.2004**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **11.10.2006**

(47) Veröffentlichungstag im Patentblatt: **21.06.2007**

(51) Int Cl.<sup>8</sup>: **H03M 1/12** (2006.01)  
**G11C 7/16** (2006.01)

(30) Unionspriorität:

**284890 30.10.2002 US**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(73) Patentinhaber:

**Agilent Technologies, Inc., Palo Alto, Calif., US**

(72) Erfinder:

**Poulton, Kenneth D., Palo Alto, CA 94304, US;**

**Kopley, Thomas E., Palo Alto, CA 94304, US;**

**Robert M. R. Neff, Palo Alto CA 94304, US**

(74) Vertreter:

**BOEHMERT & BOEHMERT, 80336 München**

(54) Bezeichnung: **Analog-Digital-Wandler mit chipinternem Speicher**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung****ALLGEMEINER STAND DER TECHNIK**

**[0001]** Hochgeschwindigkeits-Analog-Digital-Wandler (Analog-to-Digital Converters – ADCs) arbeiten mit außerordentlich hohen Abtastraten zum Erzeugen digitaler Abtastungen (Sample). Zum Beispiel erzeugt ein mit 10 GSa/s arbeitender 8-Bit-ADC, der in einem Hochgeschwindigkeitswandlungssystem verwendet wird, digitale Abtastungen mit einer Datenrate von 80 Gbit/s. Herkömmliche ADCs geben digitale Abtastungen in der Regel mit der Rate aus, mit der die digitalen Abtastungen erzeugt werden, d. h. in dem obigen Beispiel mit einer Datenrate von 80 Gbit/s. Um digitale Abtastungen mit solchen hohen Datenraten auszugeben, verwenden herkömmliche ADCs in der Regel entweder Busse mit breitem Ausgang, Busse mit Hochgeschwindigkeitsausgang oder Ausgangsbusse, die sowohl breit als auch schnell sind, um die erforderliche Datenrate zu erreichen. ADCs mit Bussen mit breitem Ausgang erfordern Gehäuse mit einer großen Pinzahl. Dies erhöht beträchtlich die Kosten des Gehäuses und die Komplexität der Konstruktion einer gedruckten Schaltung, die in das Gehäuse paßt. ADCs mit Hochgeschwindigkeits-Datenbussen erfordern eine sorgfältige Konstruktion, um die Integrität der Datensignale zu gewährleisten, wenn die Datensignale von dem ADC-Chip zu der Leiterplatte fließen. Dies bedeutet große Sorgfalt und Anstrengung bei der Konstruktion des Gehäuses und der Leiterplatte, auf der das Gehäuse montiert wird.

**[0002]** Eine typische Herangehensweise an die Konstruktion eines Ultrahochgeschwindigkeitsdatenbusses besteht darin, die Ausgänge des integrierten Schaltkreises (Chip), in den der ADC eingebaut wird, so zu konstruieren, daß sie so schnell wie möglich sind. Die maximal erreichbare Ausgabegeschwindigkeit wird durch Faktoren wie zum Beispiel die Verarbeitungstechnologie, die für die Chipherstellung verwendet werden soll, und die Verfügbarkeit eines Spezialgehäuses und einer speziellen Leiterplattenkonstruktion beeinflusst. Sobald die maximale Ausgabegeschwindigkeit bestimmt wurde, werden so viele Ausgänge verwendet, wie erforderlich sind, um die gewünschte Ausgangsdatenrate zu erreichen. Das kann zu einer Konstruktion führen, bei der der Chip eine große Anzahl von Ausgängen hat und das Gehäuse eine entsprechend große Anzahl von Pins hat. Das führt zu einer großflächigen Chipkonstruktion, die in einem großflächigen Gehäuse untergebracht ist, das eine große Fläche auf der Leiterplatte beansprucht. Die große Anzahl an Maximalgeschwindigkeitsausgängen erhöht auch den Gesamtstromverbrauch und führt zu der Notwendigkeit, eine entsprechend große Wärmemenge von dem Gehäuse abzuleiten.

**[0003]** Das Dokument US 4,975,880 offenbart ein Speichersystem zum Speichern von Daten von unterschiedlichen Anzahlen von Eingangsdatenströmen. Das Speichersystem umfaßt eine Anzahl von Analog-Digital-Wandlern, die eine Anzahl von Eingangsdatenströmen erzeugen. Alle Eingangsdatenströme werden in einer Speicherstruktur gespeichert, die eine Anordnung von Speichereinheiten zur temporären Speicherung aufweist. Die gespeicherten Daten können aus der Speicherstruktur mit einer Datenrate ausgelesen werden, die langsamer ist als die Gesamt-Eingangsdatenrate.

**[0004]** Was darum benötigt wird, ist ein Analog-Digital-Wandlungssystem, das in der Lage ist, ein analoges Eingangssignal mit einer hohen Abtastrate abzutasten, das aber nicht mit den oben beschriebenen Nachteilen behaftet ist.

**KURZDARSTELLUNG DER ERFINDUNG**

**[0005]** Die Erfindung stellt ein Analog-Digital-Wandlungssystem nach Anspruch 1 bereit, das einen Analog-Digital-Wandler umfaßt, der Folgendes enthält: einen digitalen Ausgang, einen Speicher mit einem Dateneingang und einem Datenausgang, einem Ausgangsport, einem Eingangsdatenbus, der sich von dem digitalen Ausgang des Analog-Digital-Wandlers zu dem Dateneingang des Speichers erstreckt, und einen Ausgangsdatenbus, der sich von dem Datenausgang des Speichers zu dem Ausgangsport erstreckt. Der Analog-Digital-Wandler ist so strukturiert, daß er digitale Abtastungen mit einer Abtastrate erzeugt. Der Eingangsdatenbus ist so strukturiert, daß er mit der Abtastrate des ADC arbeitet. Der Datenausgang des Speichers und/oder der Ausgangsdatenbus und/oder der Ausgangsport sind so strukturiert, daß er bzw. sie mit einer maximalen Rate arbeitet bzw. arbeiten, die kleiner ist als die Abtastrate.

**[0006]** Die Erfindung stellt des Weiteren ein Verfahren zum digitalen Abtasten eines analogen Eingangssignals nach Anspruch 15 bereit. In dem Verfahren wird ein Speicher bereitgestellt; das analoge Eingangssignal wird digital mit einer Abtastrate abgetastet, um digitale Abtastungen zu erzeugen; und die digitalen Abtastungen werden in dem Speicher mit der Abtastrate gespeichert. Die digitalen Abtastungen werden mit einer Rate, die kleiner ist als die Abtastrate, aus dem Speicher ausgelesen.

**[0007]** Die Erfindung ermöglicht es, das analoge Eingangssignal mit einer sehr hohen Abtastrate abzutasten, ohne die resultierenden digitalen Abtastungen mit der gleichen hohen Rate ausgeben zu müssen. Strukturen, die in der Lage sind, die digitalen Abtastungen mit der Rate auszugeben, mit der die digitalen Abtastungen aus dem Speicher ausgelesen werden, können bedeutend einfacher gestaltet und kostengünstiger sein als Strukturen, die digitale Ab-

tastungen mit der Abtastrate ausgeben.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0008] [Fig. 1](#) ist ein Blockschaubild einer ersten Ausführungsform eines Analog-Digital-Wandlungssystems gemäß der Erfindung.

[0009] [Fig. 2](#) ist ein Blockschaubild einer zweiten Ausführungsform eines Analog-Digital-Wandlungssystems gemäß der Erfindung.

[0010] [Fig. 3](#) ist ein Blockschaubild einer dritten Ausführungsform eines Analog-Digital-Wandlungssystems gemäß der Erfindung.

[0011] [Fig. 4](#) ist ein Blockschaubild einer vierten Ausführungsform eines Analog-Digital-Wandlungssystems gemäß der Erfindung.

[0012] [Fig. 5](#) ist ein Blockschaubild einer fünften Ausführungsform eines Analog-Digital-Wandlungssystems gemäß der Erfindung.

[0013] [Fig. 6](#) ist ein Blockschaubild einer sechsten Ausführungsform eines Analog-Digital-Wandlungssystems gemäß der Erfindung.

[0014] [Fig. 7A](#) ist ein Flußdiagramm, das eine erste Ausführungsform eines Verfahrens gemäß der Erfindung zum digitalen Abtasten eines analogen Eingangssignals veranschaulicht.

[0015] [Fig. 7B-Fig. 7H](#) sind Flußdiagramme, die weitere Ausführungsformen veranschaulichen, bei denen es sich um Varianten des in [Fig. 7A](#) veranschaulichten Verfahrens handelt.

#### DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0016] Die Erfindung stellt ein Analog-Digital-Wandlungssystem bereit, das einen Analog-Digital-Wandler (ADC) und einen Speicher enthält, die auf demselben Chip integriert sind. Ein Eingangsdatenbus auf Chipebene, der mit der höchsten Abtastrate arbeitet, die von dem ADC unterstützt wird, erstreckt sich von dem ADC zu dem Speicher. Ein Ausgangsdatenbus, der mit einer Rate arbeitet, die niedriger als die Abtastrate ist, erstreckt sich von dem Ausgang des Speichers zu einem Ausgangsport. Der Ausgangsport enthält in der Regel Verbindungen zwischen dem Chip und dem Gehäuse und zwischen dem Gehäuse und der gedruckten Schaltung. Der ADC erzeugt digitale Abtastungen mit seiner Abtastrate. Der Eingangsdatenbus arbeitet mit der Abtastrate des ADC, um die von dem ADC erzeugten digitalen Abtastungen zu dem Speicher zu übermitteln. Der Speicher speichert die digitalen Abtastungen mit der Abtastrate. Die in dem Speicher gespeicherten digitalen Ab-

tastungen werden mit einer niedrigeren Rate als der Abtastrate aus dem Speicher ausgelesen. Der Ausgangsdatenbus übermittelt die aus dem Speicher ausgelesenen digitalen Abtastungen mit der Rate, mit der die digitalen Abtastungen aus dem Speicher ausgelesen werden, zu dem Ausgangsport. Da diese Rate niedriger als die Abtastrate ist, brauchen keine Ultrahochgeschwindigkeitsausgangsschaltungen verwendet zu werden, braucht der Ausgangsdatenbus weder breit oder schnell noch breit und schnell zu sein, und braucht der Ausgangsport nicht so strukturiert zu sein, daß er eine hohe Datenrate mit guter Datensignalintegrität ausgibt. Das Auslesen der digitalen Abtastungen aus dem Speicher mit einer niedrigeren Rate als der Abtastrate ermöglicht es auch, daß die digitalen Abtastungen problemlos durch dem Ausgangsport nachgeordnete Schaltungen empfangen und verarbeitet werden. Solche Schaltungen arbeiten in der Regel mit langsameren Geschwindigkeiten als das Analog-Digital-Wandlungssystem.

[0017] [Fig. 1](#) ist ein Blockschaubild einer ersten Ausführungsform **100** eines Analog-Digital-Wandlungssystems gemäß der Erfindung. Das Analog-Digital-Wandlungssystem **100** besteht aus einem Analog-Digital-Wandler **102**, einem Eingangsdatenbus **104**, einem Speicher **106**, einem Ausgangsdatenbus **108** und einem Ausgangsport **110**. Der Analog-Digital-Wandler, der Eingangsdatenbus, der Speicher, der Ausgangsdatenbus und ein Teil des Ausgangsports bilden wenigstens einen Teil eines Chips **112**. Der Analog-Digital-Wandler hat einen analogen Eingang **120**, einen digitalen Ausgang **122** und einen Takteingang **124**. Der Speicher hat einen Dateneingang **130**, einen Datenausgang **132**, einen Schreibtakteingang **134**, einen Lesetakteingang **136**, einen Schreibfreigabeeingang **138** und einen Lesefreigabeeingang **140**.

[0018] Ein Haupttaktsignal (Master Clock) MC ist mit dem Takteingang **124** des ADC **102** und dem Schreibtakteingang **134** des Speichers **106** verbunden. Obgleich eine direkte Verbindung gezeigt ist, kann das Haupttaktsignal auch über einen entsprechenden (nicht gezeigten) Taktgenerator, der den ADC mit einem oder mehreren Taktsignalen der entsprechenden Frequenz versorgt, mit dem Takteingang **124** verbunden sein. Die Abtastrate des ADC wird durch die Frequenz des Haupttaktsignals bestimmt, aber ist nicht unbedingt gleich der Frequenz des Haupttaktsignals. Gleichermaßen kann das Haupttaktsignal über einen entsprechenden (nicht gezeigten) Taktgenerator, der den Speicher mit einem oder mehreren Taktsignalen der entsprechenden Frequenz versorgt, mit dem Schreibtakteingang **134** verbunden sein. Alternativ kann der ADC ein Taktsignal für den Speicher bereitstellen.

[0019] Der Fachmann kennt viele verschiedene Typen von Analog-Digital-Wandlern, die sich zur Ver-

wendung als Analog-Digital-Wandler **102** eignen. Dementsprechend wird nicht weiter auf den ADC **102** eingegangen. Ein konkretes Beispiel wird unten anhand von [Fig. 5](#) beschrieben.

**[0020]** Der Eingangsdatenbus **104** besteht aus (nicht einzeln gezeigten) m Leitern und erstreckt sich von dem digitalen Ausgang **122** des ADC **102** zu dem Dateneingang **130** des Speichers **106**. Die Leiter, die den Eingangsdatenbus bilden, sind kurz und erstrecken sich direkt über eine Oberfläche des Chips **112** von dem digitalen Ausgang des ADC zu dem Dateneingang des Speichers. Dementsprechend ist der Eingangsdatenbus in der Lage, mit der höchsten Abtastrate zu arbeiten, die von dem ADC unterstützt wird.

**[0021]** Der Fachmann kennt viele verschiedene Typen von Speicherbausteinen, die sich zur Verwendung als Speicher **106** eignen. Zum Beispiel kann ein herkömmlicher Direktzugriffsspeicher (Random Access Memory – RAM) als Speicher **106** verwendet werden. Verschiedene RAM-Typen haben verschiedene Leistungscharakteristika. Zum Beispiel bietet statischer RAM (SRAM) Geschwindigkeit, dynamischer RAM (DRAM) bietet eine hohe Dichte, Flash-RAM bietet Nichtflüchtigkeit. Alternativ kann auch ein Nicht-Direktzugriffsspeicherbaustein als Speicher **106** verwendet werden. Es kann ein Speicherbaustein wie zum Beispiel ein Schieberegister, ein First-In-First-Out (FIFO)-Speicher, ein Last-In-First-Out (LIFO)-Speicher oder ein sonstiger Typ von Nicht-Direktzugriffsspeicherbaustein als Speicher **106** verwendet werden. Auch hier haben verschiedene Typen von Nicht-Direktzugriffsspeicherbausteinen verschiedene Leistungscharakteristika.

**[0022]** Die Größe des Speichers **106** bestimmt die Anzahl der digitalen Abtastungen, die gespeichert werden können. Bei einigen Anwendungen ist die Fähigkeit, eine größere Anzahl von digitalen Abtastungen zu speichern, von Vorteil. Zum Beispiel können Ereignisse von längerer Dauer abgetastet werden, oder die Abtastrate kann erhöht werden, um eine höhere zeitliche Auflösung zu erreichen.

**[0023]** Der Speicher **106** kann mit einer modularen Struktur versehen werden, so daß Chips, die Analog-Digital-Wandlungssysteme verkörpern, die verschiedene Größen des Speichers enthalten, problemlos hergestellt werden können.

**[0024]** Der Dateneingang **130** des Speichers **106** ist mit dem Eingangsdatenbus **104** verbunden. Der Datenausgang **132** ist mit dem Ausgangsdatenbus **108** verbunden. Der Schreibtakteneingang **134** ist so angeschlossen, daß er das Schreibtaktsignal WC (Write Clock) empfangen kann. Der Lesetaktsignal **136** ist so angeschlossen, daß er das Lesetaktsignal RC

(Read Clock) empfangen kann. Der Schreibfreigabe-eingang **138** ist so angeschlossen, daß er das Schreibfreigabesignal WE (Write Enable) empfangen kann. Der Lesefreigabe-eingang **140** ist so angeschlossen, daß er das Lesefreigabesignal RE (Read Enable) empfangen kann.

**[0025]** In Ausführungsformen, in denen der Speicher **106** aus einem Direktzugriffsspeicherbaustein besteht, enthält der Speicher außerdem einen (nicht gezeigten) Adressengenerator. Wenn das Schreibfreigabesignal WE aufgedrückt wird, so reagiert der Adressengenerator in der Weise auf das Schreibtaktsignal WC, daß er die Adressen der Speicherorte erzeugt, wo die digitalen Abtastungen, die am Dateneingang **130** empfangen werden, gespeichert werden. Wenn das Lesefreigabesignal RE aufgedrückt wird, so reagiert der Adressengenerator in der Weise auf das Lesetaktsignal RC, daß er die Adressen der Speicherorte erzeugt, von wo die digitalen Abtastungen, die dem Datenausgang **132** zuzuführen sind, ausgelesen werden. Geeignete Adressengeneratoren sind dem Fachmann bekannt und werden darum hier nicht beschrieben.

**[0026]** Ausführungsformen, bei denen der Speicherbaustein, der als Speicher **106** verwendet wird, einen einzelnen Takteingang aufweist, enthalten (nicht gezeigte) Gatterschaltungen, die auf das Schreibfreigabesignal WE und das Lesefreigabesignal RE in der Weise reagieren, daß sie den entsprechenden Schreibtakt bzw. Lesetakts in den einzelnen Takteingang einspeisen. Alternativ kann ein Takteilerschaltkreis, dessen Ausgang mit dem einzelnen Takteingang verbunden ist, durch das Lesefreigabesignal aktiviert werden.

**[0027]** Der Ausgangsdatenbus **108** besteht aus (nicht einzeln gezeigten) n Leitern und erstreckt sich von dem Datenausgang **132** des Speichers **106** zum Ausgangsport **110**. In dem gezeigten Beispiel haben der Eingangsdatenbus und der Ausgangsdatenbus die gleiche Anzahl von Leitern. In anderen Beispielen können die Busse verschiedene Anzahlen von Leitern haben. Zum Beispiel kann in einer Ausführungsform, in der Q Abtastungen parallel aus dem Speicher ausgelesen werden, der Ausgangsdatenbus um das Q-fache breiter sein als der Eingangsdatenbus. In einer Ausführungsform, in der der ADC M digitale Abtastungen parallel zu dem Speicher übermittelt, aber in der die digitalen Abtastungen einzeln aus dem Speicher ausgelesen werden, hat der Ausgangsdatenbus die 1/M-fache Breite des Eingangsdatenbusses.

**[0028]** Durch das Auslesen der digitalen Abtastungen aus dem Speicher **106** mit einer Rate, die niedriger ist als die Abtastrate des ADC **102**, wird es möglich, den Datenausgang **132** des Speichers und/oder den Ausgangsdatenbus **108** und/oder den Aus-

gangsport **110** so zu strukturieren, daß sie schmaler sind und/oder mit einer maximalen Rate arbeiten, die kleiner ist als die Abtastrate des ADC. Zum Beispiel kann der Datenausgang relativ langsame Ausgangsschaltungen enthalten. Langsame Ausgangsschaltungen können zum Beispiel die Chipfläche des Chips **112** verkleinern und den Stromverbrauch senken. Der Ausgangsdatenbus **108** kann aus relativ langen, schmalen Leitern bestehen. Lange, schmale Leiter können das Layout des Chips **112** zweckmäßiger gestalten und können zum Beispiel die Chipfläche verkleinern. Der Ausgangsport **110** enthält (nicht gezeigte) Bondinseln, die auf einer Oberfläche des Chips **112** angeordnet sind, Pins des Gehäuses (nicht gezeigt), in dem der Chip montiert ist, und Verbindungen, wie zum Beispiel Bonddrähte, die von den Bondinseln zu jeweiligen der Pins verlaufen. Der Begriff "Pin" wird im vorliegenden Text als ein generischer Begriff verwendet, der Pins und andere Strukturen umfaßt, die elektrische Verbindungen und typischerweise außerdem eine mechanische Verbindung zwischen einem verkapselten integrierten Schaltkreis und einer Leiterplatte bilden.

**[0029]** Die soeben beschriebenen Beispiele beschränken – einzeln oder zusammen – die maximale Rate, mit der die digitalen Abtastungen, die von dem Speicher **106** ausgegeben werden, mit akzeptabler Datensignalintegrität zu den Pins des Gehäuses übertragen werden können. Dementsprechend wird die Frequenz des Lesetaktsignals RC so eingestellt, daß die Rate, mit der die digitalen Abtastungen aus dem Speicher ausgelesen und über den Ausgangsdatenbus **108** an den Ausgangsport **110** übermittelt werden, nie höher als die oben beschriebene maximale Rate ist. Die maximale Rate ist kleiner als die Abtastrate des ADC **102**.

**[0030]** Des Weiteren kann das Gehäuse, in dem der Chip **112** montiert ist, in einer (nicht gezeigten) Leiterplatte installiert sein, auf der außerdem nachgeordnete Schaltkreise installiert sein können, welche die digitalen Abtastungen empfangen, die von dem Analog-Digital-Wandlungssystem **100** ausgegeben werden. Die maximale Rate, mit der solche nachgeordneten Schaltkreise die digitalen Abtastungen entgegennehmen können, kann es erforderlich machen, daß die digitalen Abtastungen aus dem Speicher mit einer Datenrate ausgelesen werden, die kleiner ist als die oben beschriebene maximale Datenrate.

**[0031]** Es wird nun die Funktionsweise des Analog-Digital-Wandlungssystems **100** beschrieben. Der Analog-Digital-Wandler **102** empfängt ein analoges Eingangssignal über den analogen Eingang **120**. Der Analog-Digital-Wandler reagiert auf das über den Takteingang **124** empfangene Haupttaktsignal MC in der Weise, daß er digitale Abtastungen des analogen Eingangssignals mit einer Abtastrate erzeugt, die durch das Haupttaktsignal bestimmt wird. Der Ana-

log-Digital-Wandler gibt die digitalen Abtastungen am digitalen Ausgang **122** aus.

**[0032]** Der Eingangsdatenbus **104** überträgt die digitalen Abtastungen an den Dateneingang **130** des Speichers **106**. Der Speicher empfängt das Schreibtaktsignal WC über den Schreibtakeingang **134** und das Lesetaktsignal RC über den Lesetakeingang **136**. Wenn das Schreibfreigabesignal WE aktiviert ist, so reagiert der Speicher auf das Schreibtaktsignal WC in der Weise, daß er die am Dateneingang **130** empfangenen digitalen Abtastungen speichert. Zum Beispiel kann der Speicher einzelne der digitalen Abtastungen, die er nacheinander an seinem Dateneingang empfängt, an Speicherorten mit aufeinanderfolgenden Adressen speichern.

**[0033]** Das Speichern der digitalen Abtastungen, die über den Eingangsdatenbus **104** im Speicher **106** empfangen werden, wird fortgesetzt, solange das Schreibfreigabesignal WE aufgedrückt wird. In einem Betriebsmodus wird das Speichern der digitalen Abtastungen gestoppt, wenn eine gewünschte Anzahl von Abtastungen, die kleiner ist als die Abtastungskapazität des Speichers, im Speicher gespeichert wurde oder wenn der Speicher voll ist. In einem anderen Betriebsmodus überschreibt – wenn der Speicher voll ist – die als nächste empfangene digitale Abtastung die ältesten der digitalen Abtastungen, die in dem Speicher gespeichert sind. In diesem Betriebsmodus speichert der Speicher immer die J zuletzt empfangenen digitalen Abtastungen, wobei J die Abtastungskapazität des Speichers ist. Dieser Betriebsmodus ermöglicht das Aufdrücken des Schreibfreigabesignals WE vor dem Eintreten eines Ereignisses, das abgetastet werden soll. Das Eintreten des Ereignisses kann dann detektiert und das Schreibfreigabesignal deaktiviert werden, wenn das Ereignis vorüber ist. Falls die Dauer des Ereignisses kürzer ist als die Zeit, die benötigt wird, um eine Anzahl von digitalen Abtastungen zu erzeugen, die der Abtastungskapazität des Speichers entspricht, so bleibt eine Gruppe digitaler Abtastungen, die das Ereignis darstellen, in dem Speicher gespeichert, wenn das Schreibfreigabesignal deaktiviert wird.

**[0034]** Nachdem die digitalen Abtastungen, die ein Ereignis darstellen, in dem Speicher **106** gespeichert wurden und das Schreibfreigabesignal WE deaktiviert wurde, wird das Lesefreigabesignal RE aufgedrückt. Der Speicher **106** wird nun in Reaktion auf das Lesetaktsignal RC tätig und gibt die in ihm gespeicherten digitalen Abtastungen am digitalen Ausgang **132** aus. Der Ausgangsdatenbus **108** übermittelt die digitalen Abtastungen vom Datenausgang **132** zum Ausgangsport **110**. Die Rate, mit der die digitalen Abtastungen aus dem Speicher **106** und damit vom Ausgangsport **110** ausgegeben werden, richtet sich nach der Frequenz des Lesetakts RC und ist kleiner als die Abtastrate des ADC **102**. Die maxi-

male Rate, mit der die digitalen Abtastungen aus dem Speicher ausgelesen werden, wird durch Faktoren wie zum Beispiel die Struktur der Datenausgänge des Speichers, die Struktur des Ausgangsdatenbusses **108** und die Struktur des Ausgangsports **110**, wie oben beschrieben, bestimmt. Die Rate, mit der die digitalen Abtastungen ausgelesen werden, kann weiter verkleinert werden, um die Datenratenanforderungen der nachgeordneten Schaltungen zu erfüllen, wie ebenfalls oben beschrieben.

**[0035]** Die digitalen Abtastungen können aus dem Speicher **106** in der Reihenfolge ausgelesen werden, in der die digitalen Abtastungen in dem Speicher gespeichert wurden. Das minimiert die nachgeordnete Verarbeitung, die für das Analysieren des Ereignisses, das durch die digitalen Abtastungen dargestellt wird, erforderlich sind. Alternativ können die Abtastungen auch in einer anderen Reihenfolge ausgelesen werden. Zum Beispiel kann das Auslesen der digitalen Abtastungen in einer anderen Reihenfolge zweckmäßiger für den Speicher sein, und für die nachgeordneten Schaltungen kann es leichter sein, die digitalen Abtastungen umzuordnen.

**[0036]** Analog-Digital-Wandler, die mit Abtastraten von etwa 10 GSa/s und darüber arbeiten, enthalten in der Regel mehrere Analog-Digital-Wandlermodule. In einer Ausführungsform, in der der Analog-Digital-Wandler aus M Analog-Digital-Wandlermodulen besteht, hat jedes Analog-Digital-Wandlermodul eine Abtastrate von 1/M der Gesamtabtastrate des ADC. Die Erfindung lässt sich einfach auf diese ADC-Architektur anwenden: Der Speicher enthält ein Speichermodul, das jedem ADC-Modul entspricht. Das Speichermodul speichert die von dem ADC-Modul erzeugten digitalen Abtastungen. Die digitalen Abtastungen, die in dem Speicher als Ganzes gespeichert sind, werden dann mit einer Rate ausgelesen, die langsamer ist als die Abtastrate des ADC. Die aus dem Speicher ausgelesenen digitalen Abtastungen werden über den Ausgangsdatenbus und den Ausgangsport aus dem Analog-Digital-Wandlungssystem ausgegeben.

**[0037]** [Fig. 2](#) ist ein Blockschaubild einer zweiten Ausführungsform **200** eines Analog-Digital-Wandlungssystems gemäß der Erfindung, wobei der Analog-Digital-Wandler **202** aus M Analog-Digital-Wandlermodulen **202-1** bis **202-M** besteht, der Eingangsdatenbus **204** aus M Eingangs-Unterbussen **204-1** bis **204-M** besteht, der Speicher **206** aus M Speichermodulen **206-1** bis **206-M** besteht und der Ausgangsdatenbus **208** aus M Ausgangs-Unterbussen **208-1** bis **208-M** und dem Ausgangsport-Unterbus **256** besteht. Lediglich die Analog-Digital-Wandler **202-1**, **202-2**, **202-3** und **202-M**; die Eingangs-Unterbusse **204-1**, **204-2**, **204-3** und **204-M**, die Speichermodule **206-1**, **206-2**, **206-3** und **206-M** und die Ausgangs-Unterbusse **208-1**, **208-2**, **208-3** und **208-M**

sind in [Fig. 2](#) gezeigt, um die Zeichnung zu vereinfachen.

**[0038]** Das Analog-Digital-Wandlungssystem **200** besteht außerdem aus dem Ausgangsport **210** und einem Mehrphasentaktgenerator **250**. Der Analog-Digital-Wandler, der Eingangsdatenbus, der Speicher, der Ausgangsdatenbus, der Mehrphasentaktgenerator und ein Teil des Ausgangsports bilden wenigstens einen Teil eines Chips **212**.

**[0039]** Das Analog-Digital-Wandler (ADC)-Modul **202-1** hat einen analogen Eingang **220**, einen digitalen Ausgang **222** und einen Takteingang **224**. Die Analog-Digital-Wandlermodule **202-2** bis **202-M** sind ähnlich strukturiert und werden nicht einzeln beschrieben. Bezugswahlen, die den analogen Eingang, den digitalen Ausgang und den Takteingang der Analog-Digital-Wandlermodule **202-2**, **202-3** und **202-M** bezeichnen, wurden in [Fig. 2](#) weggelassen, um die Zeichnung zu vereinfachen. Die analogen Eingänge **220** der ADC-Module **202-1** bis **202-M** sind parallel mit dem analogen Eingang **120** verbunden.

**[0040]** Das Speichermodul **206-1** hat einen Dateneingang **230**, einen Datenausgang **232**, einen Schreibtakteingang **234**, einen Lesetakteingang **236**, einen Schreibfreigabeeingang **238** und einen Lesefreigabeeingang **240**. Die Speichermodule **206-2** bis **206-M** sind ähnlich strukturiert und werden nicht einzeln beschrieben. Bezugswahlen, die den Dateneingang, den Datenausgang, den Schreibtakteingang, den Lesetakteingang, den Schreibfreigabeeingang und den Lesefreigabeeingang der Speichermodule **206-2**, **206-3** und **206-M** bezeichnen, wurden aus [Fig. 2](#) weggelassen, um die Zeichnung zu vereinfachen.

**[0041]** Der Mehrphasentaktgenerator **250** hat einen Takteingang **252** und M Taktausgänge **254-1** bis **254-M**, von denen nur die Taktausgänge **254-1**, **254-2**, **254-3** und **254-M** gezeigt sind, um die Zeichnung zu vereinfachen. Das Haupttaktsignal MC ist mit dem Takteingang **252** verbunden. Die Taktausgänge **254-1** bis **254-M** sind mit den Takteingängen **224** der ADC-Module **202-1** bzw. **202-M** und mit den Schreibtakteingängen **234** der Speichermodule **206-1** bzw. **206-M** verbunden. Der Mehrphasentaktgenerator erzeugt ein Mehrphasentaktsignal mit M Phasen, die sich voneinander um  $2\pi/M$  Radiane unterscheiden. Jede Phase hat eine Frequenz von 1/M der Abtastfrequenz des ADC. Der Mehrphasentaktgenerator gibt das Mehrphasentaktsignal an den Taktausgängen **254-1** bis **254-M** aus.

**[0042]** In einer Ausführungsform, in der die digitalen Abtastungen aus dem Speicher **206** in der zeitlichen Reihenfolge ausgelesen werden, in der sie gespeichert wurden, ist das Lesetaktsignal RC ein Mehrphasentaktsignal ähnlich dem – aber langsamer als



das – Mehrphasentaktsignal, das durch den Mehrphasentaktsignalgenerator **250** erzeugt wird. Ein solches Mehrphasenlesetaktsignal kann bereitgestellt werden, indem man außerdem die TaktAusgänge **254-1** bis **254-M** des Mehrphasentaktsignalgenerators jeweils mit den Lesetakteingängen **236** der Speichermodule **206-1** bis **206-M** verbindet. Das Haupttaktsignal MC wird in den Mehrphasentaktsignalgenerator über einen (nicht gezeigten) Taktsignalteiler eingespeist, der durch das Lesefreigabesignal RE aktiviert wird, wenn die digitalen Abtastungen aus dem Speicher **206** ausgelesen werden. Der Taktsignalteiler teilt die Frequenz des Haupttaktsignals, wodurch der Mehrphasentaktgenerator veranlaßt wird, ein langsames Mehrphasentaktsignal in die Speichermodule einzuspeisen.

**[0043]** In einer anderen Ausführungsform werden mehrere der digitalen Abtastungen aus einem der Speichermodule ausgelesen, bevor die digitalen Abtastungen aus einem anderen der Speichermodule ausgelesen werden. Die mehreren der ausgelesenen digitalen Abtastungen können von einer Teilmenge bis zu allen der digitalen Abtastungen, die in dem Speichermodul gespeichert sind, reichen. In dieser Ausführungsform ist das Lesetaktsignal RC ein Einphasensignal, das erzeugt werden kann, indem man außerdem das Haupttaktsignal MC in die Lesetakteingänge **236** der Speichermodule **206-1** bis **206-M** über einen entsprechenden (nicht gezeigten) Taktsignalteiler einspeist. Der Taktsignalteiler erzeugt das Lesetaktsignal RC mit einer Frequenz, die kleiner ist als das M-fache der Frequenz des Mehrphasentaktsignals, das in die Schreibtakteingänge **234** eingespeist wird.

**[0044]** Der Fachmann kennt viele verschiedene Typen von Analog-Digital-Wandlermodulen, die zur Verwendung als Analog-Digital-Wandlermodule **202-1** bis **202-M** geeignet sind. Dementsprechend wird auf die ADC-Module nicht näher eingegangen.

**[0045]** Die Eingangs-Unterbusse **204-1** bis **204-M** bestehen jeweils aus (nicht einzeln gezeigten) m Leitern und erstrecken sich jeweils von den digitalen Ausgängen **222** der ADC-Module **202-1** bis **202-M** zu den Dateneingängen **230** der Speichermodule **206-1** bis **206-M**. Die Leiter, welche die Eingangs-Unterbusse bilden, sind kurz und erstrecken sich jeweils direkt über eine Oberfläche des Chips **212** von den digitalen Ausgängen **222** der ADC-Module **202-1** bis **202-M** zu den Dateneingängen **230** der Speichermodule **206-1** bis **206-M**. Dementsprechend sind die Eingangs-Unterbusse in der Lage, mit der höchsten Abtastrate zu arbeiten, die von den ADC-Modulen unterstützt wird.

**[0046]** Der Fachmann kennt viele verschiedene Typen von Speicherbausteinen, die zur Verwendung als Speichermodule **206-1** bis **206-M** geeignet sind. Die

Alternativen und Erwägungen zur Auswahl unter den Alternativen sind im Wesentlichen die gleichen wie die, die oben mit Bezug auf den Speicher **106** beschrieben wurden.

**[0047]** In Ausführungsformen, in denen die Speichermodule **206-1** bis **206-M** einen Typ eines Direktzugriffsspeichers enthalten, enthalten die Speichermodule außerdem einen (nicht gezeigten) Adressengenerator. Wenn das Schreibfreigabesignal WE aufgedrückt wird, so reagiert der Adressengenerator auf das Schreibtaktsignal WC in der Weise, daß er die Adressen der Speicherorte erzeugt, wo die am Dateneingang **230** empfangenen digitalen Abtastungen gespeichert werden. Wenn das Lesefreigabesignal RE aufgedrückt wird, so reagiert der Adressengenerator auf das Lesetaktsignal RC in der Weise, daß er die Adressen der Speicherorte erzeugt, von wo die digitalen Abtastungen, die an den Datenausgang **232** zu übermitteln sind, ausgelesen werden. Geeignete Adressengeneratoren sind dem Fachmann bekannt und werden darum hier nicht beschrieben. Alternativ kann der Speicher **206** einen einzelnen Adressengenerator enthalten. Die durch den Adressengenerator erzeugten Adressen werden über einen (nicht gezeigten) Adressenverteilerbus zu den Speichermodulen **206-1** bis **206-M** verteilt.

**[0048]** Ausführungsformen, in denen die Speicherbausteine, die als Speichermodule **206-1** bis **206-M** verwendet werden, einen einzelnen Takteingang aufweisen, enthalten (nicht gezeigte) Gatterschaltungen, die auf das Schreibfreigabesignal WE und das Lesefreigabesignal RE in der Weise reagieren, daß sie den entsprechenden Schreibtakt bzw. Lesetaktsignal in den einzelnen Takteingang einspeisen. Alternativ kann ein Takteilerschaltkreis, dessen Eingang das Haupttaktsignal MC empfängt und dessen Ausgang mit dem einzelnen Takteingang der Speichermodule verbunden ist, durch das Lesefreigabesignal aktiviert werden.

**[0049]** Die Ausgangs-Unterbusse **208-1** bis **208-M** bestehen jeweils aus (nicht einzeln gezeigten) n Leitern und erstrecken sich jeweils von den Datenausgängen **232** der Speichermodule **206-1** bis **206-M** zum Ausgangsport **210**. In dem gezeigten Beispiel haben alle Eingangs-Unterbusse und alle Ausgangs-Unterbusse die gleiche Anzahl von Leitern. In anderen Beispielen können sich die Anzahlen von Leitern in den Bussen unterscheiden, wie oben beschrieben.

**[0050]** In dem gezeigten Beispiel besteht der Ausgangsdatenbus **208** überdies aus einem Ausgangsport-Unterbus **256**, der sich zum Ausgangsport **210** erstreckt. Die Ausgangs-Unterbusse **208-1** bis **208-M** fächern in den Ausgangsport-Unterbus hinein. Der Lesefreigabebus **258**, der die Lesefreigabeeingänge **238** der Speichermodule **206-1** bis **206-M** mit dem

Lesefreigabeeingang **260** verbindet, ist ein M-Bit breiter Bus, über den jedes der Speichermodule ein individuelles Lesefreigabesignal empfängt. In dieser Ausführungsform haben die Datenausgänge **232** der Speichermodule **206-1** bis **206-M** eine Dreizustandskonfiguration, d. h. die Datenausgänge haben einen AUS-Zustand, außer wenn das Lesefreigabesignal des Speichermoduls aufgedrückt wird. Wenn die digitalen Abtastungen aus dem Speicher **206** ausgelesen werden, so werden die Datenausgänge aller Speichermodule in den AUS-Zustand gesetzt, mit Ausnahme des Datenausgangs des Speichermoduls, aus dem digitale Abtastungen ausgelesen werden.

**[0051]** In einer alternativen Ausführungsform haben die Datenausgänge **232** der Speichermodule **206-1** bis **206-M** eine herkömmliche Zweizustandskonfiguration, und der Lesefreigabebus **260** ist ein 1 Bit breiter Bus. Der Lesefreigabebus verbindet die Lesefreigabeeingänge **240** der Speichermodule parallel mit dem Lesefreigabeeingang **260**. Ein (nicht gezeigter) M-Eingangsdatsелеktor ist zwischen den Ausgangs-Unterbussen **208-1** bis **208-M** und dem Ausgangs-Unterbus **256** angeordnet. Das Aufdrücken des Lesefreigabesignals veranlaßt alle Speichermodule, die digitalen Abtastungen parallel auszuweisen. Die Ausgangs-Unterbusse übermitteln die digitalen Abtastungen an den Datsелеktor. Nur die digitalen Abtastungen, die aus dem Speichermodul ausgelesen wurden, das mit dem momentan aktiven Eingang des Datsелеktors verbunden ist, werden durch den Datsелеktor ausgegeben und werden an den Ausgangsport **210** über den Ausgangs-Unterbus übermittelt.

**[0052]** In einer anderen Ausführungsform enthält der Ausgangsdatenbus **208** mehr als einen (nicht gezeigten) Ausgangs-Unterbus. Gruppen aus wenigstens zwei Ausgangs-Unterbussen **208-1** bis **208-M** fächern in jeden der Ausgangs-Unterbusse hinein. Jeder Ausgangs-Unterbus erstreckt sich zum Ausgangsport **210**. In einem Beispiel, in dem es M/P Ausgangs-Unterbusse gibt, fächern P Ausgangs-Unterbusse in jeden Ausgangs-Unterbus hinein, und der Ausgangsport **210** enthält das M/P-fache der Anzahl von Pins im Vergleich zu den oben beschriebenen Ausführungsformen. In dieser Ausführungsform können die digitalen Abtastungen in jedem der oben beschriebenen Betriebsmodi aus den Speichermodulen **206-1** bis **206-M** ausgelesen werden. Außerdem können die digitalen Abtastungen parallel aus den Speichermodulen ausgelesen werden, die mit jeweiligen der Ausgangs-Unterbusse verbunden sind.

**[0053]** In einer anderen Ausführungsform fehlt dem Ausgangsdatenbus **208** der Ausgangs-Unterbus **256**, und die Ausgangs-Unterbusse **208-1** bis **208-M** erstrecken sich jeweils direkt von den Datenausgängen

**232** der Speichermodule **206-1** bis **206-M** zum Ausgangsport **210**. In dieser Ausführungsform enthält der Ausgangsport **210** das M-fache der Anzahl von Pins im Vergleich zu den Ausführungsformen, in denen sich ein einzelner Ausgangs-Unterbus zu dem Ausgangsport erstreckt. In dieser Ausführungsform können die digitalen Abtastungen in jedem der oben beschriebenen Betriebsmodi aus den Speichermodulen ausgelesen werden und können außerdem parallel aus allen Speichermodulen ausgelesen werden.

**[0054]** Einer oder mehrere der Datenausgänge **232** der Speichermodule **206-1** bis **206-M**, der Ausgangs-Unterbusse **208-1** bis **208-M** und der Ausgangs-Unterbus **256**, die den Ausgangsdatenbus **208** bilden, und der Ausgangsport **210** sind so strukturiert, daß sie mit einer maximalen Rate, die kleiner ist als die Abtastrate des ADC **202**, in einer ähnlichen Weise wie der, die oben beschrieben ist, arbeiten. Digitale Abtastungen werden aus dem Speicher **206** ausgelesen und werden zum Ausgangsport **210** mit einer Rate übermittelt, die nicht größer ist als die maximale Rate, mit der sie zu den Ausgangspins, die einen Teil des Ausgangsports bilden, mit akzeptabler Datensignalintegrität übermittelt werden können. Die Rate, mit der die digitalen Abtastungen aus dem Speicher ausgelesen und zu dem Ausgangsport übermittelt werden, kann weiter durch Ratenbegrenzungen verringert werden, die durch einen nachgeordneten Schaltkreis auferlegt werden, wie ebenfalls oben beschrieben.

**[0055]** Es wird nun die Funktionsweise des Analog-Digital-Wandlungssystems **200** beschrieben. Jedes der Analog-Digital-Wandlermodule **202-1** bis **202-M** empfängt das analoge Eingangssignal über seinen analogen Eingang **220**. Jedes Analog-Digital-Wandlermodul reagiert auf eine Phase des über den Takteingang **224** empfangenen Mehrphasentaktsignals in der Weise, daß es digitale Abtastungen des analogen Eingangssignals mit einer Abtastrate von  $1/M$  der Gesamtabtastrate des ADC **202** erzeugt. Die Phasen des Mehrphasentaktsignals, das in die Analog-Digital-Wandlermodule eingespeist wird, unterscheiden sich um  $2\pi/M$  Radiane. Folglich unterscheiden sich die digitalen Abtastungen, die durch einzelne der Analog-Digital-Wandlermodule erzeugt werden, die benachbarte Phasen des Mehrphasentaktsignals empfangen, zeitlich um eine Zeit, die der Phasendifferenz entspricht. Jedes der Analog-Digital-Wandlermodule gibt die digitalen Abtastungen an seinem digitalen Ausgang **222** aus.

**[0056]** Die Eingangs-Unterbusse **204-1** bis **204-M** übertragen die jeweils von den ADC-Modulen **202-1** bis **202-M** erzeugten digitalen Abtastungen jeweils zu dem Dateneingängen **230** der Speichermodule **206-1** bis **206-M**. Jedes Speichermodul **206-1** bis **206-M** empfängt außerdem eine Phase des durch den



Mehrphasentaktgenerator **250** erzeugten Mehrphasentaktsignale über den Schreibtakteneingang **234**. Die Speichermodule empfangen außerdem das Lesetaktsignal RC über ihre Lesetakteingänge **236**. Wenn das Schreibfreigabesignal WE aktiviert wird, so reagieren die Speichermodule auf das Mehrphasentaktsignal in der Weise, daß sie die an ihren Dateneingängen **230** empfangenen digitalen Abtastungen speichern. Zum Beispiel kann jedes Speichermodul einzelne der digitalen Abtastungen, die aufeinanderfolgend an seinem Dateneingang empfangen werden, an Speicherorten mit aufeinanderfolgenden Adressen speichern.

**[0057]** Das Speichern der digitalen Abtastungen, die über die Eingangs-Unterbusse **204-1** bis **204-M** empfangen werden, in den Speichermodulen **206-1** bis **206-M** wird fortgesetzt, solange das Schreibfreigabesignal WE aufgedrückt wird. Wie oben beschrieben, stoppt – in einem Betriebsmodus – das Speichern der digitalen Abtastungen, wenn eine gewünschte Anzahl von Abtastungen, die kleiner ist als die Abtastungskapazität des Speichers, im Speicher **206** gespeichert wurde oder wenn der Speicher voll ist, und in einem anderen Betriebsmodus speichert jedes Speichermodul fortgesetzt die J zuletzt empfangenen digitalen Abtastungen, wobei J die Abtastungskapazität des Speichermoduls ist.

**[0058]** Nachdem die digitalen Abtastungen im Speicher **206** gespeichert wurden und das Schreibfreigabesignal WE deaktiviert wurde, können die digitalen Abtastungen aus dem Speicher ausgelesen werden. In einem Betriebsmodus werden die digitalen Abtastungen aus den Speichermodulen in der zeitlichen Reihenfolge ausgelesen, in der sie gespeichert wurden. In diesem Betriebsmodus ist das Lesetaktsignal RC ein Mehrphasentaktsignal ähnlich dem – aber langsamer als das – Mehrphasentaktsignal, das durch den Mehrphasentaktsignalgenerator **250** erzeugt wird. In einem anderen Betriebsmodus werden mehrere der digitalen Abtastungen aus einem der Speichermodule ausgelesen, bevor die digitalen Abtastungen aus einem anderen der Speichermodule ausgelesen werden. In diesem Fall wird die zeitliche Reihenfolge der digitalen Abtastungen erforderlichenfalls durch (nicht gezeigte) Schaltungen, die dem Analog-Digital-Wandlungssystem **200** nachgeordnet sind, wiederhergestellt. Die mehreren der ausgelesenen digitalen Abtastungen können von einer Teilmenge bis zu allen digitalen Abtastungen, die in dem Speichermodul gespeichert sind, reichen.

**[0059]** Ungeachtet des Betriebsmodus' reagieren die Speichermodule **206-1** bis **206-M** auf das Lesefreigabesignal RE und das Lesetaktsignal RC in der Weise, daß sie die in ihnen gespeicherten digitalen Abtastungen an Datenausgängen **232** ausgeben. Die Ausgangs-Unterbusse **208-1** bis **208-M** und der Ausgangs-Unterbus **256** übermitteln die digitalen Ab-

tastungen von den Datenausgängen **232** der jeweiligen Speichermodule **206-1** bis **206-M** zum Ausgangs-Unterbus **210**. Die Rate, mit der die digitalen Abtastungen durch die Speichermodule ausgegeben werden, richtet sich nach der Frequenz des Lesetaktsignals RC. Die Rate, mit der die digitalen Abtastungen am Ausgangs-Unterbus **210** empfangen werden, ist kleiner als die Abtastungsrate des ADC **202**. Die Faktoren, welche die maximale Datenrate bestimmen, mit der Abtastungen aus dem Speicher **206** ausgelesen werden, sind oben beschrieben. Die Datenrate, mit der die digitalen Abtastungen aus dem Speicher **206** ausgelesen werden, kann weiter verringert werden, um die Datenratenanforderungen von nachgeordneten Schaltungen zu erfüllen, wie ebenfalls oben beschrieben.

**[0060]** In dem erfindungsgemäßen Analog-Digital-Wandlungssystem kann die Anzahl der Speichermodule eine andere sein als die Anzahl der ADCs oder ADC-Module. Beispiele von Analog-Digital-Wandlungssystemen, bei denen die Anzahl der Speichermodule größer oder kleiner ist als die Anzahl der ADCs oder ADC-Module, werden als nächstes anhand der [Fig. 3](#) und [Fig. 4](#) beschrieben.

**[0061]** [Fig. 3](#) ist ein Blockschaubild einer dritten Ausführungsform **300** eines Analog-Digital-Wandlungssystems gemäß der Erfindung, wobei die digitalen Abtastungen, die durch einen einzelnen Analog-Digital-Wandler erzeugt werden, in M Speichermodulen ( $M \geq 2$ ) gespeichert werden. Diese Anordnung gestattet es jedem der Speichermodule, eine Teilmenge der von dem ADC erzeugten digitalen Abtastungen zu speichern und darum mit  $1/M$  der Ausgangsdatenrate des ADC zu arbeiten. Dadurch können langsamere Speicherbausteine als die Speichermodule benutzt werden.

**[0062]** In dem Analog-Digital-Wandlungssystem **300** besteht der Eingangsdatenbus **304** aus dem ADC-Unterbus **370** und M Eingangs-Unterbussen **304-1** bis **304-M**; der Speicher **206** besteht aus M Speichermodulen **206-1** bis **206-M**; und der Ausgangsdatenbus **208** besteht aus M Ausgangs-Unterbussen **208-1** bis **208-M** und dem Ausgangs-Unterbus **256**. Nur die Eingangs-Unterbusse **304-1**, **304-2**, **304-3** und **304-M**, die Speichermodule **206-1**, **206-2**, **206-3** und **206-M** und die Ausgangs-Unterbusse **208-1**, **208-2**, **208-3** und **208-M** sind in [Fig. 3](#) gezeigt, um die Zeichnung zu vereinfachen.

**[0063]** Das Analog-Digital-Wandlungssystem **300** besteht außerdem aus dem Analog-Digital-Wandler **102**, dem Ausgangs-Unterbus **210** und einem Mehrphasentaktgenerator **350**. Der Analog-Digital-Wandler, der Eingangsdatenbus, der Speicher, der Ausgangsdatenbus, der Mehrphasentaktgenerator und ein Teil des Ausgangs-Unterbusses bilden wenigstens einen Teil eines Chips **312**. Elemente des Analog-Digi-

tal-Wandlungssystem **300**, die Elementen des Analog-Digital-Wandlungssystems entsprechen, das oben mit Bezug auf die [Fig. 1](#) und [Fig. 2](#) beschrieben wurden, sind mit den gleichen Bezugszahlen bezeichnet und werden nicht noch einmal näher beschrieben.

**[0064]** In dem Eingangsdatenbus **304** erstreckt sich der ADC-Unterbus **370** von dem digitalen Ausgang **122** des Analog-Digital-Wandlers **102** und fächert in M Eingangs-Unterbusse **304-1** bis **304-M** hinein aus. Die Eingangs-Unterbusse **304-1** bis **304-M** erstrecken sich vom ADC-Unterbus **370** jeweils zu den Dateneingängen **230** der Speichermodule **206-1** bis **206-M**.

**[0065]** Der Mehrphasentaktgenerator **350** hat einen Takteingang **352** und M Taktausgänge **354-1** bis **354-M**, von denen nur die Taktausgänge **354-1**, **354-2**, **354-3** und **354-M** gezeigt sind, um die Zeichnung zu vereinfachen. Ein Haupttaktsignal MC ist mit dem Takteingang **352** und mit dem Takteingang **124** des ADC **102** verbunden. Die Taktausgänge **354-1** bis **354-M** sind jeweils mit den Schreibtakteingängen **234** der Speichermodule **206-1** bis **206-M** verbunden. Der Mehrphasentaktgenerator erzeugt ein Mehrphasentaktsignal mit M Phasen, die sich um  $2\pi/M$  Radiane voneinander unterscheiden. Jedes Phase hat einen Frequenz des  $1/M$ -fachen der Abtastfrequenz des ADC. Der Mehrphasentaktgenerator gibt das Mehrphasentaktsignal an den Taktausgängen **354-1** bis **354-M** aus.

**[0066]** In einer Weise, die der oben mit Bezug auf [Fig. 2](#) beschrieben ähnlich ist, empfangen die Speichermodule **206-1** bis **206-M** außerdem ein Lesetaktsignal RC, bei dem es sich je nach dem Betriebsmodus, in dem die digitalen Abtastungen aus dem Speicher **206** ausgelesen werden, um ein Einphasentaktsignal oder ein Mehrphasentaktsignal handeln kann.

**[0067]** Der ADC-Unterbus **370** und die Eingangs-Unterbusse **304-1** bis **304-M** bestehen jeweils aus (nicht einzeln gezeigten) m Leitern. Der ADC-Unterbus erstreckt sich von dem digitalen Ausgang **122** des ADC **102** und fächert in Eingangs-Unterbusse **304-1** bis **304-M** hinein aus, die sich jeweils zu den Dateneingängen **230** der Speichermodule **206-1** bis **206-M** erstrecken. Die Leiter, die den ADC-Unterbus und die Eingangs-Unterbusse bilden, sind kurz und erstrecken sich direkt über eine Oberfläche des Chips **312** von dem digitalen Ausgang **122** des ADC **102** zu den Dateneingängen **230** der Speichermodule **206-1** bis **206-M**. Dementsprechend sind der ADC-Unterbus und die Eingangs-Unterbusse in der Lage, mit der höchsten Abtastrate zu arbeiten, die durch die ADC-Module unterstützt wird.

**[0068]** Der Fachmann kennt viele verschiedene Typen von Speicherbausteinen, die zur Verwendung als

Speichermodule **206-1** bis **206-M** geeignet sind. Die Alternativen und Erwägungen zum Auswählen unter den Alternativen sind im Wesentlichen die gleichen wie jene, die oben mit Bezug auf den Speicher **106** in [Fig. 1](#) beschrieben wurden. Für eine gegebene Abtastrate des ADC **102** kann der Speicher **206** langsamere Speicherbausteine als der Speicher **106** enthalten.

**[0069]** Es wird nun die Funktionsweise des Analog-Digital-Wandlungssystems **300** beschrieben. Der Analog-Digital-Wandler **102** empfängt das analoge Eingangssignal über den analogen Eingang **120**. Der Analog-Digital-Wandler reagiert auf das über den Takteingang **124** empfangene Haupttaktsignal MC in der Weise, daß er digitale Abtastungen des analogen Eingangssignals mit einer Abtastrate erzeugt, die durch die Frequenz des Haupttaktsignals bestimmt wird. Der Analog-Digital-Wandler gibt die digitalen Abtastungen am digitalen Ausgang **122** aus.

**[0070]** Der ADC-Unterbus **370** und die Eingangs-Unterbusse **304-1** bis **304-M** übertragen die durch den ADC **102** erzeugten digitalen Abtastungen zu den jeweiligen Dateneingängen **230** der Speichermodule **206-1** bis **206-M**. Die Speichermodule **206-1** bis **206-M** empfangen außerdem das durch den Mehrphasentaktgenerator **350** erzeugte Mehrphasentaktsignal über ihre Schreibtakteingänge **234**. Benachbarte Phasen des Mehrphasentaktes unterscheiden sich zeitlich um eine Zeit, die gleich dem Abtastzeitraum des ADC **102** ist. Die Speichermodule empfangen außerdem das Lesetaktsignal RC über ihre Lesetakteingänge **236**. Wenn das Schreibfreigabesignal WE aktiviert wird, so bewirkt das Mehrphasentaktsignal, das in die Schreibtakteingänge **234** der Speichermodule **206-1** bis **206-M** eingespeist wird, daß jede der M digitalen Abtastungen, die nacheinander von dem ADC erzeugt wurden, in einem anderen der Speichermodule gespeichert wird. Zum Beispiel werden die digitalen Abtastungen mit den Nummern 1,  $M + 1$ ,  $2M + 1$ , ... im Speichermodul **206-1** gespeichert, während die digitalen Abtastungen mit den Nummern 2,  $M + 2$ ,  $2M + 2$ , ... im Speichermodul **206-2** gespeichert werden.

**[0071]** Zum Beispiel kann jeder Speicher einzelne der digitalen Abtastungen, die aufeinanderfolgend in Übereinstimmung mit dem am Schreibtakteingang **234** empfangenen Taktsignal gespeichert werden, an Speicherorten mit aufeinanderfolgenden Adressen speichern.

**[0072]** Das Speichern der digitalen Abtastungen, die über die Eingangs-Unterbusse **304-1** bis **304-M** empfangen wurden, in den jeweiligen Speichermodulen **206-1** bis **206-M** wird fortgesetzt, solange das Schreibfreigabesignal WE aufgedrückt wird. Wie oben beschrieben, stoppt – in einem Betriebsmodus – das Speichern der digitalen Abtastungen, wenn

eine gewünschte Anzahl von Abtastungen, die kleiner ist als die Abtastungskapazität des Speichers, im Speicher **206** gespeichert wurde oder wenn der Speicher voll ist, und in einem anderen Betriebsmodus speichert jedes Speichermodul die J zuletzt gespeicherten digitalen Abtastungen, wobei J die Abtastungskapazität des Speichermoduls ist.

**[0073]** Nachdem die digitalen Abtastungen in den Speichermodulen **206-1** bis **206-M** gespeichert wurden und das Schreibfreigabesignal WE deaktiviert wurde, werden die digitalen Abtastungen in einer Weise, die der oben mit Bezug auf [Fig. 2](#) beschrieben ähnlich ist, aus den Speichermodulen ausgelesen. Die Rate, mit der die digitalen Abtastungen aus den Speichermodulen ausgelesen und zu dem Ausgangsport übermittelt werden, richtet sich nach der Frequenz des Lesetaktes RC. Diese Rate ist kleiner als die Abtastrate des ADC **102** und die Rate, mit der der Speicher **206** die digitalen Abtastungen über den Eingangsdatenbus **204** empfängt. Die maximale Datenrate, mit der Abtastungen aus dem Speicher **206** ausgelesen werden, wird durch die oben beschriebenen Faktoren bestimmt.

**[0074]** [Fig. 4](#) ist ein Blockschaubild einer vierten Ausführungsform **400** eines Analog-Digital-Wandlungssystems gemäß der Erfindung, wobei die Analog-Digital-Wandlermodule, die den Analog-Digital-Wandler **202** bilden, jeweils digitale Abtastungen mit m-Bit erzeugen und die Speichermodule, die den Speicher **406** bilden, Paare der digitalen Abtastungen als 2m-Bit-Wörter speichern. Die Speichermodule sind zahlenmäßig weniger als die Analog-Digital-Wandlermodule.

**[0075]** In dem Analog-Digital-Wandlungssystem **400** besteht der Analog-Digital-Wandler **202** aus M Analog-Digital-Wandlermodulen **202-1** bis **202-M**, der Eingangsdatenbus **404** besteht aus M ADC-Unterbussen **470-1** bis **470-M** und M/2 Eingangs-Unterbussen **404-1** bis **404-M/2**, der Speicher **406** besteht aus M/2 Speichermodulen **406-1** bis **406-M/2**, und der Ausgangsdatenbus **408** besteht aus M/2 Ausgangs-Unterbussen **408-1** bis **408-M/2** und dem Ausgangsport-Unterbus **456**. Nur die Analog-Digital-Wandlermodule **202-1**, **202-2**, **202-3**, **202-4**, **202-(M-1)** und **202-M**, die ADC-Unterbusse **470-1**, **470-2**, **470-3**, **470-4**, **470-(M-1)** und **470-M**, die Speichermodule **406-1**, **406-2** und **406-M/2** und die Ausgangs-Unterbusse **408-1**, **408-2** und **404-M/2** sind in [Fig. 4](#) gezeigt, um die Zeichnung zu vereinfachen.

**[0076]** Das Analog-Digital-Wandlungssystem **400** besteht außerdem aus dem Ausgangsport **410** und einem Mehrphasentaktgenerator **250**. Der Analog-Digital-Wandler, der Eingangsdatenbus, der Speicher, der Ausgangsdatenbus, der Mehrphasentaktgenerator und ein Teil des Ausgangsports bilden wenigstens einen Teil eines Chips **412**. Elemente des

Analog-Digital-Wandlungssystems **400**, die Elementen des Analog-Digital-Wandlungssystems entsprechen, das oben mit Bezug auf die [Fig. 1](#) und [Fig. 2](#) beschrieben wurde, sind mit den gleichen Bezugszahlen bezeichnet und werden nicht noch einmal näher beschrieben.

**[0077]** Das Speichermodul **406-1** hat einen Dateneingang **430**, einen Datenausgang **432**, einen Schreibtakteingang **434**, einen Lesetakteingang **436**, einen Schreibfreigabeeingang **438** und einen Lese- freigabeeingang **440**. Die Speichermodule **406-2** bis **406-M/2** sind ähnlich strukturiert und werden nicht einzeln beschrieben. Bezugszahlen, die den Dateneingang, den Datenausgang, den Schreibtakteingang, den Lesetakteingang, den Schreibfreigabeeingang und den Lese- freigabeeingang der Speichermodule **406-2** bis **406-M/2** bezeichnen, wurden aus [Fig. 4](#) weggelassen, um die Zeichnung zu vereinfachen.

**[0078]** Die Taktausgänge **254-1** bis **254-M** des Mehrphasentaktgenerators **250**, von denen nur die Taktausgänge **254-1**, **254-2**, **254-3**, **254-4**, **254-(M-1)** und **254-M** gezeigt sind, um die Zeichnung zu vereinfachen, sind mit den Takteingängen **224** der ADC-Module **202-1** bis **202-M** verbunden. Ungeradzählige der Taktausgänge **254-1** bis **254-M** sind außerdem jeweils mit den Schreibtakteingängen **434** der Speichermodule **406-1** bis **406-M/2** verbunden. Alternativ kann einer der ADCs, die mit jedem der Speichermodule verbunden sind, ein Schreibtaktsignal an das Speichermodul übermitteln.

**[0079]** In einer Weise ähnlich der, die oben mit Bezug auf [Fig. 2](#) beschrieben ist, empfangen die Speichermodule **406-1** bis **406-M/2** außerdem ein Lesetaktsignal RC. Das Lesetaktsignal ist je nach dem Betriebsmodus, mit dem die digitalen Abtastungen aus dem Speicher **406** ausgelesen werden, ein Einphasentaktsignal oder ein Mehrphasentaktsignal, wie oben beschrieben.

**[0080]** Die ADC-Unterbusse **470-1** bis **470-M** bestehen jeweils aus (nicht einzeln gezeigten) m Leitern und erstrecken sich jeweils von den digitalen Ausgängen **222** der ADC-Module **202-1** bis **202-M**. Paare von benachbarten der ADC-Unterbusse **470-1** bis **470-M** laufen jeweils in Eingangs-Unterbussen **404-1** bis **404-M/2** zusammen, die sich jeweils zu den Dateneingängen **430** der Speichermodule **406-1** bis **406-M/2** erstrecken. Zum Beispiel laufen Paare von benachbarten **470-1** und **470-2**, **470-3** und **470-4**, **470-(M-1)** und **470-M** der ADC-Unterbusse zu Eingangs-Unterbussen **404-1**, **404-2** und **404-M/2** zusammen. In dem gezeigten Beispiel sind die Eingangs-Unterbusse jeweils zweimal so breit wie die ADC-Unterbusse, d. h. die Eingangs-Unterbusse bestehen aus 2m Leitern. Im Allgemeinen sind die Eingangs-Unterbusse x-mal so breit wie die ADC-Unter-

busse, wobei  $x$  die Anzahl der ADC-Unterbusse ist, die zu jedem Eingangs-Unterbus zusammenlaufen.

**[0081]** Die Leiter, welche die ADC-Unterbusse **470-1** bis **470-M** und die Eingangs-Unterbusse **404-1** bis **404-M/2** bilden, sind kurz und erstrecken sich jeweils direkt über eine Oberfläche des Chips **412** von den digitalen Ausgängen **222** der ADC-Module **202-1** bis **202-M** jeweils zu dem Dateneingängen **430** der Speichermodule **406-1** bis **406-M/2**. Dementsprechend sind die ADC-Unterbusse und die Eingangs-Unterbusse in der Lage, mit der höchsten Abtastrate zu arbeiten, die von den ADC-Modulen unterstützt wird.

**[0082]** Der Fachmann kennt viele verschiedene Typen von Speicherbausteinen, die zur Verwendung als Speichermodule **406-1** bis **406-M/2** geeignet sind. Die Alternativen und Erwägungen zum Auswählen unter den Alternativen sind im Wesentlichen die gleichen wie jene, die oben mit Bezug auf den Speicher **206** beschrieben wurden.

**[0083]** Der Lesefreigabebus **458**, der die Lesefreigabeeingänge **438** der Speichermodule **406-1** bis **406-M/2** mit dem Lesefreigabeeingang **460** verbindet, ist ein  $M/2$ -Bit breiter Bus, über den jedes der Speichermodule ein individuelles Lesefreigabesignal empfängt. In dieser Ausführungsform haben die Datenausgänge **432** der Speichermodule **406-1** bis **406-M/2** eine Dreizustandskonfiguration, wie oben beschrieben.

**[0084]** Der Ausgangsdatenbus **408** besteht aus den Ausgangs-Unterbussen **408-1** bis **408-M/2** und dem Ausgangsport-Unterbus **456**. Die Ausgangs-Unterbusse und der Ausgangsport-Unterbus bestehen jeweils aus (nicht einzeln gezeigten)  $2m$  Leitern. Die Ausgangs-Unterbusse **408-1** bis **408-M/2** erstrecken sich jeweils von den Datenausgängen **432** der Speichermodule **406-1** bis **406-M/2** und fächern in den Ausgangsport-Unterbus **456** hinein aus. Der Ausgangsdatenbus **408** kann alternative Konfigurationen ähnlich denen haben, die oben mit Bezug auf den Ausgangsdatenbus **208** beschrieben sind.

**[0085]** Einer oder mehrere der Datenausgänge **432** der Speichermodule **406-1** bis **406-M/2**, der Ausgangs-Unterbusse **408-1** bis **408-M/2** und der Ausgangsport-Unterbus **456**, die den Ausgangsdatenbus **408** bilden, und der Ausgangsport **410** sind so strukturiert, daß sie mit einer maximalen Rate, die kleiner ist als die Abtastrate des ADC **202**, in einer ähnlichen Weise wie der, die oben beschrieben ist, arbeiten. Digitale Abtastungen werden aus dem Speicher **406** ausgelesen und zum Ausgangsport **410** mit einer Rate übermittelt, die nicht größer ist als die maximale Rate, mit der sie zu den Ausgangspins, die einen Teil des Ausgangsport bilden, mit akzeptabler Datensignintegrität übermittelt werden können. Die Rate, mit

der die digitalen Abtastungen aus dem Speicher ausgelesen und zu dem Ausgangsport übermittelt werden, kann weiter durch Ratenbeschränkungen verringert werden, die durch einen nachgeordneten Schaltkreis auferlegt werden, wie ebenfalls oben beschrieben.

**[0086]** Es wird nun die Funktionsweise des Analog-Digital-Wandlungssystems **400** beschrieben. Jedes der Analog-Digital-Wandlermodule **202-1** bis **202-M** empfängt das analoge Eingangssignal über seinen analogen Eingang **220**. Jedes Analog-Digital-Wandlermodul reagiert auf eine Phase des über den Takteingang **224** empfangenen Mehrphasentaktsignals in der Weise, daß es digitale Abtastungen des analogen Eingangssignals mit einer Abtastrate des  $1/M$ -fachen der Gesamtabtastrate des ADC **202** erzeugt. Die Phasen des Mehrphasentaktsignals, das in die Analog-Digital-Wandlermodule eingespeist wird, unterscheiden sich um  $2\pi/M$  Radiane. Folglich unterscheiden sich die digitalen Abtastungen, die durch einzelne der Analog-Digital-Wandlermodule erzeugt werden, die benachbarte Phasen des Mehrphasentaktsignals empfangen, zeitlich um eine Zeit, die der Phasendifferenz entspricht. Jedes Analog-Digital-Wandlermodul gibt die digitalen Abtastungen an seinem digitalen Ausgang **222** aus.

**[0087]** Die ADC-Unterbusse **470-1** bis **470-M** empfangen die digitalen Abtastungen mit  $m$ -Bit, die jeweils durch die ADC-Module **202-1** bis **202-M** erzeugt wurden. Benachbarte Paare der ADC-Unterbusse laufen zu Eingangs-Unterbussen **404-1** bis **404-M/2** zusammen, die  $2m$ -Bit-Abtastpaare jeweils zu den  $2m$ -Bit-Dateneingängen **430** der Speichermodule **406-1** bis **406-M/2** übertragen. Jedes der Speichermodule **406-1** bis **406-M/2** empfängt außerdem eine andere Phase des Mehrphasentaktsignals vom Mehrphasentaktgenerator **250** über seinen Schreibeingang **434**. Die Speichermodule empfangen außerdem das Lesetaktsignal  $RC$  über ihre Lesetakteingänge **436**.

**[0088]** Wenn das Schreibfreigabesignal  $WE$  aktiviert wird, so reagieren die Speichermodule **406-1** bis **406-M/2** auf die jeweilige Phase des Schreibtaktsignals  $WC$  in der Weise, daß sie das Paar digitaler Abtastungen, das am Dateneingang **430** anliegt, in das Speichermodul einschreiben. Zum Beispiel kann jedes Speichermodul Paare der digitalen Abtastungen, die es nacheinander an seinem Dateneingang empfängt, in Speicherorten mit aufeinanderfolgenden Adressen speichern.

**[0089]** Das Speichern der Paare digitaler Abtastungen, die über die Eingangs-Unterbusse **404-1** bis **404-M/2** empfangen wurden, in den jeweiligen Speichermodulen **406-1** bis **406-M/2** wird fortgesetzt, solange das Schreibfreigabesignal  $WE$  aufgedrückt wird. In einer Weise ähnlich der, die oben beschrie-



ben wurde, stoppt – in einem Betriebsmodus – das Speichern der Paare digitaler Abtastungen, wenn eine gewünschte Anzahl von Abtastpaaren, die kleiner ist als die Abtastpaarkapazität des Speichers, im Speicher **406** gespeichert wurde oder der Speicher voll ist, und in einem anderen Betriebsmodus speichert jedes Speichermodul kontinuierlich die K zuletzt empfangenen Paare digitaler Abtastungen, wobei K die Abtastpaarkapazität des Speichermoduls ist.

**[0090]** Nachdem die Paare digitaler Abtastungen im Speicher **406** gespeichert wurden und das Schreibfreigabesignal WE deaktiviert wurde, können die Paare digitaler Abtastungen aus dem Speicher ausgelesen werden. In einem Betriebsmodus werden die Paare digitaler Abtastungen aus dem Speicher in der zeitlichen Reihenfolge, in der sie gespeichert wurden, in einer Weise ähnlich der, die oben für das Auslesen einzelner digitaler Abtastungen beschrieben wurde, ausgelesen. In einem anderen Betriebsmodus werden mehrere der Paare digitaler Abtastungen in einer Weise ähnlich der, die oben für das Auslesen einzelner digitaler Abtastungen beschrieben wurde, aus einem der Speichermodule ausgelesen, bevor Paare digitaler Abtastungen aus einem anderen der Speichermodule ausgelesen werden. Die mehreren der ausgelesenen Paare digitaler Abtastungen können von einer Teilmenge bis zu allen Paaren digitaler Abtastungen, die in dem Speichermodul gespeichert sind, reichen. In dem letzteren Fall kann die zeitliche Reihenfolge der digitalen Abtastungen erforderlichenfalls durch (nicht gezeigte) Schaltungen, die dem Analog-Digital-Wandlungssystem **400** nachgeordnet sind, wiederhergestellt werden.

**[0091]** Unabhängig vom Betriebsmodus reagieren die Speichermodule **406-1** bis **406-M/2** auf das Lesefreigabesignal RE und das Lesetaktsignal RC in der Weise, daß sie die in ihnen gespeicherten Paare digitaler Abtastungen an ihren Datenausgängen **432** ausgeben. Die Ausgangs-Unterbusse **408-1** bis **408-M/2** und der Ausgangsport-Unterbus **456** übermitteln die Paare digitaler Abtastungen jeweils von den Datenausgängen **432** der Speichermodule **406-1** bis **406-M/2** zum Ausgangsport **410**. Die Datenrate, mit der die Paare digitaler Abtastungen durch die Speichermodule ausgegeben werden, richtet sich nach der Frequenz des Lesetakts RC. Die Rate, mit der die Paare digitaler Abtastungen zum Ausgangsport **410** übermittelt werden, ist kleiner als die Rate, mit der die Paare digitaler Abtastungen über den Eingangsdatenbus **404** zum Speicher **406** übertragen wurden. Die maximale Rate, mit der Abtastungen aus dem Speicher ausgelesen und zu dem Ausgangsport übermittelt werden, wird durch Faktoren wie zum Beispiel die Struktur der Datenausgänge der Speichermodule, die Struktur der Ausgangs-Unterbusse und des Ausgangsport-Unterbusses und die Struktur des Ausgangsports bestimmt, wie oben beschrieben. Die

Rate, mit der die digitalen Abtastungen aus dem Speicher **406** ausgelesen werden, kann weiter verringert werden, um die Datenratenanforderungen von nachgeordneten Schaltungen zu erfüllen, wie ebenfalls oben beschrieben.

**[0092]** In dem oben beschriebene Beispiel laufen die ADC-Unterbusse **470-1** bis **470-M**, die sich jeweils von Paaren der ADC-Module **202-1** bis **202-M** erstrecken, zu jedem doppeltbreiten Eingangs-Unterbus **404-1** bis **404-M/2** zusammen, der sich jeweils zu dem Dateneingang eines jeweiligen der Speichermodule **406-1** bis **406-M/2** erstreckt. Allgemeiner ausgedrückt, kann der ADC **202** aus  $M = P \times Q$  ADC-Modulen **202-1** bis **202-M** bestehen, und die ADC-Unterbusse, die sich von Gruppen von Q der ADC-Module erstrecken, können zu jedem der Eingangs-Unterbusse zusammenlaufen, der sich zu dem Dateneingang eines der Speichermodule erstreckt. In diesem Fall gibt es P Eingangs-Unterbusse und P Speichermodule, und die Breite der Eingangs-Unterbusse beträgt das Q-fache der Breite der ADC-Unterbusse.

**[0093]** [Fig. 5](#) ist ein Blockschaubild eines Beispiels einer fünften Ausführungsform **500** eines Analog-Digital-Wandlungssystems gemäß der Erfindung. Die fünfte Ausführungsform ist ein praktisches Beispiel eines mit 20 GSa/s arbeitenden Analog-Digital-Wandlungssystems, in dem 16 Pins des Gehäuses, in dem der Chip, der das System verkörpert, montiert ist, jedem Ausgangsport zugeordnet sind. Mit 16 verfügbaren Pins kann der Ausgangsport gleichzeitig zwei digitale Abtastungen parallel ausgeben. Die Anzahl der verschiedenen Module und Unterbusse, die Breiten der verschiedenen Unterbusse, die Anzahl der Ausgangspins und die Frequenzen, die unten beschrieben werden, sind lediglich beispielhaft, und die fünfte Ausführungsform kann anhand von Werten aufgebaut sein, die sich von den beispielhaft dargelegten unterscheiden.

**[0094]** In dem Analog-Digital-Wandlungssystem **500** besteht der Analog-Digital-Wandler **502** aus 80 ( $M = 80$ ) Analog-Digital-Wandlermodulen **502-1**, ..., **502-80**; der Eingangsdatenbus **504** besteht aus 80 ADC-Unterbusse **570-1**, ..., **570-80** und acht ( $M/10$ ) Eingangs-Unterbussen **504-1**, ..., **504-8**; der Speicher **506** besteht aus acht ( $M/10$ ) Speichermodulen **506-1** bis **506-8**, und der Ausgangsdatenbus **508** besteht aus acht Ausgangs-Unterbussen **508-1** bis **508-8**, einem Ausgangspuffer **580** und zwei Ausgangsport-Unterbussen **556-1** und **556-2**. Nur die Analog-Digital-Wandlermodulen **502-1**, **502-2**, **502-10**, **502-11**, **502-12**, **502-20**, **502-71**, **502-72** und **502-80**; die ADC-Unterbusse **570-1**, **570-2**, **570-10**, **570-11**, **570-12**, **570-20**, **570-71**, **570-72** und **570-80**; die Eingangs-Unterbusse **504-1**, **504-2** und **504-8**; die Speichermodule **506-1**, **506-2** und **506-8** und die Ausgangs-Unterbusse **508-1**, **508-2** und **504-8** sind in [Fig. 5](#) gezeigt, um die Zeichnung zu vereinfachen.

**[0095]** Das Analog-Digital-Wandlungssystem **500** besteht außerdem aus dem Ausgangsport **510**, dem Mehrphasentakttgenerator **550** und dem Taktteiler **590**. Der Analog-Digital-Wandler **502**, der Eingangsdatenbus **504**, der Speicher **506**, der Ausgangsdatenbus **508**, der Mehrphasentakttgenerator, der Taktteiler und ein Teil des Ausgangsports bilden wenigstens einen Teil eines Chips **512**. Elemente des Analog-Digital-Wandlungssystems **500**, die Elementen des Analog-Digital-Wandlungssystems entsprechen, das oben mit Bezug auf die [Fig. 1](#), [Fig. 2](#) und [Fig. 4](#) beschrieben wurde, sind mit den gleichen Bezugszahlen bezeichnet und werden nicht noch einmal näher beschrieben.

**[0096]** Das Analog-Digital-Wandler (ADC)-Modul **502-1** hat einen analogen Eingang **520**, einen digitalen Ausgang **522** und einen Takteingang **524**. Die Analog-Digital-Wandlermodule **502-2** bis **502-80** sind ähnlich strukturiert und werden nicht einzeln beschrieben. Bezugszahlen, die den analogen Eingang, den digitalen Ausgang und den Takteingang der übrigen Analog-Digital-Wandlermodule, die in [Fig. 5](#) gezeigt sind, bezeichnen, wurden weggelassen, um die Zeichnung zu vereinfachen. Verbindungen von dem Mehrphasentaktsignalgenerator **550** zu den Takteingängen **524** der ADC-Module wurden ebenfalls weggelassen, um die Zeichnung zu vereinfachen. Es sind jedoch die Phasen der Mehrphasentaktsignale gezeigt, die mit den gezeigten ADC-Modulen verbunden sind. Die analogen Eingänge **520** der ADC-Module **502-1** bis **502-80** sind parallel mit dem analogen Eingang **120** verbunden.

**[0097]** Das Speichermodul **506-1** hat einen Dateneingang **530**, einen Datenausgang **532**, einen Schreibtakteingang **534**, einen Lesetakteingang **536**, einen Schreibfreigabeeingang **538** und einen Lesefreigabeeingang **540**. Die Speichermodule **506-2** bis **506-8** sind ähnlich strukturiert und werden nicht einzeln beschrieben. Bezugszahlen, die den Dateneingang, den Datenausgang, den Schreibtakteingang, den Lesetakteingang, den Schreibfreigabeeingang und den Lesefreigabeeingang der Speichermodule **506-2** und **506-8** bezeichnen, wurden aus [Fig. 5](#) weggelassen, um die Zeichnung zu vereinfachen. Schreibtaktsignalverbindungen von den ADC-Modulen zu den Takteingängen **534** der Speichermodule **506-1**, **506-2** und **506-8** wurden ebenfalls weggelassen, um die Zeichnung zu vereinfachen.

**[0098]** Der Mehrphasentakttgenerator **550** hat einen Takteingang **552** und 80 Mehrphasentaktausgänge **554**. Ein 250 MHz-Haupttaktsignal MC ist mit dem Takteingang **552** verbunden. Die Mehrphasentaktausgänge sind mit den Takteingängen **524** der ADC-Module **502-1** bis **502-80** verbunden. Der Mehrphasentakttgenerator erzeugt ein Mehrphasentaktsignal mit 80 Phasen  $f_1$  bis  $f_{80}$ , die sich voneinander um  $2\pi/80$  Radiane unterscheiden. Die Abtastfrequenz

des ADC beträgt das 80-fache der Frequenz der Phasen des Mehrphasentaktsignals, d. h.  $250 \times 80 = 20$  GHz. Der Mehrphasentakttgenerator gibt das Mehrphasentaktsignal am Taktausgang **554** aus.

**[0099]** Die Speichermodule **506-1**, **506-2**, ..., **506-8** empfangen jeweils ein 250 MHz-Schreibtaktsignal WC von den ADC-Modulen **502-1**, **502-11**, ..., **502-71** an ihren Schreibtakteingängen **534** und empfangen außerdem das Lesetaktsignal RC vom Ausgang des Taktteilers **582** an ihren Lesetakteingängen **536**. Das Lesetaktsignal RC ist ein Einphasentaktsignal, da die digitalen Abtastungen parallel aus dem Speichermodul ausgelesen werden, wie weiter unten noch näher beschrieben wird.

**[0100]** Die ADC-Unterbusse **570-1** bis **570-80** bestehen jeweils aus (nicht einzeln gezeigten) 8 Leitern und erstrecken sich jeweils von den digitalen Ausgängen **522** der ADC-Module **502-1** bis **502-80**. Gruppen von zehn benachbarten der ADC-Unterbusse **570-1** bis **570-80** laufen jeweils in einem jeweiligen der Eingangs-Unterbusse **504-1** bis **504-8** zusammen, die sich jeweils zu den Dateneingängen **530** der Speichermodule **506-1** bis **506-8** erstrecken. Zum Beispiel laufen Gruppen von zehn benachbarten **570-1** bis **570-10**, **570-11** bis **570-20** und **570-71** bis **570-80** der ADC-Unterbusse jeweils zu den Eingangs-Unterbussen **504-1**, **504-2** und **504-8** zusammen. In dem gezeigten Beispiel sind die Eingangs-Unterbusse jeweils zehnmal so breit wie die ADC-Unterbusse, d. h. die Eingangs-Unterbusse bestehen jeweils aus 80 Leitern.

**[0101]** Die Leiter, welche die ADC-Unterbusse **570-1** bis **570-80** und die Eingangs-Unterbusse **504-1** bis **504-8** bilden, sind kurz und erstrecken sich direkt über eine Oberfläche des Chips **512** jeweils von den digitalen Ausgängen **522** der ADC-Module **502-1** bis **502-80** jeweils zu den Dateneingängen **530** der Speichermodule **506-1** bis **506-8**. Dementsprechend sind die ADC-Unterbusse und die Eingangs-Unterbusse in der Lage, mit der höchsten Abtastrate zu arbeiten, die von den ADC-Modulen unterstützt wird.

**[0102]** Der Fachmann kennt viele verschiedene Typen von Speicherbausteinen, die sich zur Verwendung als Speichermodule **506-1** bis **506-8** eignen. Die Alternativen und Erwägungen zum Auswählen unter den Alternativen sind im Wesentlichen die gleichen wie jene, die oben mit Bezug auf den Speicher **106** beschrieben wurden.

**[0103]** Der Lesefreigabebus **558**, der die Lesefreigabeeingänge **538** der Speichermodule **506-1** bis **506-8** mit dem Lesefreigabeeingang **560** verbindet, ist ein 1-Bit breiter Bus, durch den die Speichermodule ein gemeinsames Lesefreigabesignal empfangen. In dieser Ausführungsform haben die Datenausgän-



ge **532** der Speichermodule **506-1** bis **506-8** eine Zweizustandskonfiguration, wie oben beschrieben.

**[0104]** Der Ausgangsdatenbus **508** besteht aus den Ausgangs-Unterbussen **508-1** bis **508-8**, dem Ausgangspuffer **580** und zwei Ausgangsport-Unterbussen **556-1** und **556-2**. Die Ausgangs-Unterbusse bestehen jeweils aus (nicht einzeln gezeigten) 80 Leitern. Die Ausgangs-Unterbusse **508-1** bis **508-8** erstrecken sich jeweils von den Datenausgängen **532** der Speichermodule **506-1** bis **506-8** jeweils zu den Dateneingängen **582** des Ausgangspuffers. Die Ausgangsport-Unterbusse **556-1** und **556-2** erstrecken sich von den Datenausgängen **584** des Datenpuffers zum Ausgangsport **510**.

**[0105]** Der Ausgangspuffer **580** empfängt außerdem das Haupttaktsignal MC an seinem Takteingang **586**. Das Haupttaktsignal ist außerdem mit dem Takteingang **592** des Taktteilers **590** verbunden. Der Takt Ausgang **594** des Taktteilers ist parallel mit den Lesetakteingängen **536** der Speichermodule **506-1** bis **506-8** verbunden. Der Ausgangspuffer ist so strukturiert, daß er die Gruppen von 80 digitalen Abtastungen, die er parallel an seinen Abtasteingängen empfängt, zu Paaren digitaler Abtastungen umgruppiert. Der Ausgangspuffer gibt die Paare digitaler Abtastungen an seinen Abtastausgängen mit dem 40-fachen der Rate aus, mit der er die Gruppen von 80 digitalen Abtastungen empfängt. Der Ausgangspuffer kann so strukturiert sein, daß er die Abtastverarbeitung komplexer ausführt als das einfache Umordnen und die Ratenumwandlung, die eben beschrieben wurden.

**[0106]** Der Taktteiler **590** ist so strukturiert, daß er das Haupttaktsignal MC durch 40 teilt, um den Lesetakt RC zu erzeugen. Das Haupttaktsignal MC hat eine Frequenz von 250 MHz, so daß der Lesetakt eine Frequenz von 6,25 MHz hat.

**[0107]** Einer oder mehrere der Datenausgänge **532** der Speichermodule **506-1** bis **506-8**, der Ausgangs-Unterbusse **508-1** bis **508-8** und der Ausgangsport-Unterbusse **556-1** und **556-2**, die den Ausgangsdatenbus **508** bilden, und der Ausgangsport **510** sind so strukturiert, daß sie mit einer maximalen Rate, die kleiner ist als die Abtastrate des ADC **502**, in einer Weise ähnlich der, die oben beschrieben wurde, arbeiten. Digitale Abtastungen werden aus dem Speicher **506** ausgelesen und zum Ausgangsport **510** mit einer Rate übermittelt, die nicht größer ist als die maximale Rate, mit der sie zu den Ausgangspins, die einen Teil des Ausgangsport bilden, mit akzeptabler Datensignalintegrität übermittelt werden können. Die Rate, mit der die digitalen Abtastungen aus dem Speicher ausgelesen und zu dem Ausgangsport übermittelt werden, kann weiter durch Ratenbeschränkungen verringert werden, die durch einen nachgeordneten Schaltkreis auferlegt werden, wie ebenfalls oben beschrieben. In dem gezeigten

Beispiel werden die digitalen 8-Bit-Abtastungen mit einer Rate von 250 MSA/s aus dem Speicher **506** ausgelesen. Die Datenausgänge **532** und die Ausgangs-Unterbusse **508-1** bis **508-8** übermitteln die digitalen Abtastungen gemeinsam zu dem Ausgangspuffer **580** mit einer Rate von 250 MSA/s, und die Ausgangsport-Unterbusse **556-1** und **556-2** übermitteln die digitalen Abtastungen gemeinsam zu dem Ausgangsport mit einer Rate von 250 MSA/s. Die Raten, mit denen die digitalen Abtastungen aus dem Speicher **506** ausgelesen und zu dem Ausgangsport übermittelt werden, ist wesentlich kleiner als (1/80) die Abtastrate von 20 GSA/s des ADC **502**.

**[0108]** Es wird nun die Funktionsweise des Analog-Digital-Wandlungssystems **500** beschrieben. Jedes der Analog-Digital-Wandlermodule **502-1** bis **502-80** empfängt das analoge Eingangssignal über seinen analogen Eingang **520**. Jedes Analog-Digital-Wandlermodul reagiert auf eine Phase des über den Takteingang **524** empfangenen Mehrphasentaktsignals in der Weise, daß es digitale Abtastungen des analogen Eingangssignals mit einer Abtastrate von 1/80 der Abtastrate von 20 GSA/s des ADC **502** erzeugt. Die Phasen des Mehrphasentaktsignals, die in die Analog-Digital-Wandlermodule eingespeist werden, unterscheiden sich um  $2\pi/80$  Radiane. Die digitalen Abtastungen, die durch die Analog-Digital-Wandlermodule erzeugt werden, die benachbarte Phasen des Mehrphasentaktsignals empfangen, unterscheiden sich zeitlich um 50 Pikosekunden. Jedes Analog-Digital-Wandlermodul gibt die digitalen Abtastungen an seinem digitalen Ausgang **522** aus.

**[0109]** Die ADC-Unterbusse **570-1** bis **570-80** empfangen die digitalen 8-Bit-Abtastungen, die jeweils durch die ADC-Modulen **502-1** bis **502-80** erzeugt wurden. Gruppen von zehn benachbarten der ADC-Unterbusse laufen zu Eingangs-Unterbussen **504-1** bis **504-8** zusammen. Jeder der Eingangs-Unterbussen überträgt Gruppen von zehn digitalen Abtastungen (80 Bits) zu dem 80-Bit-Dateneingang **530** eines jeweiligen der Speichermodule **506-1** bis **506-8**. Der Schreibtakteingang **534** eines jeden der Speichermodule **506-1** bis **506-8** empfängt ein Schreibtaktsignal WC von einem der mit ihm verbundenen ADC-Module. Die Speichermodule empfangen außerdem das Lesetaktsignal RC über ihre Lesetakteingänge **536**.

**[0110]** Wenn das Schreibfreigabesignal WE aktiviert wird, so reagiert jedes der Speichermodule **506-1** bis **506-8** auf sein jeweiliges Schreibtaktsignal WC in der Weise, daß es die Gruppen von zehn digitalen Abtastungen, die an seinem Dateneingang **530** anliegen, in das Speichermodul einschreibt. Zum Beispiel kann jedes Speichermodul die Gruppen von zehn digitalen Abtastungen, die es nacheinander an seinem Dateneingang empfängt, in Speicherorte mit aufeinanderfolgenden Adressen speichern.

**[0111]** Das Speichern der Gruppen von zehn digitalen Abtastungen, die über die Eingangs-Unterbusse **504-1** bis **504-8** empfangen werden, in den jeweiligen Speichermodulen **506-1** bis **506-8** wird fortgesetzt, solange das Schreibfreigabesignal WE aufgedrückt wird. Wie oben beschrieben, stoppt – in einem Betriebsmodus – das Speichern der Gruppen von digitalen Abtastungen, wenn eine gewünschte Anzahl von Gruppen von Abtastungen, die kleiner ist als die Abtastgruppenkapazität des Speichers, im Speicher **506** gespeichert wurde oder wenn der Speicher voll ist. In einem anderen Betriebsmodus speichert jedes Speichermodul kontinuierlich die zuletzt empfangenen Gruppen von zehn digitalen Abtastungen, wobei L die Abtastgruppenkapazität des Speichermoduls ist.

**[0112]** Nachdem die Gruppen von digitalen Abtastungen im Speicher **506** gespeichert wurden und das Schreibfreigabesignal WE deaktiviert wurde, können die Gruppen von zehn digitalen Abtastungen aus dem Speicher ausgelesen werden. Die Zehnergruppen von digitalen Abtastungen werden aus jedem der Speichermodule **506-1** bis **506-8** in der zeitlichen Reihenfolge ausgelesen, in der sie gespeichert wurden. Die digitalen Abtastungen werden aus allen Speichermodulen gleichzeitig ausgelesen.

**[0113]** Die Speichermodule **506-1** bis **506-8** reagieren auf das Lesefreigabesignal RE und das Lesetakt-signal RC in der Weise, daß sie die darin gespeicherten Gruppen von zehn digitalen Abtastungen an ihren Datenausgängen **532** ausgeben. Die Ausgangs-Unterbusse **508-1** bis **508-8** übermitteln die Gruppen von zehn digitalen Abtastungen parallel zu dem Ausgangspuffer **580**. In jeder Periode des 6,25 MHz-Lesetakt-signals übermitteln die Unterbusse gemeinsam 800 digitale Abtastungen zu den Dateneingängen **582** des Ausgangspuffers.

**[0114]** Der Ausgangspuffer **580** reagiert auf das 250 MHz-Haupttakt-signal MC in der Weise, daß er die digitalen Abtastungen, die er parallel an seinen Dateneingängen **582** empfängt, zu parallelen Paaren digitaler Abtastungen in zeitlicher Reihenfolge umordnet. Der Ausgangspuffer gibt die digitalen Abtastungen in jedem Paar an seinen Datenausgängen **584** aus. Die Rate, mit der die Paare digitaler Abtastungen ausgegeben werden, beträgt 125 MHz. Somit werden individuelle digitale Abtastungen mit einer Rate von 250 MHz zu dem Ausgangsport übermittelt.

**[0115]** Die Ausgangsport-Unterbusse **556-1** und **556-2** übermitteln die Paare digitaler Abtastungen von den Datenausgängen **586** des Ausgangspuffers **580** zum Ausgangsport **510**. Die Datenrate, mit der die digitalen Abtastungen zu dem Ausgangsport übermittelt werden, ist wesentlich kleiner als die Abtast-rate des ADC **502**. Die Rate, mit der jeder Strom der digitalen Abtastungen zu dem Ausgangsport

übermittelt wird, beträgt 125 MHz – eine Rate, mit der ein digitales Signal, das eine hohe Signalintegrität hat, problemlos an den Gehäusepins, die einen Teil des Ausgangsports bilden, ausgegeben werden kann. Diese Rate entspricht auch den Datenratenanforderungen vieler Typen von nachgeordneten Schaltungen.

**[0116]** In dem soeben beschriebenen Analog-Digital-Wandlungssystem **500** speichert ein Beispiel, in dem jedes der Speichermodule **506-1** bis **506-8** aus 125 Kilobyte statischem Direktzugriffsspeicher (SRAM) besteht, ein Ereignis mit einer maximalen Dauer von etwa 50 Mikrosekunden. Obgleich das für viele Anwendungen ausreichend ist, ist es manchmal wünschenswert, Ereignisse mit einer längeren maximalen Dauer zu speichern, ohne dafür die Größe und/oder die Anzahl der Speicherbausteine, die als die Speichermodule verwendet werden, zu erhöhen. Solche länger andauernden Ereignisse brauchen möglicherweise nicht die sehr hohe zeitliche Auflösung, die durch die maximale Abtast-rate des oben beschriebenen Analog-Digital-Wandlungssystems ermöglicht wird. Analog-Digital-Wandlungssysteme sind in der Regel so konstruiert, daß sie mit einer bestimmten Abtast-rate arbeiten, und die Abtast-rate variabel zu gestalten, ist keine einfache Angelegenheit.

**[0117]** [Fig. 6](#) ist ein Blockschaubild einer sechsten Ausführungsform **600** eines Analog-Digital-Wandlungssystems gemäß der Erfindung, das die Option bietet, Ereignisse mit einer längeren Dauer zu erfassen. Das Beispiel des gezeigten Analog-Digital-Wandlungssystems **600** basiert auf dem in [Fig. 1](#) gezeigten Analog-Digital-Wandlungssystem **100**. Es ist offenbar, daß die Ausführungsformen des in den [Fig. 2-Fig. 5](#) gezeigten Analog-Digital-Wandlungssystems ähnlich modifiziert werden können. Elemente des Analog-Digital-Wandlungssystems **600**, die dem Analog-Digital-Wandlungssystem entsprechen, das oben mit Bezug auf [Fig. 1](#) beschrieben wurde, sind mit den gleichen Bezugszahlen bezeichnet und werden hier nicht noch einmal beschrieben.

**[0118]** In dem Analog-Digital-Wandlungssystem **600** besteht der Eingangsdatenbus **604** aus dem ADC-Unterbus **670**, dem Abtastprozessor **612** und dem Eingangs-Unterbus **604-1**. Der Abtastprozessor enthält einen Abtasteingang **614**, einen Abtastausgang **616**, einen Takteingang **618**, einen Takt-ausgang **626** und einen Steuereingang **628**. Der ADC **102**, der Eingangsdatenbus **604** einschließlich des Abtastprozessors **612**, der Speicher **106**, der Ausgangsdatenbus **108** und ein Teil des Ausgangsports **110** bilden wenigstens einen Teil eines Chips **612**.

**[0119]** Der ADC-Unterbus **670** erstreckt sich von dem digitalen Ausgang **122** des ADC **102** zu dem Abtasteingang **614** des Abtastprozessors **612** und besteht aus m Leitern. Der Eingangs-Unterbus **604-1**

erstreckt sich von dem Abtastausgang **616** des Abtastprozessors zu dem Dateneingang **130** des Speichers **106** und besteht aus  $p$  Leitern. In der Regel ist  $p = m$ . Jedoch kann der Abtastprozessor zusätzlich so arbeiten, daß er Gruppen von  $q$  digitalen  $m$ -Bit-Abtastungen zu jeweiligen Gruppen von digitalen  $p$ -Bit-Abtastungen zur Ausgabe an den Speicher kombiniert. In diesem Fall ist  $p = qm$ .

**[0120]** Das Haupttaktsignal MC ist außerdem mit dem Takteingang **618** des Abtastprozessors **612** verbunden. Der Taktausgang **626** ist mit dem Schreibtakeingang **134** des Speichers **106** verbunden. Der Steuereingang **628** ist so angeschlossen, daß er ein Steuersignal CTRL empfängt.

**[0121]** Die Leiter, die den ADC-Unterbus **670** und den Eingangs-Unterbus **604-1** bilden, sind kurz und erstrecken sich direkt über eine Oberfläche des Chips **612** von dem digitalen Ausgang **122** des ADC **102** zu dem Abtasteingang **614** des Abtastprozessors **612** und von dem Abtastausgang **616** des Abtastprozessors zu dem Dateneingang **130** des Speichers **106**. Der Abtastprozessor ist so strukturiert, daß er mit der höchsten Abtastrate arbeitet, die von dem ADC unterstützt wird. Dementsprechend sind der ADC-Unterbus, der Abtastprozessor und der Eingangs-Unterbus alle in der Lage, mit der höchsten Abtastrate zu arbeiten, die von dem ADC unterstützt wird.

**[0122]** Der Abtastprozessor **612** verarbeitet die digitalen Abtastungen, die er vom ADC **102** empfangen hat, so, daß die Rate, mit der digitale Abtastungen zum Speicher **106** übertragen werden, verringert wird, wodurch die maximale Dauer eines Ereignisses, das in dem Speicher gespeichert werden kann, verlängert wird. Der Abtastprozessor kann die Rate, mit der die digitalen Abtastungen zu dem Speicher übertragen werden, auf mehreren verschiedenen Wegen verringern. Der Abtastprozessor ist so strukturiert, daß er durch das Steuersignal CTRL zwischen einem ersten Zustand, in dem er die digitalen Abtastungen mit einer Rate gleich der Abtastrate des ADC **102** zu dem Speicher überträgt, und einem zweiten Zustand, in dem er digitale Abtastungen mit einer verringerten Rate zu dem Speicher überträgt, umgeschaltet werden kann. Der Abtastprozessor kann so strukturiert sein, daß er außerdem durch das Steuersignal in Zustände geschaltet werden kann, in denen er digitale Abtastungen mit jeweiligen unterschiedlichen verringerten Raten zu dem Speicher überträgt. Schließlich kann der Abtastprozessor so strukturiert sein, daß er außerdem durch das Steuersignal in Zustände geschaltet werden kann, in denen er die digitalen Abtastungen, die er vom ADC empfängt, in jeweiligen verschiedenen Weisen verarbeitet, bevor er die digitalen Abtastungen mit einer bestimmten verringerten Rate zu dem Speicher überträgt.

**[0123]** In dem gezeigten Beispiel ist der Abtastprozessor **612** außerdem so strukturiert, daß er das Schreibtaktsignal WC über den Taktausgang **626** in den Speicher **106** einspeist. Das Schreibtaktsignal hat eine Frequenz entsprechend der Rate, mit der der Abtastprozessor die digitalen Abtastungen zu dem Speicher überträgt. Je nach der Struktur des Speichers **106** kann das Schreibtaktsignal ein Einphasentaktsignal oder ein Mehrphasentaktsignal sein.

**[0124]** In einem ersten Beispiel der Funktionsweise des Abtastprozessors **612** hat das Analog-Digital-Wandlungssystem **600** seine maximale zeitliche Auflösung, und der Abtastprozessor überträgt jede digitale Abtastung, die er über den ADC-Unterbus **670** vom ADC **102** empfängt, über den Eingangs-Unterbus **604-1** zum Speicher **106**.

**[0125]** In einem zweiten Beispiel der Funktionsweise des Abtastprozessors **612** verlängert der Abtastprozessor die maximale Dauer eines Ereignisses, das im Speicher **106** gespeichert werden kann, indem er nur ausgewählte der digitalen Abtastungen, die er vom ADC **102** empfängt, zu dem Speicher überträgt. Zum Beispiel kann der Abtastprozessor die maximale Dauer eines Ereignisses, das im Speicher gespeichert werden kann, verdoppeln, indem er nur jede zweite der digitalen Abtastungen, die er vom ADC empfängt, zu dem Speicher überträgt. Die maximale Dauer kann verdreifacht, vervierfacht usw. werden, indem der Abtastprozessor nur eine von drei, eine von vier usw. der digitalen Abtastungen, die er vom ADC empfängt, zu dem Speicher überträgt. Alternativ kann der Abtastprozessor die maximale Dauer um einen Bruchbetrag verlängern, indem er nur  $r$  aller  $s$  digitalen Abtastungen, die er vom ADC empfängt, zu dem Speicher überträgt, wobei  $1 < r < s$ .

**[0126]** In einem dritten Beispiel der Funktionsweise des Abtastprozessors **612** verlängert der Abtastprozessor die maximale Dauer eines Ereignisses, das im Speicher **106** gespeichert werden kann, durch Ausführen arithmetischer Operationen an den digitalen Abtastungen in jedes Block von  $S$  digitalen Abtastungen, die er vom ADC **102** empfängt. Die arithmetischen Operationen berechnen eine oder mehrere berechnete digitale Abtastungen, wie zum Beispiel einen Mittelwert, einen Durchschnittswert, einen RMS-Wert, einen Medianwert, einen größten Wert, einen kleinsten Wert oder einen sonstigen Wert der digitalen Abtastungen in dem Block. Der Abtastprozessor überträgt dann einen, ausgewählte oder alle der berechneten digitalen Abtastungen – anstelle aller digitalen Abtastungen in dem Block – zu dem Speicher.

**[0127]** In dem dritten Beispiel, das oben beschrieben wurde, richtet sich die Verlängerung der maximalen Dauer eines Ereignisses, das im Speicher **106**

gespeichert werden kann, nach der Anzahl  $S$  der digitalen Abtastungen in jedem Block und richtet sich umgekehrt nach der Anzahl der digitalen Abtastungen, die zu dem Speicher übertragen wurden, anstelle aller digitalen Abtastungen in dem Block. Die Wahl der digitalen Abtastungen, die für die Übertragung zu dem Speicher – anstelle aller digitalen Abtastungen in dem Block – berechnet werden, richtet sich zum Teil nach der Messung, die unter Verwendung der digitalen Abtastungen vorgenommen werden soll. In einem Beispiel, in dem der größte Wert und der kleinste Wert des analogen Eingangssignals gemessen werden sollen, werden digitale Abtastungen, die jeweils den maximalen Wert und den kleinsten Wert der digitalen Abtastungen in dem Block haben, berechnet und werden – anstelle aller digitalen Abtastungen in dem Block – zu dem Speicher übertragen.

[0128] In einer praktischen Ausführungsform des Analog-Digital-Wandlungssystems **600** wurde der Abtastprozessor **612** unter Verwendung eines digitalen Signalprozessors implementiert. Der Abtastprozessor kann auch in anderen Typen programmierbarer oder nichtprogrammierbarer Schaltkreise, die mit der Abtastrate des ADC **102** arbeiten können, implementiert werden.

[0129] [Fig. 7A](#) ist ein Flußdiagramm, das eine erste Ausführungsform **700** eines Verfahrens gemäß der Erfindung zum digitalen Abtasten eines analogen Eingangssignals veranschaulicht.

[0130] In Block **702** wird ein Speicher bereitgestellt.

[0131] In Block **704** wird das analoge Eingangssignal digital mit einer Abtastrate abgetastet, um digitale Abtastungen zu erzeugen.

[0132] In Block **706** werden die digitalen Abtastungen in dem Speicher mit der Abtastrate gespeichert.

[0133] In Block **708** werden die digitalen Abtastungen aus dem Speicher mit einer Rate ausgelesen, die kleiner ist als die Abtastrate.

[0134] [Fig. 7B-Fig. 7H](#) sind Flußdiagramme, die weitere Ausführungsformen des Verfahrens gemäß der Erfindung veranschaulichen. Die weiteren Ausführungsformen sind Varianten der ersten Ausführungsform, die in [Fig. 7A](#) gezeigt ist.

[0135] [Fig. 7B](#) zeigt eine zweite Ausführungsform **710** des Verfahrens. In Block **702** wird der Speicher aus Speichermodulen zusammengesetzt. In Block **706** werden die digitalen Abtastungen unter den Speichermodulen verteilt, bevor sie gespeichert werden. Dadurch können Speicherbausteine, die langsamer als die Abtastrate arbeiten, gemeinsam zum Speichern der digitalen Abtastungen, die mit der Abtastrate erzeugt wurden, verwendet werden.

[0136] [Fig. 7C](#) zeigt eine dritte Ausführungsform **720** des Verfahrens. In Block **702** wird der Speicher aus Speichermodulen zusammengesetzt. In Block **704** werden die digitalen Abtastungen in Abtastströmen mit einer gemeinsamen Rate, die gleich der Abtastrate ist, ausgegeben. Dann werden – in Block **706** – die digitalen Abtastungen in jedem der Abtastströme in einem jeweiligen der Speichermodule gespeichert.

[0137] [Fig. 7D](#) zeigt eine vierte Ausführungsform **730** des Verfahrens. In Block **702** wird der Speicher aus Speichermodulen zusammengesetzt. In Block **704** werden die digitalen Abtastungen in Abtastströmen mit einer gemeinsamen Rate, die gleich der Abtastrate ist, ausgegeben. Dann werden – in Block **706** – die digitalen Abtastungen in mehreren, zum Beispiel zwei oder mehr, der Abtastströme in einem jeweiligen der Speichermodule gespeichert.

[0138] [Fig. 7E](#) zeigt eine fünfte Ausführungsform **740** des Verfahrens. In Block **708** werden die digitalen Abtastungen aus dem Speicher in der Reihenfolge ausgelesen, in der sie in dem Speicher gespeichert wurden.

[0139] [Fig. 7F](#) zeigt eine sechste Ausführungsform **750** des Verfahrens. In Block **702** wird der Speicher aus Speichermodulen zusammengesetzt. In Block **708** werden mehrere der digitalen Abtastungen aus einem der Speichermodule ausgelesen, bevor die digitalen Abtastungen aus einem anderen der Speichermodule ausgelesen werden. Die mehreren der ausgelesenen digitalen Abtastungen können von einer Teilmenge der digitalen Abtastungen, die in dem Speichermodul gespeichert sind, bis zu allen digitalen Abtastungen, die in dem Speichermodul gespeichert sind, reichen.

[0140] [Fig. 7G](#) zeigt eine siebente Ausführungsform **760** des Verfahrens. In Block **702** wird der Speicher aus Speichermodulen zusammengesetzt. In Block **708** werden die digitalen Abtastungen aus wenigstens zwei der Speichermodule parallel ausgelesen.

[0141] [Fig. 7H](#) zeigt eine achte Ausführungsform **770** des Verfahrens. In Block **710** wird die Rate, mit der die digitalen Abtastungen zu dem Speicher übertragen werden, relativ zu der Abtastrate verringert. Dann werden in Block **706** die digitalen Abtastungen mit der verringerten Rate in dem Speicher gespeichert. Die Rate, mit der digitale Abtastungen zu dem Speicher übertragen werden, kann verringert werden, indem ausgewählte der digitalen Abtastungen, die durch das digitale Abtasten erzeugt werden, anstelle aller digitalen Abtastungen, die durch das digitale Abtasten erzeugt werden, zu dem Speicher übertragen werden. Außerdem oder alternativ kann die Rate, mit der digitale Abtastungen zu dem Speicher übertragen werden, verringert werden, indem be-

rechnete digitale Abtastungen von den digitalen Abtastungen, die durch das digitale Abtasten erzeugt werden, berechnet werden und die berechneten digitalen Abtastungen – anstelle aller digitalen Abtastungen, die durch das digitale Abtasten erzeugt werden – zu dem Speicher übertragen werden.

### Patentansprüche

1. Analog-Digital-Wandlungssystem (**100**), das folgendes umfaßt:  
ein Package, das einen oder mehrere Ausgangspins umfaßt,  
einen Integrierte-Schaltungs-Chip (**112**), der in dem Package montiert ist, wobei die integrierte Schaltung Schaltungen verkörpert, die folgendes umfassen:  
einen Analog-Digital-Wandler (**102**), der einen digitalen Ausgang (**122**) umfaßt, wobei der Analog-Digital-Wandler strukturiert ist, um digitale Sample mit einer Abtastrate zu erzeugen,  
einen Speicher (**106**), der einen Dateneingang (**130**) und einen Datenausgang (**132**) hat,  
einen Ausgangsport (**110**), der mit dem Datenausgang (**132**) und den Ausgangspins verbunden ist, wobei der Ausgangsport (**110**) strukturiert ist, um mit einer maximalen Datenrate zu arbeiten,  
einen chip-internen Eingangsdatenbus (**104**), der sich direkt über eine Oberfläche des Integrierte-Schaltungs-Chips (**112**) von dem digitalen Ausgang des Analog-Digital-Wandlers zu dem Dateneingang des Speichers erstreckt und strukturiert ist, um bei der Abtastrate zu arbeiten, und  
einen Ausgangsdatenbus (**108**), der sich von dem Datenausgang des Speichers zum Ausgangsport erstreckt, wobei die maximale Datenrate geringer ist, als die Abtastrate.

2. Analog-Digital-Wandlungssystem nach Anspruch 1, bei dem der Speicher (**206**) Speichermodul (z.B. **206-1**) umfaßt, wobei ein jedes Speichermodul einen Dateneingang (**230**) und einen Datenausgang (**232**) hat, und bei dem der Eingangsdatenbus (**304**) sich von dem digitalen Ausgang des Analog-Digital-Wandlers zum Dateneingang eines jeden Speichermoduls erstreckt.

3. Analog-Digital-Wandlungssystem nach Anspruch 2, bei dem der Eingangsdatenbus folgendes umfaßt:  
mindestens einen ADC Unterbus (**370**), der sich von dem digitalen Ausgang des Analog-Digital-Wandlers erstreckt, und  
Eingangs-Unterbusse (z.B. **304-1**), die sich von dem mindestens einen ADC-Unterbus zu den Dateneingängen der einzelnen Speichermodule auffächern.

4. Analog-Digital-Wandlungssystem nach Anspruch 2, bei dem der Ausgangsdatenbus (**208**) Ausgangs-Unterbusse (z.B. **208-1**) umfaßt, die sich von den Datenausgängen der einzelnen Speichermodule

erstrecken.

5. Analog-Digital-Wandlungssystem nach Anspruch 4, bei dem sich ein jeder der Ausgangs-Unterbusse zu dem Ausgangsport (**210**) erstreckt.

6. Analog-Digital-Wandlungssystem nach Anspruch 4, bei dem der Ausgangsdatenbus (**208**) zusätzlich mindestens einen Ausgangsport-Unterbus (**256**) umfaßt, der sich zu dem Ausgangsport (**210**) erstreckt, und einzelne der Ausgangs-Unterbusse sich in den mindestens einen Ausgangsport-Unterbus einfächern.

7. Analog-Digital-Wandlungssystem nach Anspruch 4, bei dem der Ausgangsdatenbus (**208**) zusätzlich folgendes umfaßt:  
mindestens einen Ausgangsport-Unterbus (**256**), der sich zu dem Ausgangsport erstreckt, und einen Datenselektor, der zwischen den mindestens einen Ausgangsport-Unterbus und die Ausgangs-Unterbusse gesetzt ist.

8. Analog-Digital-Wandlungssystem nach Anspruch 2, bei dem der Analog-Digital-Wandler (**202**) Analog-Digital-Wandlermodule (z.B. **202-1**) umfaßt, die jeweils einen digitalen Ausgang (**222**) haben, und sich der Eingangsdatenbus (**208**) von den digitalen Ausgängen der Analog-Digital-Wandlermodule zu den Dateneingängen der Speichermodule erstreckt.

9. Analog-Digital-Wandlungssystem nach Anspruch 8, bei dem der Eingangsdatenbus (**204**) Eingangs-Unterbusse (z.B. **204-1**) umfaßt, die sich von den digitalen Ausgängen der Analog-Digital-Wandlermodule zu den Dateneingängen der Speichermodule erstrecken.

10. Analog-Digital-Wandlungssystem nach Anspruch 8, bei dem die Anzahl der Speichermodule (z.B. **406-1**) geringer als die Anzahl der Analog-Digital-Wandlermodule ist, und der Eingangsdatenbus (**404**) folgendes umfaßt:

ADC-Unterbusse (z.B. **470-1**), die sich von den digitalen Ausgängen der ADC-Module erstrecken, und  
Eingangs-Unterbusse (z.B. **404-1**), die sich von den Dateneingängen der Speichermodule erstrecken, wobei mehr als einer der ADC-Unterbusse in einen jeden der Eingangs-Unterbusse kombiniert sind, wobei die Eingangs-Unterbusse eine Breite (z.B. 2m) aufweisen, die gleich der Summe der Breiten (m) der ADC-Unterbusse ist, die in diese kombiniert werden.

11. Analog-Digital-Wandlungssystem nach Anspruch 8, bei dem sich der Ausgangsdatenbus (**208**) von den Ausgängen der Speichermodule zu dem Ausgangsport (**210**) erstreckt.

12. Analog-Digital-Wandlungssystem nach Anspruch 1, bei dem der Analog-Digital-Wandler (**202**)

Analog-Digital-Wandlermodule (z.B. **202-1**) umfaßt, die jeweils einen digitalen Ausgang (**222**) aufweisen, wobei sich der Eingangsdatenbus (**204**) von den digitalen Ausgängen der Analog-Digital-Wandlermodule zu dem Speicher (**206**) erstreckt.

13. Analog-Digital-Wandlungssystem nach Anspruch 1, bei dem der Speicher (**206**) Speichermodule (z.B. **206-1**) umfaßt, die jeweils einen Dateneingang (**230**) und einen Datenausgang (**232**) aufweisen, und der Ausgangsdatenbus (**208**) sich von den Ausgängen der Speichermodule zu dem Ausgangs- port (**210**) erstreckt.

14. Analog-Digital-Wandlungssystem nach Anspruch 1, bei dem der Eingangsdatenbus einen Abtastprozessor (**612**) umfaßt, der verbunden ist, um digitale Samples von dem Analog-Digital-Wandler unter der Abtastrate zu empfangen und strukturiert ist, um die Rate zu verringern, mit der digitale Samples in den Speicher geliefert werden.

15. Verfahren zum digitalen Abtasten eines analogen Eingangssignals in einem Analog-Digital-Wandlungssystem, wobei das System folgendes umfaßt:

ein Package, das einen oder mehrere Ausgangspins aufweist, und einen Integrierte-Schaltungs-Chip, der in dem Package montiert ist, wobei die integrierte Schaltung Schaltungen verkörpert, die einen Analog-Digital-Wandler umfassen, der einen digitalen Ausgang hat, einen Speicher, der einen Dateneingang und einen Datenausgang hat, und einen Ausgangs- port, der mit dem Datenausgang verbunden ist und die Ausgangspins umfaßt, wobei der Ausgangs- port strukturiert ist, um bei einer maximalen Datenrate zu arbeiten, wobei das Verfahren die folgenden Schritte umfaßt:

digitales Abtasten (**704**) eines analogen Signals unter Verwendung des Analog-Digital-Wandlers, wobei das Abtasten digitale Samples bei einer Abtastrate erzeugt, Transferieren der digitalen Samples mit der Abtastrate über einen chipinternen Eingangsdatenbus, der sich direkt über eine Oberfläche des Integrierte-Schaltungs-Chips von dem digitalen Ausgang des Analog-Digital-Wandlers zu dem Dateneingang des Speichers erstreckt, Speichern (**706**) der digitalen Samples in dem Speicher mit der Abtastrate und Auslesen der digitalen Samples mit einer Rate, die nicht größer als die maximale Datenrate ist, aus dem Speicher über den Ausgangs- port, wobei die maximale Datenrate geringer als die Abtastrate ist.

16. Verfahren nach Anspruch 15, bei dem der Speicher Speichermodule umfaßt.

17. Verfahren nach Anspruch 16, bei dem das Speichern (**706**) der digitalen Samples das Verteilen der digitalen Samples unter den Speichermodulen vor dem Speichern umfaßt.

18. Verfahren nach Anspruch 16, bei dem der Analog-Digital-Wandler die digitalen Samples in Sample-Strömen ausgibt, wobei die Sample-Ströme kollektiv eine Rate aufweisen, die gleich der Abtastrate ist, und das Speichern (**706**) der digitalen Samples das Speichern der digitalen Samples in einem jeden der Sample-Ströme in einem zugehörigen der Speichermodule umfaßt.

19. Verfahren nach Anspruch 16, bei dem der Analog-Digital-Wandler die digitalen Samples in Sample-Strömen ausgibt, wobei die Sample-Ströme kollektiv eine Rate aufweisen, die gleich der Abtastrate ist, und das Speichern (**706**) der digitalen Samples das Speichern der digitalen Samples aus einzelnen der mehreren Sample-Ströme in einem zugehörigen der Speichermodule umfaßt.

20. Verfahren nach Anspruch 16, bei dem das Auslesen (**708**) der digitalen Samples aus dem Speicher das Auslesen von mehreren der digitalen Samples aus einem Speichermodul umfaßt, bevor die digitalen Samples aus einem anderen der Speichermodule ausgelesen werden.

21. Verfahren nach Anspruch 16, bei dem das Auslesen (**708**) der digitalen Samples aus dem Speicher das parallele Auslesen der digitalen Samples aus mindestens zwei der Speichermodule umfaßt.

22. Verfahren nach Anspruch 16, bei dem das Auslesen (**708**) der digitalen Samples aus dem Speicher das Auslesen der digitalen Samples aus dem Speicher in der Reihenfolge umfaßt, in der sie gespeichert wurden.

23. Verfahren nach Anspruch 16, bei dem das Verfahren zusätzlich das Verringern (**710**) der Rate, mit der die digitalen Samples zum Speicher geliefert werden, gegenüber der Abtastrate umfaßt, und beim Speichern (**708**) der digitalen Samples in dem Speicher die digitalen Samples in dem Speicher mit der verringerten Rate gespeichert werden.

24. Verfahren nach Anspruch 23, bei dem das Verringern (**710**) der Rate, mit der die digitalen Samples zum Speicher geliefert werden, daß Liefern ausgewählter Samples unter den durch das digitale Abtasten erzeugten digitalen Samples zu dem Speicher umfaßt, anstelle sämtlicher digitaler Samples, die durch das digitale Abtasten erzeugt werden.

25. Verfahren nach Anspruch 23, bei dem das Verringern (**710**) der Rate, mit der die digitalen Samples zu dem Speicher geliefert werden, folgendes umfaßt:

Berechnen digitaler Samples aus den digitalen Samples, die durch das digitale Abtasten erzeugt wurden, und Liefern der berechneten digitalen Samples anstatt



sämtlicher durch das digitale Abtasten erzeugter  
Samples zum Speicher.

Es folgen 7 Blatt Zeichnungen

## Anhängende Zeichnungen

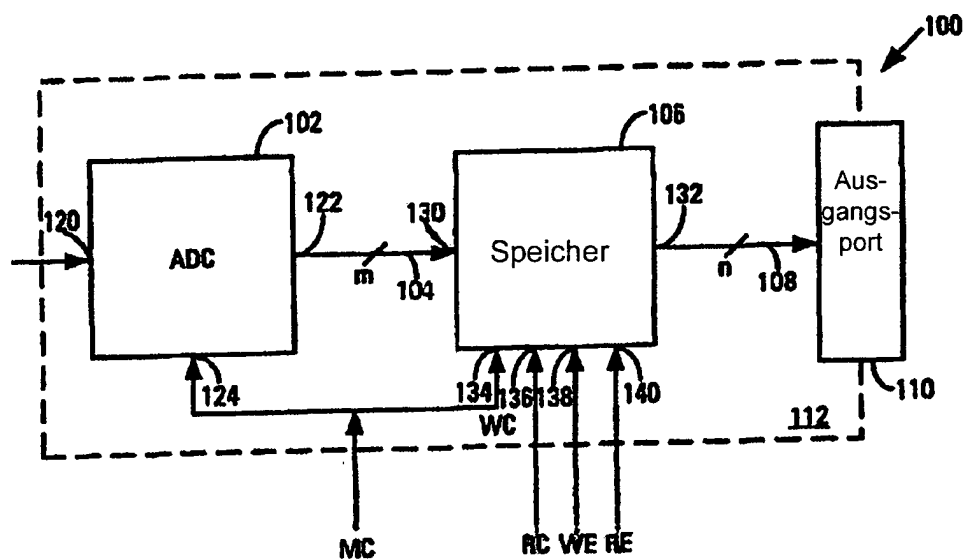


FIG. 1

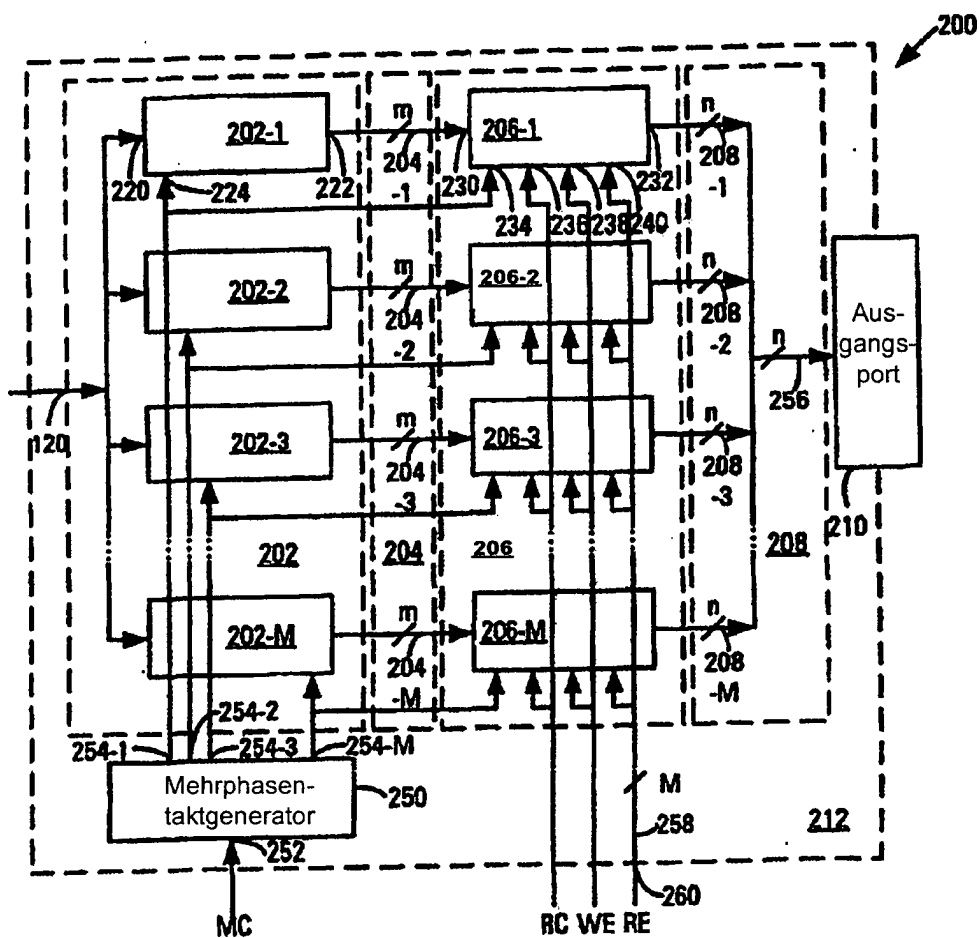


FIG. 2

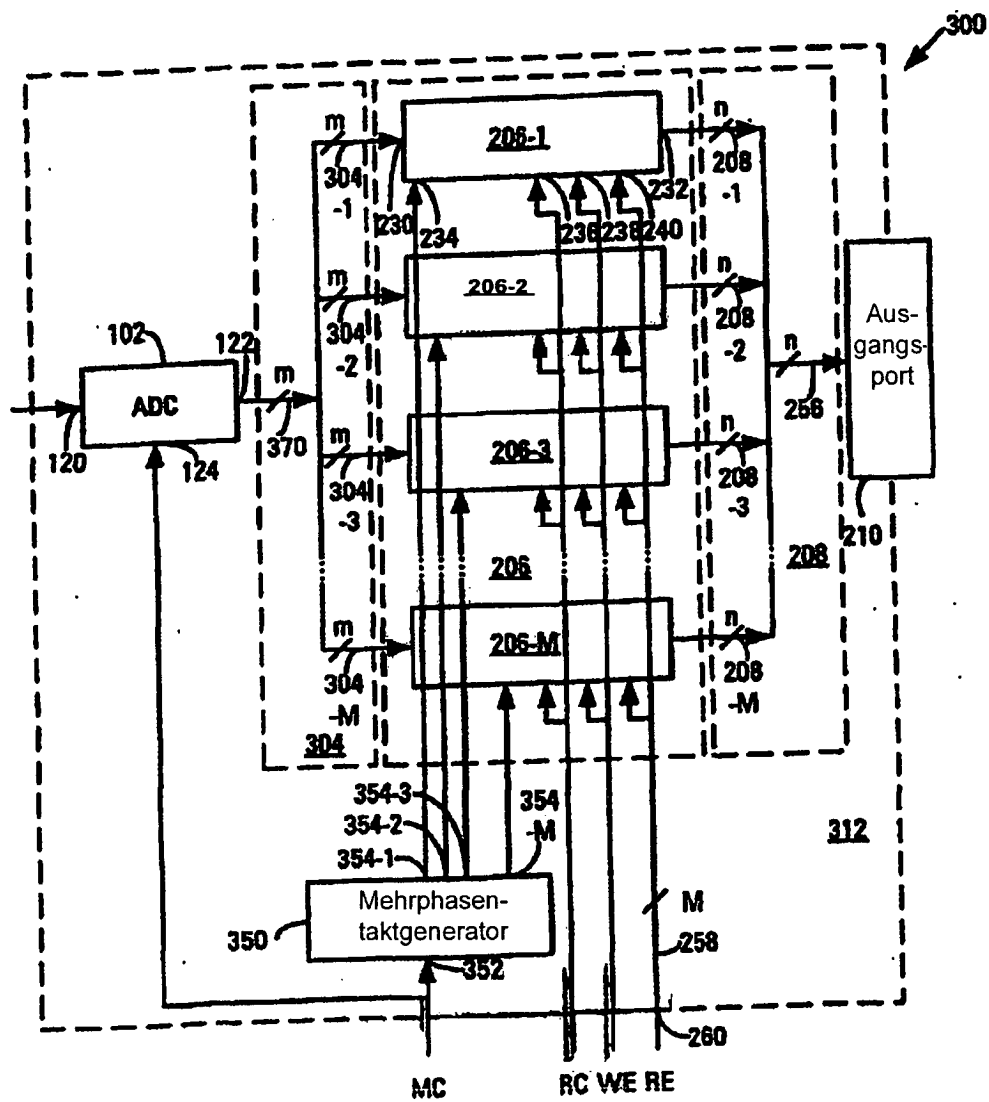


FIG.3

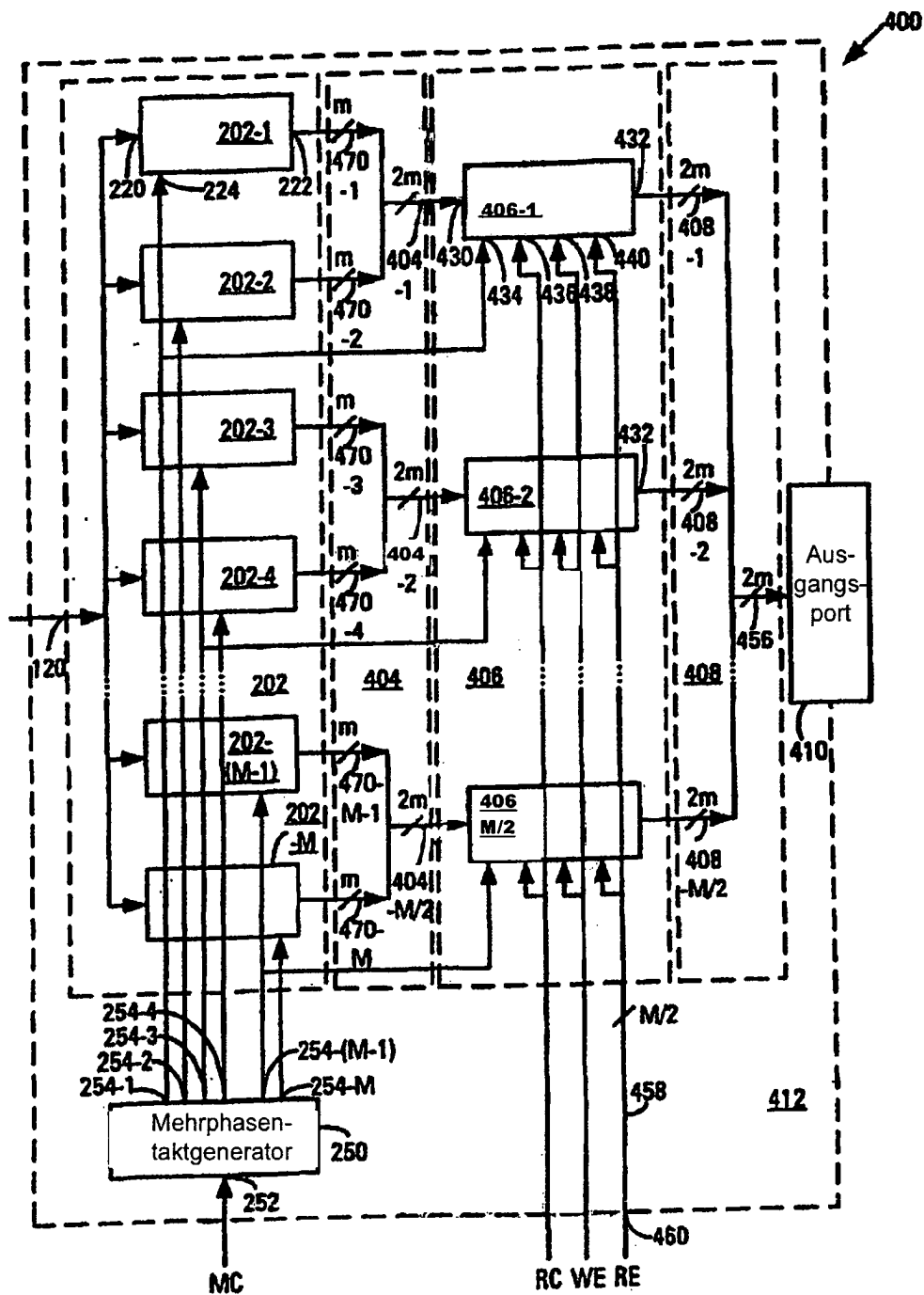


FIG.4

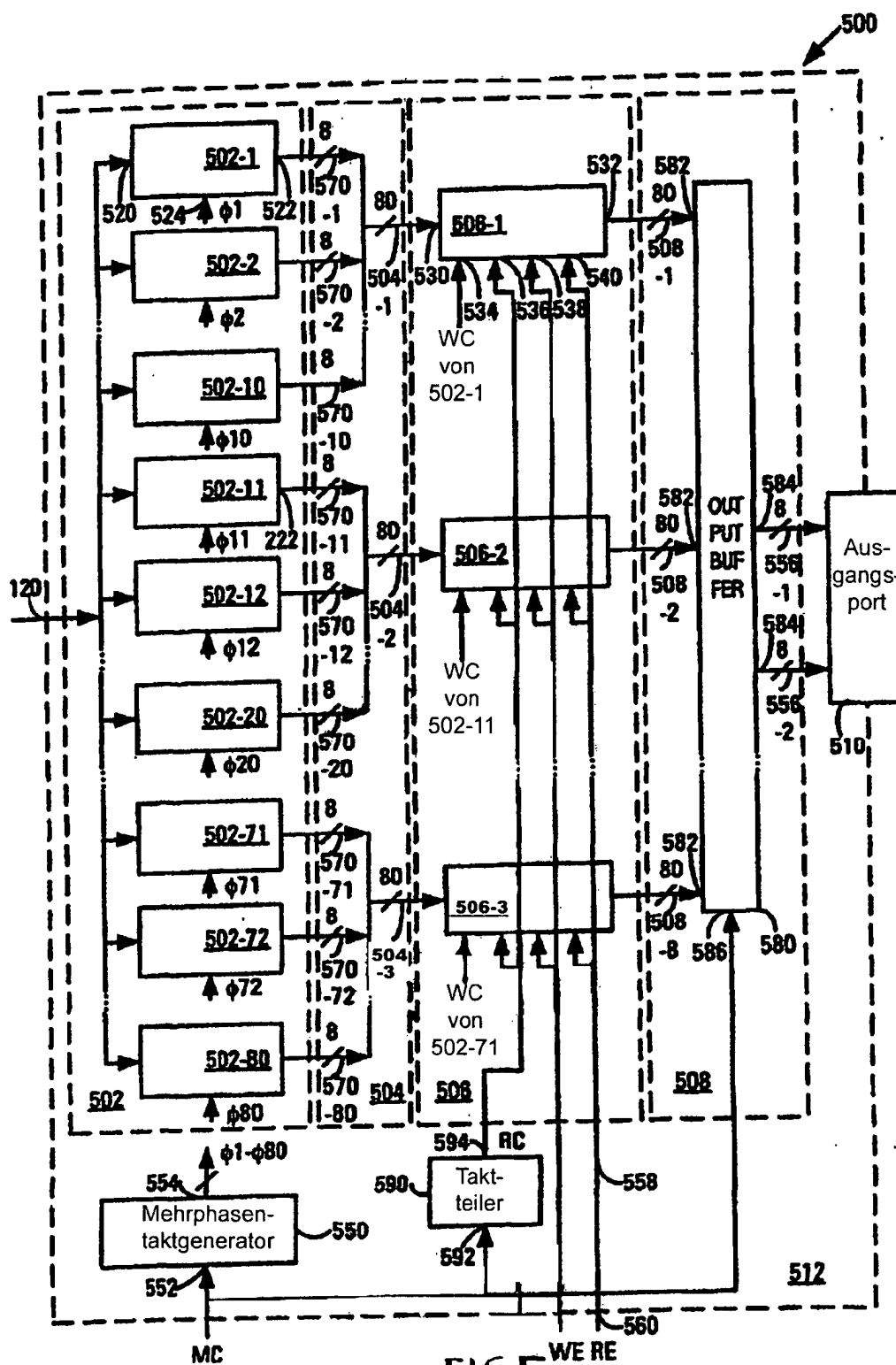


FIG 5

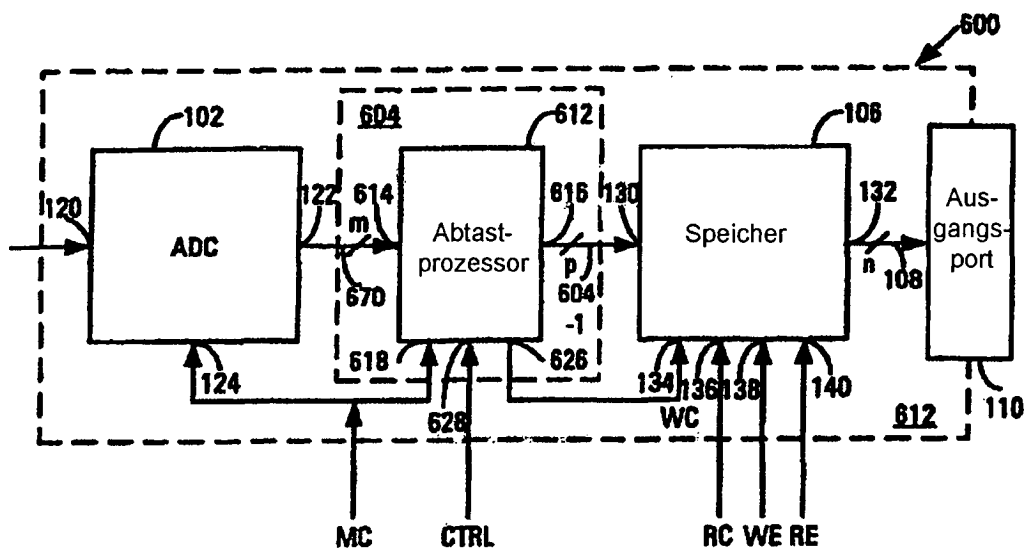


FIG.6



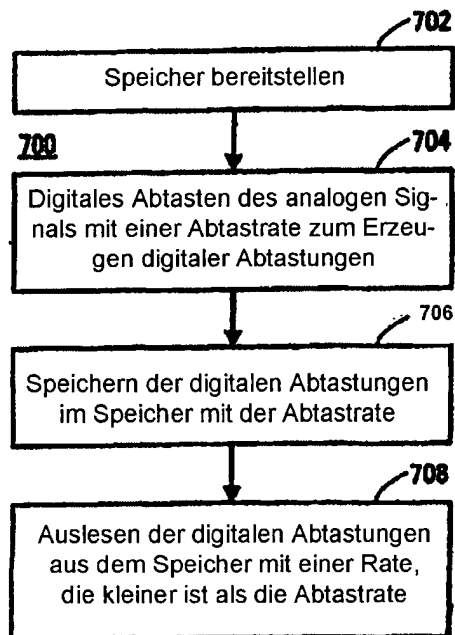


FIG.7A

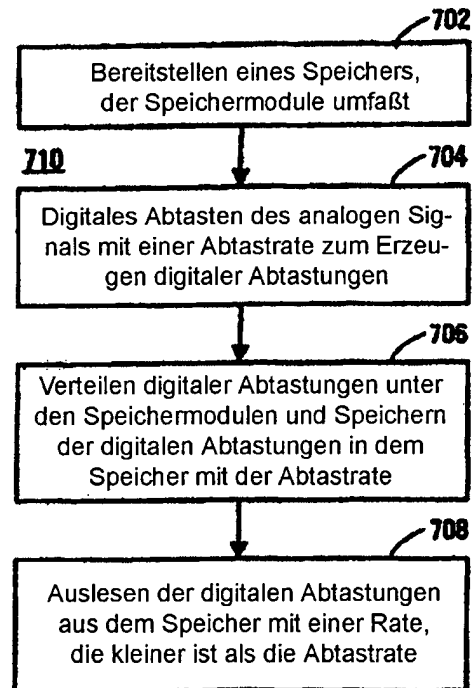


FIG.7B

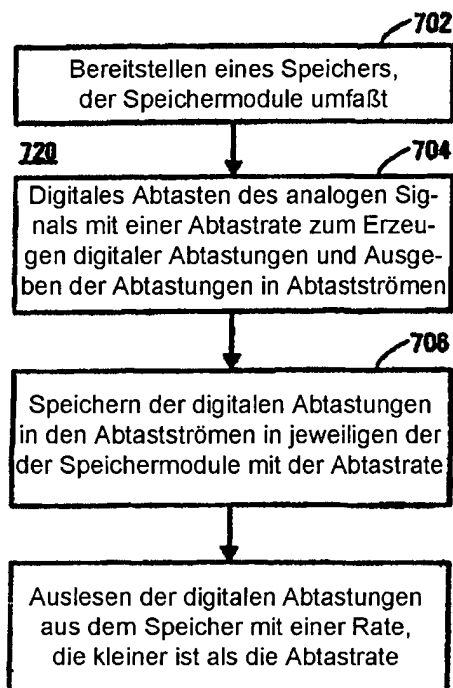


FIG.7C

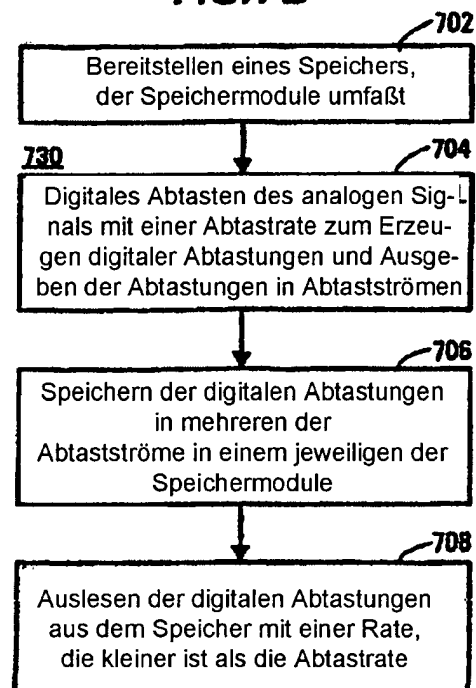


FIG.7D

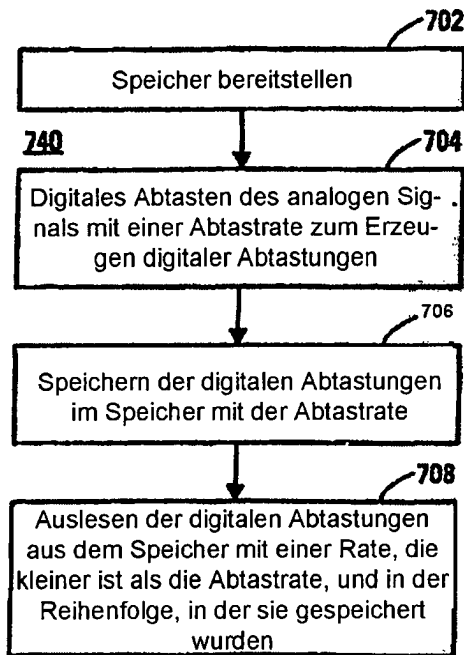


FIG. 7E

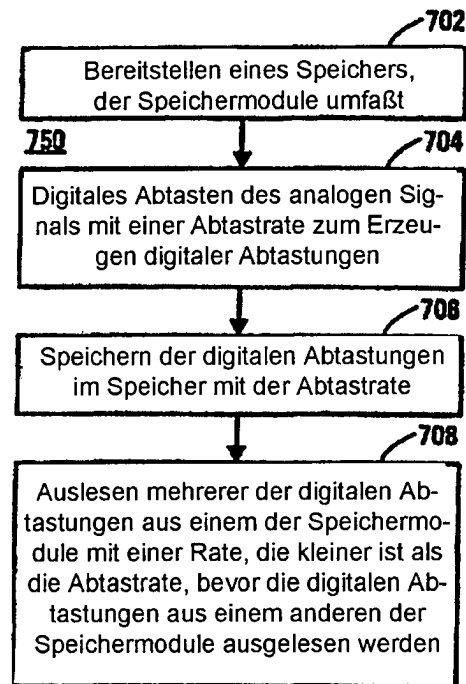


FIG. 7F

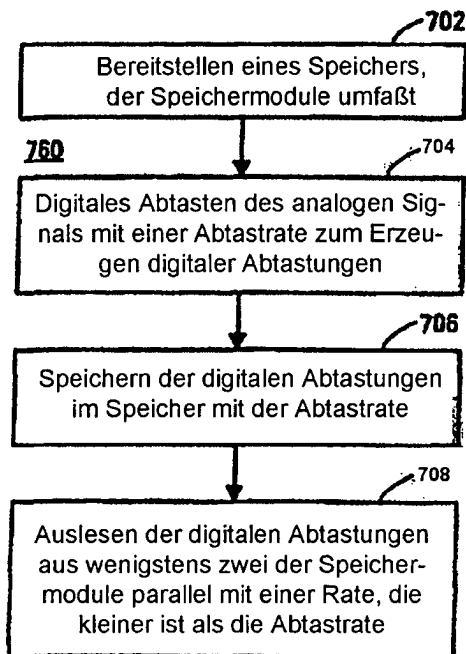


FIG. 7G

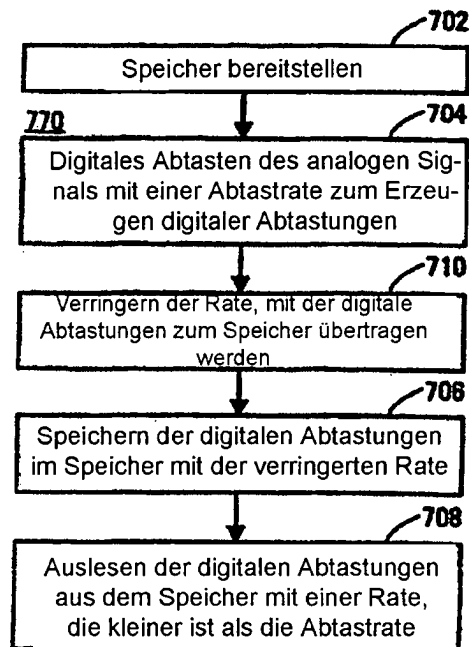


FIG. 7H