



(21) 申請案號：101117762

(22) 申請日：中華民國 101 (2012) 年 05 月 18 日

(51) Int. Cl. : H03M13/27 (2006.01)

(30) 優先權：2011/05/18 歐洲專利局 11004126.6

(71) 申請人：松下電器產業股份有限公司 (日本) PANASONIC CORPORATION (JP)
日本

(72) 發明人：皮特洛夫 米海爾 PETROV, MIHAIL (RO)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

US	7830957B2	US	2009/0158296A1
US	2010/0275100A1	WO	03/052997A2

審查人員：王紋星

申請專利範圍項數：4 項 圖式數：29 共 80 頁

(54) 名稱

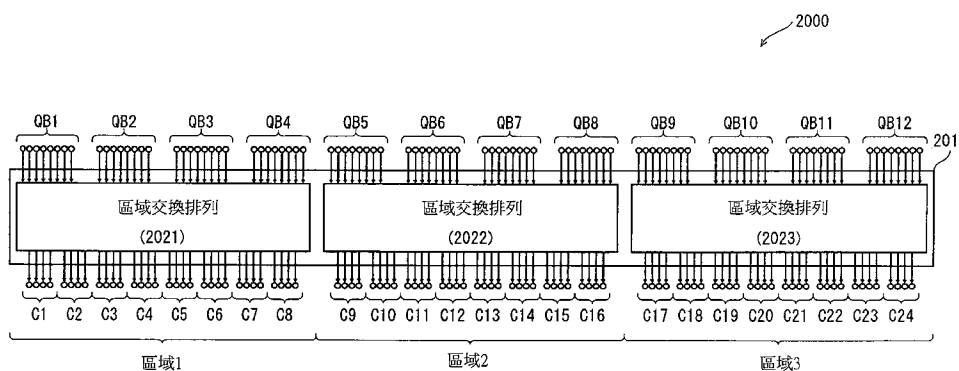
平行位元交錯器、平行位元交錯方法、訊號處理裝置、及訊號處理方法 (一)

PARALLELIZABLE BIT INTERLEAVER, PARALLELIZABLE BIT INTERLEAVING METHOD, SIGNAL PROCESSING DEVICE, SIGNAL PROCESSING METHOD

(57) 摘要

位元交錯方法是對 N 個由 Q 位元之循環區塊所構成之 QC LDPC 碼字執行位元交換排列處理，且將經處理後之碼字分割成各由 M 個位元所構成之複數叢集字之，碼字被分割成 N/M 個區域，各叢集字係與 N/M 個區域中之任一個相關聯，而位元交換排列處理是使叢集字由相關聯之區域中之 M 個相異之循環區塊中各 1 位元所構成。

指定代表圖：



第 20 圖

符號簡單說明：

2000 . . . 位元交錯器

2010 . . . 位元交換排列單元

2021 . . . 區域交換排列單元

2022 . . . 區域交換排列單元

2023 . . . 區域交換排列單元

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101117762

※ 申請日：101.5.18

※ IPC 分類：H03M 13/27 (2006.01)

一、發明名稱：(中文/英文)

平行位元交錯器、平行位元交錯方法、訊號處理裝置、及訊號處理方法(一)

PARALLELIZABLE BIT INTERLEAVER, PARALLELIZABLE BIT INTERLEAVING METHOD, SIGNAL PROCESSING DEVICE, SIGNAL PROCESSING METHOD

二、中文發明摘要：

位元交錯方法是對N個由Q位元之循環區塊所構成之QC LDPC碼字執行位元交換排列處理，且將經處理後之碼字分割成各由M個位元所構成之複數叢集字之，碼字被分割成N/M個區域，各叢集字係與N/M個區域中之任一個相關聯，而位元交換排列處理是使叢集字由相關聯之區域中之M個相異之循環區塊中各1位元所構成。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (20) 圖。

(二)本代表圖之元件符號簡單說明：

2000…位元交錯器

2010…位元交換排列單元

2021…區域交換排列單元

2022…區域交換排列單元

2023…區域交換排列單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

發明之技術領域

本發明是有關於數位通訊領域，更詳細而言，是有關於利用類循環低密度同位檢查碼之位元交錯編碼調變系統用之位元交錯器。

【先前技術】

背景技術

近年，在數位通訊領域中，使用位元交錯編碼調變 (bit-interleaved Coding and modulation：BICM)系統(例如，參見非專利文獻1)。

BICM系統一般來說進行如下之3個步驟。

(1)例如利用類循環低密度同位檢查 (quasi-CyCliC low-density parity CheCk：QC LDPC)編碼，將資料區塊編碼成為碼字。

(2)對碼字之位元進行位元交錯。

(3)將經位元交錯之碼字分割成由叢集之位元數所構成之叢集字，並令叢集字對映叢集。

先行技術文獻

非特許文獻

非專利文獻1：ETSI EN 302 755 V1.2.1(DVB-T2規格)

【發明內容】

發明之概要

發明欲解決之問題

一般來說，希望對類循環低密度同位檢查碼之碼字進行之交錯更有效率。

本發明之目的是提供一種交錯方法，以使對類循環低密度同位檢查碼之碼字進行之交錯更有效率。

解決問題之手段

為達成上述目的，本發明之位元交錯方法，係利用類循環低密度同位檢查碼之通訊系統中之位元交錯方法，前述位元交錯方法，包含：接收步驟，係可接收由分別以 Q 個位元所組成之 N 個循環區塊所構成之前述類循環低密度同位檢查碼之碼字者；位元交換排列步驟，係對前述碼字之位元實施置換該碼字之位元之排列順序的位元交換排列處理者；及分割步驟，係將前述位元交換排列處理實施後之前述碼字分割成複數之叢集字，該複數之叢集字係分別由 M 個位元組成且分別顯示 $2M$ 個預定叢集點中之任一個者；前述位元交換排列處理實施前之前述碼字被分割成 N/M 個區域，各前述區域由 M 個前述循環區塊所組成，且各前述叢集字與 N/M 個前述區域中之任一個相關聯，前述位元交換排列步驟進行前述位元交換排列處理，使各前述叢集字為由相關聯之前述區域中之 M 個相異之前述循環區塊中之個別一個位元所形成之共計 M 個位元所構成者，且使各前述區域之全部位元只對映關聯於該區域之 Q 個前述叢集字。字字字字字

發明之效果

依本發明之位元交錯方法，可使對類循環低密度同位

檢查碼之碼字執行之交錯更有效率。

圖式簡單說明

第1圖係顯示一般的之BICM編碼器所包含之傳送器之構成之塊狀圖。

第2圖係顯示編碼率為 $1/2$ 之類循環低密度同位檢查(quasi-CyCliC low-density parity CheCk : QC LDPC)編碼之同位檢查矩陣之一例之圖。

第3圖係顯示編碼率為 $2/3$ 之重覆累加類循環低密度同位檢查(repeat-aCCumulate quasi-CyCliC low-density parity CheCk : RA QC LDPC)編碼之同位檢查矩陣之一例之圖。

第4圖係顯示行交換排列後之第3圖之RA QC LDPC編碼之同位檢查矩陣之圖。

第5圖係顯示行交換排列及同位交換排列後之第3圖之RA QC LDPC編碼之同位檢查矩陣之圖。

第6圖係說明8PAM編碼中編碼後之位元具有相異強健性水準之圖。

第7圖係顯示對應循環係數 $Q=8$ 、1個低密度同位檢查碼字之循環區塊數 $N=12$ 、1個叢集之位元數 $M=4$ 之通常位元交錯器構成之塊狀圖。

第8(a)圖係顯示DVB-T2規格中利用之DVB-T2調變器之構成之塊狀圖。

第8(b)圖係顯示第8(a)圖中所示之DVB-T2調變器之BICM編碼器構成之塊狀圖。

第9(a)圖係顯示由12列之行-列交錯器所進行之16K編

碼(LDPC碼字長為16200位元之LDPC編碼)之碼字之位元之寫入處理之圖。

第9(b)圖係顯示對第9(a)圖中由行-列交錯器所寫入之碼字進行讀出處理之圖。

第10(a)圖係顯示由8列之行-列交錯器所進行之16K編碼之碼字之位元之寫入處理之圖。

第10(b)圖係顯示第10(a)圖中由行-列交錯器所寫入之碼字之位元進行行讀出處理之圖。

第11圖係顯示以DVB-T2規格為準之16QAM中16K編碼用之位元-胞多工解訊器之構成之塊狀圖。

第12圖係顯示以DVB-T2規格為準之64QAM中16K編碼用之位元-胞多工解訊器之構成之塊狀圖。

第13圖係顯示以DVB-T2規格為準之256QAM中16K編碼用之位元-胞多工解訊器之構成之塊狀圖。

第14圖係顯示8列之DVB-T2位元交錯器中對於16K編碼時可能發生問題之圖。

第15圖係顯示12列之DVB-T2位元交錯器中對於16K編碼時可能發生問題之圖。

第16圖係顯示8列之DVB-T2位元交錯器中對16K編碼適用列扭曲處理時可能發生問題之圖。

第17圖係顯示12列之DVB-T2位元交錯器中對16K編碼適用列扭曲處理時可能發生問題之圖。

第18(a)圖係說明發明者積極研究後所發現之可提供具高效率之交錯器之第1個條件之圖。

第18(b)圖係說明發明者積極研究後所發現之可提供具高效率之交錯器之第2個條件之圖。

第19圖係顯示本發明之一實施形態之交錯器之對映機能之圖。

第20圖係顯示本發明之一實施形態之交錯器之構成之塊狀圖。

第21(a)圖係顯示實施第20圖之區域交換排列之區域交換排列單元之一構成例之塊狀圖。

第21(b)圖係顯示第21(a)圖之區域交換排列單元所進行之對映機能之圖。

第22(a)圖係顯示實施第20圖之區域交換排列之區域交換排列單元之其他構成例之塊狀圖。

第22(b)圖係顯示第22(a)圖之區域交換排列單元所進行之對映機能之圖。

第23圖係顯示本發明之其他實施形態之交錯器之構成之塊狀圖。

第24圖係顯示第23圖之位元交錯器之一構成例之塊狀圖。

第25圖係顯示本發明另一其他實施形態之傳送器之一構成例之塊狀圖。

第26圖係顯示本發明另一其他實施形態之BICM編碼器之一套用例塊狀圖。

第27圖係顯示具有本發明另一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

第28圖係顯示具有本發明另一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

第29圖係顯示本發明之又一其他實施形態之重覆BICM解碼器之一套用例之塊狀圖。

【實施方式】

《達成發明之經過》

第1圖是顯示包含有一般之位元交錯編碼調變(bit-interleaved Coding and modulation: BICM)編碼器之傳送器之構造之塊狀圖。第1圖所示之傳送器100具有輸入處理單元110、BICM編碼器(包含:低密度同位檢查(low-density parity CheCk: LDPC)編碼器120、位元交錯器130、叢集對映器140)、及調變器150。

輸入處理單元110將輸入位元串流轉換為預定長度之複數區塊。LDPC編碼器120利用LDPC編碼將區塊編碼成為碼字,再將碼字傳輸至位元交錯器130。位元交錯器130對LDPC碼字進行交錯處理,在進行交錯處理之後,分割為胞字(叢集字)之列。叢集對映器140將各胞字(叢集字)對映至叢集(例如QAM)之列。作為輸出端之一般之調變器150則包含自BICM編碼器之輸出至RF(Radio FrequenCy)電力增幅器為止之全部處理區塊。

LDPC編碼是由同位檢查行列(Parity-CheCk Matrix: PCM)所完全定義之線性錯誤修正碼。PCM是2元之稀疏矩陣,表示碼字位元(又稱為變數節點)與同位檢查(又稱為檢查節點)之連結(ConneCtion)。PCM之列及行,分別對應變

數節點及檢查節點。變數節點與檢查節點之結合，在PCM之中以「1」之要素來表示。

LDPC編碼中，存在有被稱為類循環低密度同位檢查(quasi-CyCliC lowdensityparity CheCk: QC LDPC)編碼之種類。QC LDPC編碼之構成特別適合套用於硬體。實際上，現今之規格多半是利用QC LDPC編碼。QC LDPC編碼之PCM是具有複數之循環矩陣之特殊構成。循環矩陣係指各行為其前一行之要素循環移位一次之正方矩陣，且重合之斜列(folded diagonal)存在有1個、2個或更多者。各循環矩陣之大小為 $Q \times Q$ 。在此之 Q 被稱為QC LDPC編碼之循環係數(CyCliC faCtor)。藉由如上述之類循環構造，可並列處理 Q 個檢查節點，因此，為了進行有效率之硬體套用，QC LDPC編碼是明顯有利之編碼。

第2圖是舉例顯示循環係數 $Q=8$ 之QC LDPC編碼之PCM之圖。又，第2圖及後述之第3~第5圖中，最小之1個四角形代表PCM之1個要素，其中塗黑之四角要素為「1」，而其他之要素為「0」。此PCM具有1個或2個重合斜列之循環矩陣。此QC LDPC編碼將 $8 \times 6=48$ 位元之區塊編碼成為 $8 \times 12=96$ 位元之碼字。因此，此QC LDPC編碼之編碼率為 $48/96=1/2$ 。碼字位元被分割為具有 Q 位元之複數區塊。循環係數 Q 位元之區塊在本說明書中稱為循環區塊(或循環群)。

QC LDPC編碼中存在被稱為有重覆累加類循環低密度同位檢查(repeat-aCCumulate quasi-CyCliC low-density

parity CheCk : RAQC LDPC)編碼之特殊種類。RA QCLDPC編碼被認知為容易編碼，被採用於多種規格(例如DVB-S2規格、DVB-T2規格、DVB-C2規格等第二世代DVB規格)中。PCM之右側對應同位位元，該部分中之「1」要素之配置為梯狀構造。第3圖中例示編碼率為 $2/3$ 之RA QC LDPC編碼之PCM。

又，DVB-T為Digital Video BroadCasting - Terrestrial之略稱，DVB-S2為Digital Video BroadCasting - SeCond Generation Satellite之略稱，DVB-T2是Digital Video BroadCasting - SeCond Generation Terrestrial之略稱，DVB-C2為Digital Video BroadCasting - SeCond Generation Cable之略稱。

藉由對第3圖所示之PCM進行置換此行之排列順序之簡單行交換排列，則如第4圖所示，成為除去同位部分之RA QC LDPC編碼之類循環構造。行交換排列只代表變更圖形上表現之意，完全並不影響編碼之定義。

藉由對第4圖所示進行行交換排列後之PCM之同位位元，進行置換位元之排列順序之適當交換排列，可使PCM之同位部分也具有類循環構造。此手法在本技術領域中為周知，在DVB-T2規格等中，使用同位交錯或同位交換排列等名稱。對第4圖所示之PCM進行同位交換排列可得之結果如第5圖所示。

通常，LDPC碼字中各位元之重要度各不同，而且叢集是隨著各位元其強健性水準(robust level)不同。將LDPC碼

字之位元直接，也就是不交錯即與對映叢集，並不能達到最佳性能。因此，令LDPC碼字之位元對映叢集之前，必須要交錯LDPC碼字之位元。

為達成此目的，如第1圖所示，LDPC編碼器120與叢集對映器141之間設有位元交錯器130。藉由用心設計位元交錯器130，可提高LDPC碼字之位元與藉由叢集來編碼後之位元間之關聯性，進而改善收訊性能。此性能通常是利用編碼錯誤率(Bit Error Rate：BER)來測定，此編碼錯誤率是SN比(Signal to Noise Ratio：SNR)之函數。

LDPC碼字中各位元之重要度相異之主要理由，是在於未必對全部之位元執行同樣次數之同位檢查。對碼字位元(變數節點)執行之同位檢查之次數(檢查節點之次數)越多，則重覆LDPC解碼處理中碼字位元之重要度越高。另一個理由是LDPC編碼之泰勒圖(Tanner Graph)表現中相對於循環之連結性(Connectivity)因變數節點而異。因此，即便對碼字位元執行同樣次數之同位檢查，碼字位元之重要度仍有相異之可能性。這些見解都是本技術領域中周知的。原則來說，與變數節點連結之檢查節點之數量多，將增加該變數節點之重要度。

特別是QC LDPC編碼時，Q位元之循環區塊中包含之全部位元皆經過同樣次數之同位檢查，泰勒圖中對於循環之連結性相同，因此具有同樣之重要度。

同樣地，叢集中經編碼之位元之強健性水準相異亦是周知之事實。例如複素直交振幅調變(quadrature amplitude

modulation：QAM)叢集是由2個分別獨立之脈波振幅調變 (pulse amplitude modulation：PAM)符號(symbol)所構成，其中一者對應實數部，另一者對應虛數部。2個PAM符號分別對與其同數M之位元進行編碼。如顯示利用格雷碼(Gray Code)之8PAM符號之第6圖所示，1個PAM符號中經編碼之位元之強健性水準互異。如此，強健性水準互異之原因，是由各位元(0或1)所定義之2個次集合(subset)間之距離隨著每個位元相異。此距離越大，則該位元之強健性水準或信賴度越高。第6圖中位元b3之強健性水準最高，位元b1之強健性水準最低。

因此，16QAM叢集對4個位元進行編碼，具有2個強健性水準。64QAM叢集對6個位元進行編碼，具有3個強健性水準。256QAM叢集對8個位元進行編碼，具有4個強健性水準。

本說明書利用以下之參數進行說明。

循環係數： $Q=8$

1個LDPC碼字之循環區塊數： $N=12$

1個叢集之位元數： $M=4$ 、即16QAM

上述參數中，1個LDPC碼字所對映之叢集數為 $Q \times N=24$ 。通常，參數Q及之選擇，是關於系統所支援之全部叢集，且必須在 $Q \times N$ 是M之倍數下進行。

第7圖是顯示對應上述參數之一般交錯器之構成之塊狀圖。第7圖中QB1、…、QB12為12個循環區塊，C1、…、C24為24個叢集字。在第7圖之例中，位元交錯器710對LDPC

碼字之96位元進行交錯。

以往之位元交錯器，已知有DVB-T2規格(ETSI EN302755)者。DVB-T2規格是由電視規格DVB-T規格改良而成者，記載數位地面波電視播放用之第2世代基本傳輸系統。DVB-T2規格中，詳述數位電視服務及一般之資料傳輸時之頻道編碼調變系統。

第8(a)圖是顯示DVB-T2規格中利用之調變器(DVB-T2調變器)之構成之塊狀圖。8(a)圖所示之DVB-T2調變器800，具有輸入處理單元810、BICM編碼器820、框構築器(frame builder)830、及OFDM產生器840。

輸入處理單元810是將輸入位元串流轉換為預定長度之複數區塊。BICM編碼器820對輸入進行BICM處理。框構築器830利用自BICM編碼器820之輸入等，產生DVB-T2型式之傳輸框。OFDM產生器840對於DVB-T2型式之傳輸框構成，進行追加引示訊號、高速反傅立葉變換、插入保護區間(Guard Interval)等，輸出DVB-T2型式之發送訊號。

DVB-T2規格中利用之BICM，在ETSI規格EN 302755之第6章有說明。本說明書引用該規格，在此記述其說明。

第8(b)圖是顯示第8(a)圖所示之DVB-T2調變器之BICM編碼器820之構成之塊狀圖。但是，第8(b)圖中省略了BCH外編碼、叢集旋轉、胞交錯器、時間交錯器等。

BICM編碼器820具有LDPC編碼器821、位元交錯器(包含同位交錯器822、行-列交錯器823)、位元-胞多工解訊器824、及QAM對映器825。

LDPC 編碼器 821 將利用 LDPC 編碼之區塊編碼成碼字。位元交錯器(同位交錯器 822、行-列交錯器 823)對碼字之位元進行置換其排列順序之交錯處理。位元-胞多工解訊器 824 係將經過交錯處理之碼字之位元多重分離成胞字(叢集字)。QAM 對映器 825 將胞字(叢集字)對映至複 QAM 符號。又，複 QAM 符號又稱為胞(Cell)。實際上，位元-胞多工解訊器 824 亦可視為位元交錯器之一部分。此時，根據 DVBT2 規格之 BICM 編碼器可視為具有第 1 圖所示之標準構成。

DVB-T2 規格中使用之 LDPC 編碼，是具有循環係數 $Q=360$ 之 RA QC LDPC 編碼。DVB-T2 規格中，定義有碼字長為 16200 位元及 24800 位元兩者。碼字長為 16200 位元之 LDPC 編碼及碼字長為 64800 位元之 LDPC 編碼，在本說明書中稱為 16K 編碼(或 16K LDPC 編碼)及 64K 編碼(或 64K LDPC 編碼)。1 個碼字中包含之循環區塊數，在 16K 編碼時為 45 個，64K 編碼時為 180 個。對應這 2 種區塊長(碼字長)而可使用之編碼，列舉在 DVB-T2 規格之 ETSI EN 302 755 之表 A.1~表 A.6。

位元交錯器只針對比 QPSK 更大之叢集使用，具有同位交錯器 822、行-列交錯器 823、及位元-胞多工解訊器 824。又，DVB-T2 規格之定義中，位元-胞多工解訊器 824 不包含於位元交錯器中。但是，由於本發明有關叢集對映前對 LDPC 編碼進行交錯，因此將位元-胞多工解訊器 824 也視為位元交錯之一部分來處理。

同位交錯器822如上述，(參見第4、第5圖)，為解明同位元之類循環構造，故進行置換碼字之同位元之排列順序之同位交換排列。

行-列交錯器823，在概念上之藉由將LDPC碼字之位元沿著交錯器矩陣之列寫入，並沿著行來讀出，以發揮機能。LDPC碼字中包含之最初之位元是最初被寫入、最初被讀出。行-列交錯器823將LDPC碼字之位元寫入之後、在開始讀出位元之前，對於該列進行將位元循環性移動預定數之位置。這在DVB-T2規格之中被稱為列扭曲(Column twisting)。與上述2個LDPC碼字長及各種叢集大小相對應之交錯器矩陣之列數NC及行數Nr如以下之表1所示。

[表 1]

LDPC 碼字長	叢集大小	列數 NC	行數 Nr
16200	16QAM	8	2025
	64QAM	12	1350
	256QAM	8	2025
64800	16QAM	8	8100
	64QAM	12	5400
	256QAM	16	4050

除了256QAM叢集且16K編碼之場合外，列數NC是1個叢集之位元數之2倍。此例外之理由在於LDPC碼字長之16200是16、也就是不屬於256QAM叢集之位元數之2倍之倍數。

行-列交錯器823之16K編碼之碼字之位元之寫入處理及讀出處理，在列數為1 2之場合如第9(a)、(b)圖所示，而列數為8之場合則如第10(a)、(b)圖所示。各圖之中，小四角形分別對應LDPC碼字之1位元，實心四角形代表LDPC

碼字之前頭位元。箭頭表示位元寫入交錯器矩陣、以及自交錯器矩陣讀出時之順序。例如，交錯器矩陣之列數為12時，16K編碼之碼字之位元如第9(a)圖所示，以(行1、列1)、(行2、列1)、...、(行1350、列1)、(行1、列2)、...、(行1352、列12)之順序寫入，如第9(b)圖所示，以(行1、列1)、(行1、列2)、...、(行1、列12)、(行2、列1)、...、(行1350、列12)之順序讀出。又，列扭曲處理並未顯示於第9(a)圖、及第9(b)圖、及第10(a)、(b)圖之中。

在QAM對映前，位元-胞多工解訊器824藉由多重分離LDPC碼字以取得複數之列位元串流。串流之數量除了256QAM叢集中16K LDPC編碼之場合外，是1個QAM叢集中受到編碼之位元數 M 之2倍、也就是 $2 \times M$ 。又，256QAM叢集中16K LDPC編碼之場合，串流之數量是1個QAM叢集中受到編碼之位元數 M 。1個叢集中受到編碼之 M 位元稱為胞字(或叢集字)。如下，16K LDPC編碼中，可從1個碼字取得之胞字之數量為 $16200/M$ 。

QPSK之場合、8100胞

16QAM之場合、4050胞

64QAM之場合、2700胞

256QAM之場合、2025胞

如以上之表1，關於比QPSK更大之叢集，並列串流之數量相當於行-列交錯器之列數。關於16K LDPC編碼，對應16QAM叢集、64QAM叢集、256QAM叢集之位元-胞多工解訊器如第11圖、第12圖、第13圖所示。又，位元之標

記是利用DVB-T2規格者。

位元-胞多工解訊器如第11圖(第12圖、第13圖)所示，具有簡單多工解訊器(simple demultiplexer)1110(1210、1310)及多工解訊交換排列單元1120(1220、1320)。

位元-胞多工解訊器，是由簡單多工解訊器1110(1210、1310)對經過交錯處理之LDPC碼字進行單純之多重分離，再由多工解訊交換排列單元1120(1220、1320)對經過多重分離之並列位元串流進行置換其排列順序之交換排列處理。

但是，在使用行-列交錯器時(16QAM叢集以上)，由於並列位元串流之數量與行-列交錯器之列數相同，因此認知位元串流之交換排列與對行-列交錯器之列進行置換其排列順序之交換排列是同等的重要。這就是可將位元-胞多工解訊器所進行之交換排列是為位元交錯器之一部分之理由。

本質上來說，DVB-T2規格中所利用之位元交錯器將附隨有2個問題。

第1個問題是，當LDPC碼字中循環區塊之數量不是位元交錯器矩陣之列數之倍數時，將損及其並列性之問題。若並列性降低，則延遲將增大。這在接收器中使用重覆BICM解碼時特別會成為問題。在DVB-T2規格下，幾種LDPC碼字長與叢集大小之組合會引起這個狀況。

第14圖及第15圖是顯示16K LDPC編碼中，各交錯器矩陣之列數為8及12時引起上述狀況之圖。16QAM叢集及

256QAM叢集中，使用8列之交錯器矩陣。64QAM叢集中，使用12列之交錯器矩陣。格子代表LDPC碼字，小四角形代表LDPC碼字之1位元，行對應循環區塊，列對應複數之循環區塊中相互具有同一位元指標之位元。實心的四角形代表交錯器矩陣之前頭行中之8位元及12位元。又，為容易瞭解，圖中是將1個循環區塊之位元數從360減為72來表示，但理解之程度不受此影響。

第2個問題是在DVB-T2規格中，位元交錯器之構成可能數量，受到位元交錯器矩陣之列數所限制。

DVB-T2位元交錯器之更進一步之問題，是交換排列之規則性以及並列性會因列扭曲處理而更進一步受到損害。第16圖及第17圖分別是顯示與第14圖及第15圖同樣之狀況，但在適用列扭曲處理這一點有所不同。16K LDPC編碼下交錯器矩陣為8列時，DVB-T2位元交錯器中使用之各列之列扭曲值為(0、0、0、1、7、20、20、21)。又，16K LDPC編碼下交錯器矩陣為12列時，DVB-T2位元交錯器中使用之各列之列扭曲值為(0、0、0、2、2、2、3、3、3、6、7、7)。

因此，有必要提供一種降低延遲、提高並列性之位元交錯器。該等特性在重覆BICM解碼中特別重要。

《發明者所得之見識》

發明者在積極研究之下，得知在滿足以下2個條件時，可提供一種非常有效率之交錯器。

(條件1)

各叢集字之M個位元，對映至LDPC碼字之M個相異之循環區塊。這與從LDPC碼字之M個相異之循環區塊將各1個位元逐個對映至叢集字是相當的。其概要如第18(a)圖所示。

(條件2)

被對映至M個循環區塊之全部叢集字，只被對映至該M個循環區塊中。這是由Q個位元所構成之M個之相異之循環區塊之M×Q個位元，全部都只被對映至Q個叢集字，是相當的。其概要如第18(b)圖所示。

藉由上述條件，恰好Q個叢集字將被對映至各M個循環區塊中。

《實施形態》

以下詳細說明滿足上述條件1、條件2之位元交錯器(平行位元交錯器)。又，以下對實質相同之處理內容、及進行同樣處理內容之構成單元、賦予同樣之標號。

本說明書之中，將由M個循環區塊所構成之各群，以及由Q個叢集字所構成之各群，稱為區域(或交錯器區域)。

第19圖及第20圖是顯示本發明之一實施形態中，對應上述參數(Q=8、M=4、N=12)且滿足條件1、條件2之位元交錯器所執行之對映機能之圖，以及顯示該位元交錯器之一構成例之塊狀圖。

第19圖及第20圖中、QC-LDPC編碼之碼字，分別是由Q=8個位元所構成之N=12個之循環區塊QB1~QB12所構成。24個叢集字分別由M=4個位元所構成，分別代表 $2^M=16$

個叢集點中之任一個。位元交錯器分為 $N/M=3$ 個區域，24個叢集字係與 $N/M=3$ 個區域中之任一個相關聯。

位元交錯器2000具有位元交換排列單元2010，位元交換排列單元2010是具有各自獨立(相互不依賴)動作之 $N/M(=3)$ 個區域交換排列單元2021、2022、2023。又，亦可以不具有3個區域交換排列單元，而採用1個區域交換排列單元，並隨著時間經過切換處理對象，同時進行後述之3個區域交換排列處理。

區域交換排列單元(2021、2022、2023)是各自獨立(相互不依賴)地，自4個循環區塊(QB1~QB4、QB5~QB8、QB9~QB12)分別將各1個位元逐個對映至8個叢集字(C1~C8、C9~C16、C17~C24)，以對4個循環區塊共計32個位元進行置換其排列順序之區域交換排列處理。

上述之2個條件1、條件2只是保證位元交錯器被區分為 N/M 個並列區域。可在對該等並列區域進行之區域交換排列處理中，適用相同之交換排列規則，或適用相異之交換排列規則，或適用只有一部分相同之交換排列規則。

例如，區域交換排列單元可將循環區塊之 Q 個位元(LDPC解碼處理中重要度相等)對映至 Q 個叢集字之同位元指標之位元(強健性水準相等)。各循環區塊之中， Q 個位元可依序或依照交換排列後之順序排列。以下利用第21(a)、(b)圖說明後者，並利用第22(a)、(b)圖說明前者。

第21(a)圖是顯示第20圖之區域交換排列單元之一構成例之圖。

區域交換排列單元2101具有循環區塊內交換排列單元2111~2114及行-列交換排列單元2131。又，可不具有4個循環區塊內交換排列單元，而利用例如1個循環區塊內交換排列單元，隨時間經過切換處理對象，同時進行後述之4個循環區塊內交換排列處理。

循環區塊內交換排列單元(2111~2114)對循環區塊(QB1~QB4)之Q個(8個)位元進行置換其排列順序之循環區塊內交換排列處理。對1個區域內之循環區塊進行之循環區塊內交換排列處理中，例如可適用相同之交換排列規則，或適用相異之交換排列規則，或適用只有一部分相同之交換排列規則。

行-列交換排列單元2131是對 $M \times Q$ 個(32個)位元進行此置換排列順序之行-列交換排列處理。詳細來說，行-列交換排列單元2131是進行與將 $M \times Q$ 個(32個)位元沿著Q列M行(8列4行)之矩陣之行方向寫入，並將寫入之 $M \times Q$ 個(32個)位元沿著列方向讀出之處理相當之行-列交換排列處理。又，行-列交換排列單元2131所進行之行-列交換排列處理，就是將第9(a)、(b)圖中之12列1350行改為Q列M行，且寫入處理之列方向改為行方向、讀出處理之行方向改為列方向之後者。

第21(b)圖是顯示第21(a)圖中區域交換排列單元所進行之對映機能之圖。第21(b)圖中，各叢集字之 $M=4$ 個位元是以 $b_1 \sim b_4$ 來表示。

但是，區域交換排列處理中之循環區塊內交換排列處理也可以不執行。

第20圖之區域交換排列之另一例，也就是不執行循環區塊內交換排列處理之區域交換排列單元之一構成例及該由區域交換排列單元進行之對映機能如第22(a)圖及第22(b)圖所示。區域交換排列單元2201具有行-列交換排列單元2131，只進行行-列交換排列處理。第22(b)圖中，各叢集字之 $M=4$ 個位元代表以 $b1\sim b4$ 來表示。

但是，亦可以對循環區塊QB5~QB8、QB9~QB12進行第21圖及第22圖中說明之區域交換排列。

本發明之另一實施形態中，位元交錯器在進行區域交換排列處理之前，附加性地對 N 個循環區塊進行置換其排列順序之循環區塊交換排列處理。附加性地進行循環區塊交換排列處理之位元交錯器之一構成例如第23圖所示。在此之循環區塊交換排列，是發揮與DVB-T2規格中之位元-胞多工解訊器所進行之交換排列同樣之角色。

第23圖所示之位元交錯器2300具有循環區塊交換排列單元2310及位元交換排列單元2010(包含區域交換排列單元2021~2023)。

循環區塊交換排列單元2310對循環區塊QB1~QB12進行置換其排列順序之循環區塊交換排列處理2311~2318。又，循環區塊交換排列處理2311~2318中利用之交換排列規則是相同。

對 N 個循環區塊進行之循環區塊交換排列，可藉此將LDPC碼字之位元對映至最適當之叢集之位元，因而有助於收訊性能之最佳化，特別有益。

第24圖是顯示第23圖之位元交錯器之一構成例之塊狀圖。第24圖之位元交錯器2400執行下述之階段A、B、C等3個交換排列處理。

階段A：循環區塊(間)交換排列

階段B：循環區塊內交換排列

階段C：行-列交換排列

在此，循環區塊(間)交換排列是置換構成碼字之N個循環區塊之排列順序之交換排列，循環區塊內交換排列是置換構成循環區塊之Q個位元之排列順序之交換排列，行-列交換排列是置換構成區域之M×Q個位元之排列順序之交換排列。

第24圖所示之位元交錯器2400具有循環區塊交換排列單元2310及位元交換排列單元2010(區域交換排列單元2101~2103)。區域交換排列單元2101(2102、2103)具有循環區塊內交換排列單元2111~2114(2115~2118、2119~2122)及行-列交換排列單元2131(2132、2133)。

位元交錯器2400藉由循環區塊交換排列單元2310進行循環區塊(間)交換排列(階段A)、藉由循環區塊內交換排列單元2111~2122進行循環區塊內交換排列(階段B)、藉由行-列交換排列單元2131~2133)進行行-列交換排列(階段C)。

亦可從第24圖所示之位元交錯器取組循環區塊內交換排列單元2111~2122，來構成位元交錯器使其不執行循環區塊內交換排列。又，位元交錯器亦可以不在循環區塊(間)交換排列之後執行循環區塊內交換排列，而在循環區塊(間)

交換排列之前執行，或在循環區塊(間)交換排列之前後執行。

又，複數之循環區塊內交換排列單元亦可以是相同之構成。因此，複數之循環區塊內交換排列單元可以由具有同一機能之資源(如硬體區塊等)來實現。又，複數之循環區塊內交換排列亦可以由循環性的移位處理來執行，此時，可套用於利用桶形移位器(Barrel shifter)等有效率之硬體。亦可以利用LDPC解碼器中使用之桶形移位器來套用。

以下利用第25圖，說明包含有可進行滿足條件1、條件2之位元交錯處理之位元交錯器之傳送器之一構成例。

第25圖是顯示本發明之又一其他實施形態之傳送器之一構成例之塊狀圖。第25圖中顯示之傳送器2500具有BICM編碼器(包含LDPC編碼器2510、位元交錯器2520、叢集對映器2530)及調變器2540。

LDPC編碼器2510利用QC-LDPC編碼，將輸入區塊編碼成為碼字，再將碼字輸出至位元交錯器2520。

位元交錯器2520自LDPC編碼器2510接收QC-LDPC編碼之碼字。此碼字是由 $N=12$ 個循環區塊所構成，各循環區塊由 $Q=8$ 個位元所構成。而位元交錯器2520對碼字之位元進行置換其排列順序之位元交錯處理。位元交錯器2520將進行過位元交錯處理之碼字分割成各自由 $M=4$ 個位元所構成，且各自代表 $2^M=16$ 個預定之叢集點中之任一個之複數叢集字，輸出至叢集對映器2530。但是，位元交錯器2520例如可執行第19圖至第22圖中說明之位元交換排列處理或

其變形，作為此位元交錯處理。或者，位元交錯器2520例如可在位元交換排列處理之外，更追加執行第23圖至第24圖中說明之循環區塊交換排列處理或其變形，以作為此位元交錯處理。

叢集對映器2530由位元交錯器2520接收叢集字，並對接收到之叢集字進行叢集對映處理。

調變器2740進行正交分頻多工(orthogonal frequency division multiplexing：OFDM)調變等，產生發送訊號。

以下利用第26圖，說明包含有可執行滿足條件1、條件2之位元交錯處理之位元交錯器之BICM編碼器之一套用例。

第26圖是顯示本發明又一個其他實施形態之BICM編碼器之一套用例之塊狀圖。第26圖之BICM編碼器2600是對應上述參數($Q=8$ 、 $N=12$ 、 $M=4$)。

第26圖中所示之BICM編碼器2600，具有主記憶體2601、LDPC控制器2611、旋轉器2612、檢查節點處理器群2613、逆旋轉器2614、QB計數器2631、查找表2632、交錯器2633、暫存器群2634、交錯器2635、及對映器群2651。

第26圖中，考慮到 $Q=8$ ，主記憶體2601之讀出是每次執行8位元，而檢查節點處理器群2613具有8個檢查節點處理器，對映器群2651存在有8個對映器。又，考慮到 $M=4$ ，因此暫存器群2634具有4個暫存器。

主記憶體2601例如自輸入處理單元(圖未示)接收應發送之位元列，並儲存接收到之位元列。

LDPC控制器2611對主記憶體2601輸出讀出位址，藉此主記憶體2601從位元列之前頭開始逐次將8位元輸出至旋轉器2612。旋轉器2612受LDPC控制器2611控制，對主記憶體2601供應來之8位元進行預定數循環移位，再將循環移位後之8位元，逐個將各1位元輸出至檢查節點處理器群2613之各檢查節點處理器。各檢查節點處理器群2613之各檢查節點處理器，受LDPC控制器2611之控制對輸入來之1位元進行檢查節點處理後，將1位元之處理結果輸出至逆旋轉器2614。逆旋轉器2614受LDPC控制器2611之控制，對接收自檢查節點處理器群2613之8位元進行預定數循環移位，以抵消旋轉器2612所進行之循環移位，再將循環移位後之8位元輸出至主記憶體2601。LDPC控制器2611對主記憶體2601輸出寫入位址，如此主記憶體2601就儲存供應自逆旋轉器2614之8位元。但是，LDPC控制器2611、旋轉器2612、檢查節點處理器群2613、及逆旋轉器2614構成第25圖中之BICM編碼器之LDPC編碼器2510。

QB計數器2631是可從0計數到11者，且將計數值輸出至查找表2632。又，QB計數器2631之計數動作是考慮到 $N=12$ 之結果。

查找表2632是記憶循環區塊交換排列規則之單純的查找表。也就是說查找表2632記錄有 $N=12$ 個之循環區塊之讀出順序資訊(令各別相異之循環區塊分別對應QB計數器2631之12個計數值之資訊)。查找表2632對主記憶體2601輸出讀出位址，使供應自QB計數器2631之計數值所對應之1

個循環區塊之位元($Q=8$ 個位元)可自主記憶體2601供應至交錯器2633。如此，主記憶體2601將QB計數器2631之計數值所對應之1個循環區塊之位元輸出至交錯器2633。又，藉由此查找表2632之處理，可實現循環區塊交換排列(階段A)。

交錯器2633對供應自主記憶體2601之1個循環區塊之位元進行預定數循環移位，輸出至暫存器群2634第1段之暫存器。又，藉由此交錯器2633之處理可實現循環區塊內交換排列(階段B)。不過，暫存器群2634之各暫存器在收到控制脈衝之時點儲存1個循環區塊之位元，且持續輸出所儲存之1個循環區塊之位元直到下一次收到控制脈衝為止。

對QB計數器2631之計數值「0」～「3」實施以上處理內容，則有4個循環區塊之位元(32個位元)輸入至交錯器2635。在此時點，交錯器2635對輸入來的4個循環區塊之位元進行交錯處理，並對對映器群2651之各對映器輸出1個叢集字之位元($M=4$ 個位元)。藉由交錯處理，暫存器群2634之4個暫存器分別有1個位元、共計4個位元將供應至各對映器。又，藉由交錯器2635之處理可實現行-列交換排列(階段C)。

不過，QB計數器2631、查找表2632、交錯器2633、暫存器群2634、以及交錯器2635，構成第25圖中之BICM編碼器之位元交錯器2520。

對映器群2651之各對映器將供應自交錯器2635之4個位元對映至叢集，並輸出對映結果。不過，對映器群2651

構成第25圖中之BICM編碼器之叢集對映器2530。

對於1個碼字，前述一連串之處理在QB計數器2631之計數值「0」至「3」、「4」至「7」、「8」至「11」下共計執行了3次。

又，第26圖之套用例中，雖然包含有並列動作之Q個對映器，但亦可降低或提高並列度而套用於BICM編碼器。例如已知增加位元交錯器之並列交錯器區域之數量，也就是N/M，即可簡單地提高並列性。如此之方法，可藉由並列 $Q \times N/M$ 個對映器，以使並列化成為最大。位元交錯器有在沒有任何障礙之下套用如此之並列性之優點。

以下利用圖式說明一種，可自包含有可執行滿足滿足條件1、條件2之位元交錯處理之位元交錯器之傳送器接收訊號之接收器。

第27圖係顯示具有本發明之又一其他實施形態之非重覆BICM解碼器之接收器之一構成例之塊狀圖。接收器進行與傳送器相反之動作。

第27圖所示之接收器2700具有調變器2710及非重覆BICM解碼器(包含叢集反對映器2720及位元反交錯器2730、LDPC解碼器2740)。

解調器2710藉由OFDM等進行解調處理，並輸出解調處理結果。

非重覆BICM解碼器之叢集反對映器2720對來自調變器2710之輸入進行反對映處理，產生所謂的所謂軟位元列，並將產生之軟位元列輸出至叢集反對映器2730。各軟

位元是顯示各位元為0或1之機率之標尺。通常，軟位元是以對數概似比統計量(log-likelihood ratio statistic：LLRs)來表示，其定義如下。

$$\text{LLR}(b)=\ln \left[\frac{p(b=0)}{p(b=1)} \right]$$

$p(b=0)$ 表示位元 b 為0之機率， $p(b=1)$ 表示位元 b 為1之機率。不過， $p(b=0)+p(b=1)$ 成立。

位元反交錯器2730對於輸出自叢集反對映器2720之軟位元列，進行抵消第25圖之傳送器內之位元交錯器對位元列所執行之位元交錯處理，以復原排列順序之交錯處理(位元反交錯處理)。

LDPC解碼器2740接收來自位元反交錯器2730之經過位元反交錯之軟位元列，利用接收到之軟位元列進行LDPC解碼處理。

有一種可顯著地提高收訊性能之方法，是重覆BICM解碼處理。關於重覆BICM解碼器，以下利用第28圖來說明。

第28圖是顯示具有本發明之又一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。接收器是執行與傳送器相反之動作。

第28圖所示之接收器2800具有調變器2710、及重覆BICM解碼器(叢集反對映器2720、位元反交錯器2730、LDPC解碼器2740、減算單元2760、位元交錯器2750)。

第28圖之接收器2800執行由叢集反對映器2720所進行之叢集反對映處理、由位元反交錯器2730所進行之位元反交錯處理、由LDPC解碼器2740所進行之LDPC解碼處理。

LDPC解碼之重覆處理執行過1次或複數次之後，減算單元2760自LDPC解碼器2740之輸出減算LDPC解碼器2740之輸入，並將減算之結果取得之外部資訊(extrinsic information)輸出至位元交錯器2750。位元交錯器2750對於外部資訊，執行與第25圖之傳送器內之位元交錯器對位元列所執行之位元交錯處理相同交錯規則之交錯處理。之後位元交錯器2750將經過交錯處理之外部資訊回饋至叢集反對映器2720。叢集反對映器2720將回饋來之外部資訊使用作為事前資訊(a-priori information)，算出信賴性高之LLR值。之後位元反交錯器2730對於新算出之LLR值，執行取消第25圖之傳送器內之位元交錯器對位元列所執行之位元交錯處理以回歸至原排列順序之交錯處理(位元反交錯處理)。LDPC解碼器2740利用經過位元反交錯處理之LLR值執行LDPC解碼處理。

如第28圖所示，重覆解碼之迴圈是由4個要素，即：叢集反對映器2720、位元反交錯器2730、LDPC解碼器2740、及位元交錯器2750所構成。位元反交錯器2730與位元交錯器2750之延遲非常低，理想上是零，且若構成簡易，則可有效率地套用於接收器。上述之位元反交錯器2730與位元交錯器2750，滿足兩個條件。

以下利用第29圖說明實現非常有效率之並列套用之重覆BICM解碼器之一套用例。

第29圖是顯示本發明之又一其他實施形態之BICM解碼器之一套用例之塊狀圖。第29圖之BICM解碼器2900對應

以上參數($Q=8$ 、 $N=12$ 、 $M=4$)。

第29圖所示之BICM解碼器2900具有：主LLR記憶體2901、緩衝LLR記憶體2902、LDPC控制器2911、旋轉器2912、檢查節點處理器群2913、逆旋轉器2914、QB計數器2931、查找表2932、減算單元2933、交錯器2934、暫存器群2935、交錯器2936、反對映器群2937、反交錯器2938、暫存器群2939、反交錯器2940、及延遲單元2941。

第29圖中考慮到 $Q=8$ ，主LLR記憶體2901及緩衝LLR記憶體2902之讀出是每次執行8個LLR值，而檢查節點處理器群2913具有8個檢查節點處理器，反對映器群2937存在有8個反對映器。又，考慮到 $M=4$ ，因此暫存器群2935、2972具有4個暫存器。

反對映器群2937之各反對映器，利用解調器(不圖示)之輸出進行反對映處理，並將取得之LLR值輸出至反交錯器2938。不過，反對映器群2937構成第28圖中之重覆BICM解碼器之叢集反對映器2720。

反交錯器2938對LLR值進行反交錯處理(抵消由傳送器在階段C所進行交錯之交錯處理)，並將反交錯後之LLR值輸出至暫存器群2939之各暫存器。不過，各暫存器分別儲存有1個循環區塊之LLR值(8個LLR值)。暫存器群2939將暫存器中儲存的1個循環區塊之LLR值依序被輸出至後段，而各暫存器之儲存內容將依序更新。反交錯器2940對供應來之1個循環區塊之LLR值(8個LLR值)進行交錯處理(抵消傳送器在階段B所進行交錯之交錯處理)，依查找表2932之儲

存內容(後述)寫入主LLR記憶體2901及緩衝LLR記憶體2902。又，藉由依照查找表2932之儲存內容寫入主LLR記憶體2901及緩衝LLR記憶體2902，可實現抵消由傳送器在階段A所進行交錯之交錯處理。

如此，主LLR記憶體2901記憶反交錯處理後之LLR值，LDPC解碼器(LDPC控制器2911、旋轉器2912、檢查節點處理器群2913、逆旋轉器2914)也可利用。LDPC解碼處理是進行1次或重覆數次之重覆處理。LDPC解碼處理之各重覆之中，主LLR記憶體2901內之LLR值將被更新。為算出重覆BICM解碼處理所需之外部資訊，舊的LLR值儲存於緩衝LLR記憶體2902中。

在此，記載LDPC解碼器之處理。

LDPC控制器2911依據LDPC編碼之同位檢查矩陣，對主LLR記憶體2901輸出讀出位址，主LLR記憶體2901藉此將各1個循環區塊之LLR值依序逐個輸出至旋轉器2912。旋轉器2912受LDPC控制器2911所控制，對依序自主LLR記憶體2901供應來之1個循環區塊之LLR值進行預定數循環移位，再對檢查節點處理器群2913之各檢查節點處理器依序逐個輸出循環移位後之LLR值。各檢查節點處理器群2913之各檢查節點處理器受LDPC控制器2911控制，對依序輸入來之一連串LLR值進行檢查節點處理。接著，檢查節點處理器群2913之各檢查節點處理器受LDPC控制器2911控制，依序輸出檢查節點處理結果之一連串LLR值。逆旋轉器2914受LDPC控制器2911控制，對自檢查節點處理器群

2913依序取得之1個循環區塊之處理結果，進行預定數循環移位，以抵消旋轉器2912所執行之循環移位，再將循環移位後之處理結果依序輸出至主LLR記憶體2901。LDPC控制器2911依據LDPC編碼之同位檢查矩陣，對主LLR記憶體2901輸出寫入位址，如此，主LLR記憶體2901就儲存自逆旋轉器2914依序供應來之1個循環區塊之處理結果。LDPC控制器2911依據LDPC編碼之同位檢查矩陣，反覆執行以上之處理。

LDPC重覆處理執行預定次數之後，執行BICM重覆處理。LDPC及BICM重覆處理，分別又被稱為內在重覆處理及外在重覆處理。又，此2種類之重覆處理亦可重疊(overlap)套用。藉此，可提高收斂之速度。由於BICM及LDPC解碼處理在本技術領域中為周知，故省略詳細說明。

QB計數器2931是可從0計數到11者，且將計數值輸出至查找表2932。又，QB計數器2931之計數動作是考慮到 $N=12$ 之結果。

查找表2932是記憶循環區塊交換排列規則之單純的查找表。也就是說查找表2932記錄有 $N=12$ 個之循環區塊之讀出順序(寫入順序)資訊(令各別相異之循環區塊分別對應QB計數器2931之12個計數值之資訊)。查找表2932對主LLR記憶體2901及緩衝LLR記憶體2902輸出讀出位址，使供應自QB計數器2631之計數值所對應之1個LLR值可自主LLR記憶體2901及緩衝LLR記憶體2902供應至減算單元群2933。如此，主LLR記憶體2901及緩衝LLR記憶體2902將分

別對應QB計數器2931之計數值之1個循環區塊之LLR值輸出至減算單元2934。在此，由延遲單元2941進行延遲調整，使來自主LLR記憶體2901及緩衝LLR記憶體2902之LLR值之讀出位置，與寫入至主LLR記憶體2901與緩衝LLR記憶體2902之該LLR值之寫入位置一致。又，藉由此查找表2932之處理，可實現相當於循環區塊交換排列(階段A)之交換排列。

減算單元群之各減算單元2933，從主LLR記憶體2901之輸出減算緩衝LLR記憶體2902之輸出，並將減算所得結果之1個循環區塊之外部資訊(8個外部資訊)輸出至交錯器2934。

交錯器2934對供應自減算單元2933之1個循環區塊之外部資訊進行預定數循環移位，輸出至暫存器群2935之第1段之暫存器。又，藉由此交錯器2934之處理可實現相當於循環區塊內交換排列(階段B)之處理。不過，暫存器群2935之各暫存器在收到控制脈衝之時點儲存8個位元，且持續輸出所儲存之8個位元直到下一次收到控制脈衝為止。

對QB計數器2631之計數值「0」～「3」實施以上處理內容，則有4個循環區塊之外部資訊(32個外部資訊)輸入至交錯器2936。在此時點，交錯器2936對輸入來的4個循環區塊之位元進行交錯處理，並對反對映器群2937之各反對映器輸出1個叢集字之外部資訊($M=4$ 個外部資訊)。藉由交錯處理，暫存器群2935之4個暫存器分別有1個、共計4個外部資訊將供應至反對映器群2951之各反對映器。又，藉由交

錯器 2936 之處理可實現相當於行-列交換排列(階段 C)之處理。

不過，QB 計數器 2931、查找表 2932、交錯器 2934、暫存器群 2935、以及交錯器 2936，構成第 28 圖中之 BICM 編碼器之位元交錯器 2750。

反對映器群 2937 之各反對映器使用供應自交錯器 2936 之 4 個外部資訊作為事前資訊，進行反對應處理，並將新的 LLR 值輸出至反交錯器 2938。

反交錯器 2938 對 LLR 值進行反交錯處理(抵消由傳送器在階段 C 所進行交錯之交錯處理)，並將反交錯後之 LLR 值輸出至暫存器群 2939 之各暫存器。不過，各暫存器分別儲存有 1 個循環區塊之 LLR 值(8 個 LLR 值)。暫存器群 2939 中，儲存於暫存器之 1 個循環區塊之 LLR 值依序輸出至後段，而各暫存器之儲存內容依序被更新。反交錯器 2940 對供應來之 1 個循環區塊之 LLR 值(8 個 LLR 值)進行反交錯處理(抵消由傳送器在階段 B 所進行交錯之交錯處理)，輸出至主 LLR 記憶體 2901 及緩衝 LLR 記憶體 2902。主 LLR 記憶體 2901 及緩衝 LLR 記憶體 2902，從查找表 2932 透過延遲單元 2941 接收寫入位址，並依據接收到之寫入位址，儲存自反交錯器 2940 取得之 1 個循環區塊之 LLR 值(8 個 LLR 值)。藉由依據查找表 2932 之寫入處理，可實現抵消傳送器在階段 A 所進行交錯之交錯處理(反交錯處理)。

對於 1 個碼字，前述一連串之處理在 QB 計數器 2931 之計數值「0」至「3」、「4」至「7」、「8」至「11」下共計執

行了3次。

但是，QB計數器2931、查找表2932、反交錯器2938、暫存器群2939、及反交錯器2940，是構成第28圖中BICM解碼器之位元反交錯器2730。

交錯器2934及反交錯器2940是可以重新構成，雖然需要相當的硬體成本，但可藉由細心的設計來將成本降至最低限度。交錯器2936及反交錯器2938是套用行-列交換排列者，此交換排列隨著預定之叢集大小是固定的，因此套用之成本低。

又，第29圖之套用例中，雖然包含有並列動作之 Q 個反對映器，但亦可降低或提高並列度而套用於BICM解碼器。例如已知增加位元交錯器之並列交錯器區域之數量，也就是 N/M ，即可簡單地提高並列性。如此之方法，可藉由並列 $Q \times N/M$ 個反對映器，以使並列化成為最大。上述之位元交錯器有在沒有任何障礙之下套用如此之並列性之優點。

《補充1》

本發明不受上述實施形態中說明之內容所限，為達成本發明之目的及與其有關聯或附屬之目的時，可以各種之形態來實施，例如，可以是如下之形態。

(1)在上述之實施形態中，是舉出參數是 $N=12$ 、 $Q=8$ 、 $M=4$ 為例來說明，但參數 N 、 M 、 Q 之值並不受此限，只要 N 是 M 之倍數即可。又，在 N 為 M 之2以上之倍數時，位元交錯之處理可以分割在複數之區域執行。

(2)在上述之實施形態中，叢集是舉出16QAM($M=4$)

為例來說明，但叢集除了QPSK或QAM等特定之調變方式以外，也可利用DVB-S2規格中所利用之圓形叢集或多次元叢集等各種調變方式。

(3)在上述之實施形態中說明之方法或裝置，可藉軟體來實現，亦可藉硬體來實現，並不限於特定之形態。具體來說，上述之實施形態也可以由電腦、微處理器、微控制器等，以電腦可讀取之媒體上具體化之形態，來執行一種電腦可執行之命令，來執行上述之實施形態中說明過之方法或裝置之全部步驟之方式來實現。又，上述之實施形態也可以特殊應用積體電路(Application-specific integrated Circuit)或現場可編程輯閘陣列(Field-programmable gate array)之形態來實施。

《補充2》

以下說明本發明之位元交錯方法、位元交錯器、位元反交錯方法、位元反交錯器、及解碼器及其效果。

本發明之一態樣之第1位元交錯方法，是利用類循環低密度同位檢查碼之通訊系統中之位元交錯方法，前述位元交錯方法包含：接收步驟，係接收由N個循環區塊所構成且各循環區塊分別由Q個位元所組成之前述類循環低密度同位檢查碼之碼字者；位元交換排列步驟，係對前述碼字之位元置換該碼字之位元順序者；及分割步驟，係將前述位元交換排列處理實施後之前述碼字分割成複數之叢集字，各前述叢集字分別由M個位元組成，且分別顯示預定叢集中之 2^M 個預定之叢集點中之任一個，前述位元交換排列處

理實施前之前述碼字被分割成 N/M 個區域，各前述區域由 M 個前述循環區塊所組成，且各前述叢集字係與 N/M 個前述區域中之任一個相關聯，前述位元交換排列步驟實施前述位元交換排列處理，使各前述叢集字是從相關聯之前述區域中之 M 個相異之前述循環區塊中，各取1個位元而組成之共計 M 個位元所構成，且各前述區域之全部位元只對映該區域相關聯之 Q 個前述叢集字。

本發明之另一態樣之第1位元交錯器，是利用類循環低密度同位檢查碼之通訊系統中使用之位元交錯器，前述位元交錯器包含位元交換排列部，是接收由 N 個循環區塊所構成且各循環區塊分別由 Q 個位元所組成之前述類循環低密度同位檢查碼之碼字，對前述碼字之位元實施位元交換排列處理，置換該碼字之位元之排列順序，並將前述位元交換排列處理實施後之前述碼字分割成複數之叢集字後輸出，各前述叢集字分別由 M 個位元組成，且分別顯示預定叢集中之 2^M 個預定之叢集點中之任一個，前述位元交換排列處理實施前之前述碼字被分割成 N/M 個區域，各前述區域由 M 個前述循環區塊所組成，且各前述叢集字係與 N/M 個前述區域中之任一個相關聯，前述位元交換排列部實施前述位元交換排列處理，使各前述叢集字是從相關聯之前述區域中之 M 個相異之前述循環區塊中，各取1個位元而組成之共計 M 個位元所構成，且各前述區域之全部位元只對映該區域相關聯之 Q 個前述叢集字。

藉此，可實施具高並列性之位元交錯處理。

本發明之另一態樣之第2位元交錯方法，是在第1位元交錯方法中，其中前述位元交換排列步驟具有區域交換排列步驟，對N/M個前述區域相互獨立地，對於各前述區域之位元實施置換該區域之位元之排列順序之區域交換排列處理。

本發明之另一態樣之第2位元交錯器，是在第1位元交錯器中，前述位元交換排列部具有區域交換排列部，此區域交換排列部係將於N/M個前述區域相互獨立地，對各前述區域之位元實施置換該區域之位元之排列順序之區域交換排列處理。

藉此，複數之區域交換排列可並列執行。

本發明之另一態樣之第3位元交錯方法，是在第2位元交錯方法中，前述區域交換排列步驟係進行前述區域交換排列處理，使前述循環區塊之Q個位元，對映至與該循環區塊所對應之前述區域相關聯之Q個前述叢集字中之具有同一位元指標之位元。

本發明之另一態樣之第3位元交錯器，是在第2位元交錯器中，前述區域交換排列部係進行前述區域交換排列處理，使前述循環區塊之Q個位元，對映至與該循環區塊所對應之前述區域相關聯之Q個前述叢集字中，具有同一位元指標之位元。

藉此，碼字之重要度相同之位元，將被對映至叢集字之強健性水準相同之位元，因此可得到重要度與強健性水準之一致。例如，可以使碼字中重要度最高之位元對映叢

集字中強健性水準最高之位元，如此在接收時對碼字之重要度高之位元可得到高信賴度，而可得到高接收性能。

本發明之另一態樣之第4位元交錯方法，是在第2位元交錯方法中，前述區域交換排列步驟是具有行-列交換排列步驟，該行-列交換排列步驟是對於前述區域之 $M \times Q$ 個位元，實施行-列交換排列處理以置換該 $M \times Q$ 個位元之排列順序。

本發明之另一態樣之第5位元交錯方法，是在第2位元交錯方法中，前述區域交換排列步驟是包含針對 N/M 個前述區域各別進行之循環區塊內交換排列步驟及行-列交換排列步驟，該循環區塊內交換排列步驟是將前述循環區塊相互獨立地、對各前述循環區塊之位元實施置換該循環區塊之位元之排列順序之循環區塊內交換排列處理；該行-列交換排列步驟是對經過前述循環區塊交換排列處理後之前述區域之 $M \times Q$ 個位元，實施置換該 $M \times Q$ 個位元之排列順序之行-列交換排列處理。

本發明之另一態樣之第6位元交錯方法，是在第4位元交錯方法中，前述行-列交換排列處理，是進行與將 $M \times Q$ 個位元沿著 Q 列 M 行之矩陣之行方向寫入、沿著列方向將 $M \times Q$ 個位元讀出相當之處理。

本發明之另一態樣之第4位元交錯器，是在第2位元交錯器中，前述區域交換排列部是對於前述區域之 $M \times Q$ 個位元，實施置換該 $M \times Q$ 個位元之排列順序之行-列交換排列處理。

本發明之另一態樣之第5位元交錯器，是在第2位元交錯器中，前述區域交換排列部是針對N/M個前述區域各別進行之循環區塊內交換排列處理及行-列交換排列處理，該循環區塊內交換排列處理是將前述循環區塊相互獨立地、對各前述循環區塊之位元，置換該循環區塊之位元之排列順序；該行-列交換排列處理是對經過前述循環區塊交換排列處理後之前述區域之M×Q個位元，置換該M×Q個位元之排列順序。

如此，可藉由在區域交換排列中利用行-列交換排列，來實施非常有效率之區域交換排列。

本發明之另一態樣之第7位元交錯方法，是在第1位元交錯方法中，更具有循環區塊交換排列步驟，對於前述碼字之循環區塊，進行循環區塊交換排列處理，置換該碼字之循環區塊之排列順序。

本發明之另一態樣之第6位元交錯器，是在第1位元交錯器中，更具有循環區塊交換排列部，對於前述碼字之循環區塊，進行循環區塊交換排列處理，置換該碼字之循環區塊之排列順序。

藉此，可將碼字之位元最適當地對映至叢集字之位元，如此可將BICM全體之性能最佳化。

本發明之另一態樣之第1位元反交錯方法，是在利用類循環低密度同位檢查碼之通訊系統中，對位元串流進行位元反交錯之位元反交錯方法，包含：接收步驟，係接收由N×Q個位元所構成之位元列；及逆位元交換排列步驟，係

對接收之前述位元列之位元進行置換該位元列之位元之排列順序之逆位元交換排列處理，以復原前述類循環低密度同位檢查碼之碼字，且前述逆位元交換排列處理，是將第1位元交錯方法中之前述位元交換排列處理所置換之排列順序復原之處理。

本發明之另一態樣之第1位元反交錯器，是利用類循環低密度同位檢查碼之通訊系統中，對位元串流進行位元反交錯者，具有：

逆位元交換排列部，係接收由 $N*Q$ 個位元所構成之位元列，並對接收之前述位元列之位元進行置換該位元列之位元之排列順序之逆位元交換排列處理，以復原前述類循環低密度同位檢查碼之碼字，且前述逆位元交換排列處理，是將第1位元交錯器所執行之前述位元交換排列處理所置換之排列順序復原之處理。

本發明之另一態樣之第1解碼器，是利用類循環低密度同位檢查碼之位元交錯編碼調變系統用之解碼器，包含：叢集反對映器，係產生軟位元列，該軟位元列表示所對應之位元是0或是1之機率；如申請專利範圍第15項所示之位元反交錯器，對前述軟位元列進行位元反交錯；及低密度同位檢查解碼器，係對經位元反交錯之前述軟位元列進行解碼。。

本發明之另一態樣之第2解碼器，是在第1解碼器中，更具有減算部及申請專利範圍第9項之位元交錯器，前述減算部自前述低密度同位檢查解碼器之輸出減算前述低密度

同位檢查解碼器之輸入；而前述位元交錯器將前述減算部之減算結果回饋至前述叢集反對映器。

藉此，可實施具高並列性之位元反交錯處理。

產業上之利用可能性

本發明可利用於是使用類循環低密度同位檢查碼之位元交錯編碼調變系統中之位元交錯器及對應該位元交錯器之位元反交錯器。

【圖式簡單說明】

第1圖係顯示一般的之BICM編碼器所包含之傳送器之構成之塊狀圖。

第2圖係顯示編碼率為 $1/2$ 之類循環低密度同位檢查(quasi-CyCliC low-density parity CheCk : QC LDPC)編碼之同位檢查矩陣之一例之圖。

第3圖係顯示編碼率為 $2/3$ 之重覆累加類循環低密度同位檢查(repeat-aCCumulate quasi-CyCliC low-density parity CheCk : RA QC LDPC)編碼之同位檢查矩陣之一例之圖。

第4圖係顯示行交換排列後之第3圖之RA QC LDPC編碼之同位檢查矩陣之圖。

第5圖係顯示行交換排列及同位交換排列後之第3圖之RA QC LDPC編碼之同位檢查矩陣之圖。

第6圖係說明8PAM編碼中編碼後之位元具有相異強健性水準之圖。

第7圖係顯示對應循環係數 $Q=8$ 、1個低密度同位檢查碼字之循環區塊數 $N=12$ 、1個叢集之位元數 $M=4$ 之通常位元

交錯器構成之塊狀圖。

第8(a)圖係顯示DVB-T2規格中利用之DVB-T2調變器之構成之塊狀圖。

第8(b)圖係顯示第8(a)圖中所示之DVB-T2調變器之BICM編碼器構成之塊狀圖。

第9(a)圖係顯示由12列之行-列交錯器所進行之16K編碼(LDPC碼字長為16200位元之LDPC編碼)之碼字之位元之寫入處理之圖。

第9(b)圖係顯示對第9(a)圖中由行-列交錯器所寫入之碼字進行讀出處理之圖。

第10(a)圖係顯示由8列之行-列交錯器所進行之16K編碼之碼字之位元之寫入處理之圖。

第10(b)圖係顯示第10(a)圖中由行-列交錯器所寫入之碼字之位元進行行讀出處理之圖。

第11圖係顯示以DVB-T2規格為準之16QAM中16K編碼用之位元-胞多工解訊器之構成之塊狀圖。

第12圖係顯示以DVB-T2規格為準之64QAM中16K編碼用之位元-胞多工解訊器之構成之塊狀圖。

第13圖係顯示以DVB-T2規格為準之256QAM中16K編碼用之位元-胞多工解訊器之構成之塊狀圖。

第14圖係顯示8列之DVB-T2位元交錯器中對於16K編碼時可能發生問題之圖。

第15圖係顯示12列之DVB-T2位元交錯器中對於16K編碼時可能發生問題之圖。

第16圖係顯示8列之DVB-T2位元交錯器中對16K編碼適用列扭曲處理時可能發生問題之圖。

第17圖係顯示12列之DVB-T2位元交錯器中對16K編碼適用列扭曲處理時可能發生問題之圖。

第18(a)圖係說明發明者積極研究後所發現之可提供具高效率之交錯器之第1個條件之圖。

第18(b)圖係說明發明者積極研究後所發現之可提供具高效率之交錯器之第2個條件之圖。

第19圖係顯示本發明之一實施形態之交錯器之對映機能之圖。

第20圖係顯示本發明之一實施形態之交錯器之構成之塊狀圖。

第21(a)圖係顯示實施第20圖之區域交換排列之區域交換排列單元之一構成例之塊狀圖。

第21(b)圖係顯示第21(a)圖之區域交換排列單元所進行之對映機能之圖。

第22(a)圖係顯示實施第20圖之區域交換排列之區域交換排列單元之其他構成例之塊狀圖。

第22(b)圖係顯示第22(a)圖之區域交換排列單元所進行之對映機能之圖。

第23圖係顯示本發明之其他實施形態之交錯器之構成之塊狀圖。

第24圖係顯示第23圖之位元交錯器之一構成例之塊狀圖。

第25圖係顯示本發明另一其他實施形態之傳送器之一構成例之塊狀圖。

第26圖係顯示本發明另一其他實施形態之BICM編碼器之一套用例塊狀圖。

第27圖係顯示具有本發明另一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

第28圖係顯示具有本發明另一其他實施形態之重覆BICM解碼器之接收器之一構成例之塊狀圖。

第29圖係顯示本發明之又一其他實施形態之重覆BICM解碼器之一套用例之塊狀圖。

【主要元件符號說明】

2000…位元交錯器	2400…位元交錯器
2010…位元交換排列單元	2500…傳送器
2021～2023…區域交換排列單元	2510…LDPC編碼器
2101…位元交換排列單元	2520…位元交錯器
2111～2122…循環區塊內交換排列單元	2530…叢集對映器
2131～2133…行-列交換排列單元	2700、2800…接收器
2201…位元交換排列單元	2710…叢集反對映器
2300…位元交錯器	2720…位元反交錯器
2310…循環區塊交換排列單元	2730…LDPC解碼器
	2740…減算單元
	2750…位元交錯器



七、申請專利範圍：

1. 一種位元交錯方法，是將藉由包含重覆累加類循環低密度同位檢查編碼方式的類循環低密度同位檢查編碼方式所生成之碼字的位元加以排列置換者，

其特徵在於前述位元交錯方法包含有：

循環區塊交換排列步驟，是實施對 $N \times Q$ 位元之前述碼字依循已經規定前述循環區塊之排列置換的循環區塊交換排列規則，進行前述循環區塊之排列置換的循環區塊交換排列處理者，且該 $N \times Q$ 位元之前述碼字是以分別由 Q 個位元構成之 N 個循環區塊所構成；

位元交換排列步驟，是實施對已實施前述循環區塊交換排列處理的前述碼字，依循已規定位元之排列置換的位元交換排列規則進行位元之排列置換的位元交換排列處理；及

分割步驟，將已實施前述位元交換排列處理的碼字分割為分別由 M 個位元構成之複數個叢集字，

且前述 N 是前述 M 之倍數，

前述位元交換排列規則是將實施了前述循環區塊交換排列處理的前述碼字之位元排列置換的規則，使在前述 N 個循環區塊之各個循環區塊中將前述循環區塊之 Q 個位元中任一位元都分配至 Q 個叢集字中之同一位元指標之位元，且前述 Q 個叢集字之各個叢集字是由該 Q 個叢集字所共通之 M 個前述循環區塊之各個循環區塊中之 1 個位元所構成，

各前述循環區塊之位元所被分配之前述叢集字中之位元之位元指標是根據前述循環區塊交換排列規則來決定。

2. 一種位元交錯器，是將藉由包含重覆累加類循環低密度同位檢查編碼方式的類循環低密度同位檢查編碼方式所生成之碼字的位元加以排列置換者，

其特徵在於前述位元交錯器包含有：

循環區塊交換排列部，是實施對 $N \times Q$ 位元之前述碼字依循已經規定前述循環區塊之排列置換的循環區塊交換排列規則，進行前述循環區塊之排列置換的循環區塊交換排列處理者，且該 $N \times Q$ 位元之前述碼字是以分別由 Q 個位元構成之 N 個循環區塊所構成；

位元交換排列部，是實施對已實施前述循環區塊交換排列處理的前述碼字，依循已規定位元之排列置換的位元交換排列規則進行位元之排列置換的位元交換排列處理；及

分割部，將已實施前述位元交換排列處理的碼字分割為分別由 M 個位元構成之複數個叢集字，

且前述 N 是前述 M 之倍數，

前述位元交換排列規則是將實施了前述循環區塊交換排列處理的前述碼字之位元排列置換的規則，使在前述 N 個循環區塊之各個循環區塊中將前述循環區塊之 Q 個位元中任一位元都分配至 Q 個叢集字中之同一位元指標之位元，且前述 Q 個叢集字之各個叢集字是由該 Q 個

叢集字所共通之 M 個前述循環區塊之各個循環區塊中之 l 個位元所構成，

各前述循環區塊之位元所被分配之前述叢集字中之位元之位元指標是根據前述循環區塊交換排列規則來決定。

3. 一種訊號處理方法，用以處理訊號，該訊號是將藉由包含重覆累加類循環低密度同位檢查編碼方式的類循環低密度同位檢查編碼方式所生成之碼字，亦即分別為由 Q 個位元構成之 N 個循環區塊所構成之碼字之位元進行排列置換處理，並依每 M 個位元分割生成的 $N \times Q / M$ 個叢集字進行調變而傳送的訊號，該訊號處理方法其特徵在於：

前述位元之排列置換處理包含有：

循環區塊交換排列處理，是進行遵從已規定前述循環區塊之排列置換的循環區塊交換排列規則的前述碼字之前述循環區塊之排列置換；及

位元交換排列處理，是進行已實施前述循環區塊交換排列處理之前述碼字之位元之排列置換，且該循環區塊交換排列處理是遵循已規定位元之排列置換的位元交換排列規則者，

且前述 N 是前述 M 之倍數，

前述位元交換排列規則是將實施了前述循環區塊交換排列處理的前述碼字之位元排列置換的規則，使在前述 N 個循環區塊之各個循環區塊中將前述循環區塊之 Q

個位元中任一位元都分配至Q個叢集字中之同一位元指標之位元，且前述Q個叢集字之各個叢集字是由該Q個叢集字所共通之M個前述循環區塊之各個循環區塊中之1個位元所構成，

各前述循環區塊之位元所被分配之前述叢集字中之位元之位元指標是根據前述循環區塊交換排列規則來決定，

且，前述訊號處理方法包含有：

解調步驟，將經調變前述 $N \times Q/M$ 個叢集字且傳送的訊號解調而生成解調訊號；

解碼步驟，根據前述循環區塊交換排列規則及前述位元交換排列規則解碼前述解調訊號，生成利用前述類循環低密度同位檢查編碼方式的編碼前的資料。

4. 一種訊號處理裝置，用以處理訊號，該訊號是將藉由包含重覆累加類循環低密度同位檢查編碼方式的類循環低密度同位檢查編碼方式所生成之碼字，亦即分別為由Q個位元構成之N個循環區塊所構成之碼字之位元進行排列置換處理，並依每M個位元分割生成的 $N \times Q/M$ 個叢集字進行調變而傳送的訊號，該訊號處理裝置其特徵在於：

前述位元之排列置換處理包含有：

循環區塊交換排列處理，是進行遵從已規定前述循環區塊之排列置換的循環區塊交換排列規則的前述碼字之前述循環區塊之排列置換；及

位元交換排列處理，是進行已實施前述循環區塊交換排列處理之前述碼字之位元之排列置換，且該循環區塊交換排列處理是遵循已規定位元之排列置換的位元交換排列規則者，

且前述N是前述M之倍數，

前述位元交換排列規則是將實施了前述循環區塊交換排列處理之前述碼字之位元排列置換的規則，使在前述N個循環區塊之各個循環區塊中將前述循環區塊之Q個位元中任一位元都分配至Q個叢集字中之同一位元指標之位元，且前述Q個叢集字之各個叢集字是由該Q個叢集字所共通之M個前述循環區塊之各個循環區塊中之1個位元所構成，

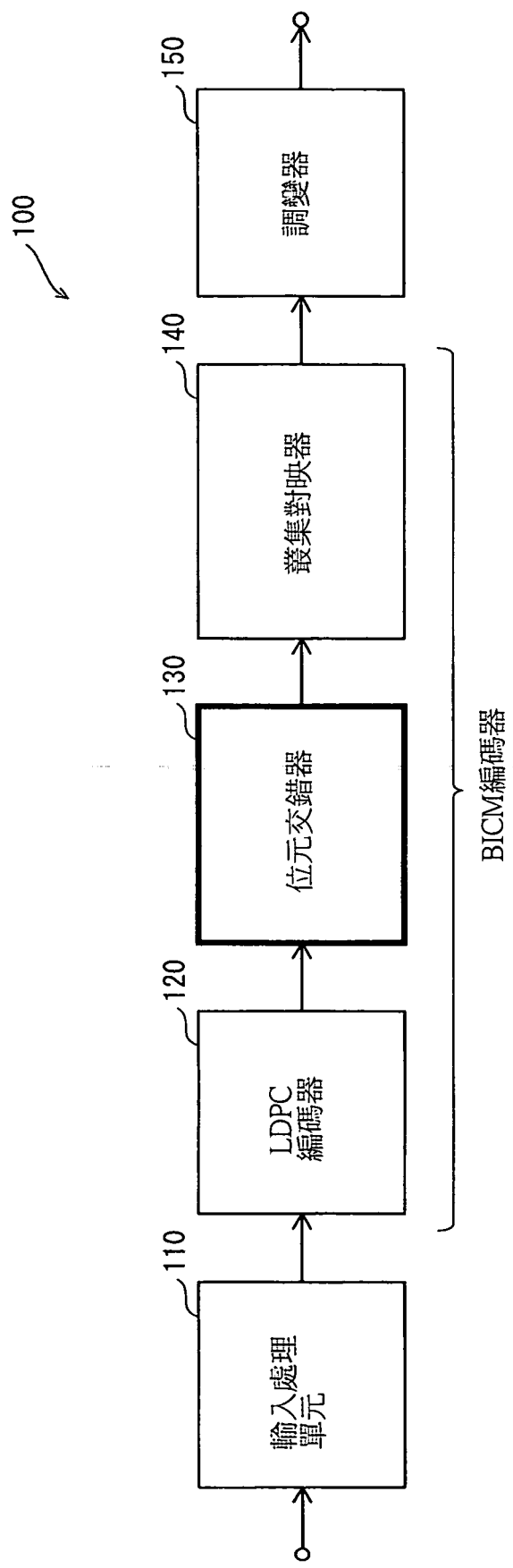
各前述循環區塊之位元所被分配之前述叢集字中之位元之位元指標是根據前述循環區塊交換排列規則來決定，

且，前述訊號處理裝置包含有：

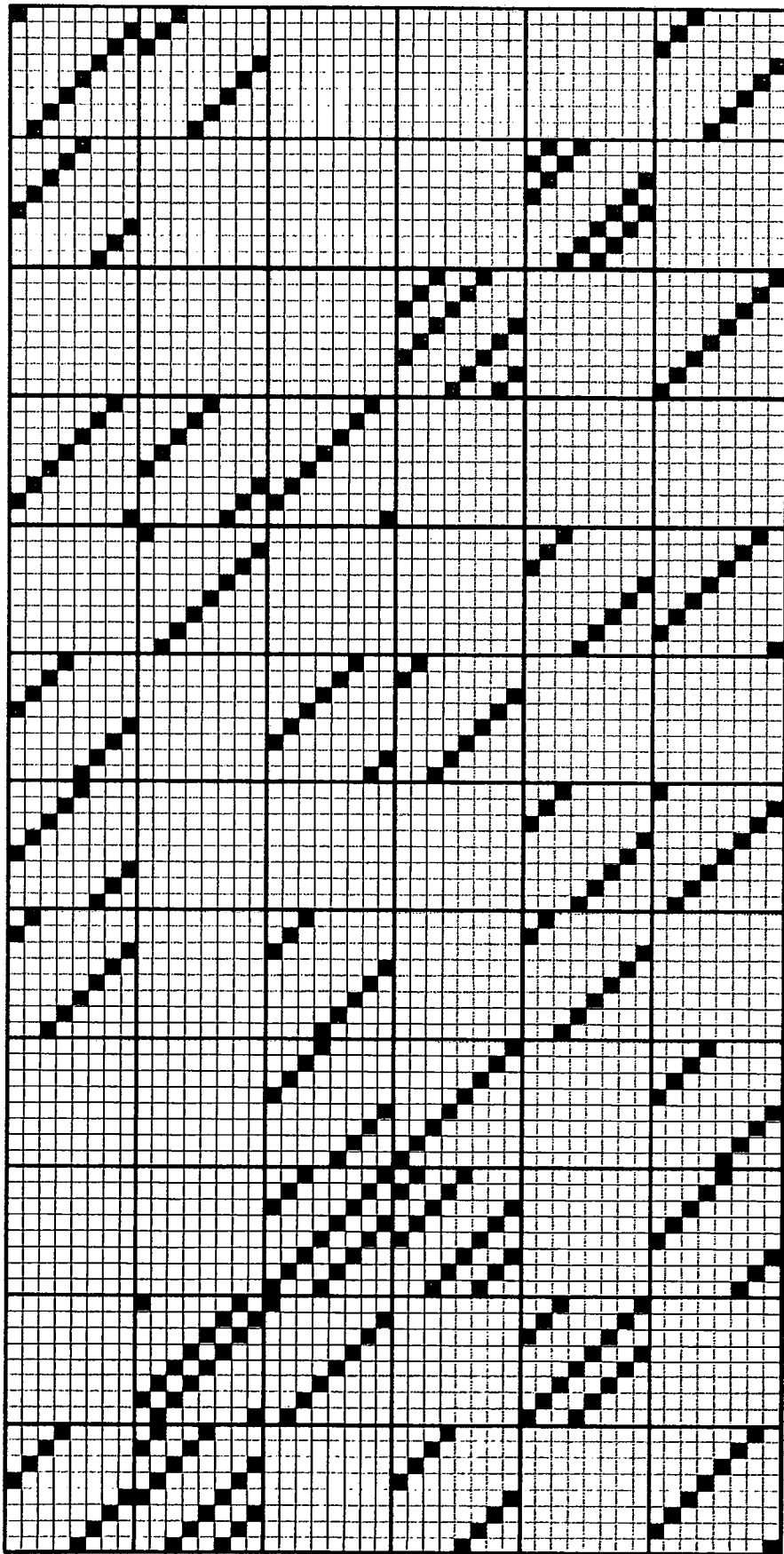
解調部，將經調變前述 $N \times Q / M$ 個叢集字且傳送的訊號解調而生成解調訊號；

解碼部，根據前述循環區塊交換排列規則及前述位元交換排列規則解碼前述解調訊號，生成利用前述類循環低密度同位檢查編碼方式的編碼前的資料。

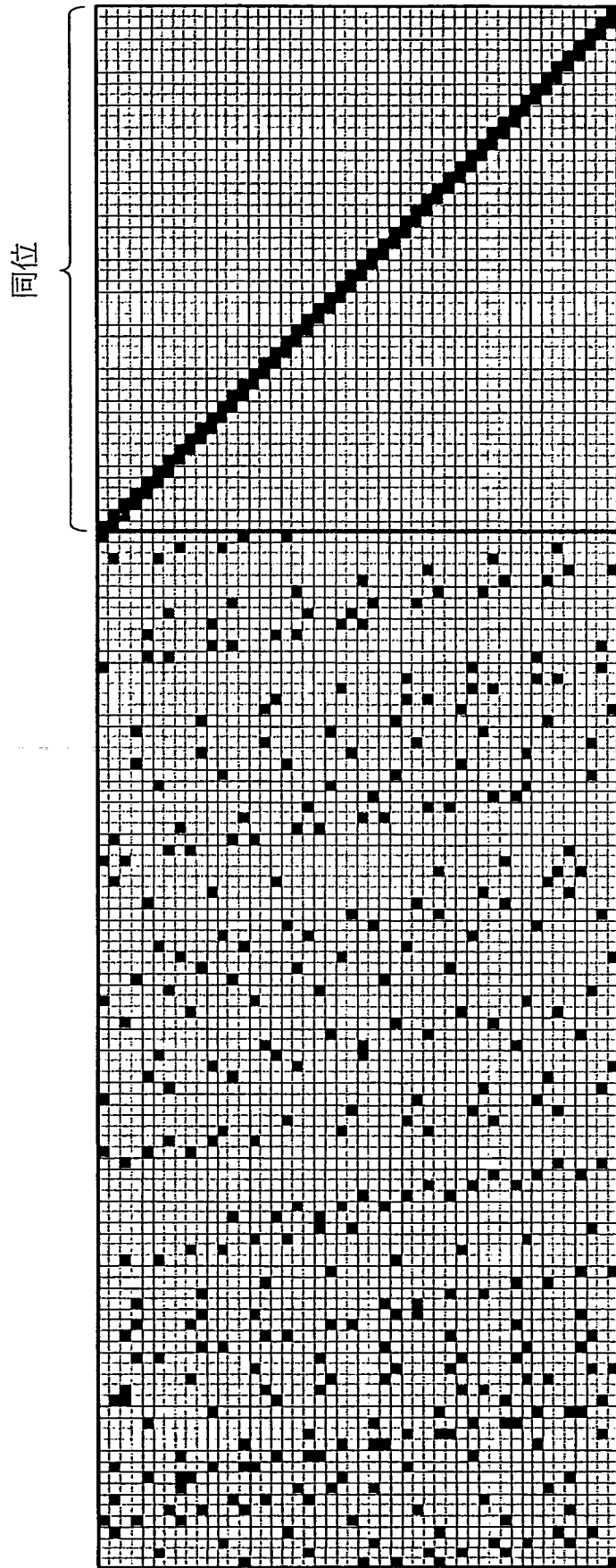
八、圖式：



第 1 圖

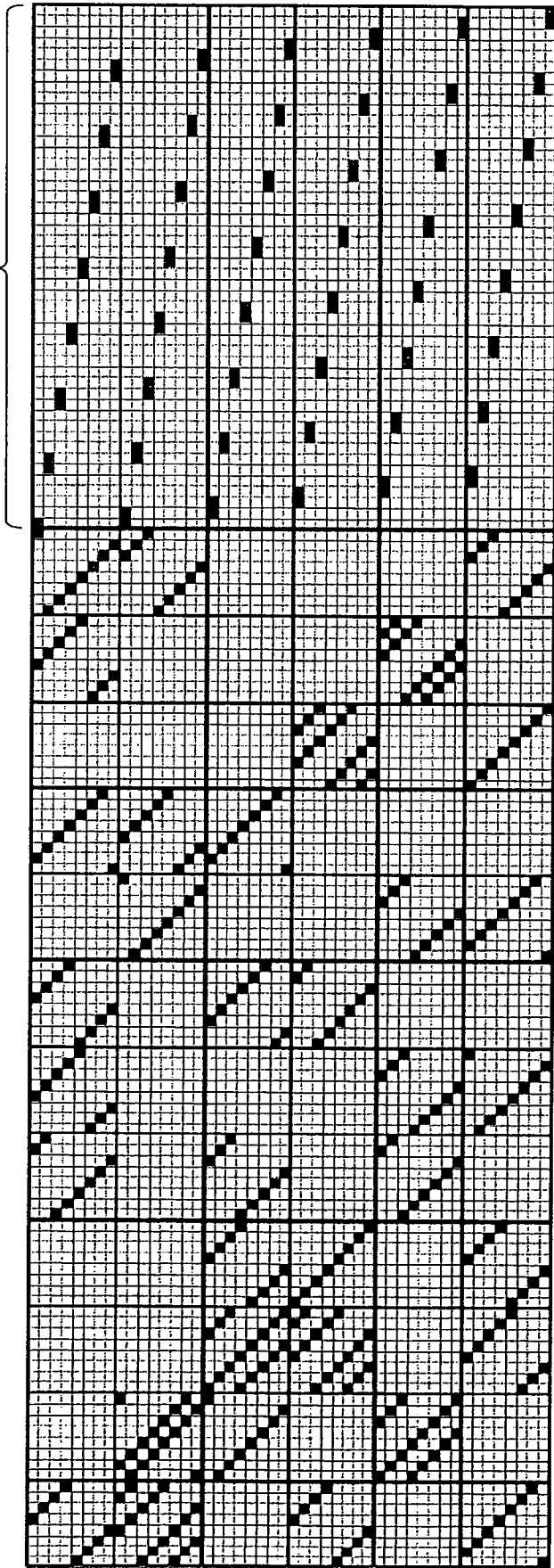


第 2 圖

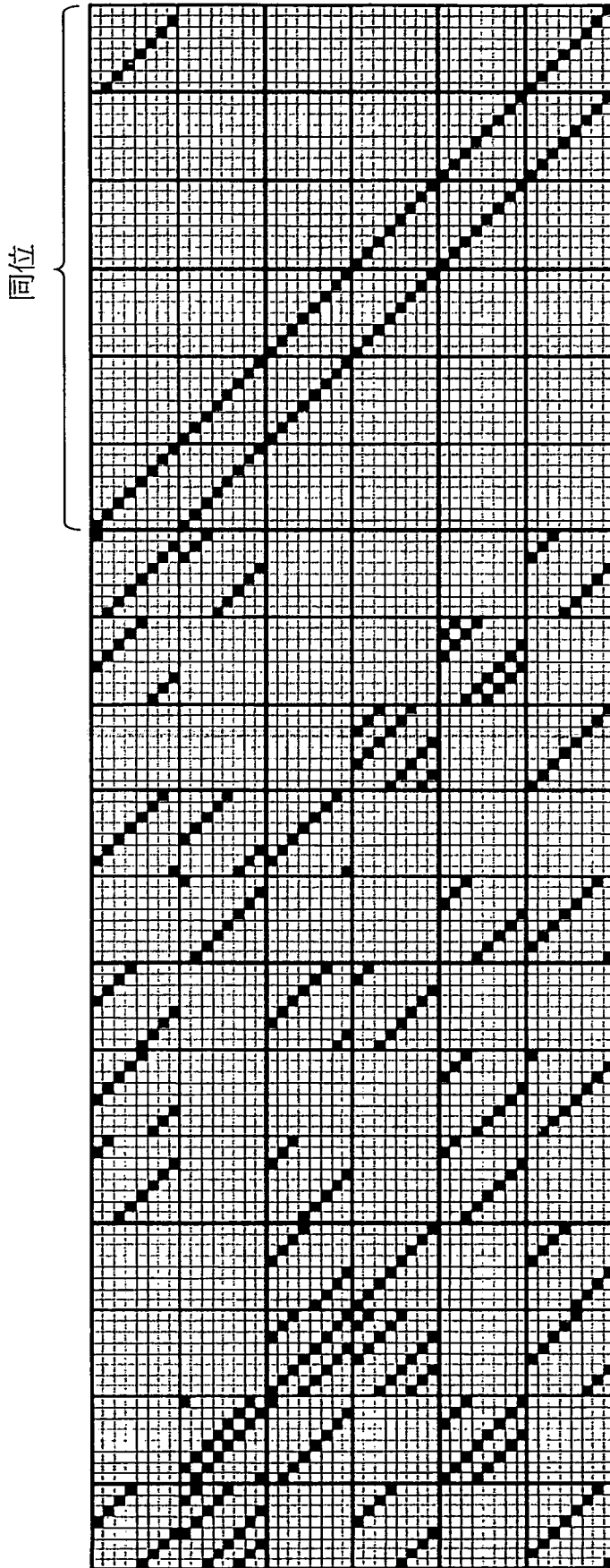


第 3 圖

同位

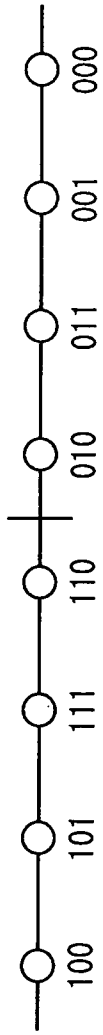


第 4 圖

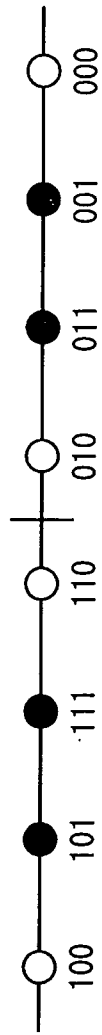


第 5 圖

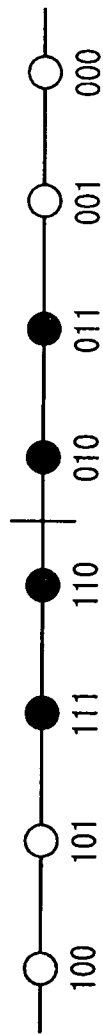
編碼位元b1,b2,b3(b3 b2 b1)



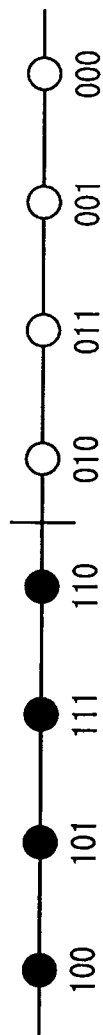
關於b1=1(黑), b1=0(白)之子組合



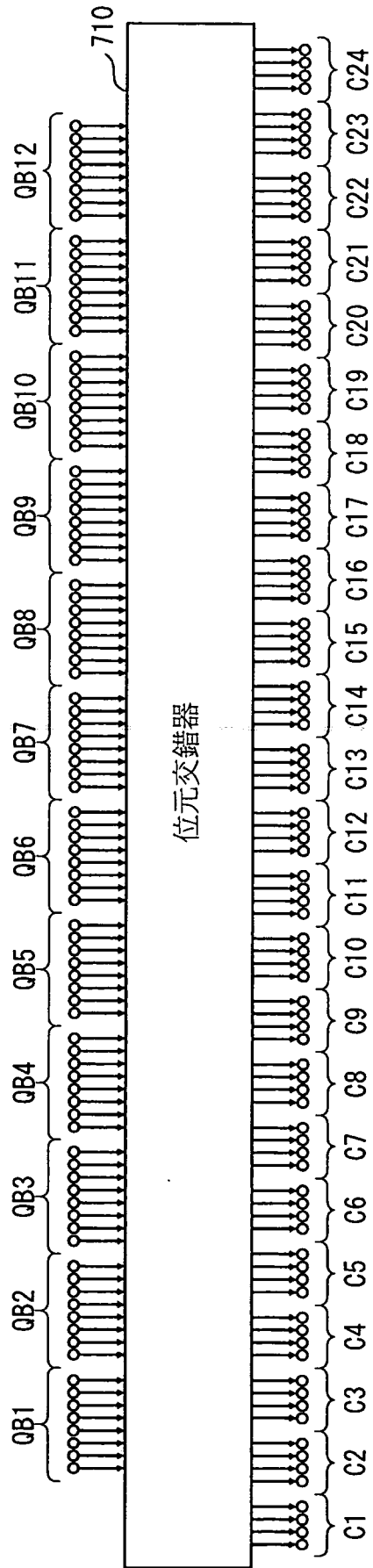
關於b2=1(黑), b2=0(白)之子組合



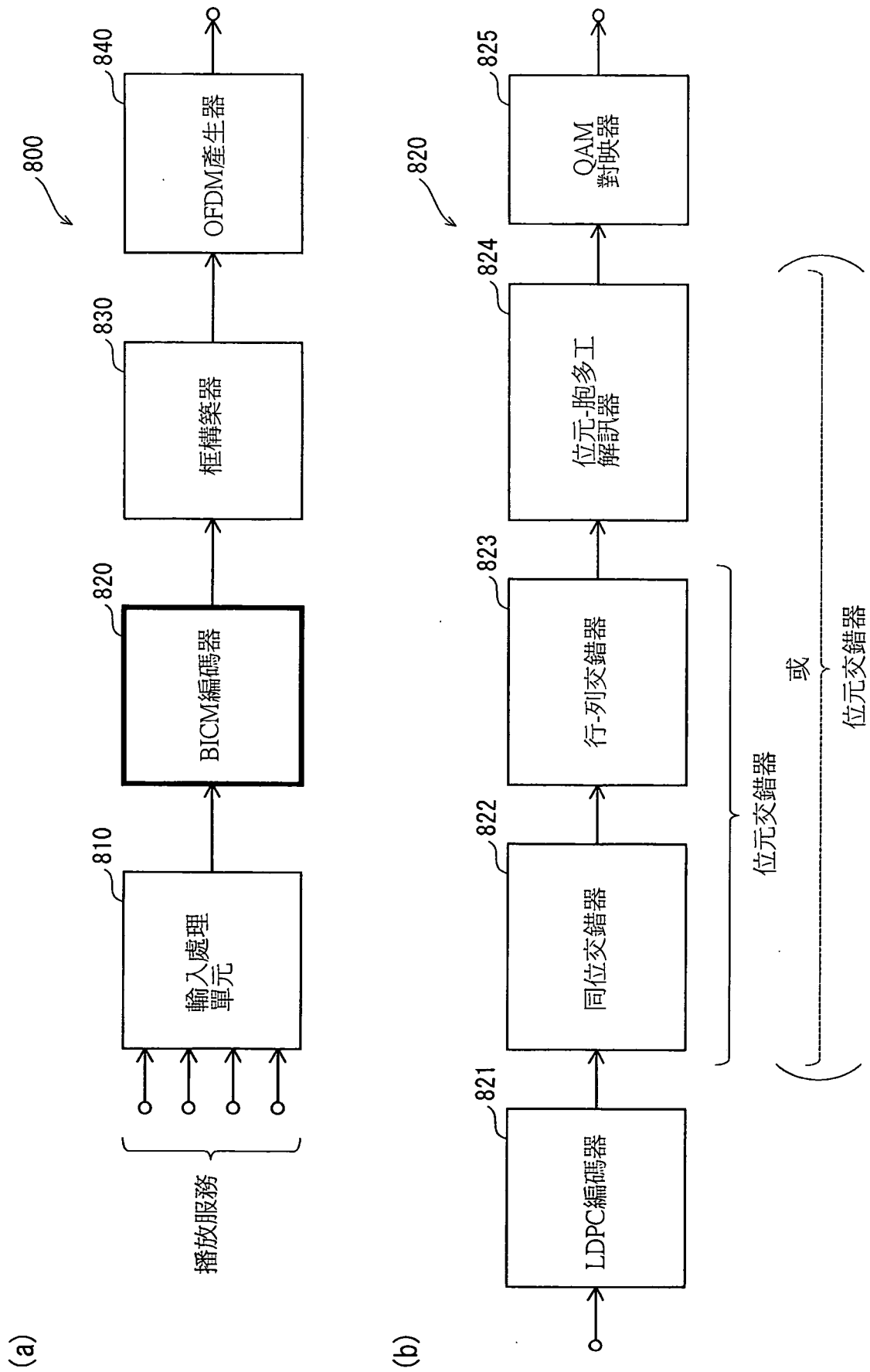
關於b3=1(黑), b3=0(白)之子組合



第 6 圖

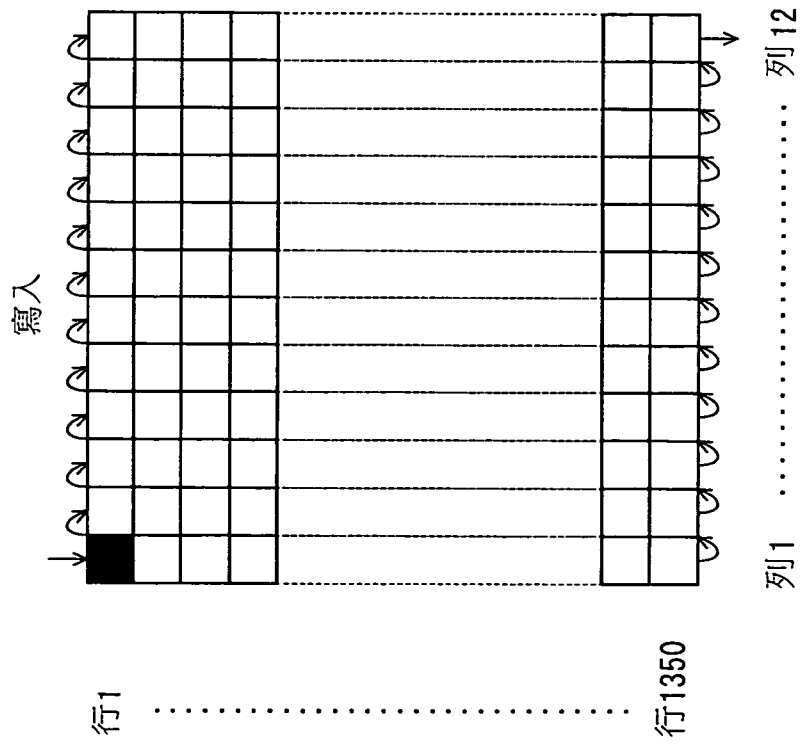


第 7 圖

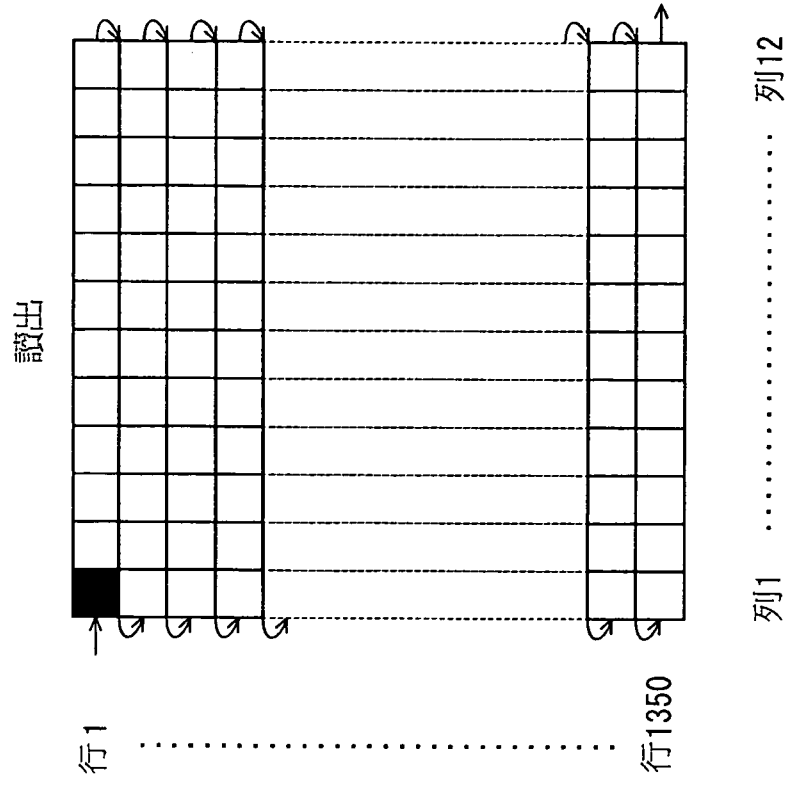


第 8 圖

(a)

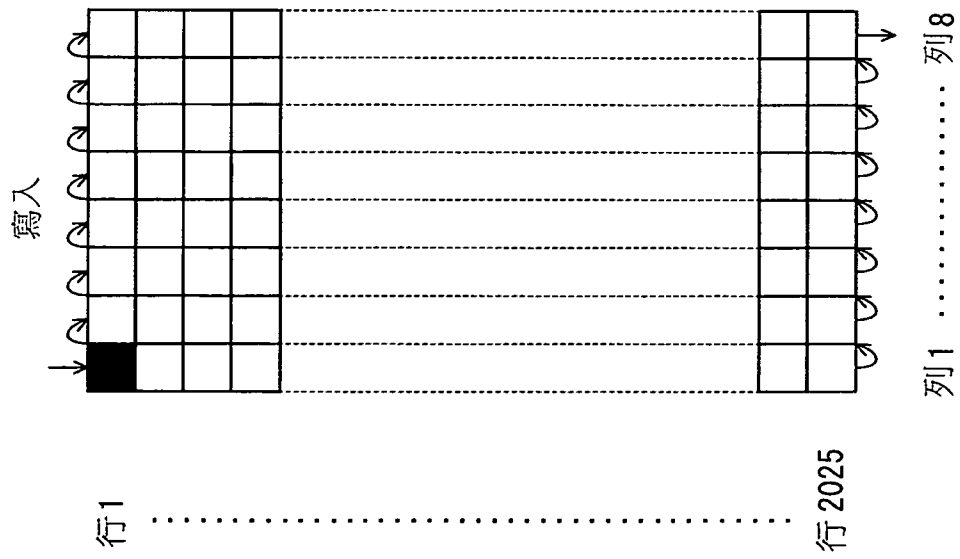


(b)

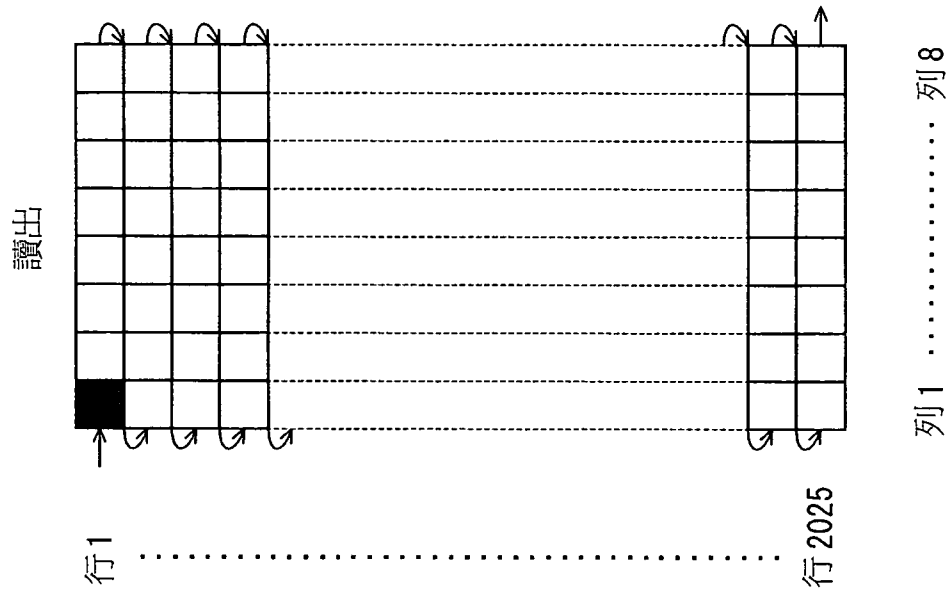


第 9 圖

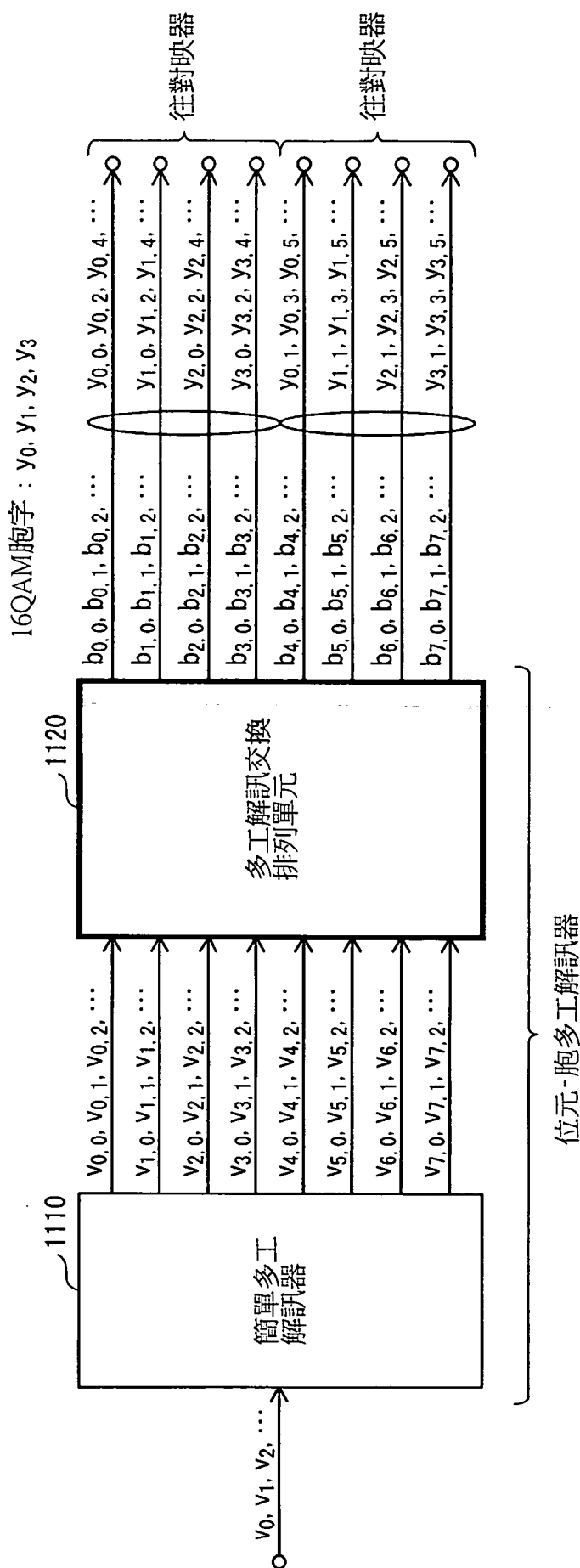
(a)



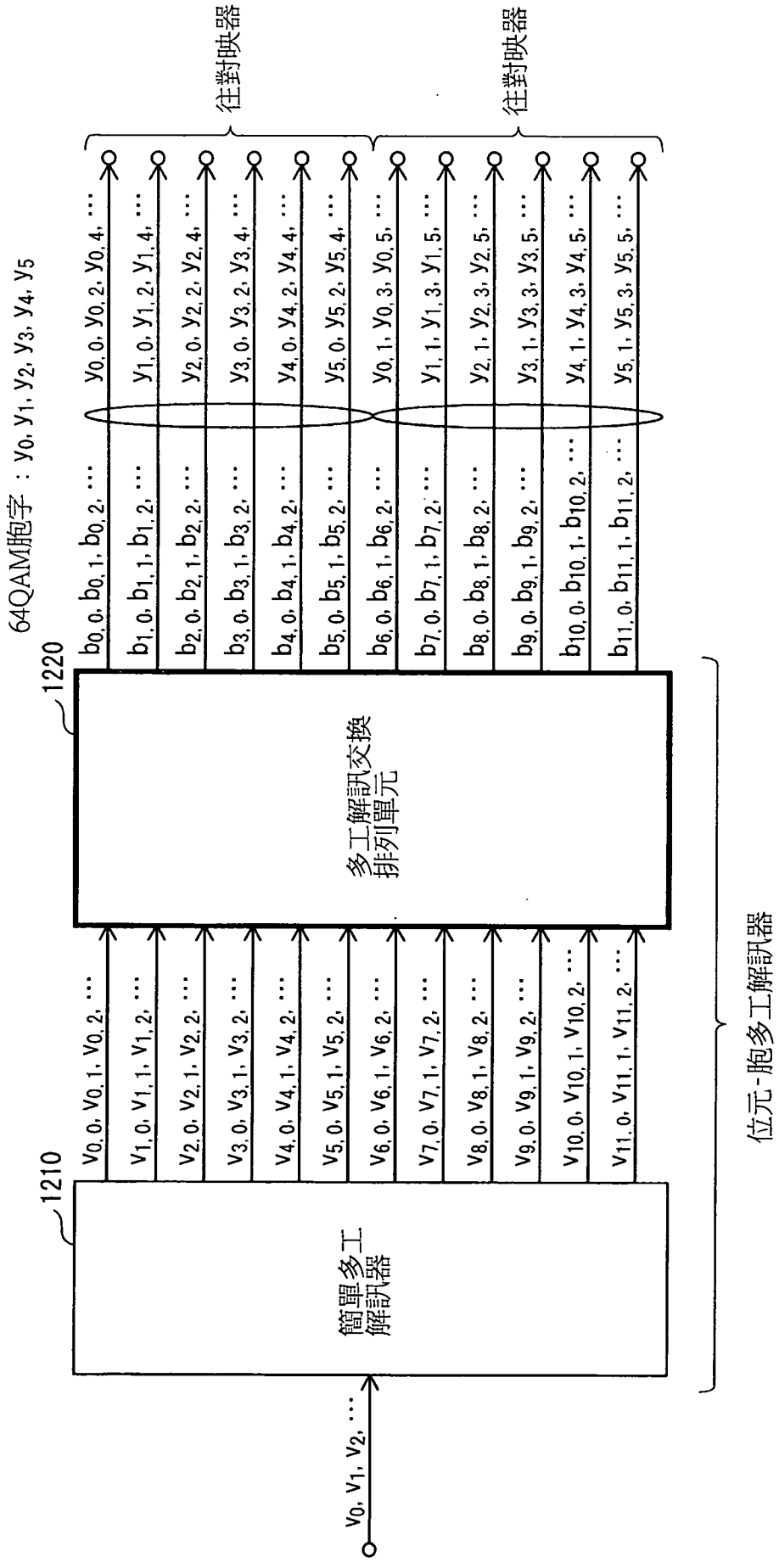
(b)



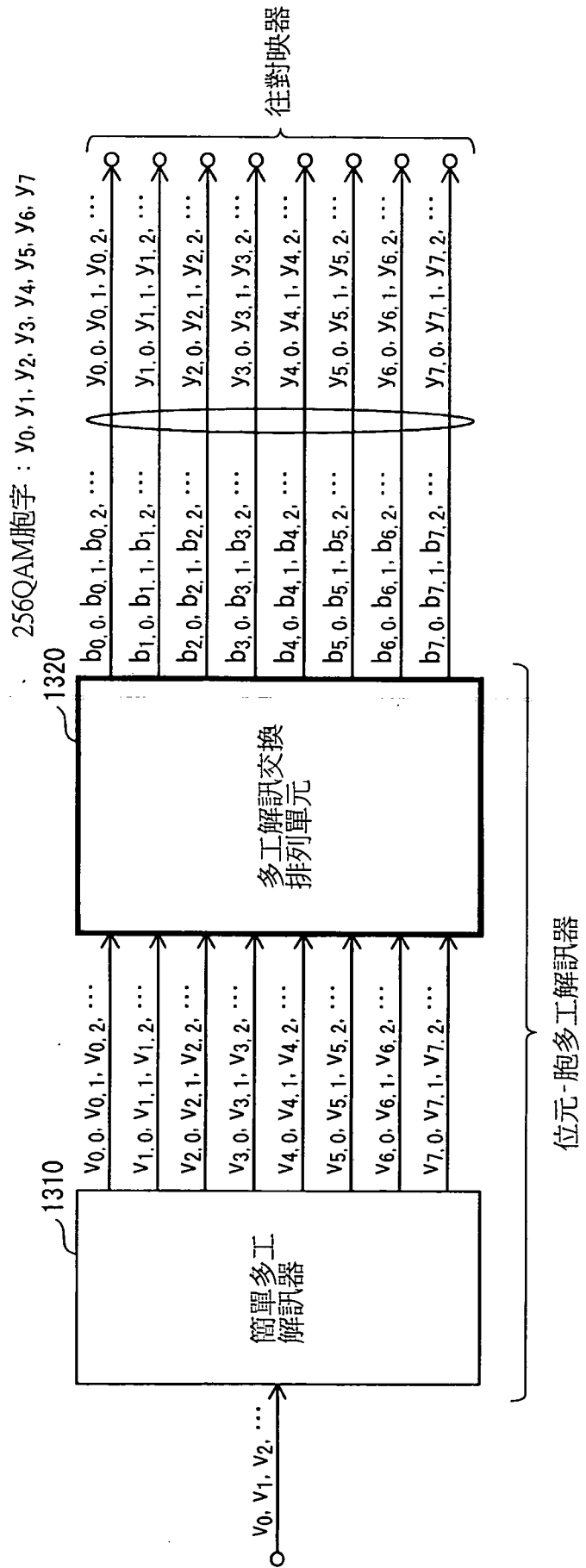
第 10 圖



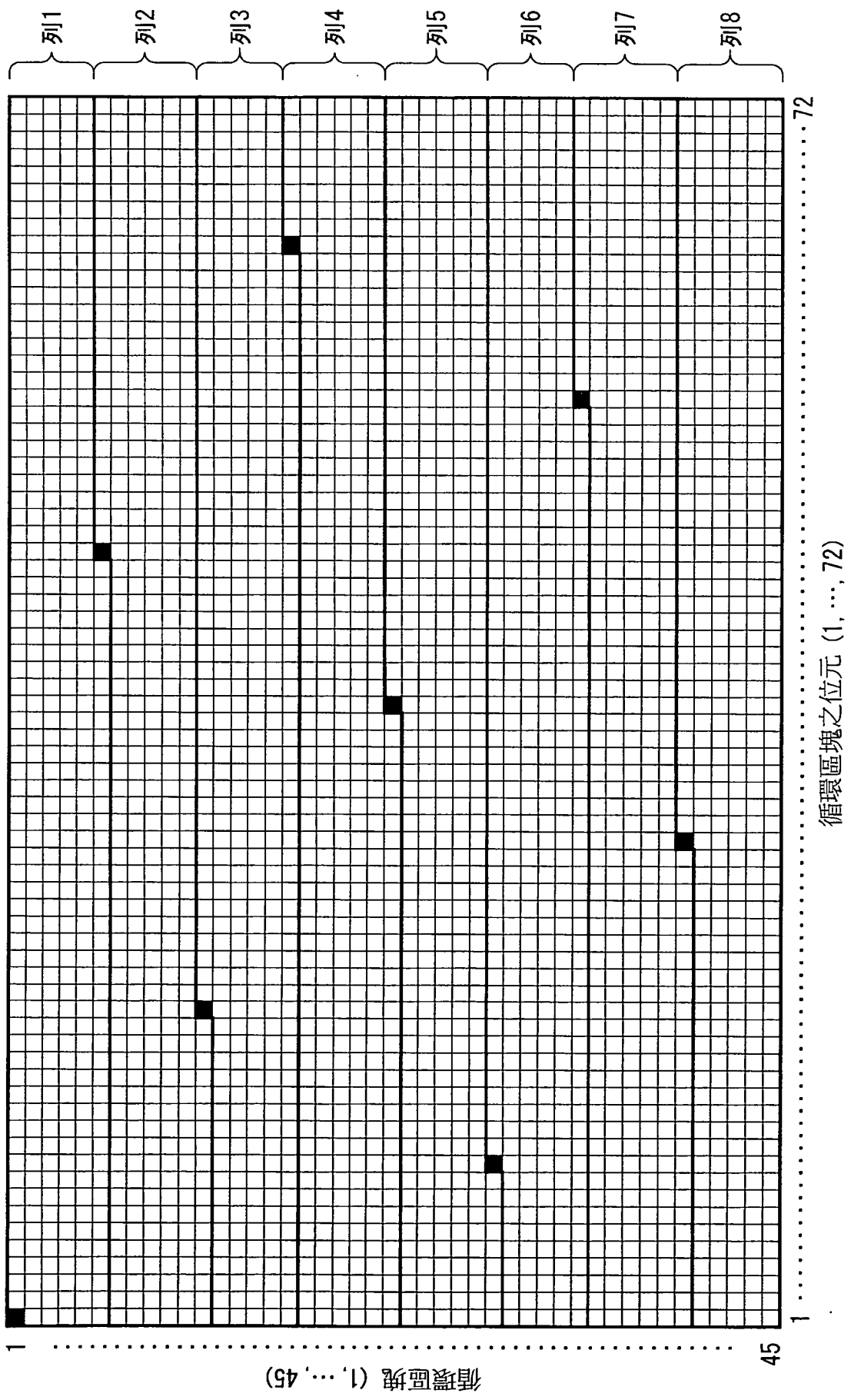
第 11 圖



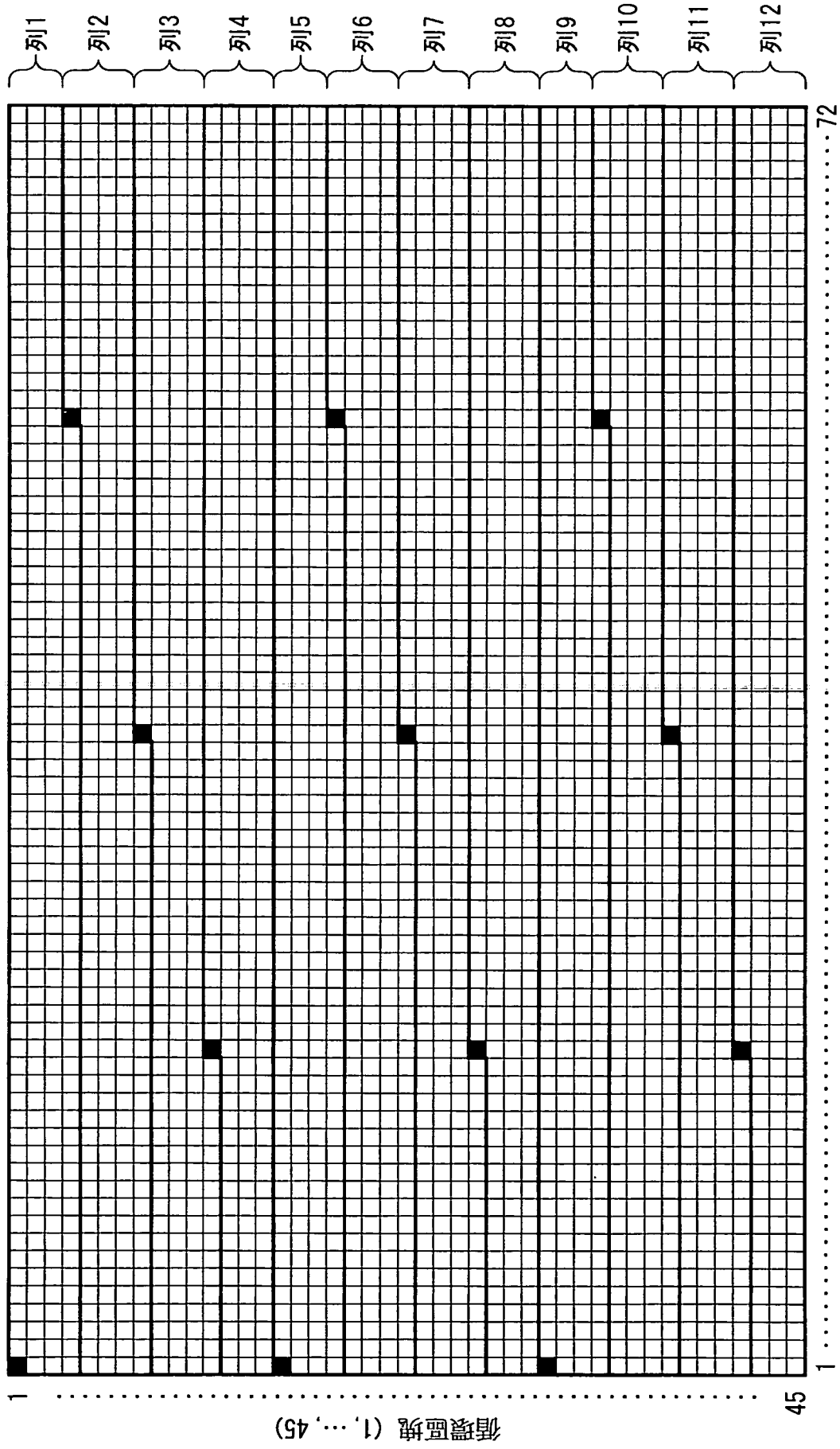
第 12 圖



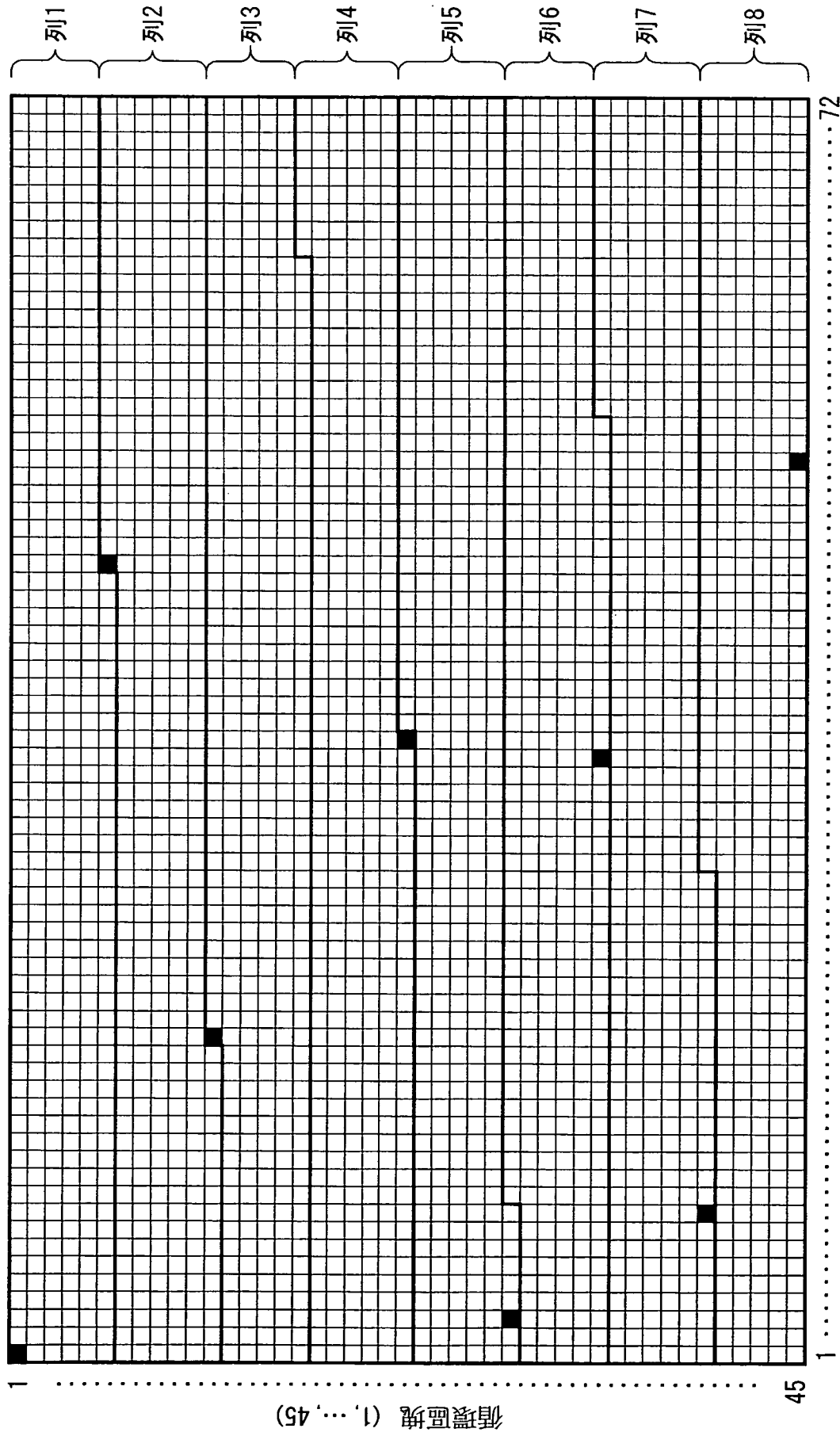
第 13 圖



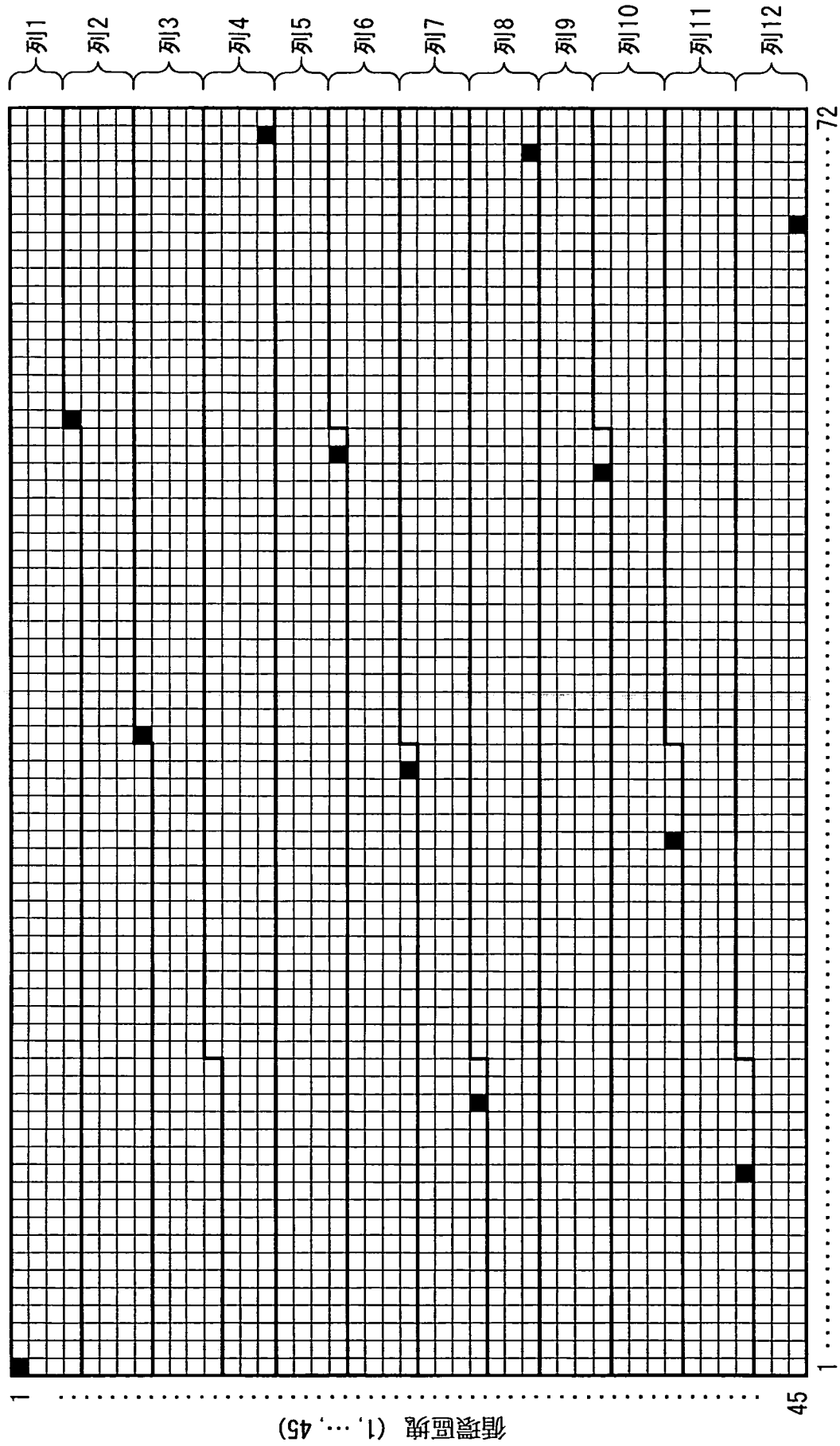
第 14 圖



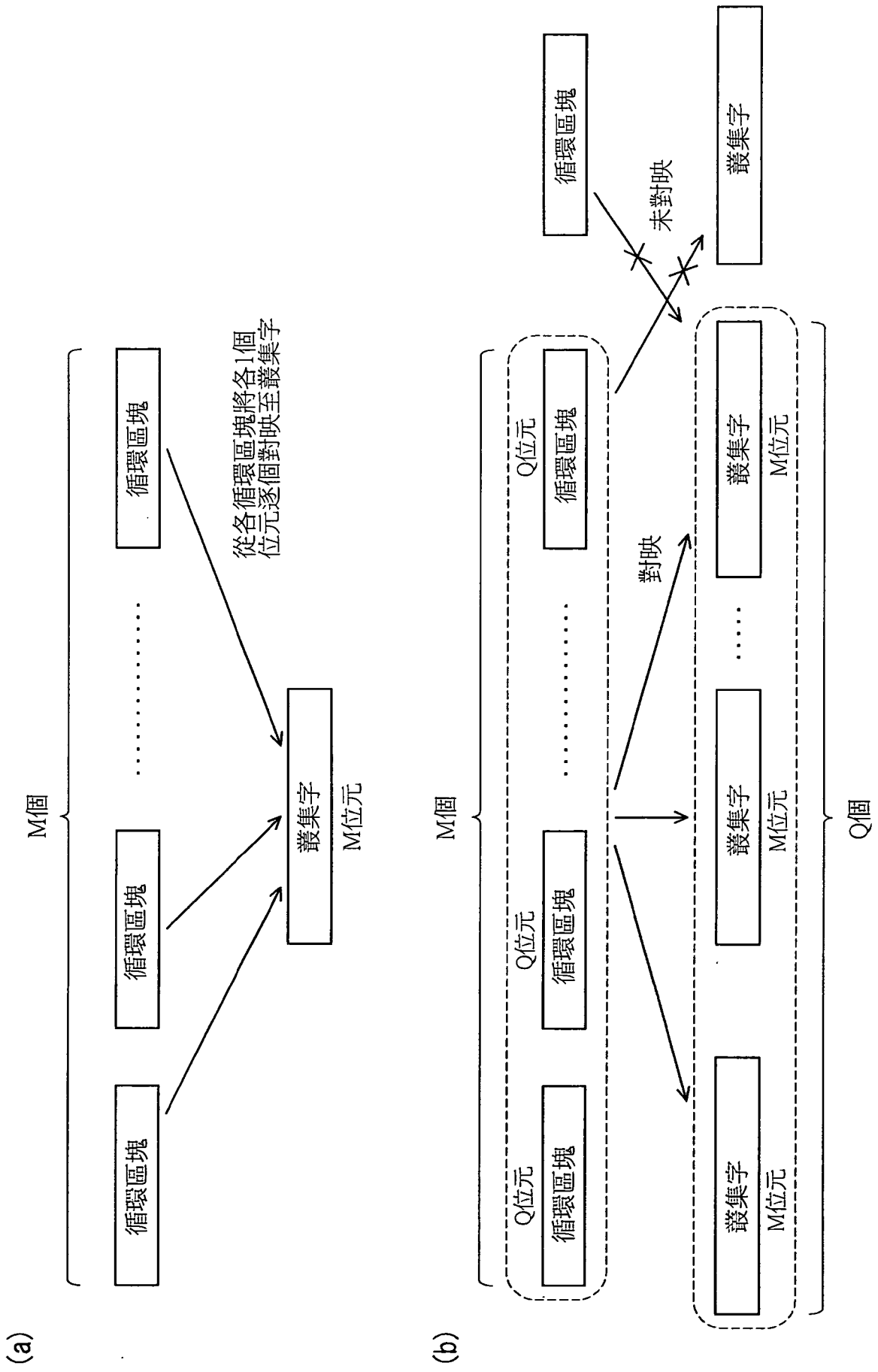
第 15 圖



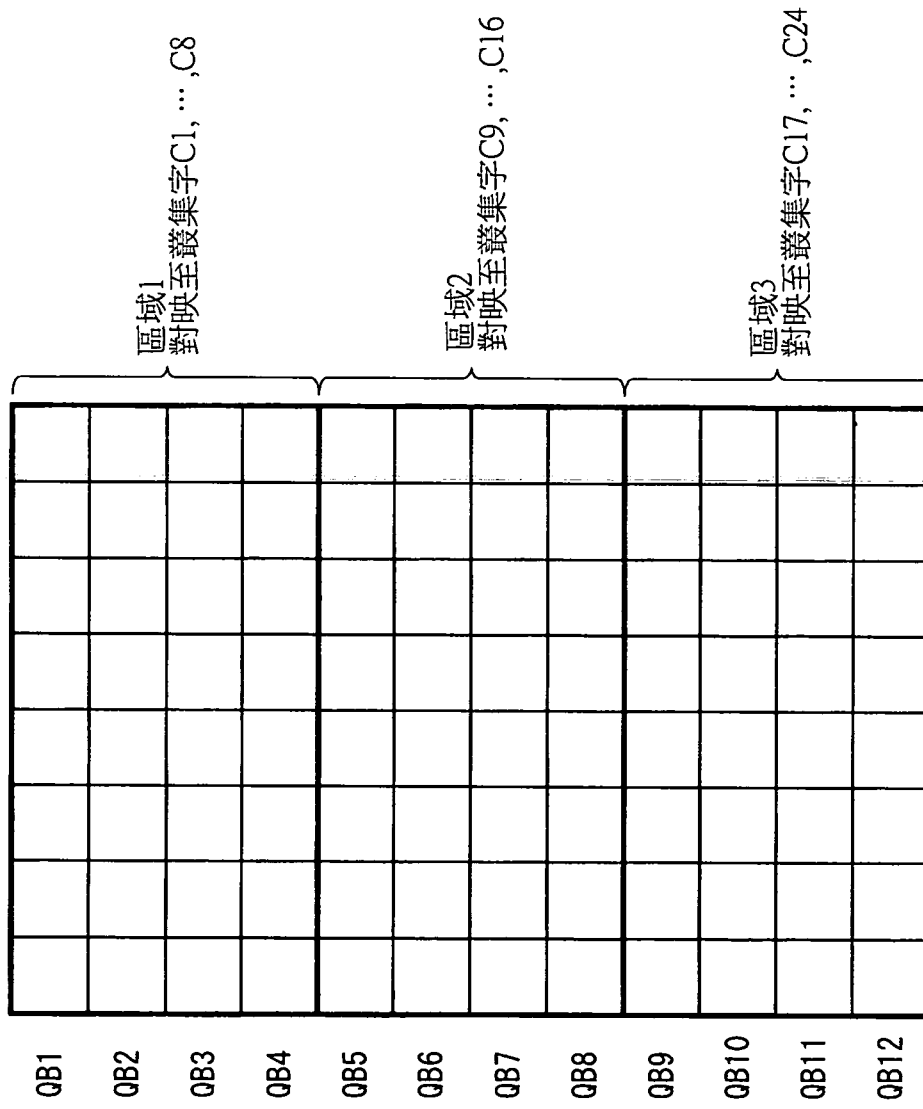
第 16 圖



第 17 圖

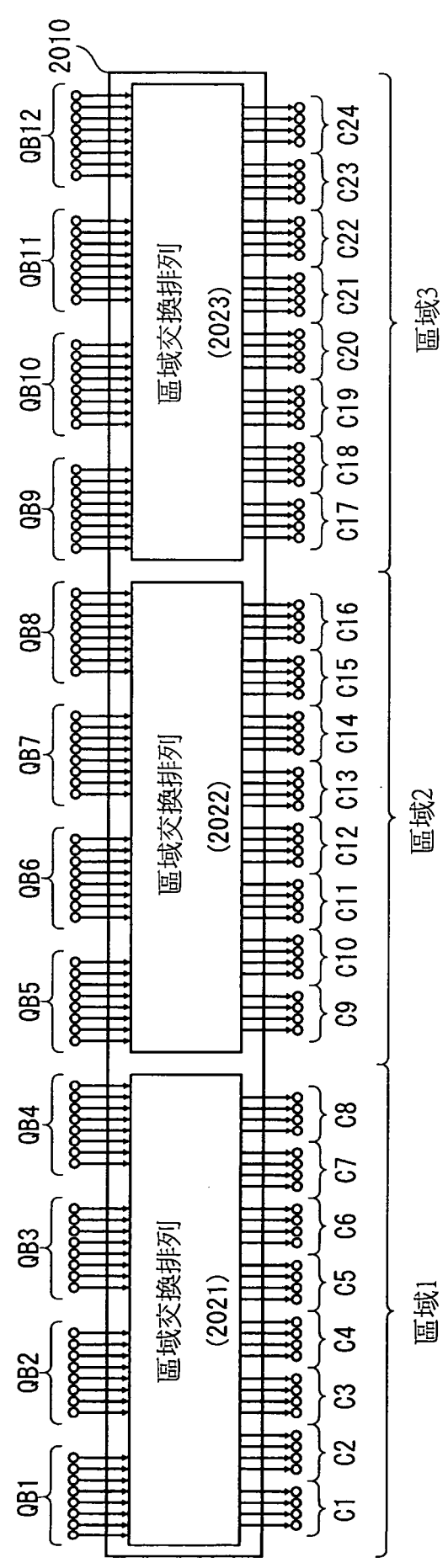


第 18 圖

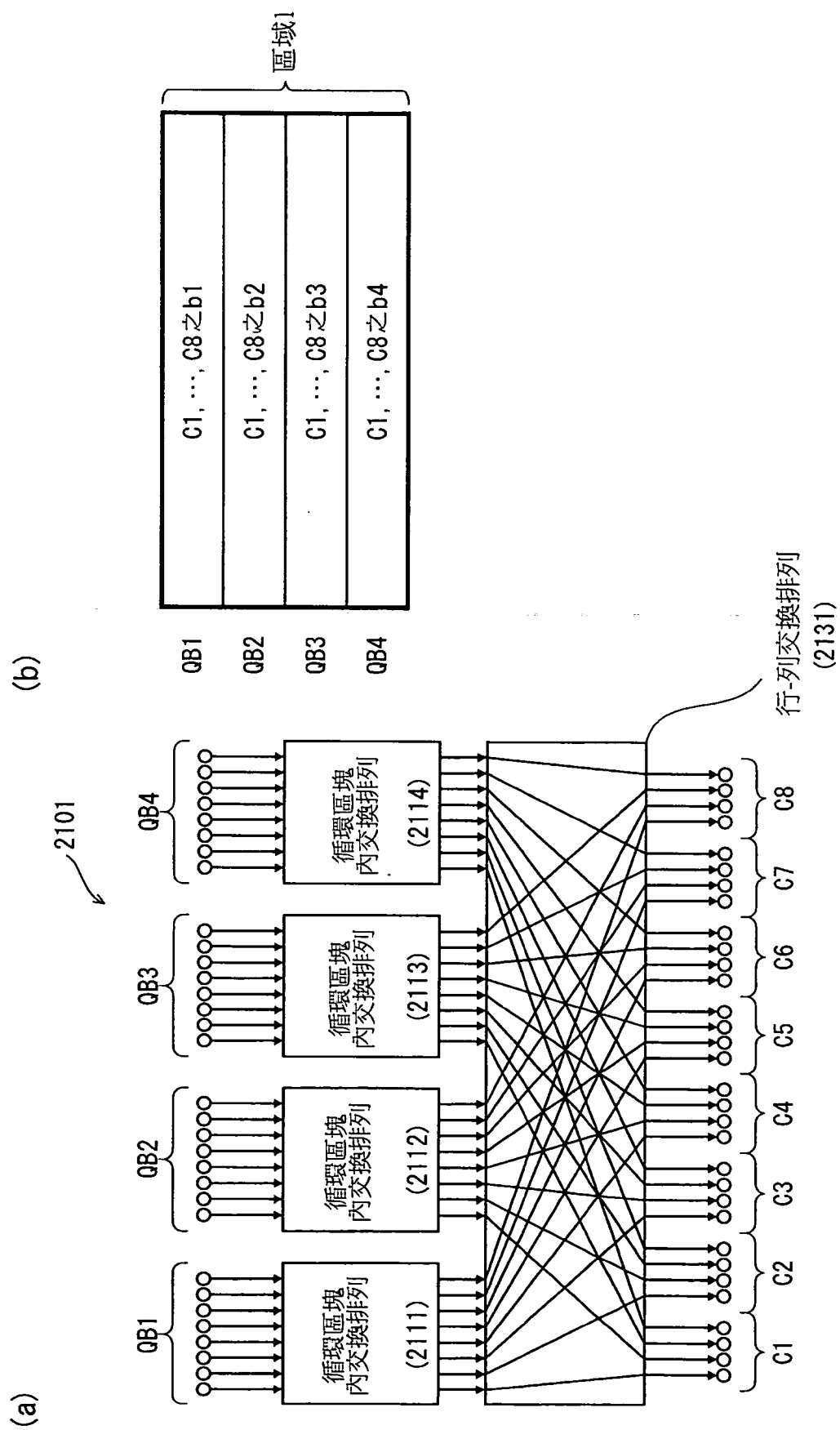


第 19 圖

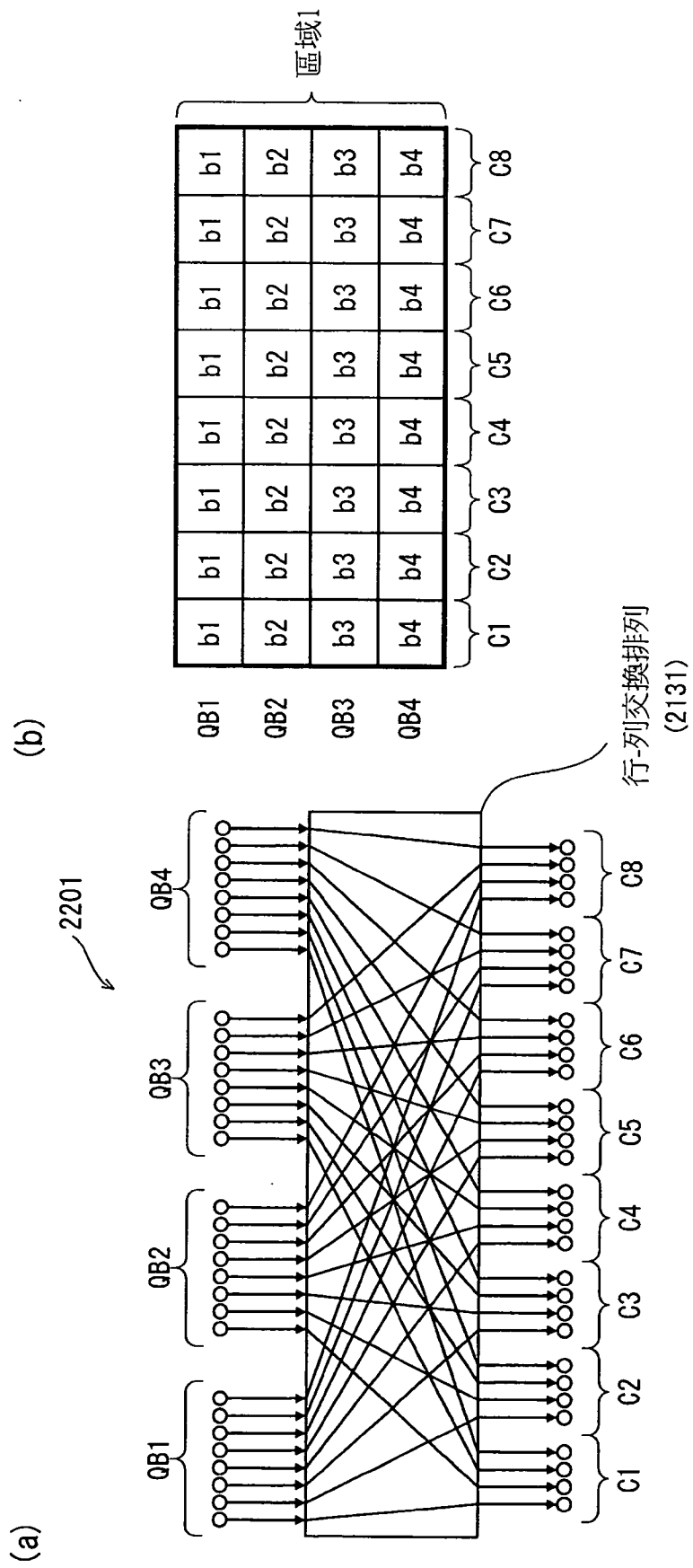
2000



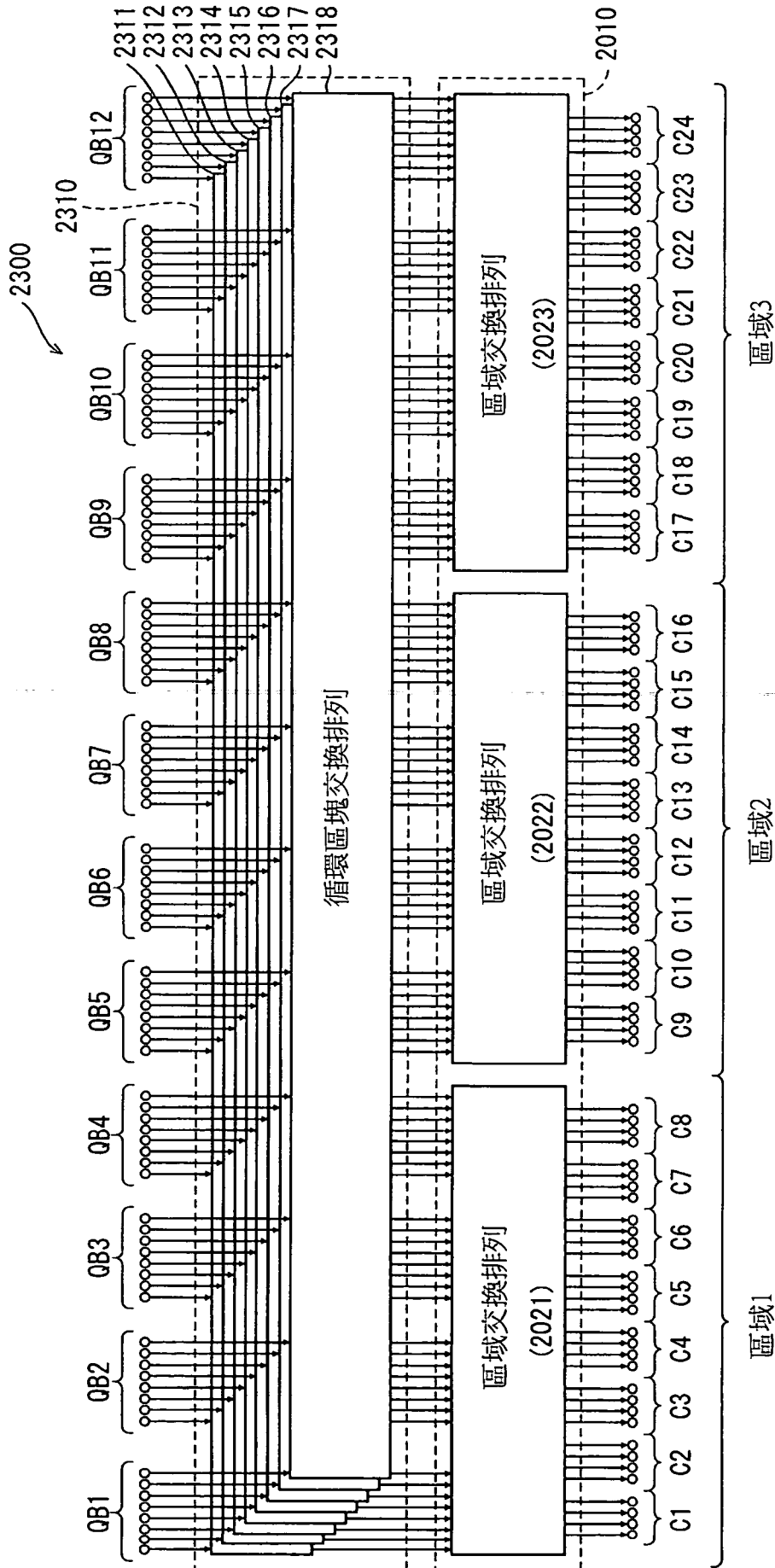
第 20 圖



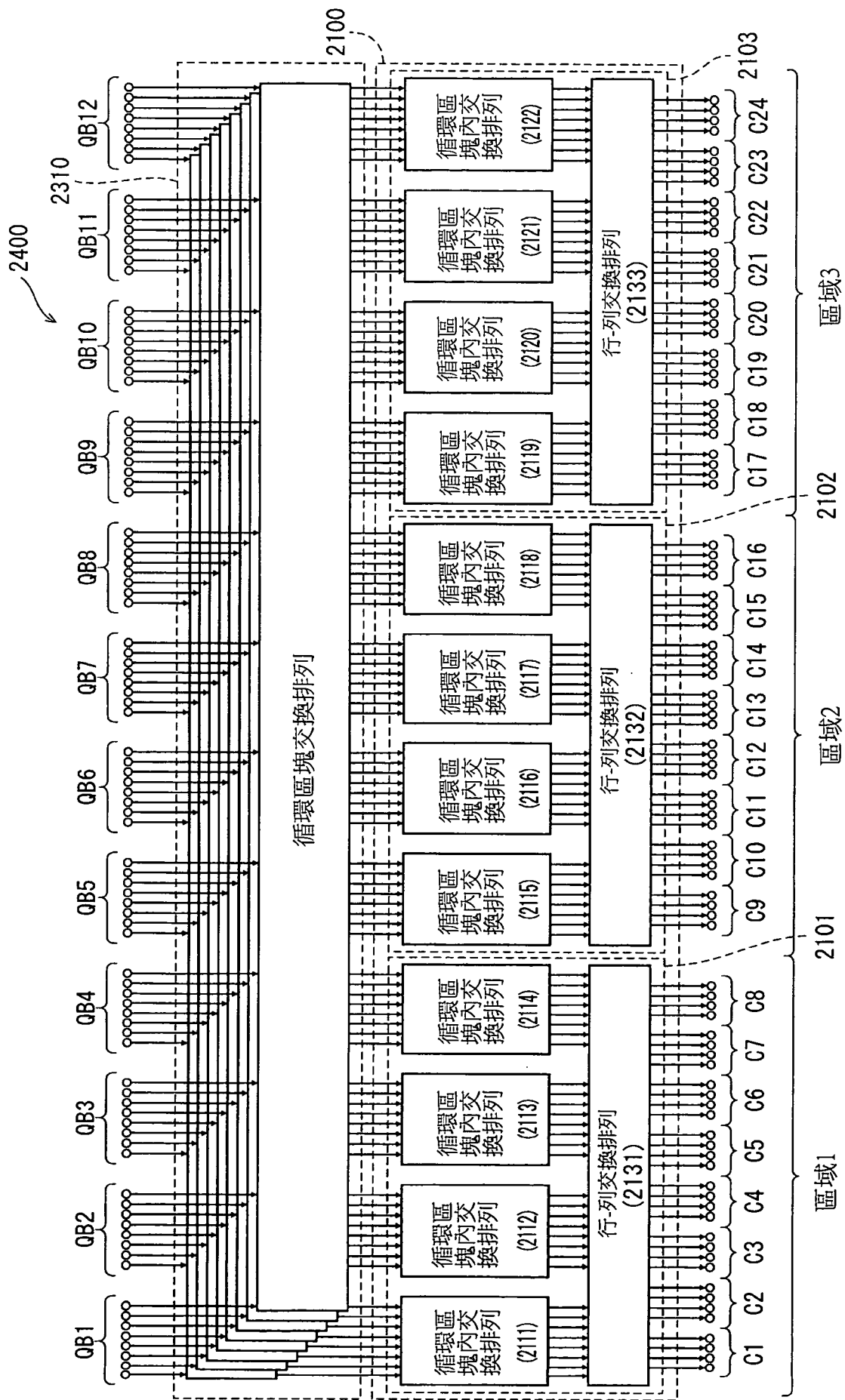
第 21 圖



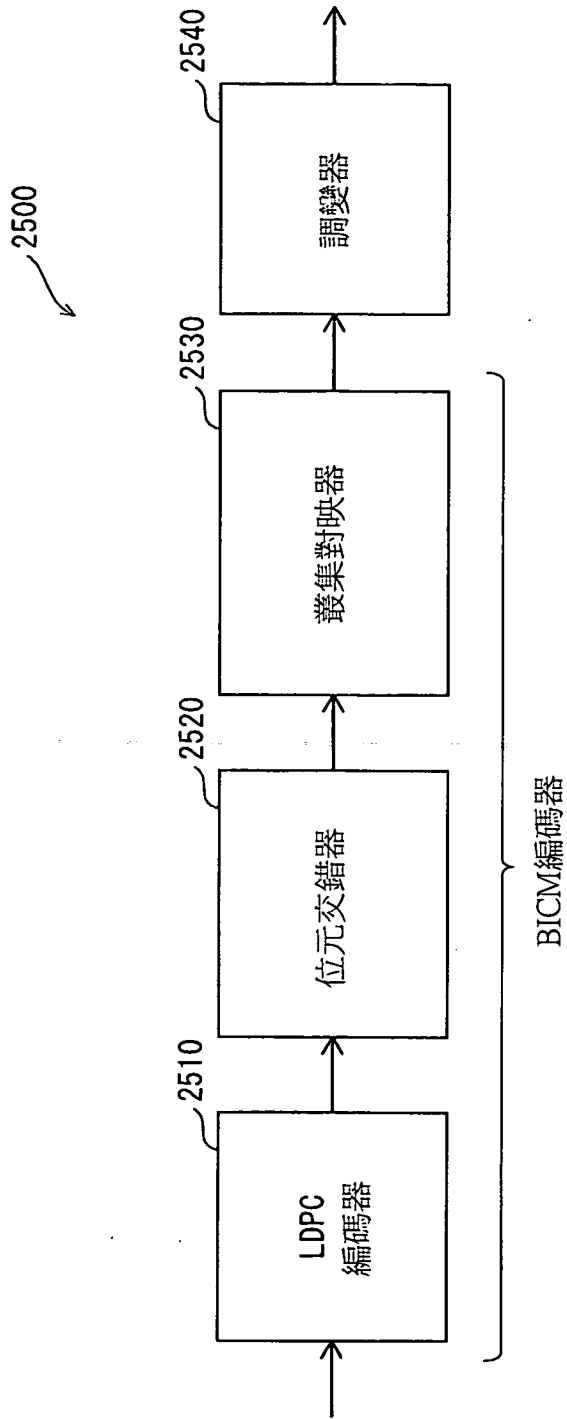
第 22 圖



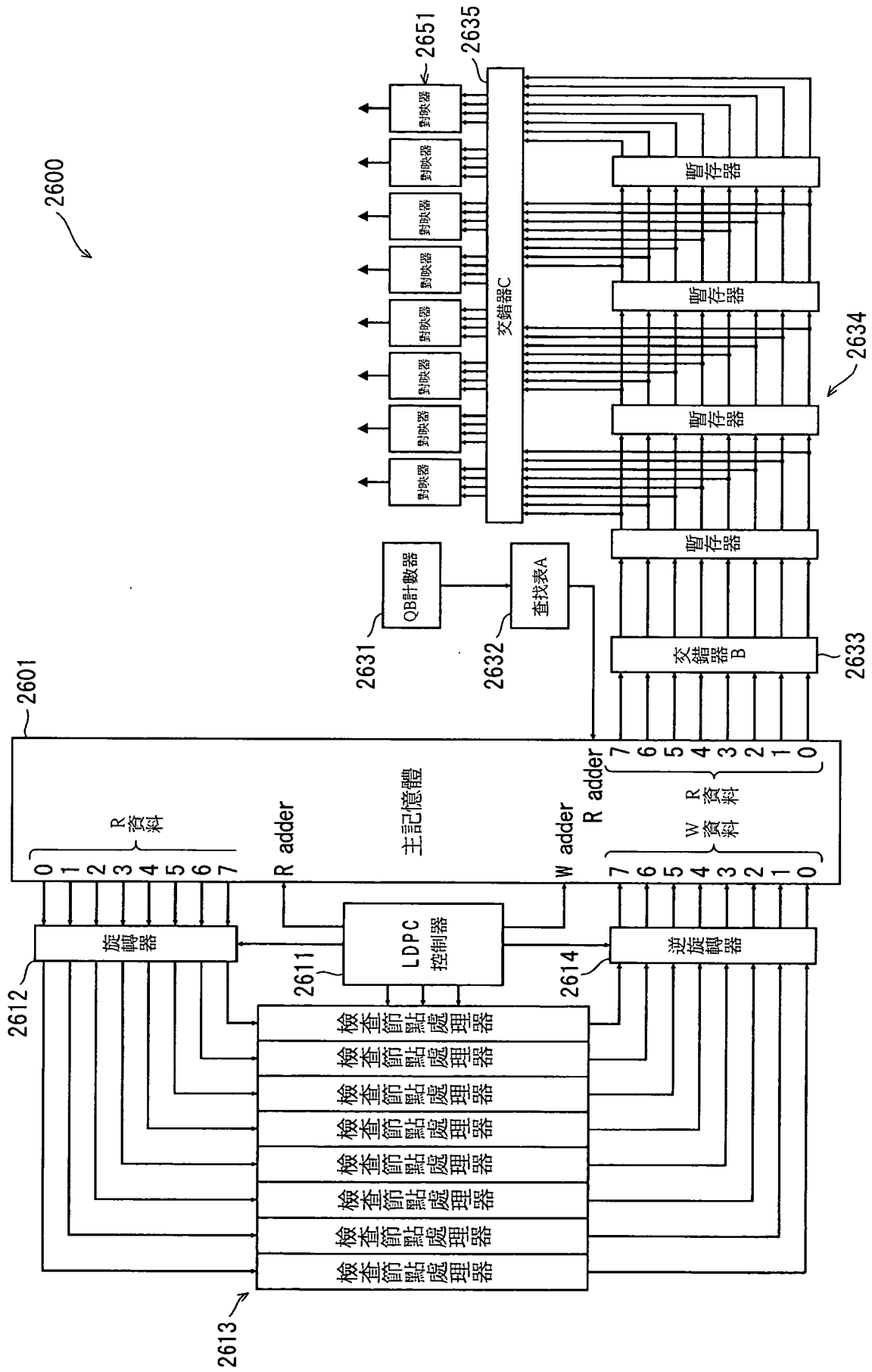
第 23 圖



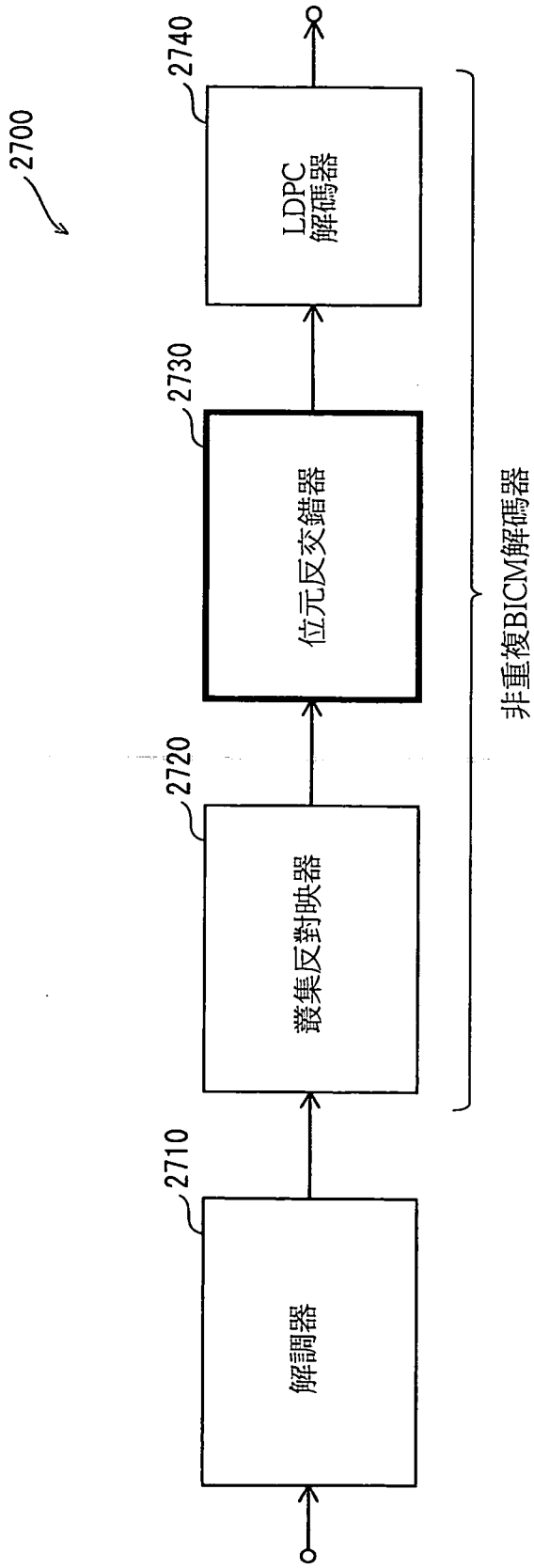
第 24 圖



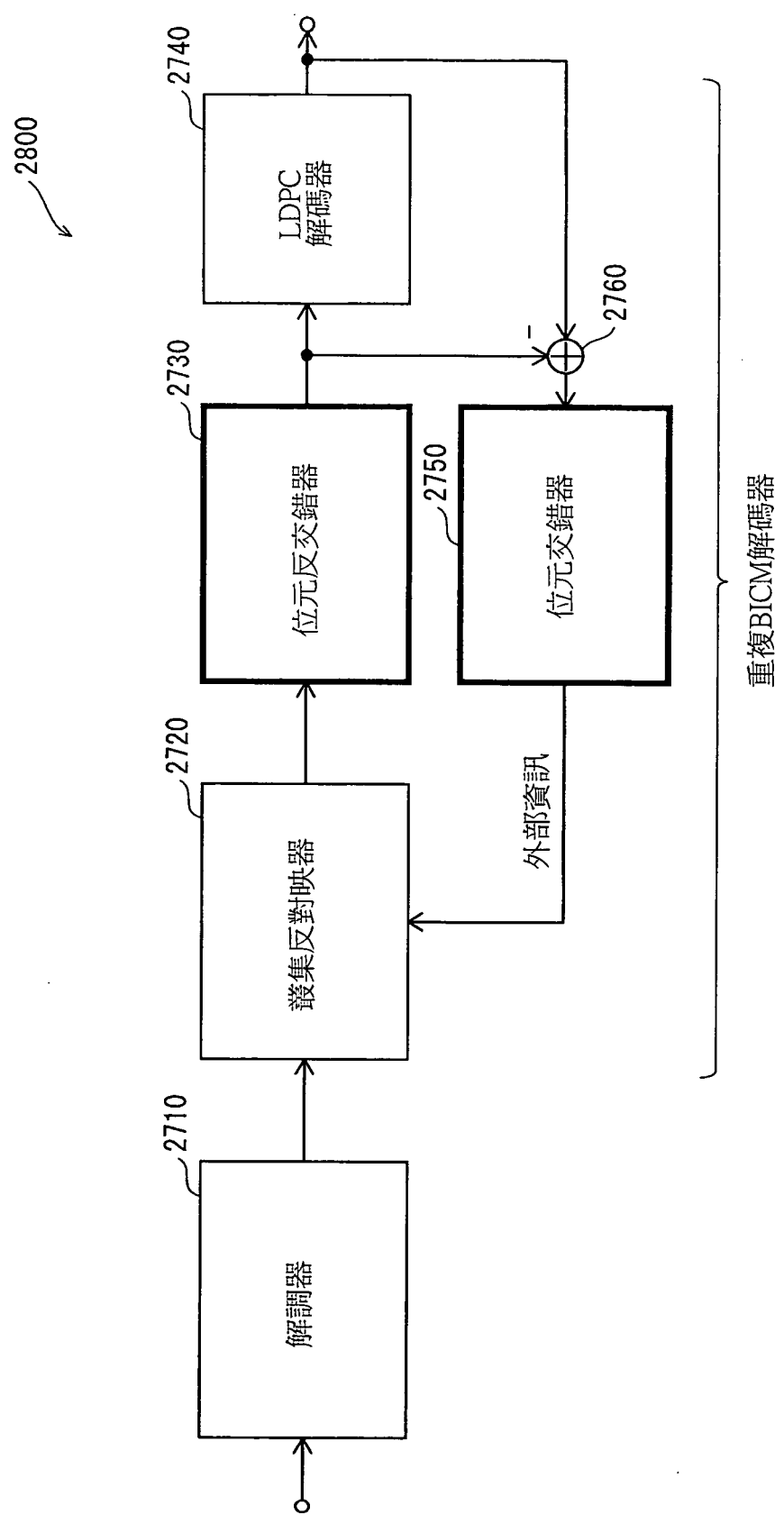
第 25 圖



第 26 圖



第 27 圖



第 28 圖

