

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 6 月 23 日 (23.06.2016)



(10) 国际公布号
WO 2016/095321 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/071245
- (22) 国际申请日: 2015 年 1 月 21 日 (21.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410797938.0 2014 年 12 月 18 日 (18.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曹尚操 (CAO, Shangcao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 李长晔 (LEE, Chang Yeh); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW

FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: GATE DRIVE CIRCUIT, ARRAY SUBSTRATE, AND DISPLAY DEVICE

(54) 发明名称: 栅极驱动电路、阵列基板及显示装置

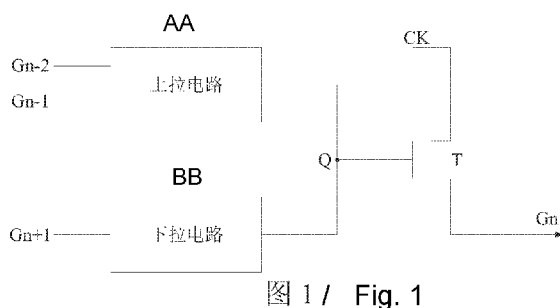


图 1 / Fig. 1

AA Pull-up circuit
BB Pull-down circuit

(57) Abstract: Provided are a gate drive circuit, array substrate, and display device; the gate drive circuit is used for outputting a gate drive signal to an n^{th} scan line, and comprises a pull-up circuit, a transfer transistor, and a pull-down circuit; the pull-up circuit is used for outputting a high electric potential to a datum point in said gate drive circuit; a first input terminal of the pull-up circuit is connected to an $n-1^{\text{th}}$ scan line; a second input terminal of the pull-up circuit is connected to an $n-2^{\text{th}}$ scan line; an output terminal of the pull-up circuit is connected to said datum point; the gate of said transfer transistor is connected to said datum point; the source of said transfer transistor is connected to a clock signal line; the drain of said transfer transistor is connected to the n^{th} scan line; if both the datum point and the clock signal line are at high electric potential, the drain of said transfer transistor outputs a high electric potential to the n^{th} scan line; the pull-down circuit is used for outputting a low electric potential to the datum point and the n^{th} scan line; a first input terminal of the pull-down circuit is connected to an $n+1^{\text{th}}$ scan line; an output

terminal of the pull-down circuit is connected to said datum point.

(57) 摘要:

[见续页]



WO 2016/095321 A1

**根据细则 4.17 的声明:**

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种栅极驱动电路、阵列基板及显示装置，该栅极驱动电路用于向第 n 条扫描线输出栅极驱动信号，包括上拉电路、下传晶体管和下拉电路；其中，上拉电路用于向所述栅极驱动电路中的基准点输出高电位，上拉电路的第一输入端连接第 $n-1$ 条扫描线，上拉电路的第二输入端连接第 $n-2$ 条扫描线，上拉电路的输出端连接所述基准点；所述下传晶体管的栅极连接所述基准点，所述下传晶体管的源极连接时钟信号线，所述下传晶体管的漏极连接第 n 条扫描线，当所述基准点和所述时钟信号线均为高电位时，所述下传晶体管的漏极向第 n 条扫描线输出高电位；所述下拉电路用于向所述基准点以及第 n 条扫描线输出低电位，所述下拉电路的第一输入端连接第 $n+1$ 条扫描线，所述下拉电路的输出端连接所述基准点。

栅极驱动电路、阵列基板及显示装置

本申请要求享有 2014 年 12 月 18 日提交的名称为“栅极驱动电路、阵列基板及显示装置”的中国专利申请 CN201410797938.0 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及显示技术领域，具体地说，涉及一种栅极驱动电路、阵列基板及显示装置。

背景技术

目前，在液晶显示器以及有机发光二极管（Organic Light-Emitting Diode，简称 OLED）显示器中，普遍采用薄膜晶体管（Thin Film Transistor，简称 TFT）来驱动各个像素单元。

另一方面，运用 Gate Driver on Array（简称 GOA）技术可以将用于驱动薄膜晶体管的栅极驱动电路制作在阵列基板上，以替代原有的外接集成电路，能够减少外接集成电路的焊接工序，提高生产效率，降低生产成本，还能够实现窄边框，甚至无边框的显示产品。

但现有的 GOA 电路输出的栅极驱动信号的波形质量较差，这将导致显示器显示的图像质量较差。

发明内容

本发明的目的在于提供一种栅极驱动电路、阵列基板及显示装置，以解决现有的 GOA 电路输出的栅极驱动信号的波形质量较差的技术问题。

本发明提供一种栅极驱动电路，用于向第 n 条扫描线输出栅极驱动信号；

所述栅极驱动电路包括上拉电路、下传晶体管和下拉电路；

所述上拉电路用于向所述栅极驱动电路中的基准点输出高电位，所述上拉电路的第一输入端连接第 $n-1$ 条扫描线，所述上拉电路第二输入端连接第 $n-2$ 条扫描线，所述上拉电路的输出端连接所述基准点；

所述下传晶体管的栅极连接所述基准点，所述下传晶体管的源极连接时钟信号线，所

所述下传晶体管的漏极连接第 n 条扫描线，当所述基准点和所述时钟信号线均为高电位时，所述下传晶体管的漏极向第 n 条扫描线输出高电位；

所述下拉电路用于向所述基准点以及第 n 条扫描线输出低电位，所述下拉电路的第一输入端连接第 $n+1$ 条扫描线，所述下拉电路的输出端连接所述基准点。

进一步的是，所述栅极驱动电路还包括连接于所述基准点与第 n 条扫描线之间的耦合电容。

优选的是，所述上拉电路包括第一晶体管和第二晶体管；

所述第一晶体管的栅极连接第 $n-1$ 条扫描线，源极连接第一信号线，漏极连接所述基准点；

所述第二晶体管的栅极连接第 $n-2$ 条扫描线，源极连接所述第一信号线，漏极连接所述基准点。

进一步的是，所述下拉电路还设置有第二输入端，且所述下拉电路的第二输入端连接第 $n+2$ 条扫描线。

优选的是，所述下拉电路包括第三晶体管和第四晶体管；

所述第三晶体管的栅极连接第 $n+1$ 条扫描线，源极连接第二信号线，漏极连接所述基准点；

所述第四晶体管的栅极连接第 $n+2$ 条扫描线，源极连接所述第二信号线，漏极连接所述基准点。

优选的是，在正向扫描时，所述第一信号线输出高电位，所述第二信号线输出低电位；

在反向扫描时，所述第一信号线输出低电位，所述第二信号线输出高电位。

进一步的是，所述栅极驱动电路还包括第一下拉维持电路和第二下拉维持电路；

在正向扫描时，所述第一下拉维持电路用于维持所述基准点及第 n 条扫描线的低电位；

在反向扫描时，所述第二下拉维持电路用于维持所述基准点及第 n 条扫描线的低电位。

本发明还提供一种阵列基板，包括若干级连的上述的栅极驱动电路，每个所述栅极驱动电路用于向一条扫描线输出栅极驱动信号。

进一步的是，在相邻的四个栅极驱动电路中，各个栅极驱动电路的下传晶体管的源极分别与四条时钟信号线一一对应连接，所述四条时钟信号线依次输出高电位。

本发明还提供一种显示装置，包括上述的阵列基板。

本发明带来了以下有益效果：本发明提供的栅极驱动电路中，上拉电路具有第一输入端和第二输入端，分别连接第 $n-1$ 条扫描线和第 $n-2$ 条扫描线。在第 $n-2$ 条扫描线输出栅极驱动信号时，可通过上拉电路为基准点（即下传晶体管的栅极）进行第一次充电；在第 $n-1$ 条扫描线输出栅极驱动信号时，可通过上拉电路为基准点进行第二次充电。

因为对基准点进行了两次充电，所以基准点能够达到更高的电位。在时钟信号线处于高电位，下传晶体管的漏极输出栅极驱动信号时，能够使下传晶体管的栅极与源极之间的电势差 V_{gs} 显著提高，以降低下传晶体管的输出阻抗，从而优化了输出至第 n 条扫描线的栅极驱动信号的波形，改善了显示器的显示效果。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要的附图做简单的介绍：

图 1 是本发明实施例提供的栅极驱动电路的示意图；

图 2 是本发明实施例一提供的栅极驱动电路的电路图；

图 3 是本发明实施例提供的栅极驱动电路的波形图；

图 4 是本发明实施例二提供的栅极驱动电路的电路图；

图 5 是本发明实施例三提供的阵列基板中级连栅极驱动电路的示意图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，

只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

如图 1 所示，本发明实施例提供一种栅极驱动电路，用于向第 n 条扫描线 G_n 输出栅极驱动信号。该栅极驱动电路包括上拉电路、下传晶体管和下拉电路。

上拉电路用于向栅极驱动电路中的基准点 Q 输出高电位，上拉电路的第一输入端连接第 $n-1$ 条扫描线 G_{n-1} ，上拉电路第二输入端连接第 $n-2$ 条扫描线 G_{n-2} ，上拉电路的输出端连接 Q 点。

下传晶体管 T 的栅极连接 Q 点， T 的源极连接时钟信号线 CK ， T 的漏极连接 G_n ，当 Q 点和 CK 均为高电位时， T 的漏极向 G_n 输出高电位（栅极驱动信号）。

下拉电路用于在 G_n 输出栅极驱动信号之后，向 Q 点以及 G_n 输出低电位，下拉电路的第一输入端连接第 $n+1$ 条扫描线 G_{n+1} ，下拉电路的输出端连接 Q 点。

本发明实施例提供的栅极驱动电路中，上拉电路具有第一输入端和第二输入端，分别连接 G_{n-1} 和 G_{n-2} 。在 G_{n-2} 输出栅极驱动信号时，可通过上拉电路为 Q 点（即 T 的栅极）进行第一次充电；在 G_{n-1} 输出栅极驱动信号时，可通过上拉电路为 Q 点进行第二次充电。

因为对 Q 点进行了两次充电，所以 Q 点能够达到更高的电位。在 CK 处于高电位， T 的漏极输出栅极驱动信号时，能够使 T 的栅极与源极之间的电势差 V_{gs} 显著提高，以降低 T 的输出阻抗，从而优化了输出至 G_n 的栅极驱动信号的波形，改善了显示器的显示效果。

实施例一：

本实施例提供的栅极驱动电路，该栅极驱动电路优选的以 GOA 技术实现。该栅极驱动电路包括上拉电路、下传晶体管和下拉电路。

如图 2 所示，上拉电路包括第一晶体管 $T1$ 和第二晶体管 $T2$ 。 $T1$ 的栅极连接 ST_{n-1} ， $T1$ 的源极连接第一信号线 Vf ， $T1$ 的漏极连接 Q 点。 $T2$ 的栅极连接 ST_{n-2} ， $T2$ 的源极连接 Vf （高电位）， $T2$ 的漏极连接 Q 点。

本实施例中设置有两个下传晶体管 $T21$ 、 $T22$ ，分别对应连接 G_n 和 ST_n 。 $T21$ 的栅极连接 Q 点， $T21$ 的源极连接时钟信号线， $T21$ 的漏极连接 G_n 。 $T22$ 的栅极连接 Q 点， $T22$ 的源极连接时钟信号线， $T22$ 的漏极连接 ST_n 。

可以看出， $T21$ 和 $T22$ 的用途是相同的， G_n 和 ST_n 输出的信号也是相同的。其中，

Gn 输出的栅极驱动信号用于驱动显示区域中的薄膜晶体管，而 STn 输出的信号用于在多个级连的栅极驱动电路之间传递（参照图 5）。其他栅极驱动电路中的 STn-2、STn-1、STn+1、STn+2 等也与 STn 的功能相同。将输出信号完全相同的 Gn 和 STn 分开，可以避免 Gn 与 STn 之间相互干扰，以保证 Gn 输出的栅极驱动信号的波形的质量。

本发明实施例提供的栅极驱动电路中，上拉电路的第一输入端和第二输入端分别连接 STn-1 和 STn-2。在 STn-2 输出高电位时，可通过上拉电路为 Q 点（即 T21、T22 的栅极）进行第一次充电；在 STn-1 输出高电位时，可通过上拉电路为 Q 点进行第二次充电。

因为对 Q 点进行了两次充电，所以 Q 点能够达到更高的电位。在 CK 处于高电位，T21、T22 的漏极输出栅极驱动信号时，能够使 T21、T22 的栅极与源极之间的电势差 V_{gs} 显著提高，以降低 T21、T22 的输出阻抗，从而优化了输出至 Gn 及 STn 的栅极驱动信号的波形，改善了显示器的显示效果。

进一步的是，本实施例中，还设置有耦合电容 C，C 连接于 Q 点与 STn 之间。在上拉电路为 Q 点充电时，使耦合电容 C 的两端保持有一定的电势差。当 STn 输出高电位信号时，由于耦合电容 C 的耦合作用，能够使 Q 点的电位进一步升高，从而能够进一步提高 T21、T22 的 V_{gs} ，降低 T21、T22 的输出阻抗，优化输出至 Gn 及 STn 的栅极驱动信号的波形，改善了显示器的显示效果。

本实施例中，下拉电路包括第一输入端和第二输入端。下拉电路的第一输入端连接 STn+1，第二输入端连接第 n+2 条扫描线 STn+2，下拉电路的输出端连接 Q 点。具体的，下拉电路包括第三晶体管 T3 和第四晶体管 T4。T3 的栅极连接 STn+1，T3 的源极连接第二信号线 Vr，T3 的漏极连接 Q 点。T4 的栅极连接 STn+2，T4 的源极连接 Vr（低电位），T4 的漏极连接 Q 点。在 STn+1 输出高电位时，可通过下拉电路对 Q 点进行第一次下拉；在 STn+2 输出高电位时，可通过下拉电路对 Q 点进行第二次下拉。通过两次下拉，保证 Q 点及 Gn 处于低电位，避免 Gn 出现信号波动及干扰。

本发明实施例提供的栅极驱动电路还能够实现正向扫描和反相扫描两种扫描方式。

此外，本实施例中还进一步设置有第一下拉维持电路和第二下拉维持电路。第一下拉维持电路用于在正向扫描过程中，在 Gn 输出栅极驱动信号之后，维持 Q 点及 Gn、STn 的低电位。第二下拉维持电路用于在反向扫描过程中，在 Gn 输出栅极驱动信号之后，维持 Q 点及 Gn、STn 的低电位。

如图 2 所示,第一下拉维持电路主要由低电位信号线 V_{ss} 以及晶体管 T51、T54、T43、T33、T36、T56、T52 等器件组成。第二下拉维持电路主要由 V_{ss} 以及晶体管 T61、T64、T42、T32、T35、T66、T62 等器件组成。其中,信号线 LC1 与 V_f 输出的信号相同,信号线 LC2 与 V_r 输出的信号相同。

在正向扫描时, V_f 、LC1 输出高电位, V_r 、LC2 输出低电位,其波形图如图 3 所示。

在第一扫描周期, ST_n-2 输出高电位, T2 打开, V_f 通过 T2 向 Q 点充电。同时, T51 和 T56 打开, 拉低 K 点的电位。由于 Q 点被充电后处于高电位, 所以 T52 和 T62 打开, 拉低 P 点及 K 点的电位, T32、T33、T35、T36、T42 和 T43 均处于关闭状态。此外, 虽然 T22 和 T21 也被打开, 但此时 CK (对应于图 3 中的 CK3) 输出低电位, 所以 G_n 和 ST_n 处于低电位。

在第二扫描周期, ST_n-1 输出高电位, T1 打开, V_f 通过 T1 继续对 Q 点充电。同时, T64 打开, 将 P 点电位释放至与 LC2 相同, 继续保持低电位。T32、T33、T35、T36、T42 和 T43 均处于关闭状态。此外, CK 继续输出低电位, 所以 G_n 和 ST_n 继续处于低电位。

在第三扫描周期, ST_n-1 和 ST_n-2 均为低电位, T2 和 T1 关闭。Q 点仍保持为高电位, 使 T22 和 T21 打开, 同时 CK 输出高电位, 使 G_n 输出栅极驱动信号, ST_n 也输出高电位。并且, 在 C 的耦合作用下, Q 点抬升到更高电位, 进一步提高 T22、T21 的 V_{gs} , 且 V_{gs} 能够基本保持不变, 保持栅极驱动信号的顺利输出。此外, T52 和 T62 继续打开, 拉低 P 点和 K 点的电位, 使 T32、T33、T35、T36、T42 和 T43 继续处于关闭状态。

在第四扫描周期, CK 输出低电位。 ST_{n+1} 输出高电位, T3 打开, 对 Q 点进行下拉。同时, T54 打开, 从而以最快的速度向 K 点充电, 使 T36、T33、T43 快速打开, 分别拉低 G_n 、 ST_n 、Q 点的电位, 进而使 T22 和 T21 关闭。

在第五扫描周期, ST_{n+2} 输出高电位为高, T4 打开, 对 Q 点再一次进行下拉。因为第一下拉维持电路中的 LC1 会通过 T51 向 K 点持续输出高电位, 所以 K 点在这一帧余下的时间内会一直保持在高电位, 使 T36、T33、T43 持续打开, 从而能够维持 G_n 、 ST_n 、Q 点的低电位。

在反向扫描时, V_f 、LC1 输出低电位, V_r 、LC2 输出高电位,其波形图如图 3 所示。

在第一扫描周期, ST_{n+2} 输出高电位, T4 打开, V_r 通过 T4 向 Q 点充电。同时, T61 和 T66 打开, 拉低 P 点的电位。由于 Q 点被充电后处于高电位, 所以 T52 和 T62 打开,

拉低 K 点及 P 点的电位，T32、T33、T35、T36、T42 和 T43 均处于关闭状态。此外，虽然 T22 和 T21 也被打开，但此时 CK（对应于图 3 中的 CK3）输出低电位，所以 Gn 和 STn 处于低电位。

在第二扫描周期，STn+1 输出高电位，T3 打开，Vr 通过 T3 继续对 Q 点充电。同时，T54 打开，将 K 点电位释放至与 LC1 相同，继续保持低电位。T32、T33、T35、T36、T42 和 T43 均处于关闭状态。此外，CK 继续输出低电位，所以 Gn 和 STn 继续处于低电位。

在第三扫描周期，STn+1 和 STn+2 均为低电位，T3 和 T4 关闭。Q 点仍保持为高电位，使 T22 和 T21 打开，同时 CK 输出高电位，使 Gn 输出栅极驱动信号，STn 也输出高电位。并且，在 C 的耦合作用下，Q 点抬升到更高电位，进一步提高 T22、T21 的 Vgs，且 Vgs 能够基本保持不变，保持栅极驱动信号的顺利输出。此外，T52 和 T62 继续打开，拉低 P 点和 K 点的电位，使 T32、T33、T35、T36、T42 和 T43 继续处于关闭状态。

在第四扫描周期，CK 输出低电位。STn-1 输出高电位，T1 打开，对 Q 点进行下拉。同时，T64 打开，从而以最快的速度向 P 点充电，使 T35、T32、T42 快速打开，分别拉低 Gn、STn、Q 点的电位，进而使 T22 和 T21 关闭。

在第五扫描周期，STn-2 输出高电位为高，T2 打开，对 Q 点再一次进行下拉。因为第二下拉维持电路中的 LC2 会通过 T61 持续向 P 点输出高电位，所以 P 点在这一帧余下的时间内会一直保持在高电位，使 T35、T32、T42 持续打开，从而能够维持 Gn、STn、Q 点的低电位。

由于器件负载的差异，正向扫描时与反相扫描时的显示效果会有所差异。将本发明实施例提供的栅极驱动电路进行级连，能够实现正向扫描和反相扫描两种扫描模式，从而使显示效果达到最优。

实施例二：

如图 4 所示，本实施例与实施例一基本相同，其不同点在于，本实施例在实施例一的基础上，将晶体管 T56 连接于 K 点与 Vr 之间，T66 连接于 P 点与 Vr 之间，并且 T66 的栅极连接 STn-2。此外，增设了晶体管 T10 和 T12，T10 连接于 K 点与 Vf 之间，T12 连接于 P 点与 Vf 之间，T10 和 T12 的栅极连接 STn+2。而在 P 点与 K 点之间还连接有 T55，T55 栅极连接 Q 点。在第一下拉维持电路中，将 T54 的栅极改为连接至 LC2；在第二下拉维持电路中，将 T64 的栅极改为连接至 LC1。

在正向扫描时, V_f 、LC1 输出高电位, V_r 、LC2 输出低电位, 其波形图如图 3 所示。在第二下拉维持电路中, T64 始终打开, 所以 P 点始终处于低电位。

在第一扫描周期, $STn-2$ 输出高电位, T2 打开, V_f 通过 T2 向 Q 点充电。同时, T66 和 T56 打开, 拉低 K 点和 P 点的电位。由于 Q 点被充电后处于高电位, 所以 T52、T62 打开, 也能够起到拉低 P 点和 K 点的电位的作用, T32、T33、T35、T36、T42 和 T43 均处于关闭状态。Q 点被充电后还能够打开 T55, 连通 K 点和 P 点, 使 K 点和 P 点共同保持在低电位。此外, 虽然 T22 和 T21 也被打开, 但此时 CK (对应于图 3 中的 CK3) 输出低电位, 所以 G_n 和 STn 处于低电位。

在第二扫描周期, $STn-1$ 输出高电位, T1 打开, V_f 通过 T1 继续对 Q 点充电。T32、T33、T35、T36、T42 和 T43 继续处于关闭状态。此外, CK 继续输出低电位, 所以 G_n 和 STn 继续处于低电位。

在第三扫描周期, $STn-1$ 和 $STn-2$ 均为低电位, T2 和 T1 关闭。Q 点仍保持为高电位, 使 T22 和 T21 打开, 同时 CK 输出高电位, 使 G_n 输出栅极驱动信号, STn 也输出高电位。并且, 在 C 的耦合作用下, Q 点抬升到更高电位, 进一步提高 T22、T21 的 V_{gs} , 且 V_{gs} 能够基本保持不变, 保持栅极驱动信号的顺利输出。此外, T52 和 T62 继续打开, 拉低 P 点和 K 点的电位, 使 T32、T33、T35、T36、T42 和 T43 继续处于关闭状态。

在第四扫描周期, CK 输出低电位。 $STn+1$ 输出高电位, T3 打开, V_r 对 Q 点进行下拉, 使 T55 关闭, 断开 P 点和 K 点之间的连接。同时, T52、T62 也关闭, LC1 通过 T51 向 K 点输入高电位, 使 T36、T33、T43 打开, 分别拉低 G_n 、 STn 、Q 点的电位, 进而使 T22 和 T21 关闭。

在第五扫描周期, $STn+2$ 输出高电位为高, T4 和 T10 打开, 对 Q 点再一次进行下拉, V_f 也可以通过 T10 继续向 K 点输入高电位。因为第一下拉维持电路中的 LC1 会通过 T51 向 K 点持续输出高电位, 所以 K 点在这一帧余下的时间内会一直保持在高电位, 使 T36、T33、T43 持续打开, 从而能够维持 G_n 、 STn 、Q 点的低电位。

在反向扫描时, V_f 、LC1 输出低电位, V_r 、LC2 输出高电位, 其波形图如图 3 所示。在第一下拉维持电路中, T54 始终打开, 所以 K 点始终处于低电位。

在第一扫描周期, $STn+2$ 输出高电位, T4 打开, V_r 通过 T4 向 Q 点充电。同时, T10 和 T12 打开, 拉低 K 点和 P 点的电位。由于 Q 点被充电后处于高电位, 所以 T52、T62

打开,也能够起到拉低 P 点和 K 点的电位的作用, T32、T33、T35、T36、T42 和 T43 均处于关闭状态。Q 点被充电后还能够打开 T55, 连通 K 点和 P 点, 使 K 点和 P 点共同保持在低电位。此外, 虽然 T22 和 T21 也被打开, 但此时 CK (对应于图 3 中的 CK3) 输出低电位, 所以 Gn 和 STn 处于低电位。

在第二扫描周期, STn+1 输出高电位, T3 打开, Vr 通过 T3 继续对 Q 点充电。T32、T33、T35、T36、T42 和 T43 继续处于关闭状态。此外, CK 继续输出低电位, 所以 Gn 和 STn 继续处于低电位。

在第三扫描周期, STn+1 和 STn+2 均为低电位, T3 和 T4 关闭。Q 点仍保持为高电位, 使 T22 和 T21 打开, 同时 CK 输出高电位, 使 Gn 输出栅极驱动信号, STn 也输出高电位。并且, 在 C 的耦合作用下, Q 点抬升到更高电位, 进一步提高 T22、T21 的 Vgs, 且 Vgs 能够基本保持不变, 保持栅极驱动信号的顺利输出。此外, T52 和 T62 继续打开, 拉低 P 点和 K 点的电位, 使 T32、T33、T35、T36、T42 和 T43 继续处于关闭状态。

在第四扫描周期, CK 输出低电位。STn-1 输出高电位, T1 打开, Vf 对 Q 点进行下拉, 使 T55 关闭, 断开 P 点和 K 点之间的连接。同时, T52、T62 也关闭, LC2 通过 T61 向 P 点输入高电位, 使 T35、T32、T42 打开, 分别拉低 Gn、STn、Q 点的电位, 进而使 T22 和 T21 关闭。

在第五扫描周期, STn-2 输出高电位为高, T2 和 T66 打开, 对 Q 点再一次进行下拉, Vf 也可以通过 T66 继续向 P 点输入高电位。因为第二下拉维持电路中的 LC2 会通过 T61 向 P 点持续输出高电位, 所以 P 点在这一帧余下的时间内会一直保持在高电位, 使 T35、T32、T42 持续打开, 从而能够维持 Gn、STn、Q 点的低电位。

本实施例相比于实施例一, 对 K 点、P 点的电位控制更加精确, 进一步提高了栅极驱动信号的波形质量。此外, 本实施例中对正向扫描与反相扫描的切换也更加灵活, 可以一帧转换一次, 也可以多帧转换一次。

实施例三:

本发明实施例提供一种阵列基板, 该阵列基板可以采用 GOA 技术, 其中设置有若干级连的上述实施例一或实施例二中的栅极驱动电路, 如图 5 所示, 每个栅极驱动电路用于向一条扫描线输出栅极驱动信号。

进一步的是, 在相邻的四个栅极驱动电路中, 各个栅极驱动电路的下传晶体管的源极

分别与四条时钟信号线 CK1、CK2、CK3、CK4 一一对应连接，四条时钟信号线依次输出高电位（波形参照图 3），从而实现各条扫描线依次输出栅极驱动信号，并且具有正向扫描和反相扫描两种扫描模式。

本发明实施例还提供一种显示装置，该显示装置可以为窄边框的液晶显示器，其中包括彩膜基板和本实施例提供的阵列基板。

本实施例提供的显示装置也可以是包括上述阵列基板的 OLED 显示器。通过采用 GOA，实现窄边框甚至无边框的显示产品。

本实施例提供的阵列基板及显示装置，与上述实施例一、实施例二提供的栅极驱动电路具有相同的技术特征，所以也能解决相同的技术问题，达到相同的技术效果。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1、一种栅极驱动电路，用于向第 n 条扫描线输出栅极驱动信号；

所述栅极驱动电路包括上拉电路、下传晶体管和下拉电路；

所述上拉电路用于向所述栅极驱动电路中的基准点输出高电位，所述上拉电路的第一输入端连接第 $n-1$ 条扫描线，所述上拉电路第二输入端连接第 $n-2$ 条扫描线，所述上拉电路的输出端连接所述基准点；

所述下传晶体管的栅极连接所述基准点，所述下传晶体管的源极连接时钟信号线，所述下传晶体管的漏极连接第 n 条扫描线，当所述基准点和所述时钟信号线均为高电位时，所述下传晶体管的漏极向第 n 条扫描线输出高电位；

所述下拉电路用于向所述基准点以及第 n 条扫描线输出低电位，所述下拉电路的第一输入端连接第 $n+1$ 条扫描线，所述下拉电路的输出端连接所述基准点。

2、如权利要求 1 所述的栅极驱动电路，其中，还包括连接于所述基准点与第 n 条扫描线之间的耦合电容。

3、如权利要求 1 所述的栅极驱动电路，其中，所述上拉电路包括第一晶体管和第二晶体管；

所述第一晶体管的栅极连接第 $n-1$ 条扫描线，源极连接第一信号线，漏极连接所述基准点；

所述第二晶体管的栅极连接第 $n-2$ 条扫描线，源极连接所述第一信号线，漏极连接所述基准点。

4、如权利要求 3 所述的栅极驱动电路，其中，所述下拉电路还设置有第二输入端，且所述下拉电路的第二输入端连接第 $n+2$ 条扫描线。

5、如权利要求 4 所述的栅极驱动电路，其中，所述下拉电路包括第三晶体管和第四晶体管；

所述第三晶体管的栅极连接第 $n+1$ 条扫描线，源极连接第二信号线，漏极连接所述基准点；

所述第四晶体管的栅极连接第 $n+2$ 条扫描线，源极连接所述第二信号线，漏极连接所述基准点。

6、如权利要求 5 所述的栅极驱动电路，其中，在正向扫描时，所述第一信号线输出高电位，所述第二信号线输出低电位；

在反向扫描时，所述第一信号线输出低电位，所述第二信号线输出高电位。

7、如权利要求 6 所述的栅极驱动电路，其中，还包括第一下拉维持电路和第二下拉维持电路；

在正向扫描时，所述第一下拉维持电路用于维持所述基准点及第 n 条扫描线的低电位；

在反向扫描时，所述第二下拉维持电路用于维持所述基准点及第 n 条扫描线的低电位。

8、一种阵列基板，包括若干级连的栅极驱动电路，每个所述栅极驱动电路用于向一条扫描线输出栅极驱动信号；

其中，第 n 个栅极驱动电路用于向第 n 条扫描线输出栅极驱动信号；

所述第 n 个栅极驱动电路包括上拉电路、下传晶体管和下拉电路；

所述上拉电路用于向所述第 n 个栅极驱动电路中的基准点输出高电位，所述上拉电路的第一输入端连接第 $n-1$ 条扫描线，所述上拉电路第二输入端连接第 $n-2$ 条扫描线，所述上拉电路的输出端连接所述基准点；

所述下传晶体管的栅极连接所述基准点，所述下传晶体管的源极连接时钟信号线，所述下传晶体管的漏极连接第 n 条扫描线，当所述基准点和所述时钟信号线均为高电位时，所述下传晶体管的漏极向第 n 条扫描线输出高电位；

所述下拉电路用于向所述基准点以及第 n 条扫描线输出低电位，所述下拉电路的第一输入端连接第 $n+1$ 条扫描线，所述下拉电路的输出端连接所述基准点。

9、如权利要求 8 所述的阵列基板，其中，所述第 n 个栅极驱动电路还包括连接于所述基准点与第 n 条扫描线之间的耦合电容。

10、如权利要求 8 所述的阵列基板，其中，所述上拉电路包括第一晶体管和第二晶体管；

所述第一晶体管的栅极连接第 $n-1$ 条扫描线，源极连接第一信号线，漏极连接所述基准点；

所述第二晶体管的栅极连接第 $n-2$ 条扫描线，源极连接所述第一信号线，漏极连接所述基准点。

11、如权利要求 10 所述的阵列基板，其中，所述下拉电路还设置有第二输入端，且所述下拉电路的第二输入端连接第 $n+2$ 条扫描线。

12、如权利要求 11 所述的阵列基板，其中，所述下拉电路包括第三晶体管和第四晶体管；

所述第三晶体管的栅极连接第 $n+1$ 条扫描线，源极连接第二信号线，漏极连接所述基准点；

所述第四晶体管的栅极连接第 $n+2$ 条扫描线，源极连接所述第二信号线，漏极连接所述基准点。

13、如权利要求 12 所述的阵列基板，其中，在正向扫描时，所述第一信号线输出高电位，所述第二信号线输出低电位；

在反向扫描时，所述第一信号线输出低电位，所述第二信号线输出高电位。

14、如权利要求 13 所述的阵列基板，其中，还包括第一下拉维持电路和第二下拉维持电路；

在正向扫描时，所述第一下拉维持电路用于维持所述基准点及第 n 条扫描线的低电位；

在反向扫描时，所述第二下拉维持电路用于维持所述基准点及第 n 条扫描线的低电位。

15、如权利要求 8 所述的阵列基板，其中，在相邻的四个栅极驱动电路中，各个栅极驱动电路的下传晶体管的源极分别与四条时钟信号线一一对应连接，所述四条时钟信号线依次输出高电位。

16、一种显示装置，包括阵列基板；

所述阵列基板包括若干级连的栅极驱动电路，每个所述栅极驱动电路用于向一条扫描线输出栅极驱动信号；

其中，第 n 个栅极驱动电路用于向第 n 条扫描线输出栅极驱动信号；

所述第 n 个栅极驱动电路包括上拉电路、下传晶体管和下拉电路；

所述上拉电路用于向所述第 n 个栅极驱动电路中的基准点输出高电位,所述上拉电路的第一输入端连接第 $n-1$ 条扫描线,所述上拉电路第二输入端连接第 $n-2$ 条扫描线,所述上拉电路的输出端连接所述基准点;

所述下传晶体管的栅极连接所述基准点,所述下传晶体管的源极连接时钟信号线,所述下传晶体管的漏极连接第 n 条扫描线,当所述基准点和所述时钟信号线均为高电位时,所述下传晶体管的漏极向第 n 条扫描线输出高电位;

所述下拉电路用于向所述基准点以及第 n 条扫描线输出低电位,所述下拉电路的第一输入端连接第 $n+1$ 条扫描线,所述下拉电路的输出端连接所述基准点。。

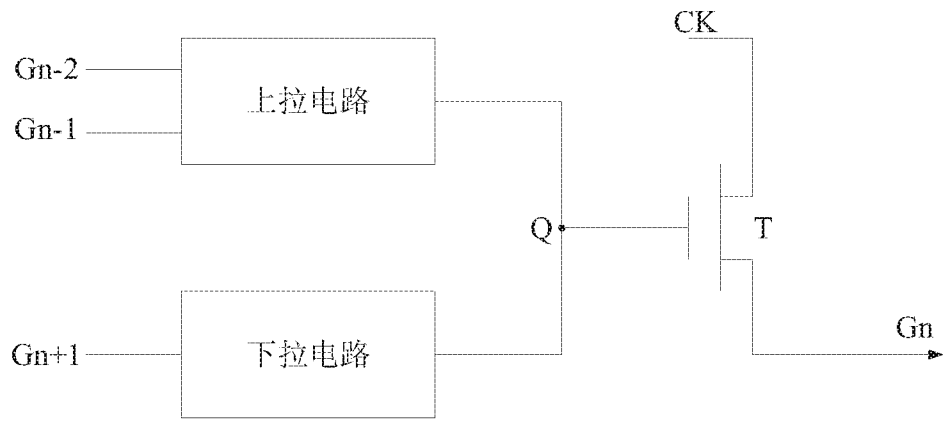


图 1

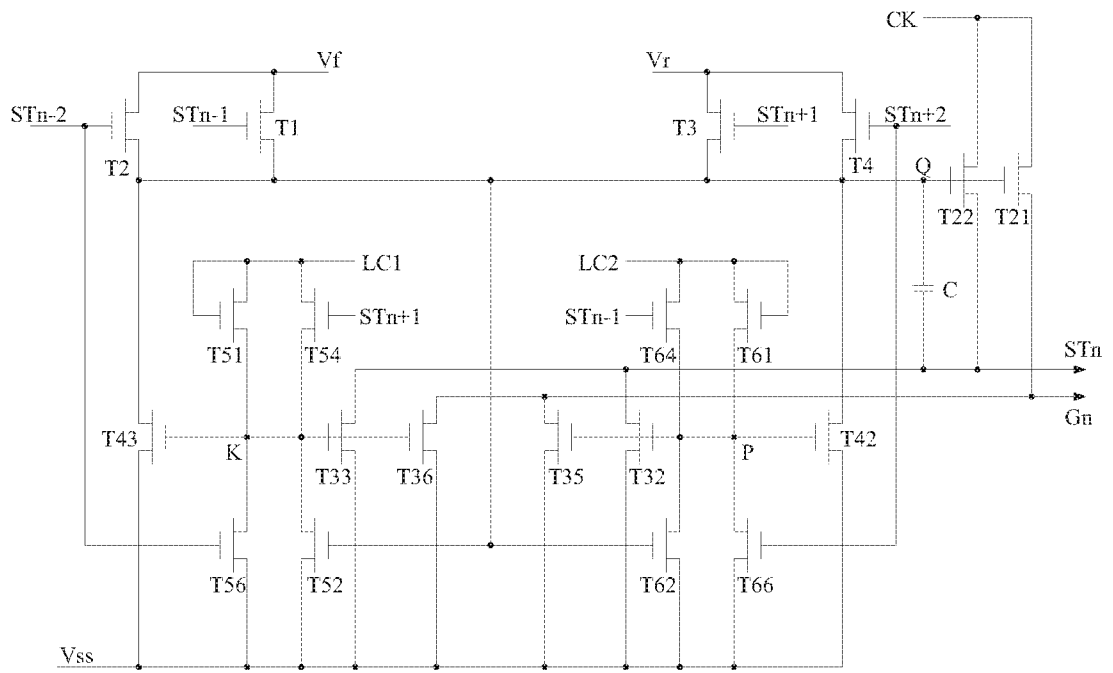


图 2

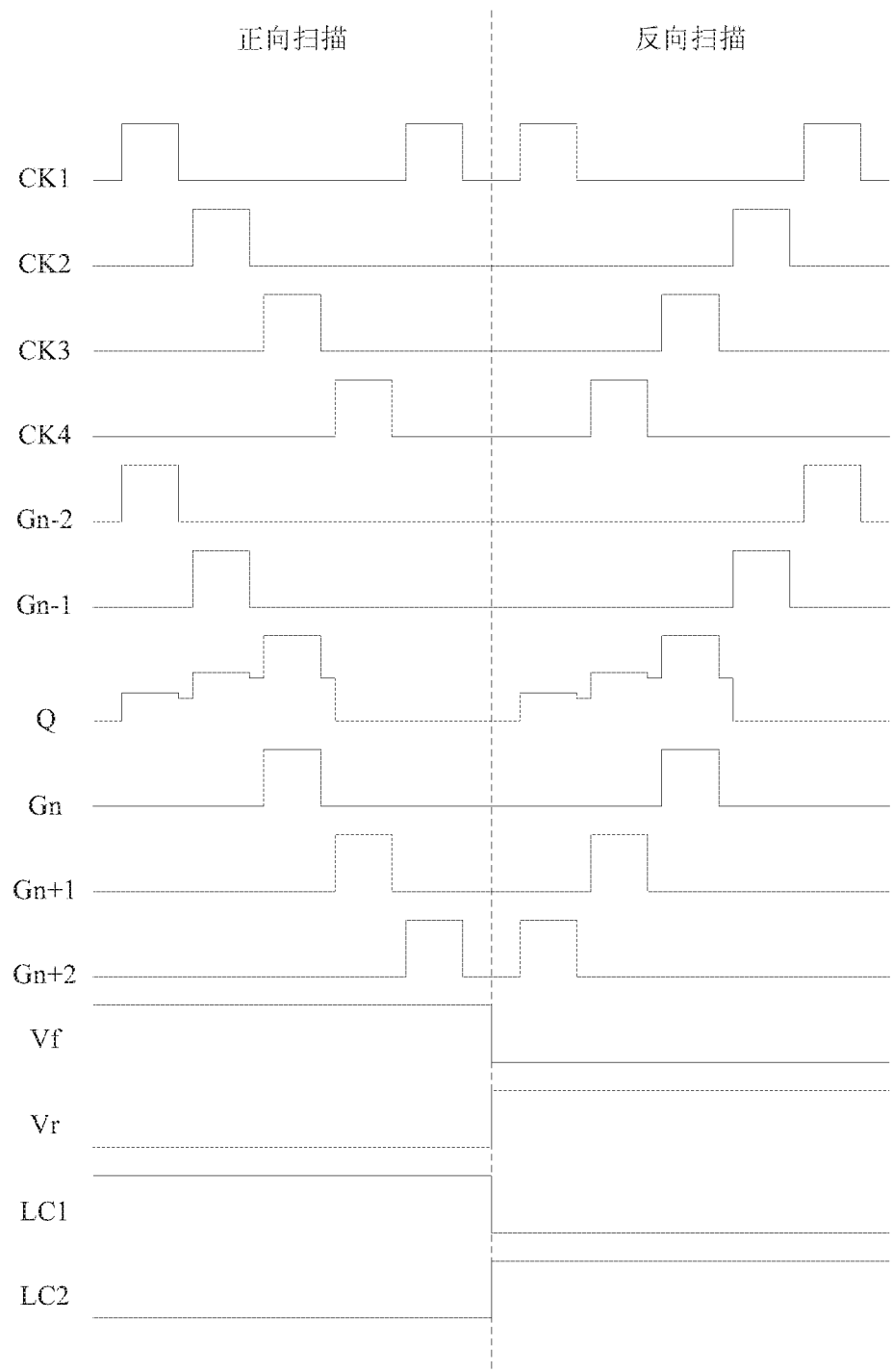


图 3

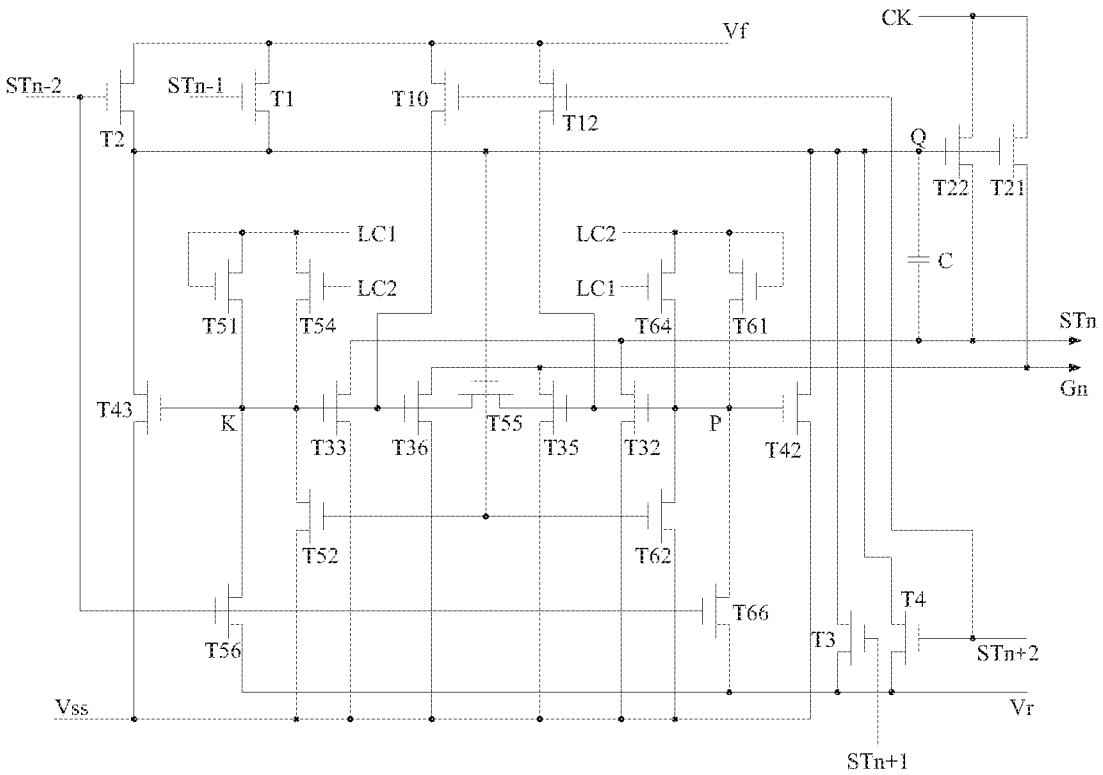


图 4

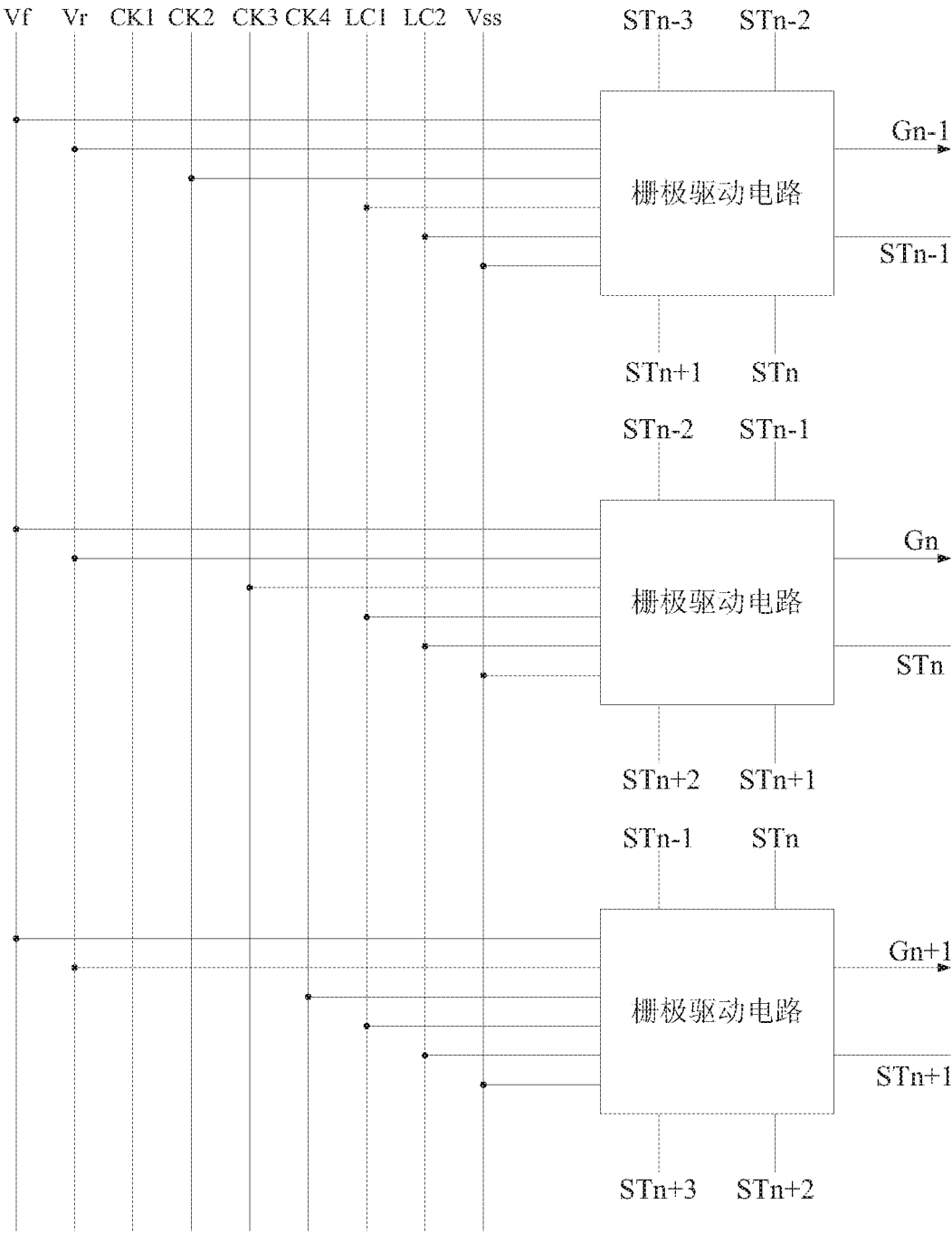


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/071245

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: download, transistor, power supply, charge, input, first, second, GOA, grid, gate, driv+, TFT, pull 5w up, pull 5w down, signal, voltage, potential, scan+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103646636 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 19 March 2014 (19.03.2014), description, paragraphs [0020]-[0039] and [0042], and figures 3 and 5	1-2, 8-9, 15-16
Y	CN 101976580 A (AU OPTRONICS CORP.), 16 February 2011 (16.02.2011), description, paragraphs [0040] and [0043]-[0044], and figure 1	1-2, 8-9, 15-16
A	CN 103700355 A (BOE TECHNOLOGY GROUP CO., LTD.), 02 April 2014 (02.04.2014), the whole document	1-16
A	CN 103928007 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 July 2014 (16.07.2014), the whole document	1-16
A	CN 103985369 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 13 August 2014 (13.08.2014), the whole document	1-16
A	CN 102184719 A (AU OPTRONICS CORP.), 14 September 2011 (14.09.2011), the whole document	1-16
A	EP 1445862 A2 (SAMSUNG ELECTRONICS CO., LTD.), 11 August 2004 (11.08.2004), the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 July 2015 (31.07.2015)	Date of mailing of the international search report 18 August 2015 (18.08.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SUN, Shixin Telephone No.: (86-10) 62413542

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/071245

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103646636 A	19 March 2014	None	
CN 101976580 A	16 February 2011	CN 101976580 B	03 June 2015
CN 103700355 A	02 April 2014	WO 2015089954 A1	25 June 2015
CN 103928007 A	16 July 2014	None	
CN 103985369 A	13 August 2014	None	
CN 102184719 A	14 September 2011	US 2012153996 A1	21 June 2012
		CN 102184719 B	07 November 2012
		TW I426486 B	11 February 2014
		TW 201227655 A	01 July 2012
		US 9087596 B2	21 July 2015
EP 1445862 A2	11 August 2004	JP 2004246358 A	02 September 2004
		US 7646841 B2	12 January 2010
		TW I333658 B	21 November 2010
		US 2007177438 A1	02 August 2007
		TW 200421352 A	16 October 2004
		KR 20040072131 A	18 August 2004
		US 2004165692 A1	26 August 2004
		US 7317779 B2	08 January 2008
		EP 1445862 B1	29 July 2009
		KR 100917009 B1	10 September 2009
		JP 4913990 B2	11 April 2012

国际检索报告

国际申请号

PCT/CN2015/071245

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 栅极, 驱动, 上拉, 下拉, 电位, 扫描, 下传, 晶体管, 电压, 信号, 电源, 充电, 电势, 输入, 第一、第二: GOA, grid, gate, driv+, TFT, pull 5w up, pull 5w down, signal, voltage, potential, scan+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103646636 A (合肥京东方光电科技有限公司 等) 2014年 3月 19日 (2014 - 03 - 19) 说明书第 [0020] - [0039] 段、第 [0042] 段, 附图3、5	1-2、8-9、15-16
Y	CN 101976580 A (友达光电股份有限公司) 2011年 2月 16日 (2011 - 02 - 16) 说明书第 [0040] 段、[0043] - [0044] 段, 附图1	1-2、8-9、15-16
A	CN 103700355 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-16
A	CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-16
A	CN 103985369 A (深圳市华星光电技术有限公司) 2014年 8月 13日 (2014 - 08 - 13) 全文	1-16
A	CN 102184719 A (友达光电股份有限公司) 2011年 9月 14日 (2011 - 09 - 14) 全文	1-16
A	EP 1445862 A2 (SAMSUNG ELECTRONICS CO., LTD.) 2004年 8月 11日 (2004 - 08 - 11) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 7月 31日

国际检索报告邮寄日期

2015年 8月 18日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

孙世新

传真号 (86-10)62019451

电话号码 (86-10)62413542

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/071245

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103646636	A	2014年 3月 19日	无			
CN	101976580	A	2011年 2月 16日	CN	101976580	B	2015年 6月 3日
CN	103700355	A	2014年 4月 2日	WO	2015089954	A1	2015年 6月 25日
CN	103928007	A	2014年 7月 16日	无			
CN	103985369	A	2014年 8月 13日	无			
CN	102184719	A	2011年 9月 14日	US	2012153996	A1	2012年 6月 21日
				CN	102184719	B	2012年 11月 7日
				TW	I426486	B	2014年 2月 11日
				TW	201227655	A	2012年 7月 1日
				US	9087596	B2	2015年 7月 21日
EP	1445862	A2	2004年 8月 11日	JP	2004246358	A	2004年 9月 2日
				US	7646841	B2	2010年 1月 12日
				TW	I333658	B	2010年 11月 21日
				US	2007177438	A1	2007年 8月 2日
				TW	200421352	A	2004年 10月 16日
				KR	20040072131	A	2004年 8月 18日
				US	2004165692	A1	2004年 8月 26日
				US	7317779	B2	2008年 1月 8日
				EP	1445862	B1	2009年 7月 29日
				KR	100917009	B1	2009年 9月 10日
				JP	4913990	B2	2012年 4月 11日

表 PCT/ISA/210 (同族专利附件) (2009年7月)