

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6648743号
(P6648743)

(45) 発行日 令和2年2月14日(2020.2.14)

(24) 登録日 令和2年1月20日(2020.1.20)

(51) Int.Cl.

F 1

| | | | | |
|-------------|-----------|------|-------|------|
| H01L 21/336 | (2006.01) | H01L | 29/78 | 658G |
| H01L 29/78 | (2006.01) | H01L | 29/78 | 652T |
| H01L 29/12 | (2006.01) | H01L | 29/78 | 653A |
| H01L 21/329 | (2006.01) | H01L | 29/86 | 301P |
| H01L 29/872 | (2006.01) | H01L | 29/91 | K |

請求項の数 5 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2017-179442 (P2017-179442)
 (22) 出願日 平成29年9月19日 (2017.9.19)
 (65) 公開番号 特開2018-61023 (P2018-61023A)
 (43) 公開日 平成30年4月12日 (2018.4.12)
 審査請求日 平成30年11月27日 (2018.11.27)
 (31) 優先権主張番号 特願2016-197414 (P2016-197414)
 (32) 優先日 平成28年10月5日 (2016.10.5)
 (33) 優先権主張国・地域又は機関
日本国 (JP)

(73) 特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(73) 特許権者 000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町1番地
(74) 代理人 110001128
特許業務法人ゆうあい特許事務所
(72) 発明者 高木 茂行
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 下村 正樹
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

(54) 【発明の名称】炭化珪素半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

炭化珪素にて構成され、下地層(2~4、102)が形成された半導体基板(1、101)を用意することと、

前記下地層に対してトレンチ(5a、103a)を形成することと、

前記トレンチ内に埋め込みつつ、前記下地層の表面上に形成されるように、炭化珪素層(50、110)をエピタキシャル成長させることと、

前記炭化珪素層の表面に、犠牲層(60、120)を成膜することと、

前記犠牲層を成膜したのち、リフローによって前記犠牲層を平坦化することと、

平坦化後の前記犠牲層と共に前記炭化珪素層を、前記犠牲層と前記炭化珪素層とのエッチング選択比が1となるエッチング条件でドライエッチングしてエッチバックすることと、を含み、

さらに、前記トレンチを形成することにおいては、前記下地層に対して前記トレンチと異なる位置にアライメントトレンチ(5b)を形成することを含み、

前記炭化珪素層をエピタキシャル成長させることにおいては、前記アライメントトレンチ内にも前記炭化珪素層を成長させ、

前記犠牲層を成膜することにおいては、前記アライメントトレンチを埋め込むように形成された前記炭化珪素層の上にも前記犠牲層を成膜し、

前記エッチバックすることでは、前記炭化珪素層の表面のうち前記アライメントトレンチに対応した位置に形成される凹みに含まれるファセット(50a)が除去されるまで前

10

20

記エッチバックを行う炭化珪素半導体装置の製造方法。

【請求項 2】

前記エッチバックすることにおいては、前記エッチバックによって前記下地層の表面を露出させ、前記トレンチ内にのみ前記炭化珪素層を残す請求項 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 3】

前記犠牲層を成膜することでは、前記犠牲層として P S G、B P S G および S O G のいずれか 1 つを成膜することである請求項 1 または 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4】

前記下地層が形成された半導体基板を用意することにおいては、前記半導体基板として、第 1 または第 2 導電型の炭化珪素基板(1)を用い、前記下地層として、該炭化珪素基板の上に該前記炭化珪素基板よりも低不純物濃度とされる炭化珪素にて構成された第 1 導電型のドリフト層(2)と、炭化珪素にて構成された第 2 導電型のベース領域(3)と、前記ドリフト層よりも高不純物濃度の炭化珪素にて構成された第 1 導電型のソース領域(4)とが順に形成されたものを用意し、

前記エッチバックすることにおいては、前記ソース領域の表面を露出させるまで前記エッチバックを行うことで、前記トレンチ(5a)内に第 2 導電型のディープ層(5)を形成し、

前記ディープ層を形成したのち、前記ソース領域の表面から前記ベース領域よりも深いゲートトレンチ(6)と、該ゲートトレンチの内壁面に形成されるゲート絶縁膜(7)と、前記ゲート絶縁膜の上に形成されるゲート電極(8)と、を有して構成されるトレンチゲート構造を形成することと、

前記ソース領域および前記ディープ層に電気的に接続されるソース電極(9)を形成することと、

前記半導体基板の裏面側に、ドレイン電極(11)を形成することと、を含んでいる請求項 1 ないし3のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 5】

前記下地層が形成された半導体基板を用意することにおいては、前記半導体基板として、第 1 導電型の炭化珪素基板(101)を用い、前記下地層として、該炭化珪素基板の上に該炭化珪素基板よりも低不純物濃度とされる炭化珪素にて構成された第 1 導電型のドリフト層(102)が形成されたものを用意し、

前記エッチバックすることにおいては、前記ドリフト層の表面を露出させるまで前記エッチバックを行うことで、前記トレンチ(103a)内に第 2 導電型のディープ層(103)を形成し、

前記ドリフト層および前記ディープ層に電気的に接続されるショットキー電極(104)を形成することと、

前記半導体基板の裏面側に、オーミック電極(105)を形成することと、を含んでいる請求項 1 ないし3のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素(以下、S i C という)半導体装置の製造方法に関するものである。

【背景技術】

【0002】

従来より、S i C で形成された下地層に対してトレンチを形成したのち、トレンチ内のみに S i C 層を埋め込む構造とする S i C 半導体装置がある。このような構造の製造方法として、非特許文献 1 に、下地層に形成したトレンチ内を S i C 層で埋め込むように埋込エピタキシャル成長を行ったのち、さらに S i C 層のうち下地層の表面上に形成された部

10

20

30

40

50

分を除去して平坦化する方法が提案されている。より詳しくは、以下のような製造方法によって、SiC層の表面の平坦化を行っている。

【0003】

まず、下地層に対してトレンチを形成したのち、トレンチ内をSiC層で埋め込むように埋込エピタキシャル成長を行う。このとき、SiC層の表面は、トレンチに埋め込まれた部分と対応する位置において凹み、トレンチが形成されていない部分において突き出するような凹凸形状となる。したがって、単にSiC層をエッチバックしてSiC層のうちの下地層の表面よりも上に形成された部分を除去しようとしたのでは、表面の凹凸が残ってしまい、SiC層の表面の平坦化が図れない。

【0004】

このため、SiC層の表面を覆うようにLTO(Low Temperature Oxidationの略)を成膜し、さらに、LTOの表面を覆うようにポリマー膜を成膜している。つまり、LTOについては、SiC層の表面を覆うように形成しても表面の凹凸が残るため、表面が平坦となるポリマー膜でさらにLTOを覆うようにしている。

【0005】

このようにポリマー膜およびLTO膜を形成した後、ポリマー膜とLTO膜をエッティング選択比が1となるように、つまりポリマー膜とLTOが等しいレートでエッティングされるようにしてエッチバックする。これにより、LTOの表面の凹凸にかかわらず、ポリマー膜およびLTOが同じレートで、つまりポリマー膜およびLTOの表面が平坦な状態のままエッチバックされる。続いて、ポリマー膜が除去されると、エッティングガスなどのエッティング条件を切り替えて、今度はLTOとSiC層を、これらのエッティング選択比が1となるようにエッチバックする。これにより、表面が平坦なままの状態でLTOおよびSiC層が同じレートでエッチバックされる。そして、下地層が露出するまでLTOおよびSiC層のエッチバックを続ける。

【0006】

このような製造方法により、下地層に形成したトレンチ内にのみSiC層を残した構造のSiC単結晶装置を製造することが可能となる。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】Planarization of epitaxial SiC trench structures by plasma ion etching, Silicon Carbide and Related Materials 2014, A.Z. Zhang, S.A. Reshanov, A. Schoner, W. Kaplan, N. Kwietniewski, J.K. Lim and M. Bakowski 共著

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記の製造方法では、SiC層の上にLTOに加えてポリマー膜を製造する工程が必要になる。また、ポリマー膜とLTOとをエッティング選択比が1となるようにエッチバックしたのち、さらにLTOとSiC層とをエッティング選択比が1となるようにエッチバックするという2段階のエッチバック工程が必要になる。したがって、製造方法が複雑になり、その結果、製造コストも高くなる。

【0009】

なお、ここでは表面に凹凸が形成されたときに平坦化を行うためのエッチバックを行う場合の一例として、トレンチ内にSiC層を残す構造を例に挙げて説明した。しかしながら、表面に凹凸が形成されたときに平坦化を行う構造としては、他の構造も挙げられる。例えば、オフ角を有するオフ基板の上にエピタキシャル成長を行ったときにステップバンチングに基づく凹凸が形成される場合や、不純物をイオン注入した後の活性化アニール処理によってステップバンチングに基づく凹凸が形成される場合がある。これらの場合にも、同様に、上記のことが課題となる。

【0010】

10

20

30

40

50

本発明は上記点に鑑みて、下地層に形成したトレンチ内にSiC層が埋め込まれた構造のSiC半導体装置において、より簡素にSiC層の表面を平坦面にできる製造方法を提供することを第1の目的とする。また、SiC半導体装置において、SiC層の表面に凹凸が形成された凹凸面を平坦化する際に、より簡素にSiC層の表面を平坦面にできる製造方法を提供することを第2の目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するため、請求項1に記載のSiC半導体装置の製造方法では、SiCにて構成され、下地層(2~4、102)が形成された半導体基板(1、101)を用意することと、下地層に対してトレンチ(5a、103a)形成することと、トレンチ内に埋め込みつつ、下地層の表面上に形成されるように、SiC層(50、110)をエピタキシャル成長させることと、SiC層の表面に、犠牲層(60、120)を成膜することと、犠牲層を成膜したのち、リフローによって犠牲層を平坦化することと、平坦化後の犠牲層と共にSiC層を、犠牲層とSiC層とのエッチング選択比が1となるエッチング条件でドライエッチングしてエッチバックすることと、を含んでいる。10

【0012】

このように、SiC層のうち下地層の表面より上に形成された部分を除去する際に、SiC層の上に流動性のある犠牲層を形成している。そして、流動性により、犠牲層の表面が平坦な状態となっていることから、犠牲層と共にSiC層をエッチング選択比が1となるようにエッチバックすることで、SiC層を表面が平坦となるように除去できる。したがって、より簡素に、エッチバック後の下地層およびSiC層の表面を平坦面にできるSiC半導体装置の製造方法とすることが可能となる。20

【0017】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

【0018】

【図1】第1実施形態にかかるSiC半導体装置に備えられる縦型MOSFETの断面図である。

【図2A】図1に示す縦型MOSFETの製造工程を示す断面図である。30

【図2B】図2Aに続く縦型MOSFETの製造工程を示す断面図である。

【図2C】図2Bに続く縦型MOSFETの製造工程を示す断面図である。

【図2D】図2Cに続く縦型MOSFETの製造工程を示す断面図である。

【図2E】図2Dに続く縦型MOSFETの製造工程を示す断面図である。

【図2F】図2Eに続く縦型MOSFETの製造工程を示す断面図である。

【図2G】図2Fに続く縦型MOSFETの製造工程を示す断面図である。

【図2H】図2Gに続く縦型MOSFETの製造工程を示す断面図である。

【図3A】アライメントキーを作成する位置での図1に示す縦型MOSFETの製造工程を示す断面図である。

【図3B】図3Aに続く縦型MOSFETの製造工程を示す断面図である。40

【図3C】図3Bに続く縦型MOSFETの製造工程を示す断面図である。

【図3D】図3Cに続く縦型MOSFETの製造工程を示す断面図である。

【図4A】図3Aと同じ工程を別断面で示した図である。

【図4B】図3Bと同じ工程を別断面で示した図である。

【図4C】図3Cと同じ工程を別断面で示した図である。

【図4D】図3Dと同じ工程を別断面で示した図である。

【図5A】アライメントキーの上面図である。

【図5B】アライメントキーの上面図である。

【図6】第2実施形態にかかるSiC半導体装置に備えられるJBSの断面図である。

【図7A】図6に示すJBSの製造工程を示す断面図である。50

【図 7 B】図 7 A に続く JBS の製造工程を示す断面図である。

【図 7 C】図 7 B に続く JBS の製造工程を示す断面図である。

【図 7 D】図 7 C に続く JBS の製造工程を示す断面図である。

【図 8 A】第 3 実施形態で説明する縦型 MOSFET の製造工程中の一部を拡大した断面図である。

【図 8 B】図 8 A に続く縦型 MOSFET の製造工程を示す断面図である。

【図 8 C】図 8 B に続く縦型 MOSFET の製造工程を示す断面図である。

【図 8 D】図 8 C に続く縦型 MOSFET の製造工程を示す断面図である。

【図 9】第 4 実施形態にかかる SiC 半導体装置に備えられる JBS の断面図である。

【図 10 A】図 9 に示す縦型 MOSFET の製造工程中の一部を拡大した断面図である

10

。

【図 10 B】図 10 A に続く縦型 MOSFET の製造工程を示す断面図である。

【図 10 C】図 10 B に続く縦型 MOSFET の製造工程を示す断面図である。

【図 10 D】図 10 C に続く縦型 MOSFET の製造工程を示す断面図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0020】

(第 1 実施形態)

20

第 1 実施形態について説明する。本実施形態にかかる SiC 半導体装置は、図 1 に示すように、半導体素子として縦型 MOSFET が形成されたものである。縦型 MOSFET は、SiC 半導体装置のうちのセル領域に形成されており、そのセル領域を囲むように外周耐圧構造が形成されることで SiC 半導体装置が構成されているが、ここでは縦型 MOSFET のみ図示してある。なお、以下の説明では、図 1 の左右方向を幅方向とし、上下方向を厚み方向もしくは深さ方向として説明を行う。

【0021】

SiC 半導体装置には、SiC からなる n^+ 型基板 1 が半導体基板として用いられている。本実施形態の場合、図 1 の紙面法線方向がオフ方向と一致させられている。 n^+ 型基板 1 としては、表面が(0001)Si 面とされていて、所定のオフ角を有したオフ基板が用いられており、例えばオフ方向が<11-20>とされている。 n^+ 型基板 1 の N 型不純物濃度は、例えば $1.0 \times 10^{19} / \text{cm}^3$ とされている。

30

【0022】

n^+ 型基板 1 の主表面上には、SiC からなる n^- 型ドリフト層 2、p 型ベース領域 3 および n^+ 型ソース領域 4 が順にエピタキシャル成長させられている。 n^- 型ドリフト層 2 は、例えば n 型不純物濃度が $0.5 \sim 2.0 \times 10^{16} / \text{cm}^3$ とされ、厚さが $5 \sim 14 \mu\text{m}$ とされている。p 型ベース領域 3 は、チャネル領域が形成される部分で、p 型不純物濃度が例えば $2.0 \times 10^{17} / \text{cm}^3$ 程度とされ、厚みが $0.5 \sim 2 \mu\text{m}$ で構成されている。 n^+ 型ソース領域 4 は、 n^- 型ドリフト層 2 よりも高不純物濃度とされ、表層部における n 型不純物濃度が例えば $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さ $0.5 \sim 2 \mu\text{m}$ 程度で構成されている。

40

【0023】

n^+ 型ソース領域 4 や p 型ベース領域 3 を貫通して n^- 型ドリフト層 2 に達するように p 型ディープ層 5 が形成されている。p 型ディープ層 5 は、例えば幅が $1 \mu\text{m}$ 以下、アスペクト比が 2 以上の深さとされたトレーナ 5 a 内を埋込エピタキシャル成長によって SiC 層で埋め込むことによって構成されたものであり、p 型ベース領域 3 よりも p 型不純物濃度が高くされている。具体的には、p 型ディープ層 5 は、 n^- 型ドリフト層 2 に複数本が等間隔に配置され、互いに交点なく離れて配置されることで、上面レイアウトがストライプ状とされている。例えば、各 p 型ディープ層 5 は、p 型不純物濃度が例えば $1.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、幅 $0.7 \mu\text{m}$ 、深さが p 型ベース領域 3 と n^+ 型

50

ソース領域4の合計膜厚よりも0.4μm以上深くなるように構成されている。

【0024】

また、p型ベース領域3およびn⁺型ソース領域4を貫通してn⁻型ドリフト層2に達するように、例えば幅が0.8μm、深さがp型ベース領域3とn⁺型ソース領域4の合計膜厚よりも0.2～0.4μm深くされたゲートトレンチ6が形成されている。このゲートトレンチ6の側面と接するように上述したp型ベース領域3およびn⁺型ソース領域4が配置されている。ゲートトレンチ6は、図1の紙面左右方向を幅方向、紙面法線方向を長手方向、紙面上下方向を深さ方向とするライン状のレイアウトで形成されている。また、図1には1本しか示していないが、ゲートトレンチ6は、複数本が紙面左右方向に等間隔に配置され、それぞれp型ディープ層5の間に挟まれるように配置されていてストライプ状とされている。10

【0025】

p型ベース領域3のうちゲートトレンチ6の側面に位置している部分は、縦型MOSFETの作動時にn⁺型ソース領域4とn⁻型ドリフト層2との間を繋ぐチャネル領域とされる。このチャネル領域を含むゲートトレンチ6の内壁面に、ゲート絶縁膜7が形成されている。そして、ゲート絶縁膜7の表面にはドープドPoly-Siにて構成されたゲート電極8が形成されており、これらゲート絶縁膜7およびゲート電極8によってゲートトレンチ6内が埋め尽くされている。

【0026】

また、n⁺型ソース領域4およびp型ディープ層5の表面やゲート電極8の上には、層間絶縁膜10を介してソース電極9やゲート配線層が形成されている。ソース電極9やゲート配線層は、複数の金属、例えばNi/A1等にて構成されている。そして、複数の金属のうち少なくともn型SiC、具体的にはn⁺型ソース領域4やn型ドープの場合のゲート電極8と接触する部分はn型SiCとオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくともp型SiC、具体的にはp型ディープ層5と接触する部分はp型SiCとオーミック接触可能な金属で構成されている。なお、ソース電極9は、層間絶縁膜10上に形成されることで電気的に絶縁されている。そして、層間絶縁膜10に形成されたコンタクトホールを通じて、ソース電極9はn⁺型ソース領域4およびp型ディープ層5と電気的に接触させられている。20

【0027】

さらに、n⁺型基板1の裏面側にはn⁺型基板1と電気的に接続されたドレイン電極11が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造の縦型MOSFETが構成されている。このような縦型MOSFETが複数セル配置されることでセル領域が構成されている。そして、このような縦型MOSFETが形成されたセル領域を囲むように図示しないガードリングなどによる外周耐圧構造が構成されることでSiC半導体装置が構成されている。30

【0028】

このように構成されたSiC半導体装置では、n⁺型ソース領域4やp型ベース領域3およびn⁻型ドリフト層2を下地層として、SiC層に相当するp型ディープ層5をトレンチ5a内への埋込エピタキシャル成長によって形成している。このp型ベース領域3の形成時に、後述する製造工程により、埋込エピタキシャル成長させたp型ディープ層5のうち下地層の上に形成された部分を除去するようにしている。このため、n⁺型ソース領域4およびp型ディープ層5の表面はダメージ層の少ない平坦面となっている。そして、このようなダメージ層の少ない平坦面に対してトレンチゲート構造を形成していることから、ゲート絶縁膜7も良好な膜質で形成されている。したがって、ゲート寿命の低下を抑制することが可能なSiC半導体装置となっている。40

【0029】

次に、本実施形態にかかる縦型MOSFETを備えたSiC半導体装置の製造方法について、図2A～図2H、図3A～図3D、図4A～図4D、図5Aおよび図5Bを参照して説明する。なお、図2A～図2Hは、図1に示す縦型MOSFETと対応する位置での50

製造工程中の断面図である。図3A～図3Dおよび図4A～図4Dは、図1とは別断面であって、それぞれ、アライメントキーを作成する位置でのオフ方向である<11-20>と平行な方向と垂直な方向での製造工程中の断面図の一部を示したものである。また、図5Aおよび図5Bは、図3Aおよび図4Aや図3Bおよび図4Bを紙面上方から見たときのレイアウト図である。なお、図3Aは、図5AにおけるIIIA-IIIA断面と対応し、図4Aは、図5AにおけるIVA-IVA断面に対応している。また、図3Bは、図5BにおけるIIB-IIB断面と対応し、図4Bは、図5BにおけるIVB-IVB断面に対応している。図3C、図3D、図4Cおよび図4Dと対応する紙面上方から見たときのレイアウト図については示していないが、図3Cおよび図3Dは図3Aおよび図3Bと同じ位置の断面、図4Cおよび図4Dは図4Aおよび図4Bと同じ位置の断面を示している。

10

【0030】

〔図2Aに示す工程〕

まず、半導体基板として、ウェハ状のn⁺型基板1を用意する。そして、このn⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2、p型ベース領域3およびn⁺型ソース領域4を順に所望の膜厚でエピタキシャル成長させる。

【0031】

〔図2Bに示す工程〕

次に、n⁺型ソース領域4の表面に図示しないマスクを配置し、マスクのうちのp型ディープ層5の形成予定領域を開口させる。そして、マスクを用いてRIE(Reactive Ion Etching)などの異方性エッティングを行うことにより、例えば幅が1μm以下、アスペクト比が2以上の深さのトレンチ5aを形成する。

20

【0032】

このとき、図3Aおよび図4Aに示すように、トレンチ5aと異なる位置に、アライメントトレンチ5bを形成する。例えば、ウェハのうちのSiC半導体装置を構成するチップとされる部分と異なる部分もしくはチップ内における縦型MOSFETには影響を与えない部位に、アライメントキーとしてのアライメントトレンチ5bを形成する。ここでは、図5Aに示すように、アライメントトレンチ5bについては、直行する二辺のうちの一方が<11-20>方向に延びる十字形状などとしているが、他の形状であっても良い。

【0033】

〔図2Cに示す工程〕

30

マスクを除去した後、p型SiC層50を成膜する。このとき、埋込エピタキシャル成長により、トレンチ5a内にp型SiC層50が埋め込まれることになるが、トレンチ5aを幅が狭いライン状で形成していることから、トレンチ5a内にp型SiC層50を確実に埋め込むことが可能になる。

【0034】

ただし、p型SiC層50のうちトレンチ5aとn⁺型ソース領域4の表面よりも上に位置している部分の厚みについては、トレンチ5a内に埋め込まれる部分が発生する分、トレンチ5aと対応する部分において薄くなる。このため、p型SiC層50の表面は、トレンチ5aに埋め込まれた部分と対応する位置において凹み、トレンチ5aが形成されていない部分において突き出すような凹凸形状となる。

40

【0035】

また、図3B、図4Bおよび図5Bに示すように、p型SiC層50のうちアライメントトレンチ5bと対応する位置においても凹んだ形状となり、かつ、図3Bに示すように、エピタキシャル成長の面方位依存性に起因したファセット50aが形成される。具体的には、アライメントトレンチ5bのうち<11-20>方向を法線方向とする面の一面と対応する位置において、p型SiC層50の表面に、オフ方向に沿って傾斜するファセット50aが形成される。なお、図5Bに示すように、アライメントトレンチ5bを十字形状とした場合、オフ方向の上流側、つまりファセット50aが伸びる方と反対側においてはファセット50aが形成されていない。このため、図4Bに示す断面においては、アライメントトレンチ5bの両側面上に形成されたp型SiC層50は、左右対称な形状とな

50

り、ファセット 50a が形成されていないものとなる。

【0036】

〔図 2D に示す工程〕

p 型 SiC 層 50 の表面を覆うように、犠牲層 60 を成膜したのち、例えば窒素ガス雰囲気などの不活性ガス雰囲気での 950 ~ 1100 のリフローによって犠牲層 60 を流動させて表面を平坦化する。犠牲層 60 としては、流動性のある酸化膜となる PSG (phospho silicate glass の略)、BPSG (Boro-phospho silicate glass の略) もしくは SOG (Spin on glass の略) を用いることができる。これらの材料はリフローによって容易に流動する流動性を有した材料であることから、リフローを行うことで犠牲層 60 の表面が平坦面となる。例えば、リフロー後の犠牲層 60 の表面の凹凸による段差が 0.1 μm 以下となる。10

【0037】

このとき、図 3C および図 4C に示すように、p 型 SiC 層 50 のうちアライメントトレーナー 5b と対応する位置において凹んでいた部分も埋め込まれるように犠牲層 60 が形成される。そして、リフローが行われると、犠牲層 60 の表面は、凹んだ部分においても、ファセット 50a の有無に関係なく、凹んだ部分の外部と同様に平坦面となる。

【0038】

〔図 2E に示す工程〕

ドライエッチングによって犠牲層 60 と共に p 型 SiC 層 50 のうち n⁺ 型ソース領域 4 の表面より上に形成された部分が取り除かれるようにエッチバックする。これにより、トレーナー 5a 内にのみ p 型 SiC 層 50 が残り、p 型ディープ層 5 が形成される。20

【0039】

このとき、犠牲層 60 と p 型 SiC 層 50 とのエッチング選択比が 1 となるように、つまり犠牲層 60 と p 型 SiC 層 50 が等しいレートでエッチングされるようにエッチバックする。エッチング条件については、任意であるが、例えば、SF₆ とアルゴンの混合ガスを用いており、エッチング装置における RF パワーを 1200W、雰囲気圧力を 0.5 Pa とし、SF₆ の流量を 3.7 sccm、アルゴンの流量を 500 sccm としている。このようなドライエッチングでは、SF₆ によって p 型 SiC 層 50 が化学的に削られると共に、アルゴンによって犠牲層 60 が物理的に削られることで、これらのエッチング選択比が 1 となるようにできる。30

【0040】

これにより、p 型 SiC 層 50 の表面の凹凸にかかわらず、犠牲層 60 および p 型 SiC 層 50 が同じレートで、つまりこれらの表面が平坦な状態のままエッチバックされる。したがって、犠牲層 60 と共に p 型 SiC 層 50 のうち n⁺ 型ソース領域 4 の表面より上に形成された部分が取り除かれるまでエッチバックしたときに、n⁺ 型ソース領域 4 および p 型ディープ層 5 の表面が平坦面となるようにできる。

【0041】

また、アライメントキーとなる位置においても、図 3D および図 4D に示すように、犠牲層 60 で覆われることから、犠牲層 60 と共に p 型 SiC 層 50 をエッチバックしたことによって、除去後の表面を平坦面にできる。アライメントキーとなる位置では、ファセット 50a 形成された状態になっているが、上記のように犠牲層 60 と p 型 SiC 層 50 とをエッチング選択比が 1 となるようにエッチバックする場合には、ファセット 50a を除去できる。40

【0042】

つまり、犠牲層 60 を形成することなく p 型 SiC 層 50 をエッチバックする場合においてはファセット 50a が残ってしまうが、犠牲層 60 と共に p 型 SiC 層 50 をエッチバックすることでファセット 50a が残らないようになる。犠牲層 60 を形成しなくても、研削によって p 型 SiC 層 50 を除去することでファセット 50a の無い表面とすることができますが、研削による場合には表面が荒れて凹凸が残った状態になるため、好ましくない。これに対して、本実施形態のエッチバック方法によれば、表面状態が良好で、か50

つ、ファセット 50a を除去することが可能となる。

【0043】

また、この後の工程において、アライメントを認識するときに、アライメントレンチ 5b の外縁、つまり p 型ディープ層 5 と n⁺ 型ソース領域 4 との境界をアライメントキーとして用いることになる。仮に、ファセット 50a が残っていると、アライメントを認識するときに、認識したいアライメントキーではなく、ファセット 50a とファセット 50a ではないところとの境界を誤認識することがある。このため、ファセット 50a が残らないようにすることで、アライメントずれが生じることを抑制することが可能になるという効果も得られる。

【0044】

なお、犠牲層 60 を p 型 SiC 層 50 と選択比 1 でエッチバックしていることから、p 型 SiC 層 50 のエッチバックが完了した際に、アライメントレンチ 5b 内にまだ犠牲層 60 が残った状態になる。このため、p 型 SiC 層 50 のエッチバック後には、犠牲層 60 のみがエッチングされる条件に切り替えてアライメントレンチ 5b 内の犠牲層 60 を取り除くことで、この後もアライメントキーとして用いることが可能となる。

【0045】

〔図 2F に示す工程〕

n⁺ 型ソース領域 4 などの上に図示しないマスクを形成したのち、マスクのうちのゲートレンチ 6 の形成予定領域を開口させる。そして、マスクを用いて RIE などの異方性エッチングを行うことで、ゲートレンチ 6 を形成する。例えば、ゲートレンチ 6 の深さを p 型ベース領域 3 と n⁺ 型ソース領域 4 の合計膜厚よりも 0.2 ~ 0.4 μm 深くするという設定としてエッチングを行う。これにより、p 型ベース領域 3 の底部からのゲートレンチ 6 の突き出し量が 0.2 ~ 0.4 μm となるようにしている。

【0046】

このとき、ゲートレンチ 6 を形成する際のマスク合わせにおいて、アライメントキーを基準として行われるが、上記したように、ファセット 50a が残っていないため、アライメントキーを誤認識しないようにでき、ゲートレンチ 6 を正確な位置に形成できる。

【0047】

〔図 2G に示す工程〕

マスクを除去した後、例えば熱酸化を行うことによって、ゲート絶縁膜 7 を形成し、ゲート絶縁膜 7 によってゲートレンチ 6 の内壁面上および n⁺ 型ソース領域 4 の表面上を覆う。そして、p 型不純物もしくは n 型不純物がドープされた Poly-Si をデポジションした後、これをエッチバックし、少なくともゲートレンチ 6 内に Poly-Si を残すことでゲート電極 8 を形成する。

【0048】

〔図 2H に示す工程〕

ゲート電極 8 およびゲート絶縁膜 7 の表面を覆うように、例えば酸化膜などによって構成される層間絶縁膜 10 を形成する。そして、層間絶縁膜 10 の表面上に図示しないマスクを形成したのち、マスクのうち各ゲート電極 8 の間に位置する部分、つまり p 型ディープ層 5 と対応する部分およびその近傍を開口させる。この後、マスクを用いて層間絶縁膜 10 をパターニングすることで p 型ディープ層 5 および n⁺ 型ソース領域 4 を露出させるコンタクトホールを形成する。

【0049】

この後の工程については図示しないが、層間絶縁膜 10 の表面上に例えば複数の金属の積層構造により構成される電極材料を形成する。そして、電極材料をパターニングすることで、ソース電極 9 を形成する。さらに、n⁺ 型基板 1 の裏面側にドレイン電極 11 を形成するなどの工程を行うことで、図 1 に示した本実施形態にかかる縦型 MOSFET を有する SiC 半導体装置が完成する。

【0050】

以上説明したように、p 型ディープ層 5 を形成するための p 型 SiC 層 50 のうち n⁺

10

20

30

40

50

型ソース領域4の表面より上に形成された部分を除去する際に、p型SiC層50の上に流動性のある犠牲層60を形成している。そして、流動性により、犠牲層60の表面が平坦な状態となっていることから、犠牲層60と共にp型SiC層50をエッティング選択比が1となるようにエッチバックすることで、p型SiC層50を表面が平坦となるよう除去できる。したがって、より簡素に、エッチバック後のn⁺型ソース領域4およびp型ディープ層5の表面を平坦面にできるSiC半導体装置の製造方法とすることが可能となる。また、SiC半導体装置の製造方法をより簡素にできるため、SiC半導体装置の製造コストの削減を図ることも可能となる。

【0051】

(第2実施形態)

10

第2実施形態について説明する。本実施形態は、第1実施形態に対して半導体素子として縦型MOSFETに変えてジャンクションバリアショットキーダイオード(以下、JBSという)を備えるようにしたものです。その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0052】

JBSは、SiC半導体装置のうちのセル部に形成されており、このセル領域を囲むようにガードリングなどの外周耐圧構造が形成されることでSiC半導体装置が構成されているが、ここではJBSについて主に説明する。

【0053】

図6に示すように、SiCで構成されたn⁺型基板101の上に、n⁺型基板101よりもn型不純物濃度が低くされたSiCからなるn⁻型ドリフト層102が形成されている。セル領域において、n⁻型ドリフト層102の表層部には、ストライプ状とされたp型ディープ層103が形成されており、図示していないが、その周囲を囲むようにp型層によって構成されるガードリングなどの外周耐圧構造が備えられている。

20

【0054】

p型ディープ層103は、n⁻型ドリフト層102に複数本が等間隔に配置されたストライプ状のトレンチ103a内に配置され、埋込エピタキシャル成長によるp型のエピタキシャル膜によって構成されている。なお、このトレンチ103aがディープトレンチに相当するものであり、例えば幅が1μm以下、アスペクト比が2以上の深さとされている。

30

【0055】

また、n⁻型ドリフト層102およびp型ディープ層103の上には、これらの表面に接触させられたショットキー電極104が形成されている。さらに、n⁺型基板101の裏面側には、オーミック電極105が形成されている。

【0056】

このように、JBSを半導体素子として備えるSiC半導体装置においても、トレンチ103a内への埋込エピタキシャル成長によってp型ディープ層103を形成している。このp型ディープ層103を形成する際にも、第1実施形態と同様のエッチバック方法を適用することができる。具体的に、図7A～図7Dに基づいて、本実施形態にかかるSiC半導体装置の製造方法について説明する。

40

【0057】

(図7Aに示す工程)

まず、半導体基板として、ウェハ状のn⁺型基板101を用意する。そして、このn⁺型基板101の主表面上にSiCからなるn⁻型ドリフト層102を所望の膜厚でエピタキシャル成長させる。

【0058】

次に、n⁻型ドリフト層102の表面に図示しないマスクを配置し、マスクのうちのp型ディープ層103の形成予定領域を開口させる。そして、マスクを用いてRIEなどの異方性エッティングを行うことにより、例えば幅が1μm以下、アスペクト比が2以上の深さのトレンチ103aを形成する。

50

【0059】**〔図7Bに示す工程〕**

マスクを除去した後、p型SiC層110を成膜する。このとき、埋込エピにより、トレンチ103a内にp型SiC層110が埋め込まれることになるが、トレンチ103aを幅が狭いライン状で形成していることから、トレンチ103a内にp型SiC層110を確実に埋め込むことが可能になる。

【0060】

ただし、p型SiC層110のうちトレンチ103aとn⁻型ドリフト層102の表面よりも上に位置している部分の厚みについては、トレンチ103a内に埋め込まれる部分が発生する分、トレンチ103aと対応する部分において薄くなる。このため、p型SiC層110の表面は、トレンチ103aに埋め込まれた部分と対応する位置において凹み、トレンチ103aが形成されていない部分において突き出すような凹凸形状となる。10

【0061】**〔図7Cに示す工程〕**

p型SiC層110の表面を覆うように、犠牲層120を成膜したのち、リフローを行うことで犠牲層120を流動させて表面を平坦化する。犠牲層120の材料やリフローの条件については、第1実施形態と同様である。

【0062】**〔図7Dに示す工程〕**

ドライエッティングによって犠牲層120と共にp型SiC層110のうちn⁻型ドリフト層102の表面より上に形成された部分が取り除かれるようにエッチバックする。このときのエッチバック方法についても、第1実施形態と同様である。これにより、トレンチ103a内にのみp型SiC層110が残り、p型ディープ層5が形成される。つまり、p型SiC層50の表面の凹凸にかかわらず、犠牲層120およびp型SiC層110が同じレートでエッチバックされることから、n⁻型ドリフト層102およびp型ディープ層103の表面が平坦面となるようになる。20

【0063】

この後の工程については図示しないが、n⁻型ドリフト層102およびp型ディープ層103の表面側に、ショットキー電極104を形成すると共に、n⁺型基板101の裏面側にオーミック電極105を形成するなどの工程を行う。これにより、本実施形態にかかるSiC半導体装置が完成する。30

【0064】

以上説明したように、トレンチ103a内にp型ディープ層103が埋込エピタキシャル成長されることによって形成されるJBSを有するSiC半導体装置についても、第1実施形態と同様のエッチバック方法を適用できる。これにより、第1実施形態と同様の効果を得ることが可能となる。

【0065】**(第3実施形態)**

第3実施形態について説明する。本実施形態は、エピタキシャル成長時に生じるステップバンチングによる凹凸を平坦化する際に、第1、第2実施形態と同様の工程を行うものである。40

【0066】

例えば、第1実施形態で説明した図1に示されるSiC半導体装置は、図2Aに示したように、n⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2などを所望の膜厚でエピタキシャル成長させる。このときに、ステップバンチングによる凹凸が形成され得るため、それを平坦化する。具体的には、図8A～図8Dに示す工程を行う。

【0067】

まず、図8Aに示すように、n⁺型基板1を用意する。そして、図8Bに示すように、n⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2をエピタキシャル成長させる。このとき、n⁺型基板1がオフ角を有するオフ基板とされていることから、その上に50

形成される n^- 型ドリフト層 2 の表面は、ステップバンチングに起因する凹凸が形成された凹凸面 2 a となる。

【0068】

このため、図 8 C に示すように、 n^- 型ドリフト層 2 の凹凸面 2 a を覆うように犠牲層 60 を成膜したのち、例えば窒素ガス雰囲気などの不活性ガス雰囲気での 950 ~ 1100 のリフローによって犠牲層 60 を流動させて表面を平坦化する。犠牲層 60 については、第 1 実施形態と同様、流動性のある酸化膜となる PSG、BPSG もしくは SOG 等を用いることができる。

【0069】

そして、図 8 D に示すように、ドライエッチングによって犠牲層 60 と共に n^- 型ドリフト層 2 のうちの凹凸面 2 a 側を取り除くようにエッチバックする。このとき、犠牲層 60 と n^- 型ドリフト層 2 とのエッチング選択比が 1 となるように、つまり犠牲層 60 と n^- 型ドリフト層 2 が等しいレートでエッチングされるようにエッチバックする。エッチング条件については、例えば第 1 実施形態と同様の条件とすることができます。これにより、 n^- 型ドリフト層 2 の表面を平坦面とすることが可能となる。

【0070】

以上説明したように、 n^+ 型基板 1 の主表面上に SiC からなる n^- 型ドリフト層 2 を形成したときにステップバンチングによる凹凸ができた際にも、犠牲層 60 を成膜したのち、犠牲層 60 と共に n^- 型ドリフト層 2 を選択比が 1 となるエッチバックを施す。これにより、 n^- 型ドリフト層 2 の表面の凹凸を取り除くことができ、当該表面を平坦化することが可能となる。

【0071】

なお、ここでは、 n^- 型ドリフト層 2 の表面を平坦化する場合について説明したが、 n^- 型ドリフト層 2 の上に形成される p 型ベース領域 3 や n^+ 型ソース領域 4 の平坦化を行う場合にも、犠牲層 60 を用いた選択比 1 となるエッチバックを施すようにしても良い。また、 n^- 型ドリフト層 2 と p 型ベース領域 3 および n^+ 型ソース領域 4 のいずれか 1 つのみ平坦化を行うようにしても良いし、いずれか複数の平坦化を行うようにしても良い。

【0072】

(第 4 実施形態)

第 4 実施形態について説明する。本実施形態は、不純物のイオン注入を行った後に活性化アニール処理を行ったときに生じるステップバンチングによる凹凸を平坦化する際に、第 1、第 2 実施形態と同様の工程を行うものである。ここでは、その一例として、JBS を例に挙げて説明する。

【0073】

図 9 に示すように、本実施形態にかかる SiC 半導体装置も、第 2 実施形態と同様、JBS が備えられている。JBS は、 n^+ 型基板 101 を用いて形成されている。 n^+ 型基板 101 の上には、 n^+ 型基板 101 よりも n^- 型不純物濃度が低くされた SiC からなる n^- 型ドリフト層 102 が形成されている。これら n^+ 型基板 1 および n^- 型ドリフト層 102 によって構成された SiC 半導体基板のセル部に JBS が形成されていると共に、その外周領域に図示しない終端構造が形成されることで本実施形態の SiC 半導体装置が構成されている。

【0074】

具体的には、 n^- 型ドリフト層 102 の表層部に p 型ディープ層 103 が複数本等間隔に配置されてストライプ状とされている。そして、 n^- 型ドリフト層 102 および p 型ディープ層 103 の表面上には、例えば Mo (モリブデン) にて構成されたショットキー電極 104 が形成されている。ショットキー電極 104 は、 n^- 型ドリフト層 102 に対してショットキー接觸させられている。また、 n^- 型ドリフト層 102 の表面には、例えばシリコン酸化膜などで構成された絶縁膜 106 が形成されており、ショットキー電極 104 は、この絶縁膜 106 の上に形成されている。そして、絶縁膜 106 のうちセル部に部分的に形成された開口部 106a を通じて、ショットキー電極 104 が n^- 型ドリフト層 1

10

20

30

40

50

02およびp型ディープ層103の表面に接触させられている。

【0075】

さらに、開口部106aの外縁に沿ってp型リサーフ層107が形成されている。このp型リサーフ層107の更に外周に図示しないガードリングなどが備えられることで外周耐圧構造が備えられている。そして、n⁺型基板101の裏面と接触するように、例えばNi(ニッケル)、Ti(チタン)、Mo、Au(金)等により構成されたオーミック電極105が形成されることで、JBSを備えたSiC半導体装置が構成されている。

【0076】

このように構成されるSiC半導体装置では、例えばn⁺型基板101の上にn⁻型ドリフト層102をエピタキシャル成長させたのち、イオン注入を行い、活性化アニール処理を行うことで、p型ディープ層103やp型リサーフ層107を形成することができる。このときに、ステップバンチングに起因する凹凸が形成され得るため、それを平坦化する。具体的には、図10A～図10Dに示す工程を行う。

【0077】

まず、図10Aに示すように、n⁺型基板101を用意したのち、n⁺型基板101の主表面上にSiCからなるn⁻型ドリフト層102をエピタキシャル成長させる。さらに、図示しないマスクを用いてp型ディープ層103の形成予定領域にp型不純物をイオン注入する。なお、ここではp型ディープ層103のみしか図示していないが、このときに同時にp型リサーフ層107の形成予定領域にもp型不純物をイオン注入している。そして、活性化アニール処理を行う。このとき、n⁺型基板1がオフ角を有するオフ基板とされており、その上に形成されるn⁻型ドリフト層102にもそれが引き継がれている。このため、図10Bに示すように、アニール処理によって、p型ディープ層103やp型リサーフ層107の表面を含めn⁻型ドリフト層102の表面に、ステップバンチングに起因する凹凸が形成された凹凸面102aが形成される。

【0078】

このため、図10Cに示すように、p型ディープ層103の表面を含めてn⁻型ドリフト層102の凹凸面102aを覆うように犠牲層60を成膜したのち、例えば窒素ガス雰囲気などの不活性ガス雰囲気での950～1100のリフローによって犠牲層60を流動させて表面を平坦化する。犠牲層60については、第1実施形態と同様、流動性のある酸化膜となるPSG、BPSGもしくはSOG等を用いることができる。

【0079】

そして、図10Dに示すように、ドライエッティングによって犠牲層60と共にp型ディープ層103等の表面を含めてn⁻型ドリフト層102のうちの凹凸面102a側を部分的に取り除くようにエッチバックする。このとき、犠牲層60とn⁻型ドリフト層102およびp型ディープ層103等とのエッティング選択比が1となるように、つまり犠牲層60とn⁻型ドリフト層102およびp型ディープ層103等とが等しいレートでエッティングされるようにエッチバックする。エッティング条件については、例えば第1実施形態と同様の条件とすることができます。これにより、n⁻型ドリフト層102およびp型ディープ層103等の表面を平坦面とすることが可能となる。

【0080】

以上説明したように、イオン注入後に活性化アニール処理を行ってステップバンチングに起因する凹凸ができた際にも、犠牲層60を成膜したのち、犠牲層60と共にn⁻型ドリフト層102およびp型ディープ層103等を選択比1でエッチバックする。これにより、n⁻型ドリフト層102およびp型ディープ層103等の表面の凹凸を取り除くことができ、当該表面を平坦化することが可能となる。

【0081】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0082】

10

20

30

40

50

例えば、上記第1実施形態では、下地層としてn⁺型基板1の上にn⁻型ドリフト層2、p型ベース領域3およびn⁺型ソース領域4を形成した構造を例に挙げた。同様に、第2実施形態では、下地層としてn⁺型基板101の上にn⁻型ドリフト層102を形成した構造を例に挙げた。しかしながら、これは単なる一例を挙げたに過ぎず、下地層に対してトレンチを形成したのち、トレンチに対してSiC層を埋込エピタキシャル成長させ、SiC層のうちの下地層の表面よりも上の部分をエッチバックする構成であれば、他の構造であってもよい。

【0083】

また、上記第1、第2実施形態では、犠牲層と共にSiC層をエッチバックしたときに、下地層に形成したトレンチ内にのみSiC層が残る構造について説明した。しかしながら、これも一例を示したに過ぎず、SiC層の一部が下地層の表面上に残る構造であっても良い。このような構造においても、上記したエッチバック方法を適用することでSiC層の表面を平坦面とすることが可能になる。

【0084】

また、上記第3、第4実施形態では、オフ角を有するオフ基板にて構成された半導体基板が用いられている場合において、その上にエピタキシャル成長させられたSiC層の表面の凹凸面、もしくは、イオン注入にて不純物層を形成した凹凸面の平坦化の一例を示した。しかしながら、これらも一例を示したに過ぎず、同様の凹凸面が形成される場合のSiC半導体装置の製造方法に対して適用されても良い。

【0085】

また、上記第1、第3実施形態等では、SiC半導体装置に備えられる半導体素子として縦型MOSFETを例に挙げて説明したが、縦型MOSFETに限らず他の半導体素子を形成するものであっても良い。さらに、第1導電型をn型、第2導電型をp型としたnチャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプのMOSFETとしても良い。また、上記説明では、半導体素子としてMOSFETを例に挙げて説明したが、同様の構造のIGBTに対しても本発明を適用することができる。IGBTは、上記各実施形態に対してn⁺型基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。さらに、縦型のMOSFETとしてトレンチゲート構造のものを例に挙げて説明したが、トレンチゲート構造のものに限らず、プレーナ型のものであっても良い。

【0086】

なお、結晶の方位を示す場合、本来ならば所望の数字の上にバー(-)を付すべきであるが、電子出願に基づく表現上の制限が存在するため、本明細書においては、所望の数字の前にバーを付すものとする。

【符号の説明】

【0087】

| | |
|---------|-----------------------|
| 1、101 | n ⁺ 型基板 |
| 2、102 | n ⁻ 型ドリフト層 |
| 3 | p型ベース領域 |
| 4 | n ⁺ 型ソース領域 |
| 5、103 | p型ディープ層 |
| 5a、103a | トレンチ |
| 8 | ゲート電極 |
| 9 | ソース電極 |
| 11 | ドレイン電極 |
| 60、120 | 犠牲層 |

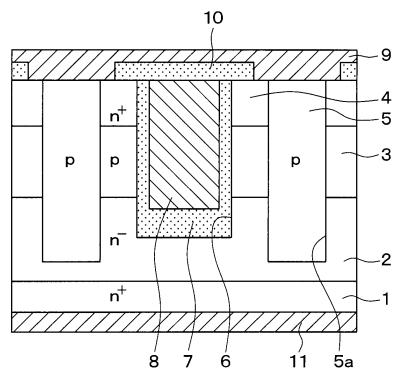
10

20

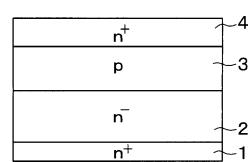
30

40

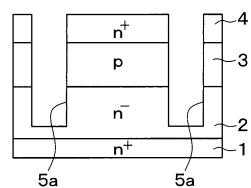
【図1】



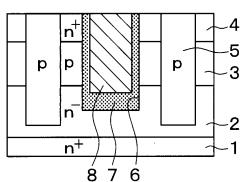
【図2 A】



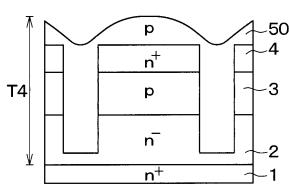
【図2 B】



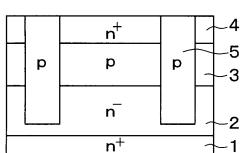
【図2 C】



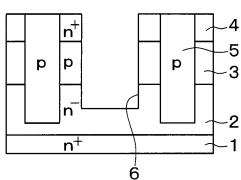
【図2 D】



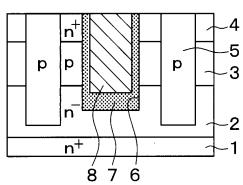
【図2 E】



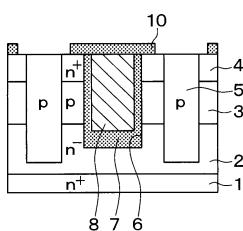
【図2 F】



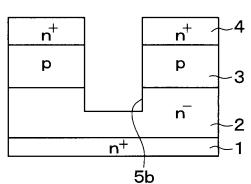
【図2 G】



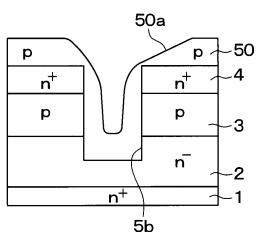
【図2 H】



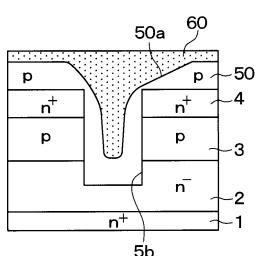
【図3 A】



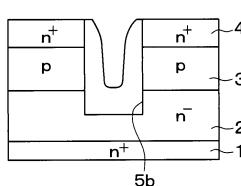
【図3 B】



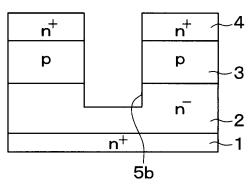
【図3 C】



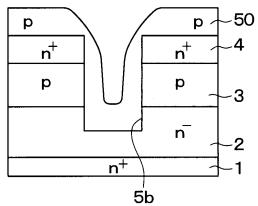
【図3 D】



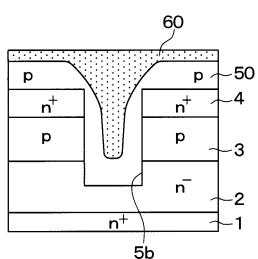
【図4A】



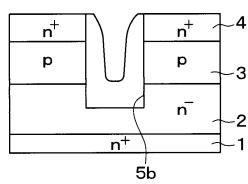
【図4B】



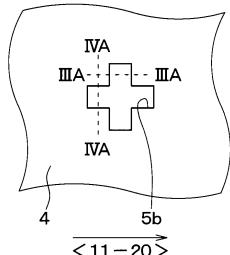
【図4C】



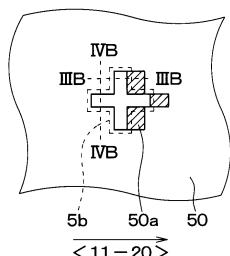
【図4D】



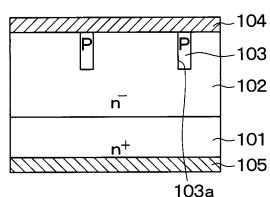
【図5A】



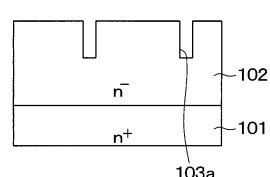
【図5B】



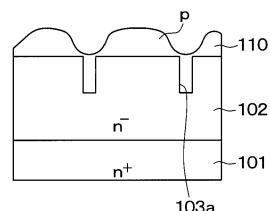
【図6】



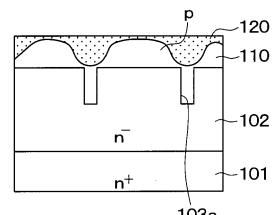
【図7A】



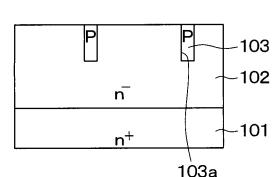
【図7B】



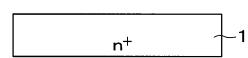
【図7C】



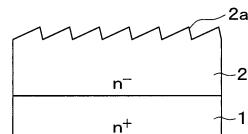
【図7D】



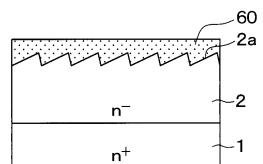
【図8A】



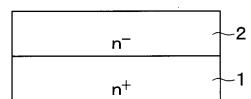
【図8B】



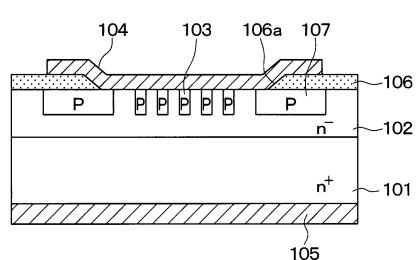
【図 8 C】



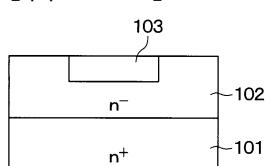
【図 8 D】



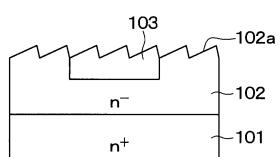
【図 9】



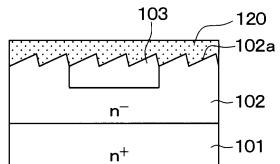
【図 10 A】



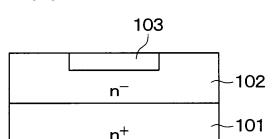
【図 10 B】



【図 10 C】



【図 10 D】



フロントページの続き

| (51)Int.Cl. | F I |
|--------------------------|--|
| H 01 L 29/861 (2006.01) | H 01 L 29/86 3 0 1 D |
| H 01 L 29/868 (2006.01) | H 01 L 29/78 6 5 2 D |
| H 01 L 21/20 (2006.01) | H 01 L 29/86 3 0 1 E |
| H 01 L 21/265 (2006.01) | H 01 L 21/20 |
| H 01 L 21/3065 (2006.01) | H 01 L 21/265 Z H 01 L 21/302 1 0 5 B |

(72)発明者 竹内 有一
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 鈴木 克己
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(72)発明者 青井 佐智子
愛知県長久手市横道41番地の1 株式会社豊田中央研究所内

審査官 杉山 芳弘

(56)参考文献 特開2001-168327(JP,A)
特開2009-170558(JP,A)
特開2010-135552(JP,A)
特開2006-100357(JP,A)
特開2014-236189(JP,A)
特開2014-060276(JP,A)
特開平08-167587(JP,A)
特開2014-120683(JP,A)
特開平11-068097(JP,A)

(58)調査した分野(Int.Cl., DB名)

| | |
|--------|---------------|
| H 01 L | 2 9 / 1 2 |
| H 01 L | 2 9 / 7 8 |
| H 01 L | 2 1 / 2 0 5 |
| H 01 L | 2 1 / 2 2 |
| H 01 L | 2 1 / 3 0 6 5 |
| H 01 L | 2 1 / 3 1 6 |
| H 01 L | 2 1 / 3 2 9 |
| H 01 L | 2 9 / 8 6 1 |
| H 01 L | 2 9 / 8 6 8 |
| H 01 L | 2 9 / 8 7 2 |