

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 20 年 4 月 24 日 (2008.4.24)

【公開番号】特開 2002-261244 (P2002-261244A)

【公開日】平成 14 年 9 月 13 日 (2002.9.13)

【出願番号】特願 2001-59948 (P2001-59948)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【F I】

H 0 1 L 27/04 P

H 0 1 L 21/28 3 0 1 D

H 0 1 L 21/88 S

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成 20 年 3 月 4 日 (2008.3.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 半導体基板の表面に配置された所定領域の絶縁膜上に複数の抵抗素子が配置された半導体装置であって、

前記抵抗素子と近接する位置に活性領域を設けたことを特徴とする半導体装置。

【請求項 2】 前記絶縁膜がシャロートレンチ法により配置された素子分離膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記絶縁膜上に前記複数の抵抗素子が並べて配置され、各々の前記抵抗素子の下層の前記絶縁膜の幅が前記活性領域によって所定幅に規定されていることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記所定幅が、前記所定幅に起因する前記抵抗素子の抵抗値のシフト量に基づいて規定されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記活性領域上を含む領域に前記抵抗素子と同一層からなるダミーゲート電極が設けられていることを特徴とする請求項 1 ~ 4 のいずれかに記載の半導体装置。

【請求項 6】 前記ダミーゲート電極の面積が前記活性領域の面積よりも広く配置されており、前記活性領域が前記ダミーゲート電極によって完全に覆われていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 1 つの前記活性領域上に複数の前記ダミーゲート電極が配置されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 8】 前記抵抗素子と前記ダミーゲート電極の間の距離が、前記複数の抵抗素子において同一の値に設定されていることを特徴とする請求項 5 ~ 7 のいずれかに記載の半導体装置。

【請求項 9】 隣接する前記活性領域の間に複数の前記抵抗素子が配置されていることを特徴とする請求項 1 ~ 8 のいずれかに記載の半導体装置。

【請求項 10】 前記複数の抵抗素子間の距離が、前記半導体基板上に前記導電膜から配置されたパターン相互の間隔の最小値に設定されていることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】 前記活性領域が前記抵抗素子の長手方向の端部近傍まで達しており、前記抵抗素子の周囲が前記活性領域によって囲まれていることを特徴とする請求項 1 ~ 10 のいずれかに記載の半導体装置。

【請求項 12】 前記ダミーゲート電極が前記抵抗素子の長手方向の端部近傍まで達しており、前記抵抗素子の周囲が前記ダミーゲート電極によって囲まれていることを特徴とする請求項 5 ~ 11 のいずれかに記載の半導体装置。

【請求項 13】 前記抵抗素子が多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成され、前記シリサイド膜が前記抵抗素子の上面で選択的に除去されていることを特徴とする請求項 1 ~ 12 のいずれかに記載の半導体装置。

【請求項 14】 前記ダミーゲート電極が多結晶シリコン膜及びシリサイド膜からなるポリサイド構造の積層膜から構成されていることを特徴とする請求項 5 ~ 13 のいずれかに記載の半導体装置。

【請求項 15】 前記活性領域に所定の不純物が導入されるとともにコンタクト層が接続されており、前記活性領域が拡散層抵抗素子として機能することを特徴とする請求項 1 ~ 14 のいずれかに記載の半導体装置。

【請求項 16】 前記活性領域が、前記抵抗素子の長手方向の両端部近傍に配置され、前記抵抗素子が延在する方向と垂直方向に延在していることを特徴とする請求項 15 記載の半導体装置。

【請求項 17】 前記抵抗素子の上面に所定パターンの配線膜が配置され、前記抵抗素子の面積と、前記抵抗素子上で前記抵抗素子と前記配線膜がオーバーラップする領域の面積との比がそれぞれの前記抵抗素子においてほぼ一定であることを特徴とする請求項 1 ~ 16 のいずれかに記載の半導体装置。

【請求項 18】 前記抵抗素子が前記所定領域外で配置された MOS トランジスタのゲート電極と同一層によって形成されていることを特徴とする請求項 1 ~ 17 のいずれかに記載の半導体装置。

【請求項 19】 半導体基板上の所定領域において、平行に並べられた複数の帯状の矩形領域を残すように当該矩形領域の周囲をエッチングにより除去して溝を配置する第 1 の工程と、

前記半導体基板上に絶縁膜を配置して前記溝を埋め込む第 2 の工程と、

前記絶縁膜の表面を研磨して、前記溝以外の領域における前記絶縁膜を除去して前記矩形領域を活性領域として画定するとともに前記溝上の前記絶縁膜の表面を平坦化する第 3 の工程と、

前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を配置する第 4 の工程と、

前記導電膜を前記絶縁膜上でパターンニングして、隣接する前記活性領域間で前記活性領域と平行に延在する矩形状の抵抗素子を配置する第 5 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 20】 隣接する前記活性領域間の間隔を前記第 5 の工程で配置する抵抗素子の抵抗値の許容範囲に基づいて設定することを特徴とする請求項 19 記載の半導体装置の製造方法。

【請求項 21】 前記第 5 の工程において、隣接する前記活性領域間において複数の前記抵抗素子を配置することを特徴とする請求項 19 又は 20 記載の半導体装置の製造方法。

【請求項 22】 前記第 5 の工程において、前記活性領域上を含む領域に前記導電膜からなり前記抵抗素子とほぼ平行に延在するダミーゲート電極を前記抵抗素子とともに配

置することを特徴とする請求項 19 ~ 21 のいずれかに記載の半導体装置の製造方法。

【請求項 23】 前記第 5 の工程において、前記抵抗素子を配置するとともに、前記活性領域上から前記絶縁膜上へ連なり前記抵抗素子を囲むダミーゲート電極を配置することを特徴とする請求項 19 ~ 22 のいずれかに記載の半導体装置の製造方法。

【請求項 24】 前記第 5 の工程において、前記抵抗素子を配置するとともに前記所定領域外で前記導電膜からなる MOS トランジスタのゲート電極をパターニングすることを特徴とする請求項 19 ~ 23 のいずれかに記載の半導体装置の製造方法。

【請求項 25】 前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から配置されるパターン相互の間隔の最小値とすることを特徴とする請求項 22 ~ 24 のいずれかに記載の半導体装置の製造方法。

【請求項 26】 1 つの前記活性領域に複数の前記ダミーゲート電極を配置することを特徴とする請求項 22 ~ 25 のいずれかに記載の半導体装置の製造方法。

【請求項 27】 前記活性領域を完全に覆うように前記ダミーゲート電極を配置することを特徴とする請求項 22 ~ 26 のいずれかに記載の半導体装置の製造方法。

【請求項 28】 半導体基板上の所定領域において、前記半導体基板を選択的にエッチングして平行に並べられた複数の矩形状の溝を配置する第 1 の工程と、

前記半導体基板上に絶縁膜を配置して前記溝を埋め込む第 2 の工程と、

前記絶縁膜の表面を研磨して前記溝上の前記絶縁膜の表面を平坦化するとともに、前記溝以外の領域における前記絶縁膜を除去して当該溝以外の領域を前記絶縁膜を囲む活性領域として画定する第 3 の工程と、

前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を配置する第 4 の工程と

、
前記導電膜を前記絶縁膜上でパターニングして、前記複数の矩形状の溝をそれぞれ埋め込む前記絶縁膜上に前記導電膜からなる抵抗素子を配置する第 5 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 29】 隣接する前記溝の間隔を前記第 5 の工程で配置する抵抗素子の抵抗値の許容範囲に基づいて設定することを特徴とする請求項 28 記載の半導体装置の製造方法。

【請求項 30】 前記第 5 の工程において、前記抵抗素子を配置するとともに前記活性領域上で前記導電膜をパターニングして、前記抵抗素子を囲むダミーゲート電極を配置することを特徴とする請求項 28 又は 29 記載の半導体装置の製造方法。

【請求項 31】 前記第 5 の工程において、前記抵抗素子を配置するとともに前記所定領域外で前記導電膜からなる MOS トランジスタのゲート電極をパターニングすることを特徴とする請求項 28 ~ 30 のいずれかに記載の半導体装置の製造方法。

【請求項 32】 前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から配置されるパターン相互の間隔の最小値とすることを特徴とする請求項 30 又は 31 記載の半導体装置の製造方法。

【請求項 33】 前記活性領域を完全に覆うように前記ダミーゲート電極を配置することを特徴とする請求項 30 ~ 32 のいずれかに記載の半導体装置の製造方法。

【請求項 34】 前記活性領域に不純物を導入して前記活性領域を拡散層抵抗素子とする工程を更に有することを特徴とする請求項 19 ~ 33 のいずれかに記載の半導体装置の製造方法。

【請求項 35】 半導体基板と、

前記半導体基板の主面に配置された活性領域と、

前記活性領域内に配置された複数の分離領域と、

それぞれの分離領域上に一つずつ配置された抵抗素子と、を備え

前記分離領域は、前記活性領域に囲まれていることを特徴とする半導体装置。

【請求項 36】 前記分離領域は、前記半導体基板の主面に配置された溝内に埋まった酸化膜からなることを特徴とする請求項 35 に記載の半導体装置。

【請求項 37】 前記複数の分離領域は、その分離領域の長手方向と垂直な方向に、

互いに平行に配置されていることを特徴とする請求項 3 5 に記載の半導体装置。

【請求項 3 8】 前記複数の分離領域は、等間隔で配置されていることを特徴とする請求項 3 7 に記載の半導体装置。

【請求項 3 9】 前記抵抗素子は、一定の長さ、幅と膜厚で均一に配置されていることを特徴とする請求項 3 5 に記載の半導体装置。

【請求項 4 0】 半導体基板と、
前記半導体基板の主面に配置された複数の分離領域と、
それぞれの分離領域上に一つずつ配置された抵抗素子と、
前記分離領域を囲むように配置された活性領域と、を備え
前記分離領域は、互いに近接して配置されていることを特徴とする半導体装置。

【請求項 4 1】 前記分離領域は、前記半導体基板の主面に配置された溝内に埋まった酸化膜からなることを特徴とする請求項 4 0 に記載の半導体装置。

【請求項 4 2】 前記複数の分離領域は、その分離領域の長手方向と垂直な方向に、互いに平行に配置されていることを特徴とする請求項 4 0 に記載の半導体装置。

【請求項 4 3】 前記複数の分離領域は、等間隔で配置されていることを特徴とする請求項 4 2 に記載の半導体装置。

【請求項 4 4】 前記抵抗素子は、一定の長さ、幅と膜厚で均一に配置されていることを特徴とする請求項 4 0 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正の内容】

【0 0 1 4】

【課題を解決するための手段】

この発明の半導体装置は、半導体基板の表面に配置された所定領域の絶縁膜上に複数の抵抗素子が配置された半導体装置であって、前記抵抗素子と近接する位置に活性領域を設けたものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

また、前記絶縁膜がシャロートレンチ法により配置された素子分離膜である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 9

【補正方法】変更

【補正の内容】

【0 0 1 9】

また、前記ダミーゲート電極の面積が前記活性領域の面積よりも広く配置されており、前記活性領域が前記ダミーゲート電極によって完全に覆われているものである。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 0

【補正方法】変更

【補正の内容】

【0 0 2 0】

また、1つの前記活性領域上に複数の前記ダミーゲート電極が配置されているものであ

る。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

また、隣接する前記活性領域の間に複数の前記抵抗素子が配置されているものである。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、前記複数の抵抗素子間の距離が、前記半導体基板上に前記導電膜から配置されたパターン相互の間隔の最小値に設定されているものである。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

また、前記抵抗素子の上層に所定パターンの配線膜が配置され、前記抵抗素子の面積と、前記抵抗素子上で前記抵抗素子と前記配線膜がオーバーラップする領域の面積との比がそれぞれの前記抵抗素子においてほぼ一定である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

また、前記抵抗素子が前記所定領域外で配置された MOS トランジスタのゲート電極と同一層によって配置されているものである。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

また、この発明の半導体装置の製造方法は、半導体基板上の所定領域において、平行に並べられた複数の帯状の矩形領域を残すように当該矩形領域の周囲をエッチングにより除去して溝を配置する第 1 の工程と、前記半導体基板上に絶縁膜を配置して前記溝を埋め込む第 2 の工程と、前記絶縁膜の表面を研磨して、前記溝以外の領域における前記絶縁膜を除去して前記矩形領域を活性領域として画定するとともに前記溝上の前記絶縁膜の表面を平坦化する第 3 の工程と、前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を配置する第 4 の工程と、前記導電膜を前記絶縁膜上でパターンニングして、隣接する前記活性領域間で前記活性領域と平行に延在する矩形状の抵抗素子を配置する第 5 の工程とを有するものである。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】 0 0 3 3

【補正方法】 変更

【補正の内容】

【 0 0 3 3 】

また、隣接する前記活性領域間の間隔を前記第 5 の工程で配置する抵抗素子の抵抗値の許容範囲に基づいて設定するものである。

【手続補正 1 2 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 4

【補正方法】 変更

【補正の内容】

【 0 0 3 4 】

また、前記第 5 の工程において、隣接する前記活性領域間において複数の前記抵抗素子を配置するものである。

【手続補正 1 3 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 5

【補正方法】 変更

【補正の内容】

【 0 0 3 5 】

また、前記第 5 の工程において、前記活性領域上を含む領域に前記導電膜からなり前記抵抗素子とほぼ平行に延在するダミーゲート電極を前記抵抗素子とともに配置するものである。

【手続補正 1 4 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 6

【補正方法】 変更

【補正の内容】

【 0 0 3 6 】

また、前記第 5 の工程において、前記抵抗素子を配置するとともに、前記活性領域上から前記絶縁膜上へ連なり前記抵抗素子を囲むダミーゲート電極を配置するものである。

【手続補正 1 5 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 7

【補正方法】 変更

【補正の内容】

【 0 0 3 7 】

また、前記第 5 の工程において、前記抵抗素子を配置するとともに前記所定領域外で前記導電膜からなる MOS トランジスタのゲート電極をパターニングするものである。

【手続補正 1 6 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 8

【補正方法】 変更

【補正の内容】

【 0 0 3 8 】

また、前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から配置されるパターン相互の間隔の最小値とするものである。

【手続補正 1 7 】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 9

【補正方法】変更

【補正の内容】

【0039】

また、1つの前記活性領域に複数の前記ダミーゲート電極を配置するものである。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

また、前記活性領域を完全に覆うように前記ダミーゲート電極を配置するものである。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

また、この発明の半導体装置の製造方法は、半導体基板上の所定領域において、前記半導体基板を選択的にエッチングして平行に並べられた複数の矩形状の溝を配置する第1の工程と、前記半導体基板上に絶縁膜を配置して前記溝を埋め込む第2の工程と、前記絶縁膜の表面を研磨して前記溝上の前記絶縁膜の表面を平坦化するとともに、前記溝以外の領域における前記絶縁膜を除去して当該溝以外の領域を前記絶縁膜を囲む活性領域として画定する第3の工程と、前記半導体基板上に所定の抵抗値を有する材料からなる導電膜を配置する第4の工程と、前記導電膜を前記絶縁膜上でパターンニングして、前記複数の矩形状の溝をそれぞれ埋め込む前記絶縁膜上に前記導電膜からなる抵抗素子を配置する第5の工程とを有するものである。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

また、隣接する前記溝の間隔を前記第5の工程で配置する抵抗素子の抵抗値の許容範囲に基づいて設定するものである。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

また、前記第5の工程において、前記抵抗素子を配置するとともに前記活性領域上で前記導電膜をパターンニングして、前記抵抗素子を囲むダミーゲート電極を配置するものである。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

また、前記第5の工程において、前記抵抗素子を配置するとともに前記所定領域外で前

記導電膜からなるM O S トランジスタのゲート電極をパターンニングするものである。

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 5

【補正方法】変更

【補正の内容】

【0 0 4 5】

また、前記抵抗素子と前記ダミーゲート電極との間隔を、前記半導体基板上に前記導電膜から配置されるパターン相互の間隔の最小値とするものである。

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【0 0 4 6】

また、前記活性領域を完全に覆うように前記ダミーゲート電極を配置するものである。

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

また、前記活性領域に不純物を導入して前記活性領域を拡散層抵抗素子とする工程を更に有するものである。

また、この発明のその他の半導体装置およびその製造方法については以下の説明で明らかにする。