

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 23 日(23.10.2014)



(10) 国際公開番号
WO 2014/171014 A1

(51) 国際特許分類:

H01L 21/8238 (2006.01) H01L 27/092 (2006.01)
H01L 21/28 (2006.01) H01L 29/423 (2006.01)
H01L 21/336 (2006.01) H01L 29/49 (2006.01)
H01L 27/04 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2013/061653

(22) 国際出願日: 2013 年 4 月 19 日(19.04.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド (UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).

(72) 発明者; および

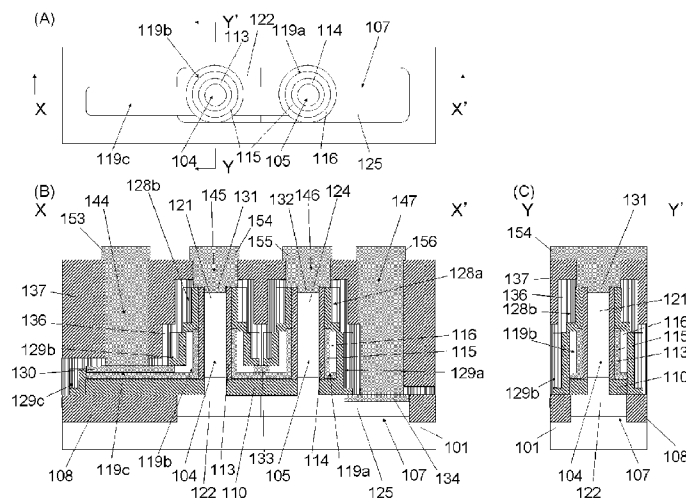
(71) 出願人 (米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北 1-15-2 九段坂パークビル 4F S
emicon Consulting 株式会
社内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];

〒1020073 東京都千代田区九段北 1-15-2
九段坂パークビル 4F Semicon Co
nsulting 株式会社内 Tokyo (JP). 中村
広記(NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京
都千代田区九段北 1-15-2 九段坂パーク
ビル 4F Semicon Consulti
ng 株式会社内 Tokyo (JP). リ, イーソ(LI
Yisuo) [SG/SG]; 117685 シンガポール、ジ
アル
ファ サイエンスパーク 2、#03-17
A、サイエンス パーク ロード 10、ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド内 Singapore (SG). カ
マス, アシット ラマチャンドラ(KAMATH
Aashit Ramachandra) [IN/SG]; 117685 シンガポ
ール、シンガポール サイエンスパーク 2、サ
イエンス パーク ロード 11、インスティ
テュート オブ マイクロエレクトロニクス内
Singapore (SG). ツェン, ツィシヤン(CHEN
Zhixian) [SG/SG]; 117685 シンガポール、シンガ
ポール サイエンスパーク 2、サイエンス
パーク ロード 11、インスティテュート
オブ マイクロエレクトロニクス内 Singapore
(SG). プア, テン スン(PHUA Teng Soong)
[SG/SG]; 117685 シンガポール、シンガポール
サイエンスパーク 2、サイエンス パーク

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置



(57) Abstract: This method for producing a semiconductor device has: a first step for forming a flat silicon layer (107) on a silicon substrate (101), and forming a first and a second columnar silicon layer (104, 105) on the flat silicon layer; a second step for forming a gate-insulating film (113) around the periphery of the first and second columnar silicon layers, forming a metal film (115) and a polysilicon film (116) around the periphery of the gate-insulating film, setting the film thickness of the polysilicon film so as to be thinner than half the length of the interval between the first and second columnar silicon layers, depositing a third resist (117), exposing the polysilicon film on the upper-section-side wall of the first and second columnar semiconductor layers, removing the exposed polysilicon film by etching, detaching the third resist, and removing the metal film by etching; and a third step for forming a fourth resist (118) for forming gate wiring (119c), performing an anisotropic etching, and forming the gate wiring, a first gate electrode, and a second gate electrode.

(57) 要約:

[続葉有]



WO 2014/171014 A1



ロード 11、インスティテュート オブ
マイクロエレクトロニクス内 Singapore (SG). ワ
ン、キンペン(WANG Xinpeng) [CN/SG]; 117685
シンガポール、シンガポール サイエンス
パーク 2、サイエンス パーク ロード
11、インスティテュート オブ マイクロ
エレクトロニクス内 Singapore (SG). ロー、パ
トリック グオチャン(LO Patrick Guo-Qiang)
[US/SG]; 117685 シンガポール、シンガポール
サイエンスパーク 2、サイエンス パーク
ロード 11、インスティテュート オブ
マイクロエレクトロニクス内 Singapore (SG).

(74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054
東京都千代田区神田錦町二丁目7番地 協販
ビル2階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG,

ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK,
LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN,
MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体装置の製造方法は、シリコン基板 (101) 上に平面状シリコン層 (107) を形成し、平面状シリ
コン層上に第 1 及び第 2 の柱状シリコン層 (104,105) とを形成する第 1 の工程と、第 1 及び第 2 の柱状シ
リコン層の周囲にゲート絶縁膜 (113) を形成し、ゲート絶縁膜の周囲に金属膜 (115) 及びポリシリコン
膜 (116) を成膜し、ポリシリコン膜の膜厚を第 1 及び第 2 の柱状シリコン層との間の間隔の半分の長さ
よりも薄くし、第 3 のレジスト (117) を堆積し、第 1 及び第 2 の柱状半導体層の上部側壁のポリシリ
コン膜を露出させ、露出したポリシリコン膜をエッチングにより除去し、第 3 のレジストを剥離し、金属
膜をエッチングにより除去する第 2 の工程と、ゲート配線 (119c) を形成するための第 4 のレジスト
(118) を形成し、異方性エッチングを行い、ゲート配線、第 1 のゲート電極、及び第 2 のゲート電極を
形成する第 3 の工程と、を有する。

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。このようにMOSトランジスタの微細化が進むと、リーク電流の抑制が困難となり、必要な電流量を確保する必要があるために回路の占有面積を小さくすることが難しい、といった問題がある。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造である、Surrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0003] 従来のSGTの製造方法では、窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、シリコン柱の下部に拡散層を形成した後、ゲート材料を堆積する。その後、ゲート材料を平坦化、エッチバックすることで、シリコン柱及び窒化膜ハードマスクの側壁に絶縁膜サイドウォールを形成する。その後、ゲート配線のためのレジストパターンを形成し、ゲート材料をエッチングした後、窒化膜ハードマスクを除去し、シリコン柱の上部に拡散層を形成する方法により製造されている（例えば、特許文献4を参照）。

[0004] このような方法では、隣接するシリコン柱の間隔が狭くなったときに、厚さの厚いゲート材料をシリコン柱の間に堆積することが必要となり、シリコン柱の間にボイドと呼ばれる微小な孔が形成されることがある。このようにボイドが形成されると、エッチバック後にゲート材料に孔が形成される。その後、絶縁膜サイドウォールを形成するためにシリコン柱の間に絶縁膜を堆

積すると、このボイド内にこの絶縁膜が堆積する。このため、シリコン柱の間に存在するゲート材料の加工が難しくなる。

[0005] そこで、シリコン柱を形成した後、ゲート酸化膜を形成する。そして、厚さの薄いポリシリコンを堆積した後、シリコン柱の上部を覆うようにゲート配線を形成するためのレジストを形成する。さらにゲート配線をエッチングし、その後、酸化膜を厚く堆積し、シリコン柱の上部を露出させ、シリコン柱の上部の厚さの薄いポリシリコンを除去する。最後に、厚さの厚い酸化膜をウエットエッチングにて除去する技術が開示されている（例えば、非特許文献1を参照）。

[0006] しかしながら、このような従来技術では、ゲート電極に金属を用いる技術は示されていない。また、シリコン柱の上部を覆うゲート配線を形成するためにレジストを形成することが必要となり、そのレジストがシリコン柱の上部を覆うことになり、結果的に自己整合プロセスとはならない。

先行技術文献

特許文献

[0007] 特許文献1：特開平2－71556号公報

特許文献2：特開平2－188966号公報

特許文献3：特開平3－145761号公報

特許文献4：特開2009－182317号公報

非特許文献

[0008] 非特許文献1：B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. D. Lo, and D. L. Kwong, “Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET”, IEEE Electron Device Letters, VOL.29, No.7, July 2008, pp791-794.

発明の概要

発明が解決しようとする課題

[0009] そこで、本発明は、厚さの薄いゲート材料を用いることで、自己整合プロ

セスによって、金属材料からなるゲート電極が形成される、S G Tの構造を有する半導体装置の製造方法と、それにより得られるS G Tの構造を提供することを目的とする。

課題を解決するための手段

- [0010] 本発明の第1の観点に係る半導体装置の製造方法は、
- 半導体基板上に平面状半導体層を形成し、前記平面状半導体層上に第1の柱状半導体層と第2の柱状半導体層とを形成する第1の工程と、
 - 前記第1工程の後、
 - 前記第1の柱状半導体層及び前記第2の柱状半導体層の周囲にゲート絶縁膜を形成し、
 - 前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、
 - 前記ポリシリコン膜の膜厚を前記第1の柱状半導体層及び前記第2の柱状半導体層の間隔の半分の長さよりも薄くし、
 - 第3のレジストを堆積し、前記第1の柱状半導体層及び前記第2の柱状半導体層の上部側壁の前記ポリシリコン膜を露出させ、この露出した前記ポリシリコン膜をエッチングによって除去し、前記第3のレジストを剥離し、前記金属膜をエッチングにより除去する第2の工程と、
 - 前記第2の工程の後、
 - ゲート配線を形成するための第4のレジストを形成し、異方性エッチングを行うことにより、ゲート配線と、第1のゲート電極と、第2のゲート電極と、を形成する第3の工程と、を有する、
 - ことを特徴とする。

- [0011] 前記第1の工程の後、
- 前記第1の柱状シリコン層及び前記第2の柱状シリコン層の上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜よりも厚さの厚い酸化膜を形成する工程をさらに含む、ことが好ましい。
 - 前記第4のレジストの上面の高さは、前記第2工程を経た後のポリシリコン膜の上面の高さよりも低い、ことが好ましい。

- [0012] 前記第1の柱状半導体層の上部に第1のn型拡散層を形成し、前記第1の柱状半導体層の下部及び前記平面状半導体層の上部に第2のn型拡散層を形成し、前記第2の柱状半導体層の上部に第1のp型拡散層を形成し、前記第2の柱状半導体層の下部及び前記平面状半導体層の上部に第2のp型拡散層を形成する第4の工程をさらに含む、ことが好ましい。
- [0013] 前記第1のn型拡散層上、前記第2のn型拡散層上、前記第1のp型拡散層上、前記第2のp型拡散層上、及び前記ゲート配線上にシリサイドを形成する第6の工程をさらに含む、ことが好ましい。
- [0014] 本発明の第2の観点に係る半導体装置は、
半導体基板上に形成された平面状半導体層と、
前記平面状半導体層上に形成された第1及び第2の柱状半導体層と、
前記第1の柱状半導体層の周囲に形成された第1のゲート絶縁膜と、
前記第1のゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第1のゲート電極と、
前記第2の柱状半導体層の周囲に形成された第2のゲート絶縁膜と、
前記第2のゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第2のゲート電極と、
前記第1及び前記第2のゲート電極に接続されたゲート配線と、
前記ゲート配線と前記平面状半導体層との間に形成された前記ゲート絶縁膜よりも厚さが厚い酸化膜と、
前記第1の柱状半導体層の上部に形成された第1のn型拡散層と、
前記第1の柱状半導体層の下部と前記平面状半導体層の上部とに形成された第2のn型拡散層と、
前記第2の柱状半導体層の上部に形成された第1のp型拡散層と、
前記第2の柱状半導体層の下部及び前記平面状半導体層の上部に形成された第2のp型拡散層と、を備え、
前記ポリシリコン膜の膜厚は前記第1の柱状半導体層と前記第2の柱状半導体層との間の間隔の半分の長さよりも薄く形成されており、

前記金属膜の上面の高さは、前記ポリシリコン膜の上面の高さよりも高くされており、

前記ゲート配線の上面の高さは、前記第 1 及び第 2 のゲート電極の上面の高さよりも低くされている、ことが好ましい。

[0015] 前記ゲート配線は、前記金属膜及びシリサイドの積層構造からなる、ことが好ましい。

[0016] 前記ゲート配線の中心線が、前記第 1 の柱状半導体層の中心点と前記第 2 の柱状半導体層の中心点とを結ぶ線に対して所定量オフセットしている、ことが好ましい。

[0017] 前記第 1 及び前記第 2 の n 型拡散層上と、前記第 1 及び前記第 2 の p 型拡散層上とに形成されたシリサイドをさらに備える、ことが好ましい。

発明の効果

[0018] 本発明によれば、厚さが薄いゲート材料を用いることで、自己整合プロセスによって金属材料からなるゲート電極が形成される、S G T の構造を有する半導体装置の製造方法と、それにより得られる S G T の構造を提供することができる。

図面の簡単な説明

[0019] [図1] (A) は本発明の実施形態に係る半導体装置の平面図であり、(B) は (A) の X - X' 線での断面図であり、(C) は (A) の Y - Y' 線での断面図である。

[図2] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X - X' 線での断面図であり、(C) は (A) の Y - Y' 線での断面図である。

[図3] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X - X' 線での断面図であり、(C) は (A) の Y - Y' 線での断面図である。

[図4] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X - X' 線での断面図であり、(C) は (A) の Y - Y' 線での断面図である。

線での断面図である。

[図5] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
線での断面図である。

[図6] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
線での断面図である。

[図7] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
線での断面図である。

[図8] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
線での断面図である。

[図9] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
線での断面図である。

[図10] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
' 線での断面図である。

[図11] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
' 線での断面図である。

[図12] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
' 線での断面図である。

[図13] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり
(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y'
' 線での断面図である。

[図14] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図15] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図16] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図17] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図18] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図19] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図20] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図21] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図22] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X' 線での断面図であり、(C) は (A) の Y-Y' 線での断面図である。

[図23] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり

、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図24] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図25] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図26] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図27] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図28] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図29] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図30] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図31] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

[図32] (A)は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B)は(A)のX-X'線での断面図であり、(C)は(A)のY-Y'線での断面図である。

’ 線での断面図である。

[図33] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図34] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図35] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図36] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図37] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図38] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図39] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

[図40] (A) は本実施形態に係る半導体装置の製造方法を示す平面図であり、(B) は (A) の X-X’ 線での断面図であり、(C) は (A) の Y-Y’ 線での断面図である。

発明を実施するための形態

[0020] 本発明の実施形態に係る半導体装置の製造方法により製造される、SGTの構造を有する半導体装置は、以下の構造を有する。

[0021] 図1に示すように、本実施形態に係る、SGTの構造を有する半導体装置は、シリコン基板101上に形成された平面状シリコン層107と、平面状シリコン層107上に形成された第1及び第2の柱状シリコン層104、105と、第1の柱状シリコン層104の周囲に形成されたゲート絶縁膜113と、ゲート絶縁膜113の周囲に形成された金属膜115及びポリシリコン膜116の積層構造からなる第1のゲート電極119bとを備えている。

[0022] 第2の柱状シリコン層105の周囲に、ゲート絶縁膜114と、ゲート絶縁膜114の周囲に形成された金属膜115及びポリシリコン膜116の積層構造からなる第2のゲート電極119aと、ポリシリコン膜116が形成されている。

ゲート絶縁膜114と、ゲート絶縁膜114の周囲に形成された金属膜115及びポリシリコン膜116の積層構造からなる第2のゲート電極119aと、ポリシリコン膜116のそれぞれの厚さは、第1の柱状シリコン層104と第2の柱状シリコン層105との間の間隔の半分の長さよりも薄く、かつ、金属膜115の上面の高さは、ポリシリコン膜116の上面の高さよりも高い位置にある。

第1及び第2のゲート電極119b、119aに接続されたゲート配線119cの上面の高さは、第1及び第2のゲート電極119b、119aの上面の高さよりも低い位置にある。

[0023] 本実施形態に係る、SGTの構造を有する半導体装置は、さらに、ゲート配線119cと平面状シリコン層107との間に形成されたゲート絶縁膜113、114よりも厚さが厚い第2の酸化膜110と、第1の柱状シリコン層104の上部に形成された第1のn型拡散層121と、第1の柱状シリコン層104の下部及び平面状シリコン層107の上部に形成された第2のn型拡散層122と、第2の柱状シリコン層105の上部に形成された第1のp型拡散層124と、第2の柱状シリコン層105の下部及び平面状シリコン層107の上部に形成された第2のp型拡散層125と、を有する。

[0024] 以下、本発明の実施形態に係る、SGTの構造を有する半導体装置の製造

方法について、図2～図40を参照しながら説明する。

[0025] 以下に、シリコン基板101（半導体基板）上に平面状シリコン層107（平面状半導体層）を形成し、この平面状シリコン層107上に、第1の柱状シリコン層104（第1の柱状半導体層）と、第2の柱状シリコン層105（第2の柱状半導体層）と、を形成する第1の工程を詳細に説明する。

[0026] 図2に示すように、まず、シリコン基板101上に、第1の柱状シリコン層104と第2の柱状シリコン層105とを形成するための第1のレジスト102、103を形成する。本実施形態において、半導体装置作成用の基板としてシリコン基板101を用いるが、半導体装置作成用に使用される基板であればその他の基板であっても使用できる。

[0027] 次に、図3に示すように、シリコン基板101をエッチングすることで、第1のレジスト102、103の下方に、第1の柱状シリコン層104と第2の柱状シリコン層105とを形成する。ここでは、酸化膜、窒化膜といったハードマスクを用いて柱状シリコン層を形成する。

[0028] 続いて、図4に示すように、第1のレジスト102、103を剥離、除去する。

[0029] 続いて、図5に示すように、平面状シリコン層107を形成するための第2のレジスト106を形成する。

[0030] 続いて、図6に示すように、シリコン基板101をエッチングすることで、第2のレジスト106の下方に、平面状シリコン層107を形成する。

[0031] 続いて、図7に示すように、第2のレジスト106を剥離、除去する。

[0032] 続いて、図8に示すように、平面状シリコン層107の周囲に、素子分離膜108を形成する。

[0033] 続いて、図9に示すように、第1の柱状シリコン層104と第2の柱状シリコン層105と平面状シリコン層107とを覆うように、第1の酸化膜109を堆積する。ここでは、第1の酸化膜109を常圧CVD（化学気相堆積）を用いて堆積することが好ましい。このように、常圧CVDによって第1の酸化膜109を堆積すると、第1の柱状シリコン層104と第2の柱状

シリコン層 105 及び平面状シリコン層 107 の上には、厚さの厚い第 1 の酸化膜 109、柱状シリコン層 104 及び第 2 の柱状シリコン層 105 の側壁には、厚さの薄い第 1 の酸化膜 109 がそれぞれ堆積される。さらに、常圧 CVD によれば、第 1 の柱状シリコン層 104 及び第 2 の柱状シリコン層 105 の上に堆積される第 1 の酸化膜 109 の厚さが、平面状シリコン層 107 上に堆積される第 1 の酸化膜 109 の厚さよりも厚くなる。

[0034] 続いて、図 10 に示すように、第 1 の酸化膜 109 を等方性エッチングを用いて除去することによって、第 1 の柱状シリコン層 104 及び第 2 の柱状シリコン層 105 の上に酸化膜ハードマスク 111、112 を形成する。さらに、平面状シリコン層 107 上にゲート絶縁膜 113、114（図 11 参照）よりも厚さの厚い第 2 の酸化膜 110 を形成する。

[0035] 以上により、シリコン基板 101（半導体基板）上に平面状シリコン層 107（平面状半導体層）を形成し、この平面状シリコン層 107 上に、第 1 の柱状シリコン層 104（第 1 の柱状半導体層）と、第 2 の柱状シリコン層 105（第 2 の柱状半導体層）と、を形成する第 1 の工程が示された。

[0036] 次に、第 1 の柱状シリコン層 104（第 1 の柱状半導体層）と第 2 の柱状シリコン層 105（第 2 の柱状半導体層）の周囲にゲート絶縁膜 113、114（図 11 参照）を形成し、ゲート絶縁膜 113、114 の周囲に金属膜 115 及び厚さの薄いポリシリコン膜 116 を成膜する。ここで、ポリシリコン膜 116 の膜厚が第 1 の柱状シリコン層 104（第 1 の柱状半導体層）と第 2 の柱状シリコン層 105（第 2 の柱状半導体層）との間の間隔の半分の長さよりも薄くなるようにする。その後、ポリシリコン膜 116 上から第 3 のレジスト 117 を堆積し、第 3 のレジスト 117 から第 1 の柱状シリコン層 104（第 1 の柱状半導体層）及び第 2 の柱状シリコン層 105（第 2 の柱状半導体層）の上部側壁のポリシリコン膜 116 を露出させる。その後、第 3 のレジスト 117 から露出したポリシリコン膜 116 をエッチングにより除去し、第 3 のレジスト 117 を剥離し、金属膜 115 をエッチングにより除去する第 2 の工程を詳細に説明する。

- [0037] 図11に示すように、まず、第1の柱状シリコン層104と第2の柱状シリコン層105の周囲にゲート絶縁膜113、114を形成し、さらにゲート絶縁膜113、114の周囲に金属膜115及び厚さの薄いポリシリコン膜116を成膜する。薄いポリシリコンを使用するため、ポリシリコン膜116中にボイドが生じることが防止される。ここでは、金属膜115の材料に窒化チタンを使用するが、窒化チタンと同様に、半導体製造工程に用いられ、トランジスタのしきい値電圧を設定し得る金属であれば金属膜115の材料として使用できる。ゲート絶縁膜113、114は、例えば酸化膜、酸窒化膜、高誘電体膜などの、半導体工程に用いられるものが使用できる。
- [0038] 続いて、図12に示すように、第3のレジスト117を堆積し、第3のレジスト117から第1の柱状シリコン層104及び第2の柱状シリコン層105の上部側壁のポリシリコン膜116を露出させる。ここで、上部側壁のポリシリコン膜116を露出させるために、レジストエッチバックを用いることが好ましい。また、スピニングガラスといった塗布膜を用いて上部側壁のポリシリコン膜116を露出させてもよい。
- [0039] 続いて、図13に示すように、第3のレジスト117から露出したポリシリコン膜116をエッチングにより除去する。ここでは、等方性ドライエッチングを用いてポリシリコン膜116の除去することが好ましい。
- [0040] 続いて、図14に示すように、第3のレジスト117を除去する。
- [0041] 続いて、図15に示すように、金属膜115をエッチングにより除去する。ここで、第1及び第2の柱状シリコン層104、105の上方にある金属膜115をエッチングにより除去する際、ウェットエッチングを用いると、ポリシリコン膜116と柱状シリコン層104、105との間にある金属膜115がエッチングされてしまい、ポリシリコン膜116と柱状シリコン層104、105との間にボイドが生じることがある。
- [0042] 以上により、第1の柱状シリコン層104（第1の柱状半導体層）と第2の柱状シリコン層105（第2の柱状半導体層）の周囲にゲート絶縁膜113、114を形成し、ゲート絶縁膜113、114の周囲に金属膜115及

び厚さの薄いポリシリコン膜 116 を成膜する。ここで、ポリシリコン膜 116 の膜厚が第 1 の柱状シリコン層 104（第 1 の柱状半導体層）と第 2 の柱状シリコン層 105（第 2 の柱状半導体層）との間の間隔の半分の長さよりも薄くなるようにする。その後、ポリシリコン膜 116 上から第 3 のレジスト 117 を堆積し、第 3 のレジスト 117 から第 1 の柱状シリコン層 104（第 1 の柱状半導体層）及び第 2 の柱状シリコン層 105（第 2 の柱状半導体層）の上部側壁のポリシリコン膜 116 を露出させる。その後、第 3 のレジスト 117 から露出したポリシリコン膜 116 をエッチングにより除去し、第 3 のレジスト 117 を剥離し、金属膜 115 をエッチングにより除去する第 2 の工程が示された。

[0043] 次に、ゲート配線 119c を形成するための第 4 のレジスト 118 を形成し、異方性エッチングを行うことにより、ゲート配線 119c、第 1 のゲート電極 119b、及び第 2 のゲート電極 119a を形成する第 3 の工程を詳細に説明する。

[0044] 続いて、図 16 に示すように、まず、ゲート配線 119c（図 17 参照）を形成するための第 4 のレジスト 118 を形成する。第 4 のレジスト 118 の上面の高さは、第 2 工程を終えた後のポリシリコン膜 116 の上面の高さよりも低くすることが好ましい。ゲート配線 119c を形成する際、異方性エッチングを用いると、第 1 及び第 2 のゲート電極 119b、119a（図 17 参照）の上方にあるポリシリコン膜 116 が除去されるため、金属膜 115 の上面の高さを、ポリシリコン膜 116 の上面の高さより高くすることができる。

[0045] また、図 16 に示す工程において、ゲート配線 119c のための第 4 のレジスト 118 の中心線が、第 1 の柱状シリコン層 104 の中心点と第 2 の柱状シリコン層 105 の中心点とを結ぶ線に対して所定量オフセット（図 17 参照）するように、第 3 のレジスト 117 を形成することが好ましい。このように所定量オフセットさせることで、第 2 の n 型拡散層 122 と第 2 の p 型拡散層 125 とを接続するシリサイド 135（図 28 参照）を形成するこ

とが容易になる。

[0046] 続いて、図17に示すように、ポリシリコン膜116と金属膜115とをエッチングすることで、第1及び第2のゲート電極119b、119a、ゲート配線119cが形成される。これにより、自己整合プロセスが実現される。本実施形態では、シリコン柱の周囲に形成されたゲート電極119a、119bに、ゲート配線119cの形成のための第4のレジスト118を接触させればよい。これによりゲート配線119cの位置合わせマージンが大きくなるので、自己整合プロセスが実現される。このとき、酸化膜ハードマスク111、112によって、第1の柱状シリコン層104、第2の柱状シリコン層105の上部が保護される。また、第1のゲート電極119b及び第2のゲート電極119aの上方にあるポリシリコン膜116が異方性エッチングにより除去されるため、金属膜115の上面の高さを、ポリシリコン膜116の上面の高さよりも高くすることができる。

[0047] 続いて、図18に示すように、第2の酸化膜110をエッチングにより除去する。

[0048] 続いて、図19に示すように、第4のレジスト118を剥離し、除去する。

[0049] 以上により、ゲート配線119cを形成するための第4のレジスト118を形成し、異方性エッチングを行うことにより、ゲート配線119c、第1のゲート電極119b、及び第2のゲート電極119aを形成する第3の工程が示された。

[0050] 次に、第1の柱状シリコン層104（第1の柱状半導体層）の上部に第1のn型拡散層121を形成し、第1の柱状シリコン層104の下部及び平面状シリコン層107（平面状半導体層）の上部に第2のn型拡散層122を形成する。その後、第2の柱状シリコン層105（第2の柱状半導体層）の上部に第1のp型拡散層124を形成し、第2の柱状シリコン層105の下部及び平面状シリコン層107の上部に第2のp型拡散層125を形成する第4の工程を詳細に説明する。

- [0051] 図20に示すように、まず、第1のn型拡散層121及び第2のn型拡散層122を形成するために、第5のレジスト120を形成する。なお、第5のレジスト120を形成する前に、平面状シリコン層107の上表面などに、厚さの薄い酸化膜を堆積してもよい。
- [0052] 続いて、図21に示すように、第1の柱状シリコン層104の上部及び下部に、それぞれ砒素（As）を注入することで、第1のn型拡散層121と第2のn型拡散層122を形成する。
- [0053] 続いて、図22に示すように、第5のレジスト120を剥離、除去する。
- [0054] 続いて、図23に示すように、第1のp型拡散層124と第2のp型拡散層125（図24参照）とを形成するための第6のレジスト123を形成する。
- [0055] 続いて、図24に示すように、第2の柱状シリコン層105の上部及び下部に、それぞれボロンまたは弗化ボロンを注入することで、第1のp型拡散層124と第2のp型拡散層125とを形成する。
- [0056] 続いて、図25に示すように、第6のレジスト123を剥離、除去する。
- [0057] 続いて、図26に示すように、酸化膜126と窒化膜127とを層状かつ均一に堆積し、引き続き、熱処理を行う。
- [0058] 以上により、第1の柱状シリコン層104（第1の柱状半導体層）の上部に第1のn型拡散層121を形成し、第1の柱状シリコン層104の下部及び平面状シリコン層107（平面状半導体層）の上部に第2のn型拡散層122を形成する。その後、第2の柱状シリコン層105（第2の柱状半導体層）の上部に第1のp型拡散層124を形成し、第2の柱状シリコン層105の下部及び平面状シリコン層107の上部に第2のp型拡散層125を形成する第4の工程が示された。
- [0059] 次に、第1のn型拡散層121上、第2のn型拡散層122上、第1のp型拡散層124、第2のp型拡散層125上、及びゲート配線119cにシリサイド131、135、132、134、130、133を形成する第5の工程を詳細に説明する。

- [0060] 図27に示すように、まず、酸化膜126、窒化膜127をエッチングによってその一部を除去することで、絶縁膜サイドウォール128a、128b、129a、129b、129cを形成する。
- [0061] 続いて、図28に示すように、金属材料を堆積し、さらに熱処理を行い、未反応の金属材料を除去することで、第1のn型拡散層121上、第2のn型拡散層122上、第1のp型拡散層124上、第2のp型拡散層125上、及びゲート配線119c上に、それぞれシリサイド131、135、132、134、130、133を形成する。ここで、絶縁膜サイドウォールは、窒化膜サイドウォールとすることができる。
- [0062] 以上により、第2のn型拡散層122が、第2のp型拡散層125に、シリサイド135を介して接続される。また、図17に示すように、ゲート配線119cの中心線が、第1の柱状シリコン層104の中心点と第2の柱状シリコン層105の中心点とを結ぶ線に対して所定量オフセットしているので、シリサイド135を形成することが容易になる。これにより、半導体装置の高集積化が実現される。
- [0063] また、この構造では、ポリシリコン膜116の厚さが薄いため、ゲート配線119cが、金属膜115及びシリサイド130からなる積層構造から容易に形成される。このゲート配線119cでは、シリサイド130と金属膜115とが直接接触するため、ゲート配線119cの低抵抗化が実現される。
- [0064] 以上により、第1のn型拡散層121上、第2のn型拡散層122上、第1のp型拡散層124上、第2のp型拡散層125上、及びゲート配線119c上にシリサイド131、135、132、134、130、133を形成する第5の工程が示された。
- [0065] 第5の工程に続いて、図29に示すように、窒化膜などのコンタクトストッパー136を、構造体の全体を覆うように層状に成膜し、層間絶縁膜137を形成する。
- [0066] 続いて、図30に示すように、コンタクト孔139、140（図31参照

）を形成するための第7のレジスト138を形成する。

[0067] 続いて、図31に示すように、層間絶縁膜137をエッチングすることで、第7のレジスト138の開口部にコンタクト孔139、140を形成する。

[0068] 続いて、図32に示すように、第7のレジスト138を剥離、除去する。

[0069] 続いて、図33に示すように、コンタクト孔142、143（図34参照）を形成するための第8のレジスト141を形成する。

[0070] 続いて、図34に示すように、層間絶縁膜137をエッチングすることで、第8のレジスト141の開口部に、コンタクト孔142、143を形成する。

[0071] 続いて、図35に示すように、第8のレジスト141を剥離、除去する。

[0072] 続いて、図36に示すように、コンタクトストッパー136をエッチングすることで、コンタクト孔139、140、コンタクト孔142、143下のコンタクトストッパー136を除去する。

[0073] 続いて、図37に示すように、金属材料を堆積して金属層148を形成することで、下層の導体層と接続するコンタクト144、145、146、147とする。

[0074] 続いて、図38に示すように、金属配線153、154、155、156（図39参照）を形成するための第9のレジスト149、150、151、152を形成する。

[0075] 続いて、図39に示すように、金属層148をエッチングすることで、金属配線153、154、155、156を形成する。

[0076] 次に、図40に示すように、第9のレジスト149、150、151、152を剥離、除去する。

以上により、厚さの薄いゲート材料（ポリシリコン）を用いることで、自己整合プロセスによって、金属材料からなるゲート電極が形成されるSGTの構造を有する半導体装置の製造方法が示された。

[0077] 金属膜115の上面の高さが、ポリシリコン膜116の上面の高さよりも

高いため、ポリシリコン膜 116 と、第 1 及び第 2 の柱状シリコン層 104、105 との間にボイドが生じることがなく、ゲート電極 119a、119b と、第 1 及び第 2 の柱状シリコン層 104、105 との間の容量の減少を防ぐことができる。

[0078] 本実施形態により製造される、SGT を有する半導体装置が、ゲート配線 119c と平面状シリコン層 107 との間に形成されたゲート絶縁膜 113、114 よりも厚さが厚い第 2 の酸化膜 110 を有する。このため、ゲート配線 119c とシリコン基板 101 との間の容量を低減することができ、ゲート配線 119c とシリコン基板 101 間の絶縁性が確保される。

[0079] 本実施形態によれば、ゲート配線 119c が、金属膜 115 及びシリサイド 130 からなる積層構造から形成される。このように、ゲート配線 119c では、シリサイド 130 と金属膜 115 とが直接接触するため、ゲート配線 119c の低抵抗化が実現される。

[0080] 本実施形態によれば、ゲート配線 119c の中心線が、第 1 の柱状シリコン層 104 の中心点と第 2 の柱状シリコン層 105 の中心点とを結ぶ線に対して所定量オフセットしている（図 17 参照）。このため、第 2 の n 型拡散層 122 と、第 2 の p 型拡散層 125 とを接続するシリサイド 135 を容易に形成できる。これにより、量産ベースでの半導体装置の高集積化が実現される。

[0081] 上述した実施形態によれば、第 1 工程の後、第 1 の柱状シリコン層 104（第 1 の柱状半導体層）と第 2 の柱状シリコン層 105（第 2 の柱状半導体層）の周囲にゲート絶縁膜 113、114 を形成する。その後、ゲート絶縁膜 113、114 の周囲に金属膜 115 及び厚さの薄いポリシリコン膜 116 を成膜する。ポリシリコン膜 116 の膜厚は第 1 の柱状シリコン層 104 と第 2 の柱状シリコン層 105 との間の間隔の半分の長さよりも薄くする。その後、第 3 のレジスト 117 を堆積し、第 1 及び第 2 の柱状シリコン層 104、105 の上部側壁のポリシリコン膜 116 を露出させる。その後、露出したポリシリコン膜 116 をエッチングにより除去し、第 3 のレジスト 1

17を剥離し、金属膜115をエッチングにより除去する第2の工程を備える。第2の工程の後、ゲート配線119cを形成するための第4のレジスト118を形成し、異方性エッチングを行い、ゲート配線119c、第1のゲート電極119b、及び第2のゲート電極119aを形成する第3の工程により、自己整合プロセスが実現される。本実施形態によれば、このように自己整合プロセスによって半導体装置が製造されるため、別部材からなるマスクを使用する必要がなく、半導体装置の高集積化が実現される。

[0082] 第1及び第2の柱状シリコン層104、105の上方にある金属膜115をエッチングにより除去する際、ウエットエッチングを用いると、ポリシリコン膜116と第1及び第2の柱状シリコン層104、105との間にある金属膜115がエッチングされる。これにより、ポリシリコン膜116と、第1及び第2の柱状シリコン層104、105との間にボイドが生じることがある。このようにボイドが生じると、ボイドが生じた部分の比誘電率（媒質の誘電率と真空の誘電率の比 $\varepsilon/\varepsilon_0=\varepsilon_r$ ）が空気と同様の約1（1.00059）となるため、ゲート電極119a、119bと、第1及び第2の柱状シリコン層104、105との間の容量が減少してしまう。これに対して、本実施形態では、第1及び第2の柱状シリコン層104、105の上方にある金属膜115をエッチングにより除去した後、ゲート配線119cを異方性エッチングにより形成する。この際、第1及び第2のゲート電極119b、119aの上方にあるポリシリコン膜116が異方性エッチングにより除去されるため、金属膜115の上面の高さを、ポリシリコン膜116の上面の高さよりも高くすることができる。これにより、ポリシリコン膜116と、第1及び第2の柱状シリコン層104、105との間にボイドが生じることが防止される。

[0083] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さ

らに、必要に応じて上記実施形態の構成の一部を除いても本発明の技術的思想の範囲内となる。

[0084] 例えば、上記実施例において、p型（p⁺型を含む。）とn型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

産業上の利用可能性

[0085] 本発明に係る半導体装置の製造方法によれば、SGTを有する、高集積度な半導体装置を製造することができる。

符号の説明

- [0086] 101. シリコン基板
102. 第1のレジスト
103. 第1のレジスト
104. 第1の柱状シリコン層
105. 第2の柱状シリコン層
106. 第2のレジスト
107. 平面状シリコン層
108. 素子分離膜
109. 第1の酸化膜
110. 第2の酸化膜
111. 酸化膜ハードマスク
112. 酸化膜ハードマスク
113. ゲート絶縁膜
114. ゲート絶縁膜
115. 金属膜
116. ポリシリコン膜
117. 第3のレジスト
118. 第4のレジスト
119a. 第2のゲート電極

- 1 1 9 b. 第1のゲート電極
- 1 1 9 c. ゲート配線
- 1 2 0. 第5のレジスト
- 1 2 1. 第1のn型拡散層
- 1 2 2. 第2のn型拡散層
- 1 2 3. 第6のレジスト
- 1 2 4. 第1のp型拡散層
- 1 2 5. 第2のp型拡散層
- 1 2 6. 酸化膜
- 1 2 7. 窒化膜
- 1 2 8 a. 絶縁膜サイドウォール
- 1 2 8 b. 絶縁膜サイドウォール
- 1 2 9 a. 絶縁膜サイドウォール
- 1 2 9 b. 絶縁膜サイドウォール
- 1 2 9 c. 絶縁膜サイドウォール
- 1 3 0. シリサイド
- 1 3 1. シリサイド
- 1 3 2. シリサイド
- 1 3 3. シリサイド
- 1 3 4. シリサイド
- 1 3 5. シリサイド
- 1 3 6. コンタクトストッパー
- 1 3 7. 層間絶縁膜
- 1 3 8. 第7のレジスト
- 1 3 9. コンタクト孔
- 1 4 0. コンタクト孔
- 1 4 1. 第8のレジスト
- 1 4 2. コンタクト孔

- 1 4 3. コンタクト孔
- 1 4 4. コンタクト
- 1 4 5. コンタクト
- 1 4 6. コンタクト
- 1 4 7. コンタクト
- 1 4 8. 金属層
- 1 4 9. 第9のレジスト
- 1 5 0. 第9のレジスト
- 1 5 1. 第9のレジスト
- 1 5 2. 第9のレジスト
- 1 5 3. 金属配線
- 1 5 4. 金属配線
- 1 5 5. 金属配線
- 1 5 6. 金属配線

請求の範囲

- [請求項1] 半導体基板上に平面状半導体層を形成し、前記平面状半導体層上に第1の柱状半導体層と第2の柱状半導体層とを形成する第1の工程と、
- 前記第1工程の後、
- 前記第1の柱状半導体層及び前記第2の柱状半導体層の周囲にゲート絶縁膜を形成し、
- 前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、
- 前記ポリシリコン膜の膜厚を前記第1の柱状半導体層及び前記第2の柱状半導体層の間の間隔の半分の長さよりも薄くし、
- 第3のレジストを堆積し、前記第1の柱状半導体層及び前記第2の柱状半導体層の上部側壁の前記ポリシリコン膜を露出させ、この露出した前記ポリシリコン膜をエッチングによって除去し、前記第3のレジストを剥離し、前記金属膜をエッチングにより除去する第2の工程と、
- 前記第2の工程の後、
- ゲート配線を形成するための第4のレジストを形成し、異方性エッチングを行うことにより、ゲート配線と、第1のゲート電極と、第2のゲート電極と、を形成する第3の工程と、を有する、
- ことを特徴とする半導体装置の製造方法。
- [請求項2] 前記第1の工程の後、
- 前記第1の柱状シリコン層及び前記第2の柱状シリコン層の上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜よりも厚さの厚い酸化膜を形成する工程をさらに含む、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第4のレジストの上面の高さは、前記第2工程を経た後のポリシリコン膜の上面の高さよりも低い、ことを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項4] 前記第1の柱状半導体層の上部に第1のn型拡散層を形成し、前記第1の柱状半導体層の下部及び前記平面状半導体層の上部に第2のn型拡散層を形成し、前記第2の柱状半導体層の上部に第1のp型拡散層を形成し、前記第2の柱状半導体層の下部及び前記平面状半導体層の上部に第2のp型拡散層を形成する第4の工程をさらに含む、ことを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項5] 前記第1のn型拡散層上、前記第2のn型拡散層上、前記第1のp型拡散層上、前記第2のp型拡散層上、及び前記ゲート配線上にシリサイドを形成する第6の工程をさらに含む、ことを特徴とする請求項4に記載の半導体装置の製造方法。

[請求項6] 半導体基板上に形成された平面状半導体層と、
前記平面状半導体層上に形成された第1及び第2の柱状半導体層と、
、
前記第1の柱状半導体層の周囲に形成された第1のゲート絶縁膜と、
、
前記第1のゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第1のゲート電極と、
前記第2の柱状半導体層の周囲に形成された第2のゲート絶縁膜と、
、
前記第2のゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第2のゲート電極と、
前記第1及び前記第2のゲート電極に接続されたゲート配線と、
前記ゲート配線と前記平面状半導体層との間に形成された前記ゲート絶縁膜よりも厚さが厚い酸化膜と、
前記第1の柱状半導体層の上部に形成された第1のn型拡散層と、
前記第1の柱状半導体層の下部と前記平面状半導体層の上部とに形成された第2のn型拡散層と、
前記第2の柱状半導体層の上部に形成された第1のp型拡散層と、

前記第 2 の柱状半導体層の下部及び前記平面状半導体層の上部に形成された第 2 の p 型拡散層と、を備え、

前記ポリシリコン膜の膜厚は前記第 1 の柱状半導体層と前記第 2 の柱状半導体層との間の間隔の半分の長さよりも薄く形成されており、

前記金属膜の上面の高さは、前記ポリシリコン膜の上面の高さよりも高くされており、

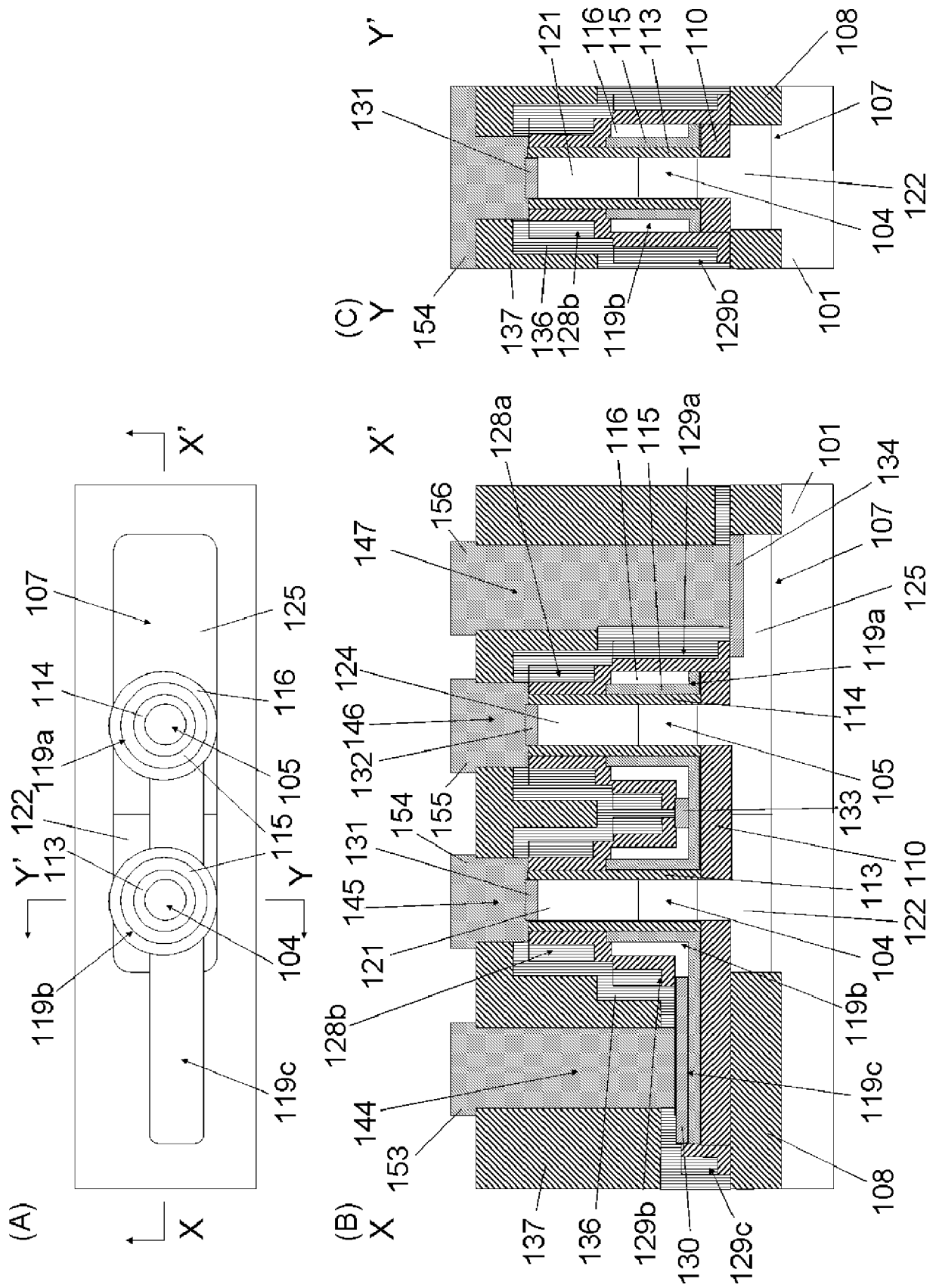
前記ゲート配線の上面の高さは前記第 1 及び第 2 のゲート電極の上面の高さよりも低くされている、ことを特徴とする半導体装置。

[請求項7] 前記ゲート配線は、前記金属膜及びシリサイドの積層構造からなる、ことを特徴とする請求項 6 に記載の半導体装置。

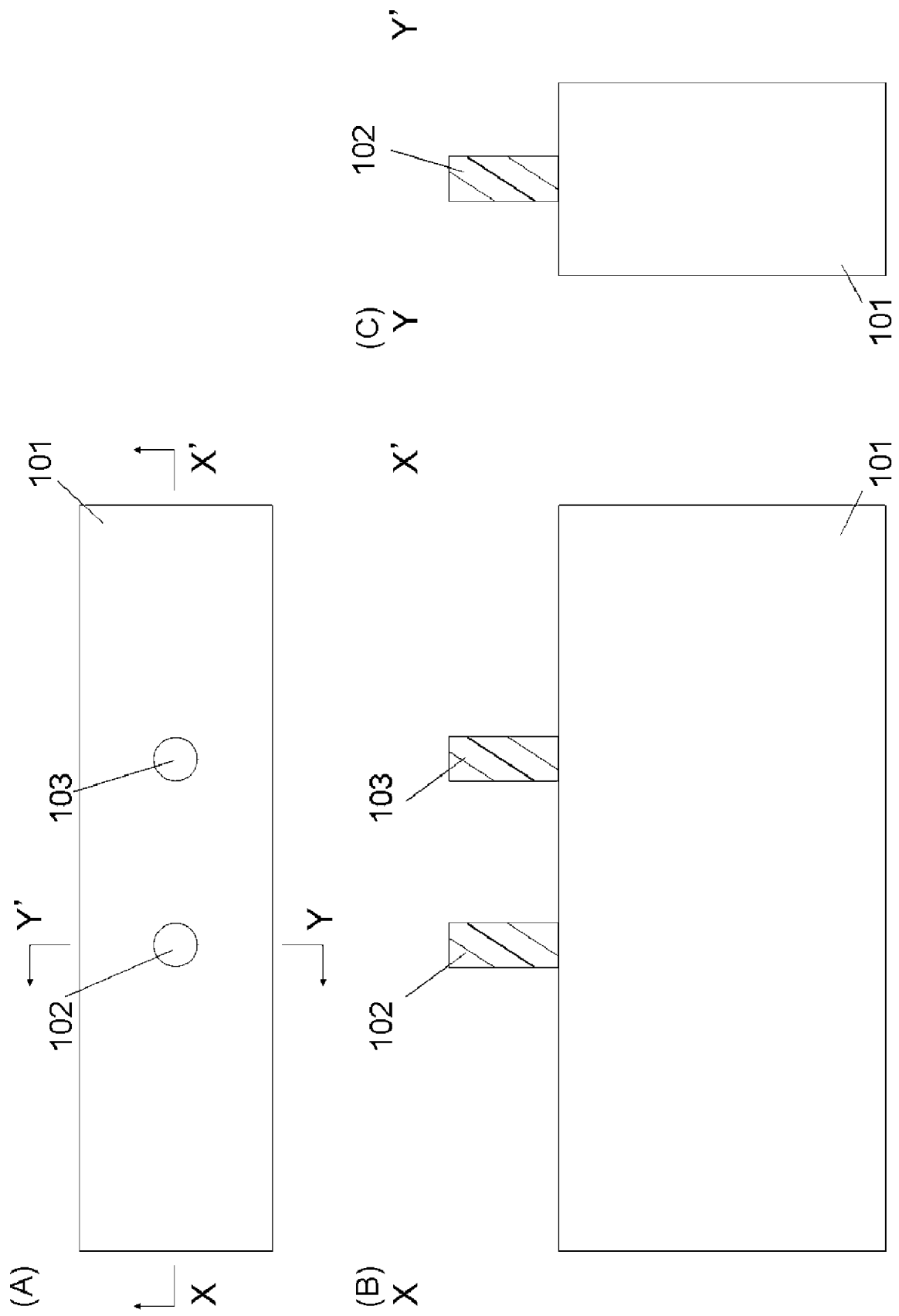
[請求項8] 前記ゲート配線の中心線が、前記第 1 の柱状半導体層の中心点と前記第 2 の柱状半導体層の中心点とを結ぶ線に対して所定量オフセットしている、ことを特徴とする請求項 7 に記載の半導体装置。

[請求項9] 前記第 1 及び前記第 2 の n 型拡散層上と、前記第 1 及び前記第 2 の p 型拡散層上とに形成されたシリサイドをさらに備える、ことを特徴とする請求項 8 に記載の半導体装置。

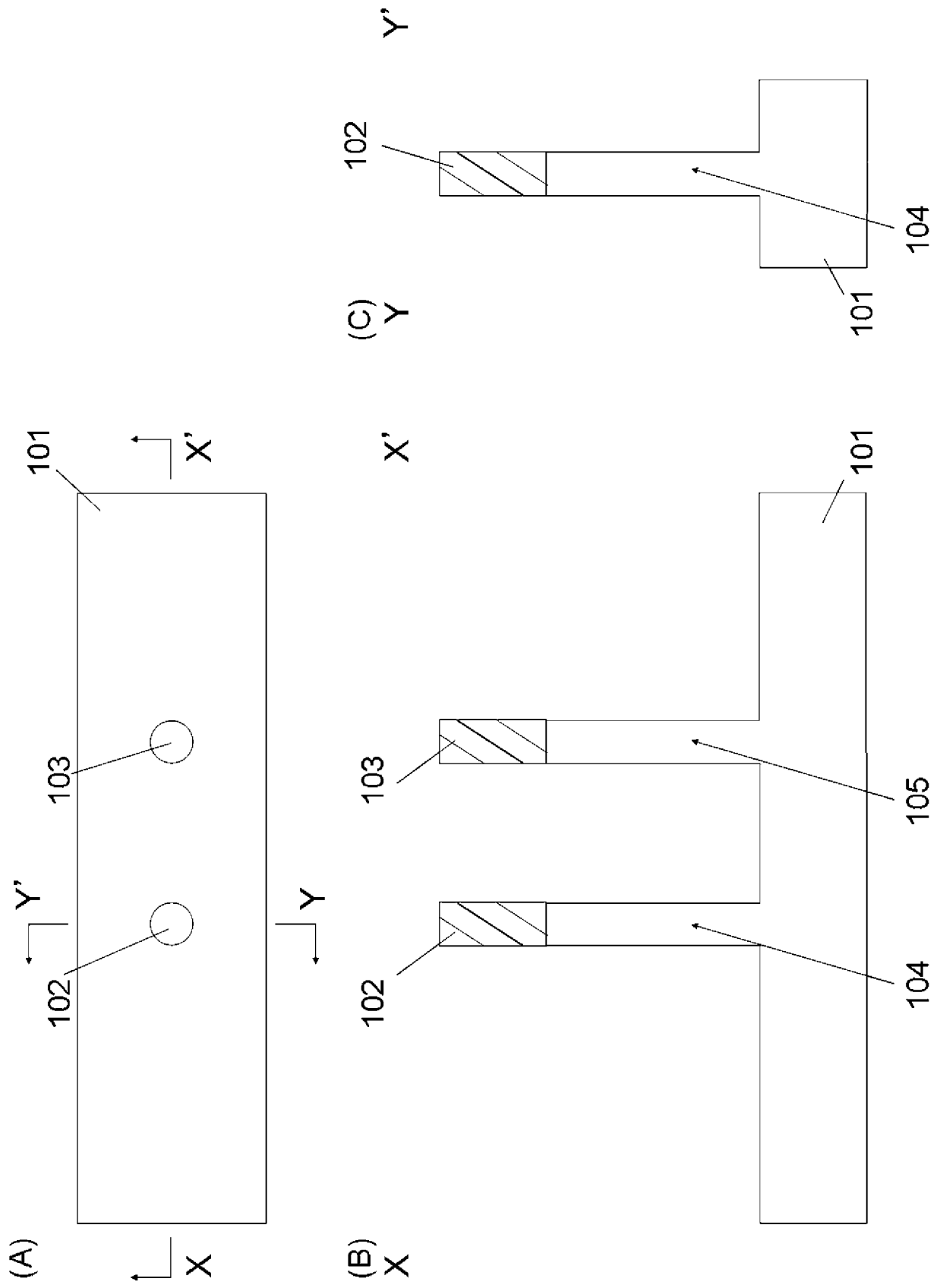
[図1]



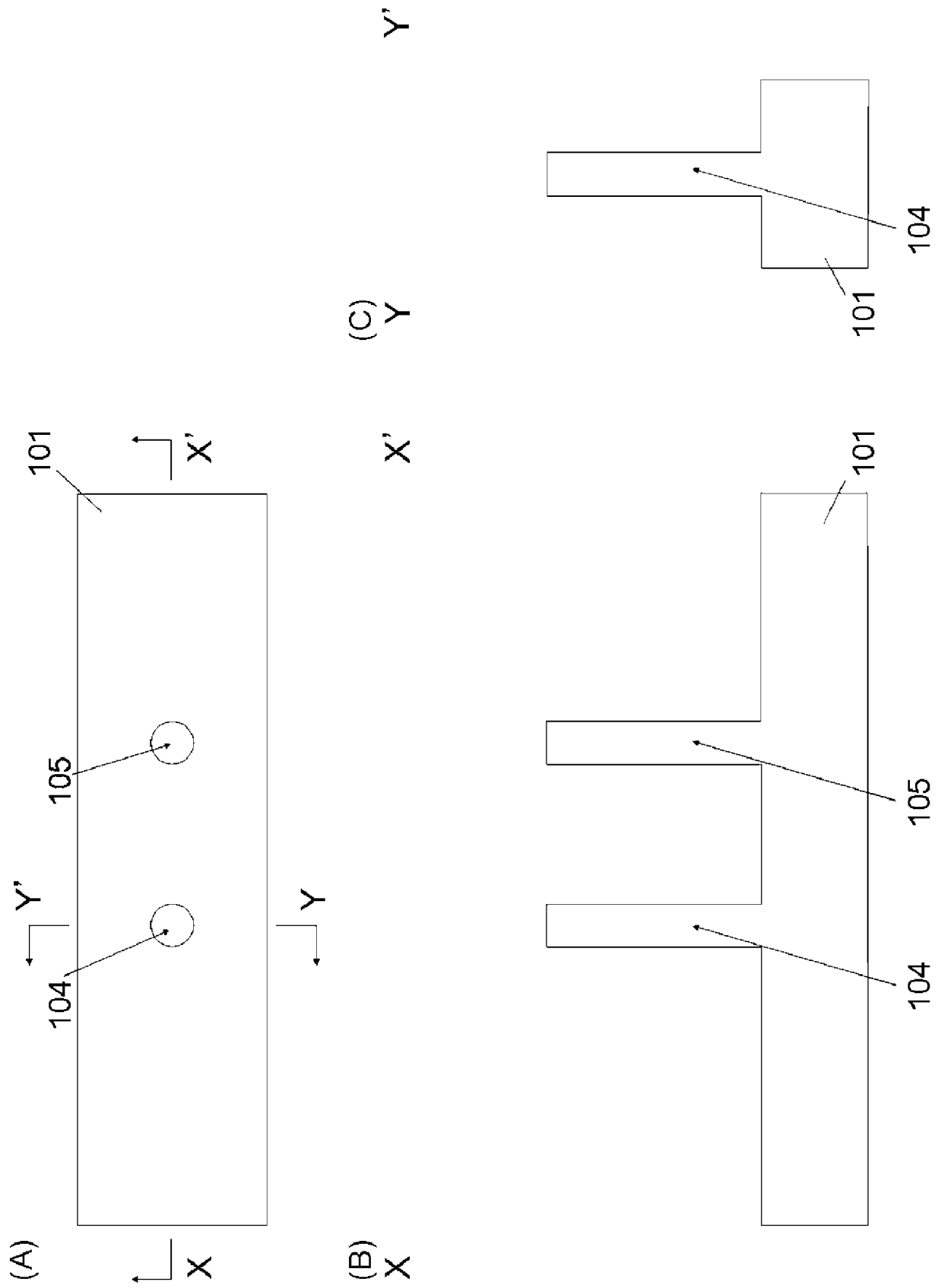
[図2]



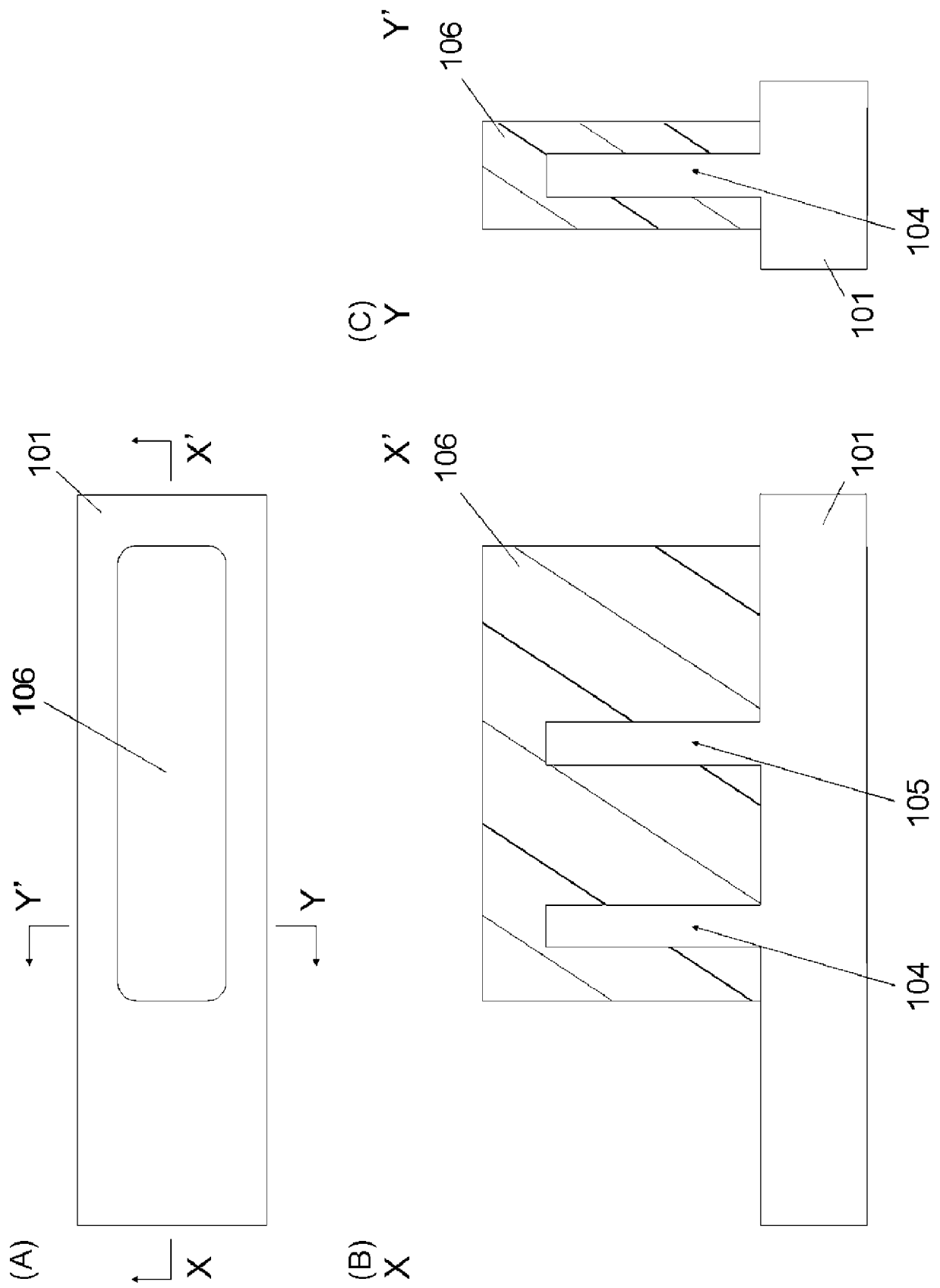
[図3]



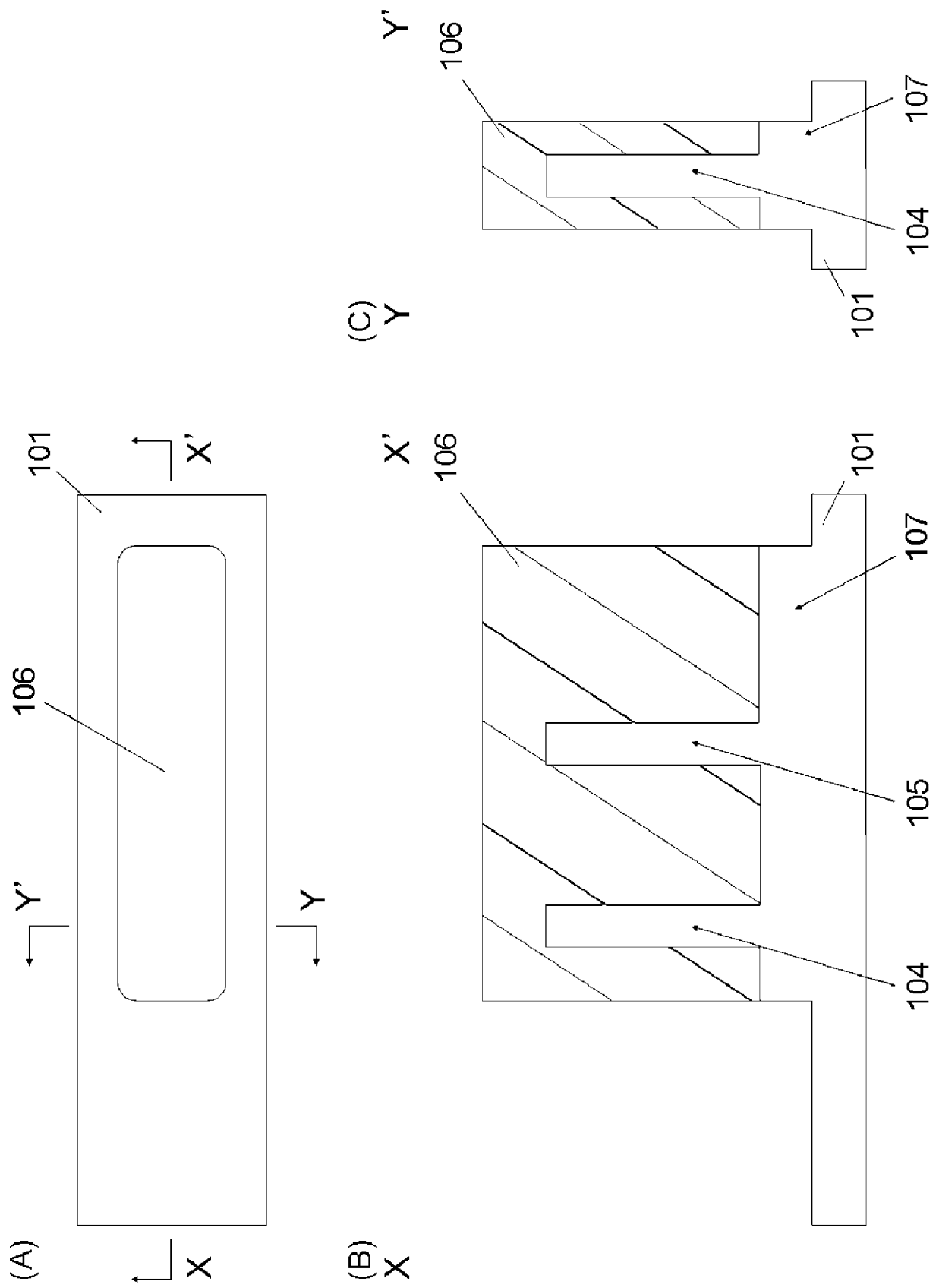
[図4]



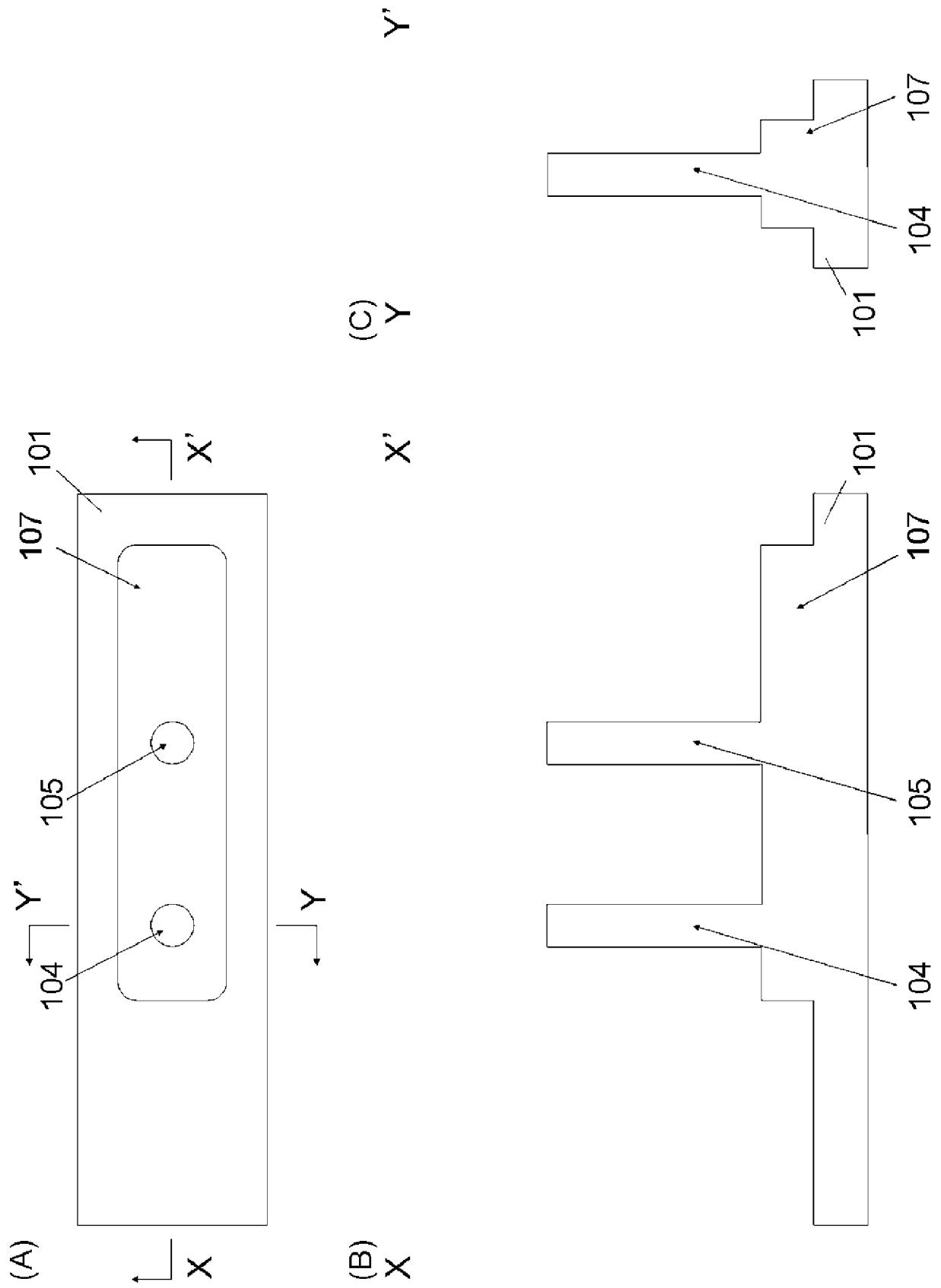
[図5]



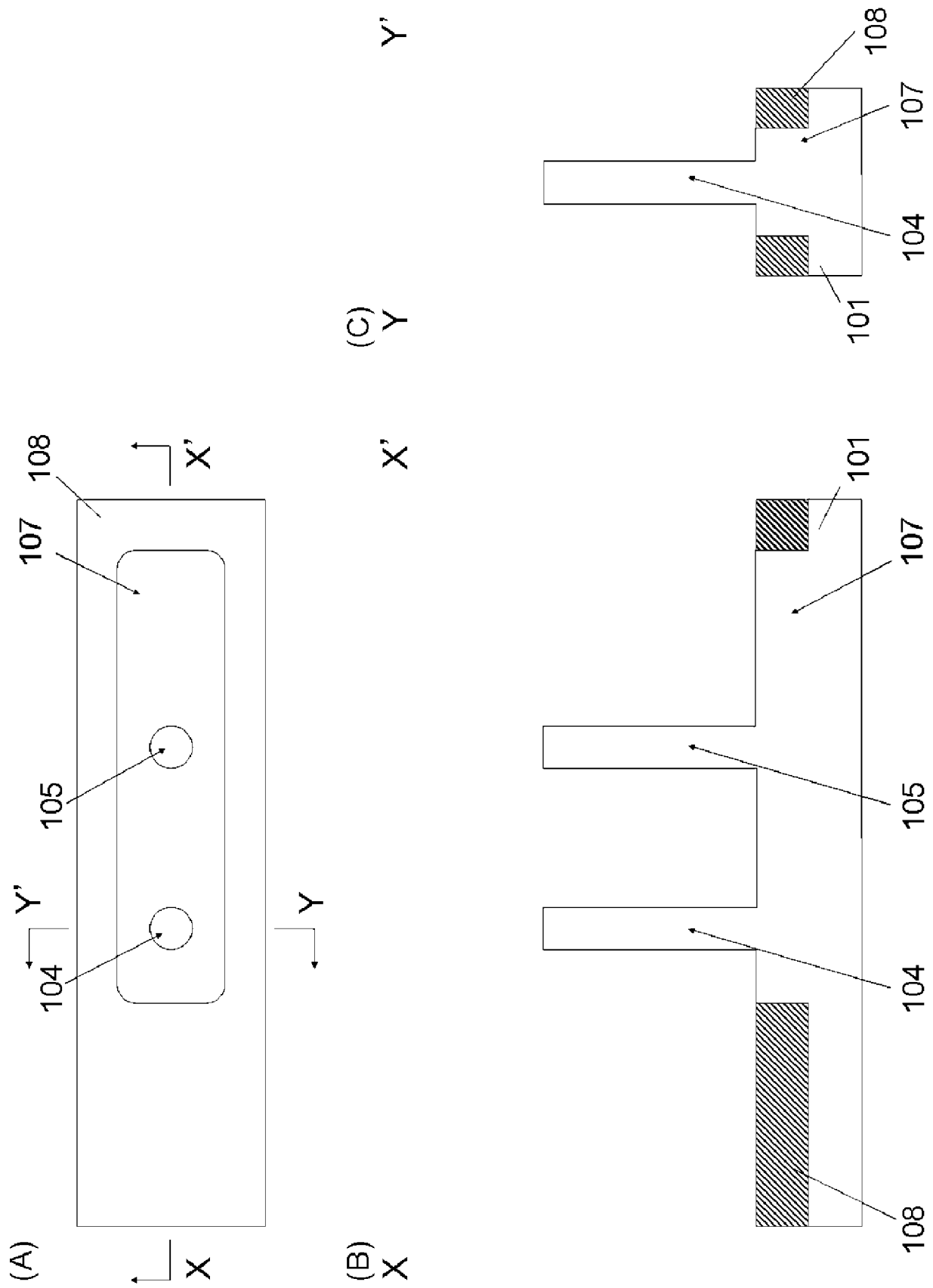
[図6]



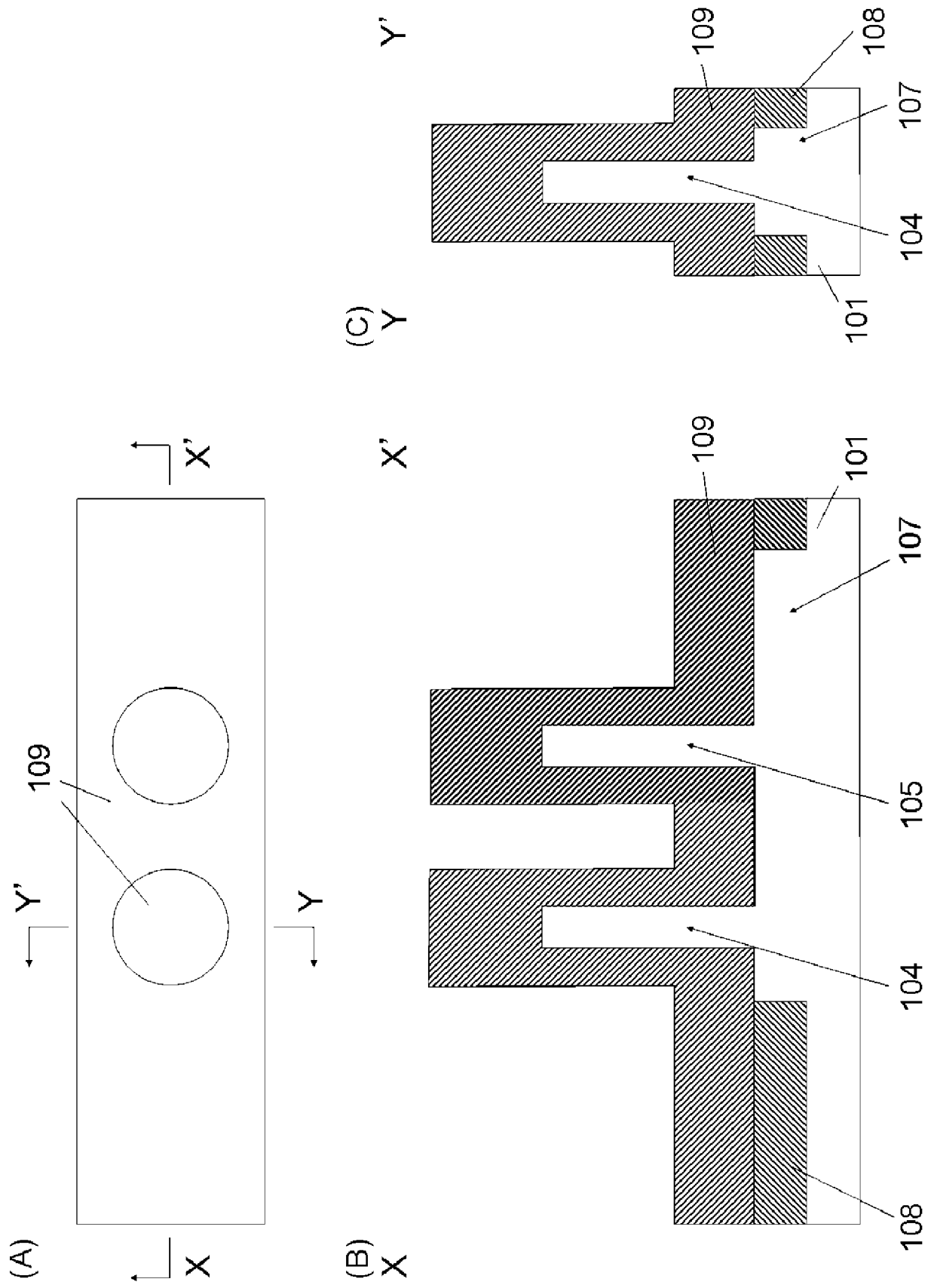
[図7]



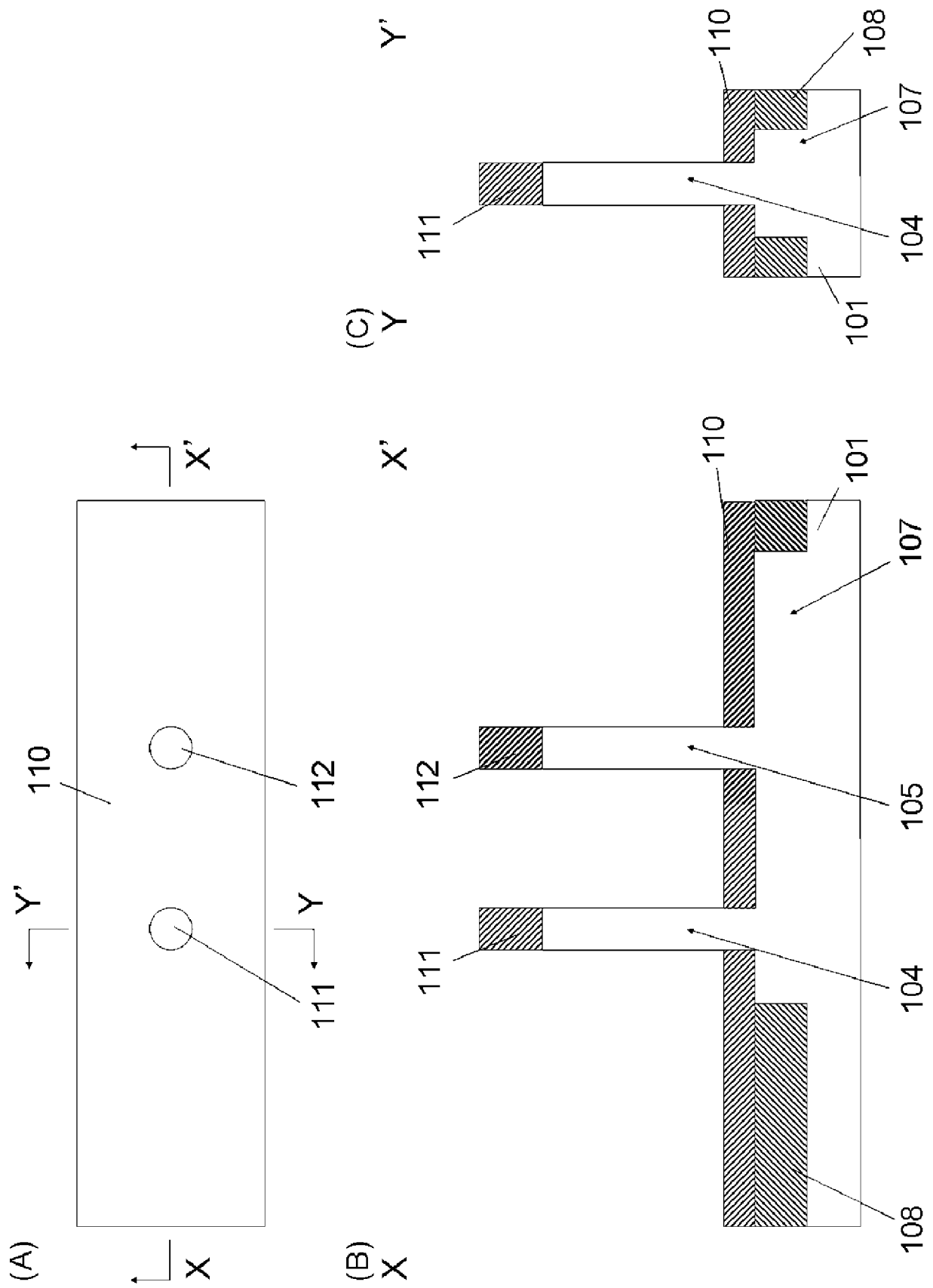
[図8]



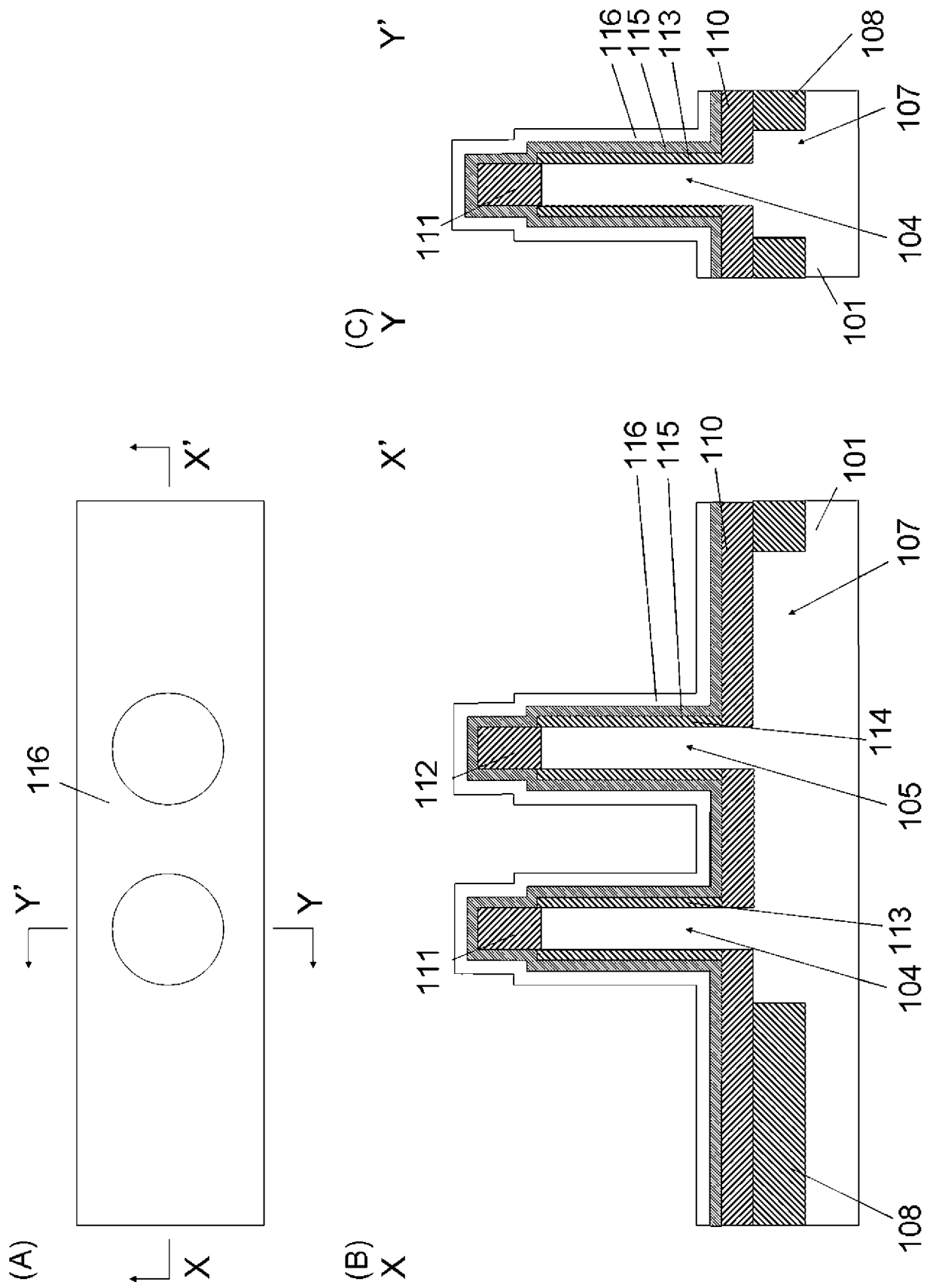
[図9]



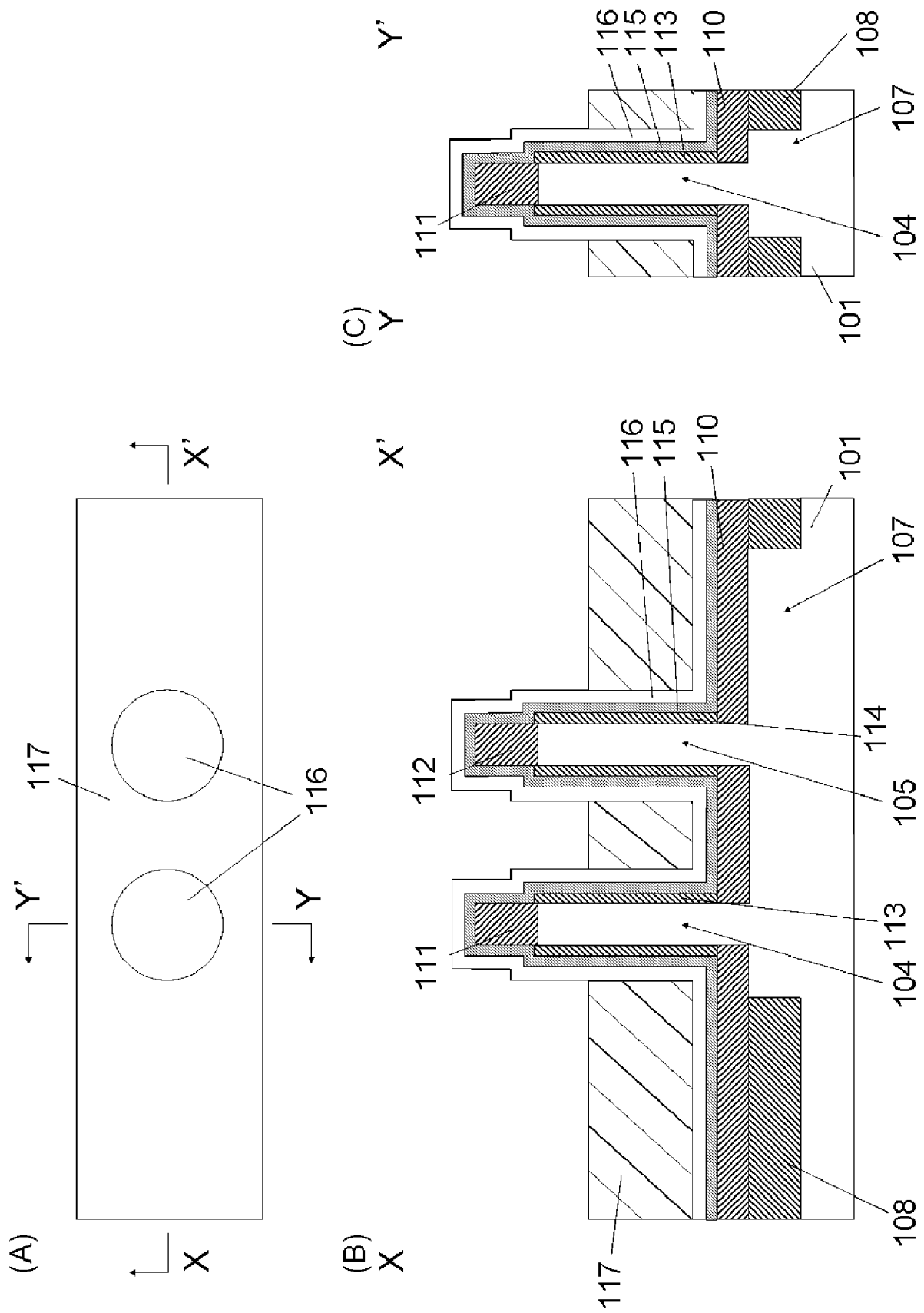
[図10]



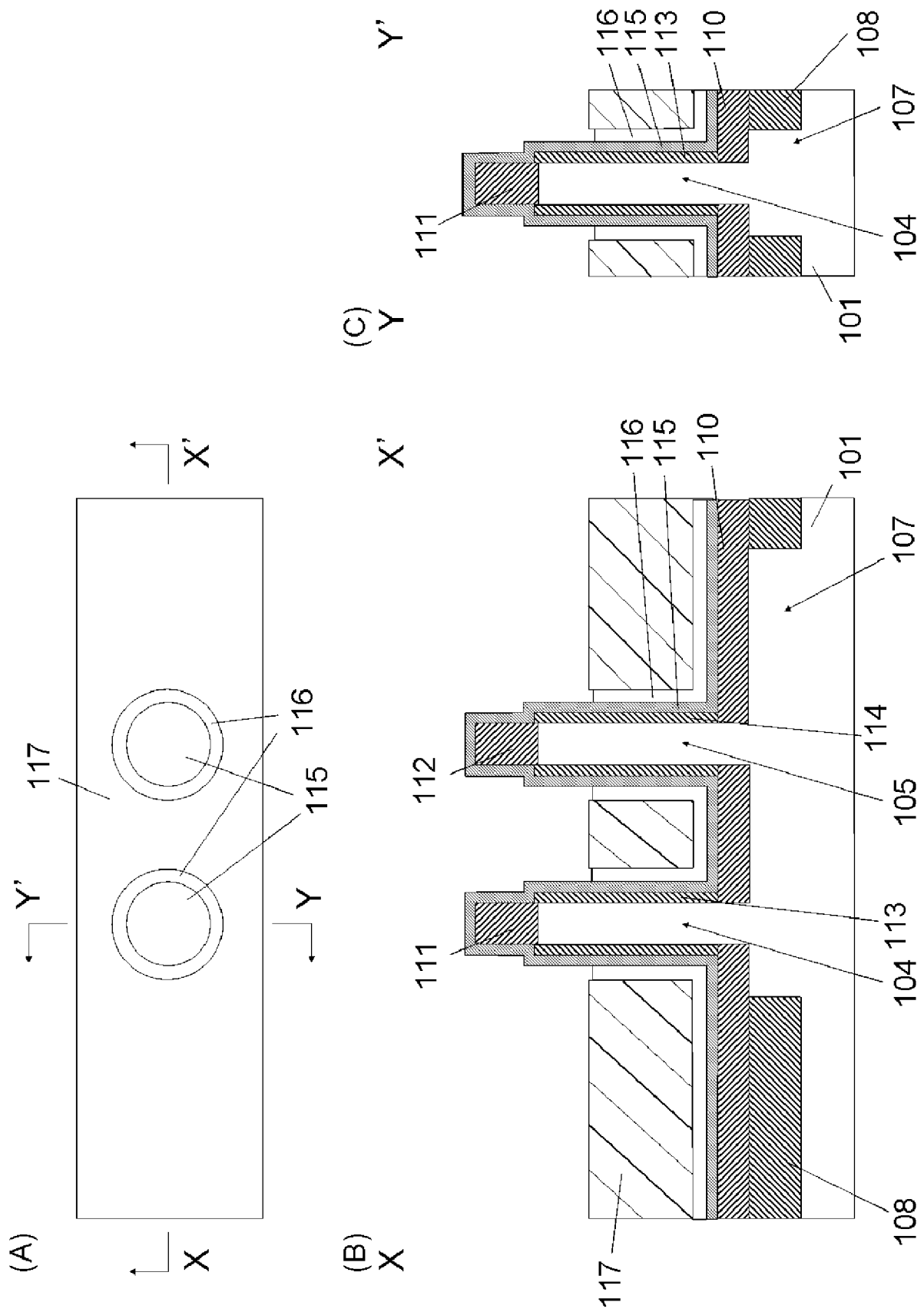
[図11]



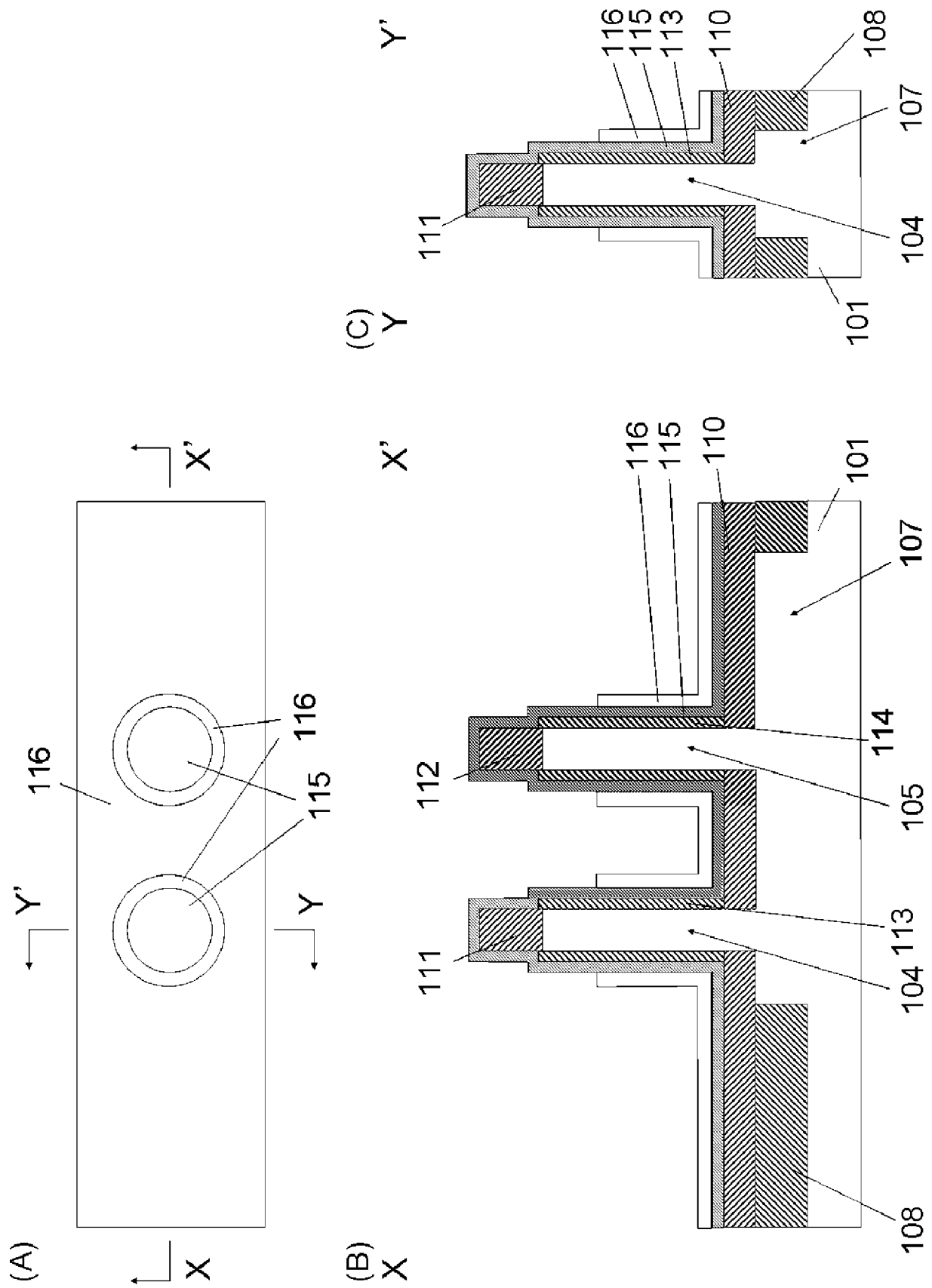
[図12]



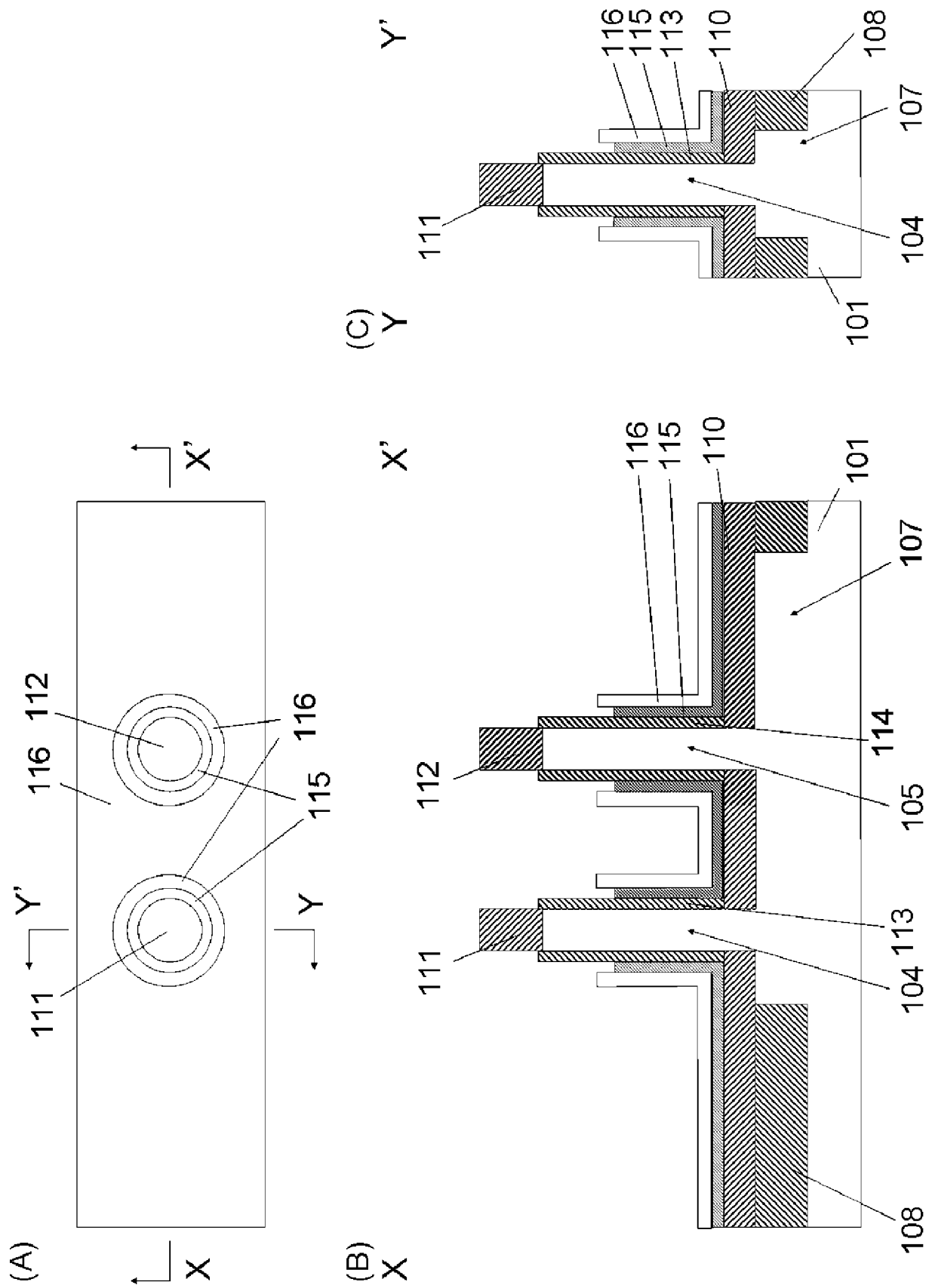
[図13]



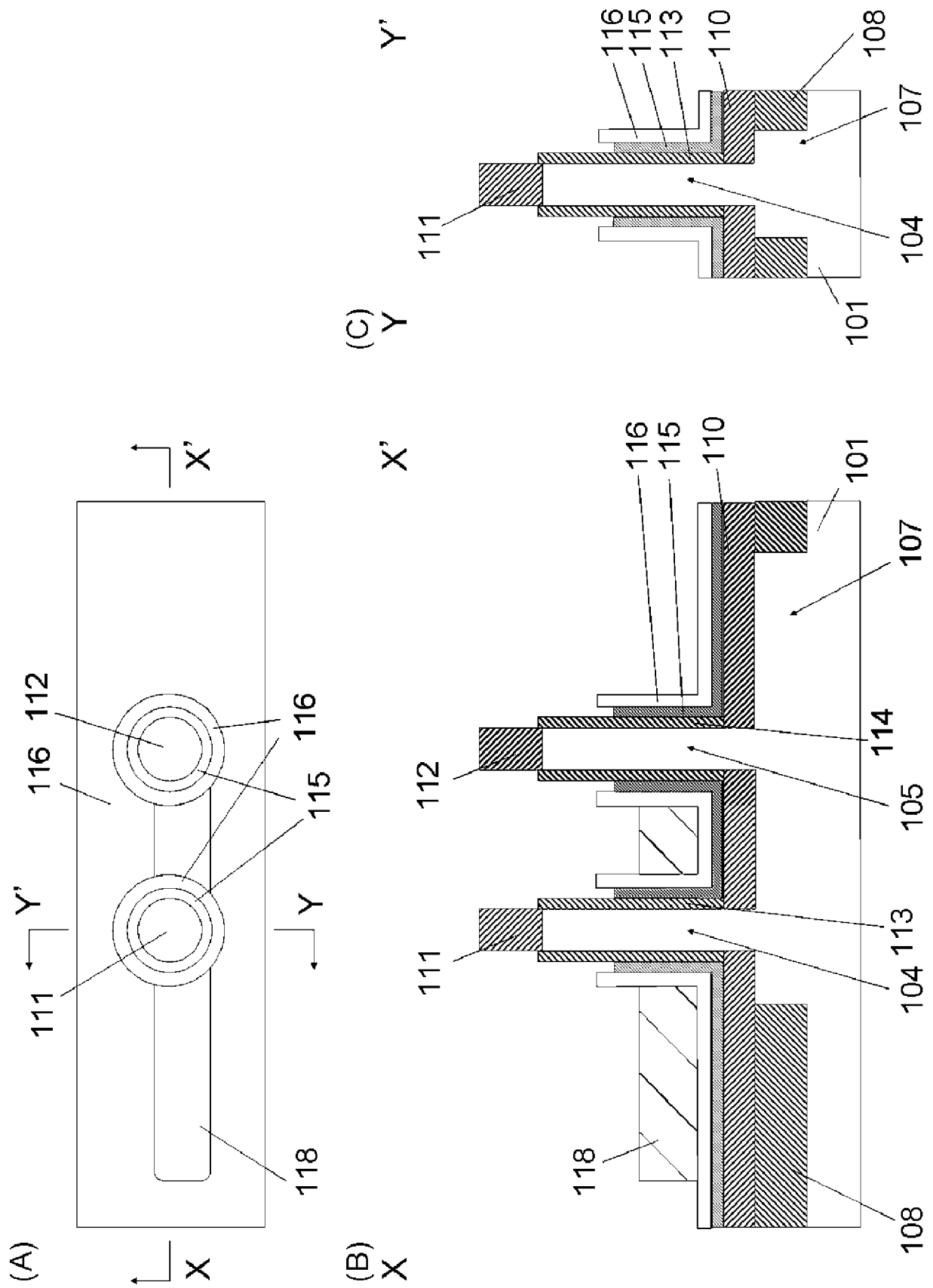
[図14]



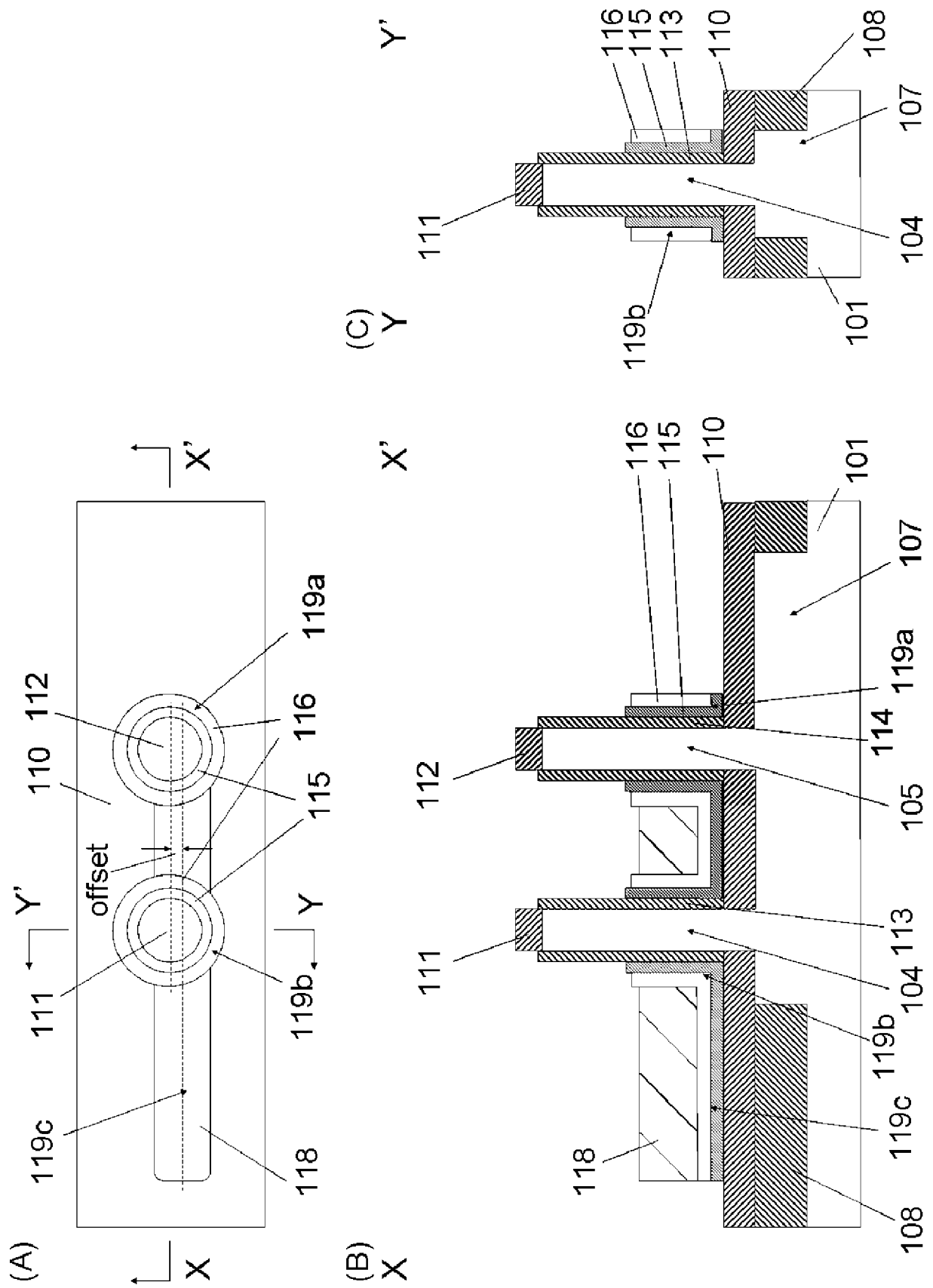
[図15]



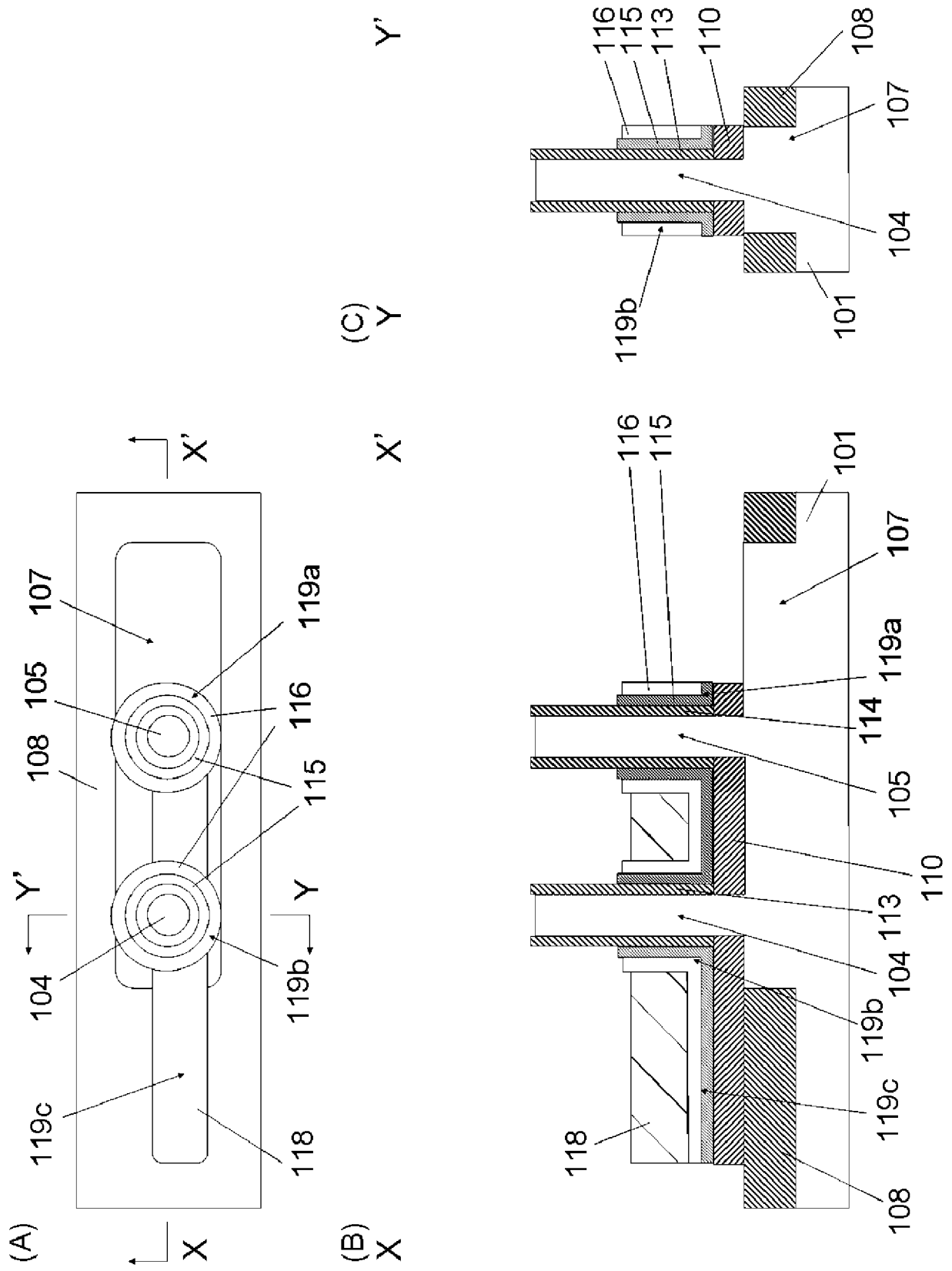
[図16]



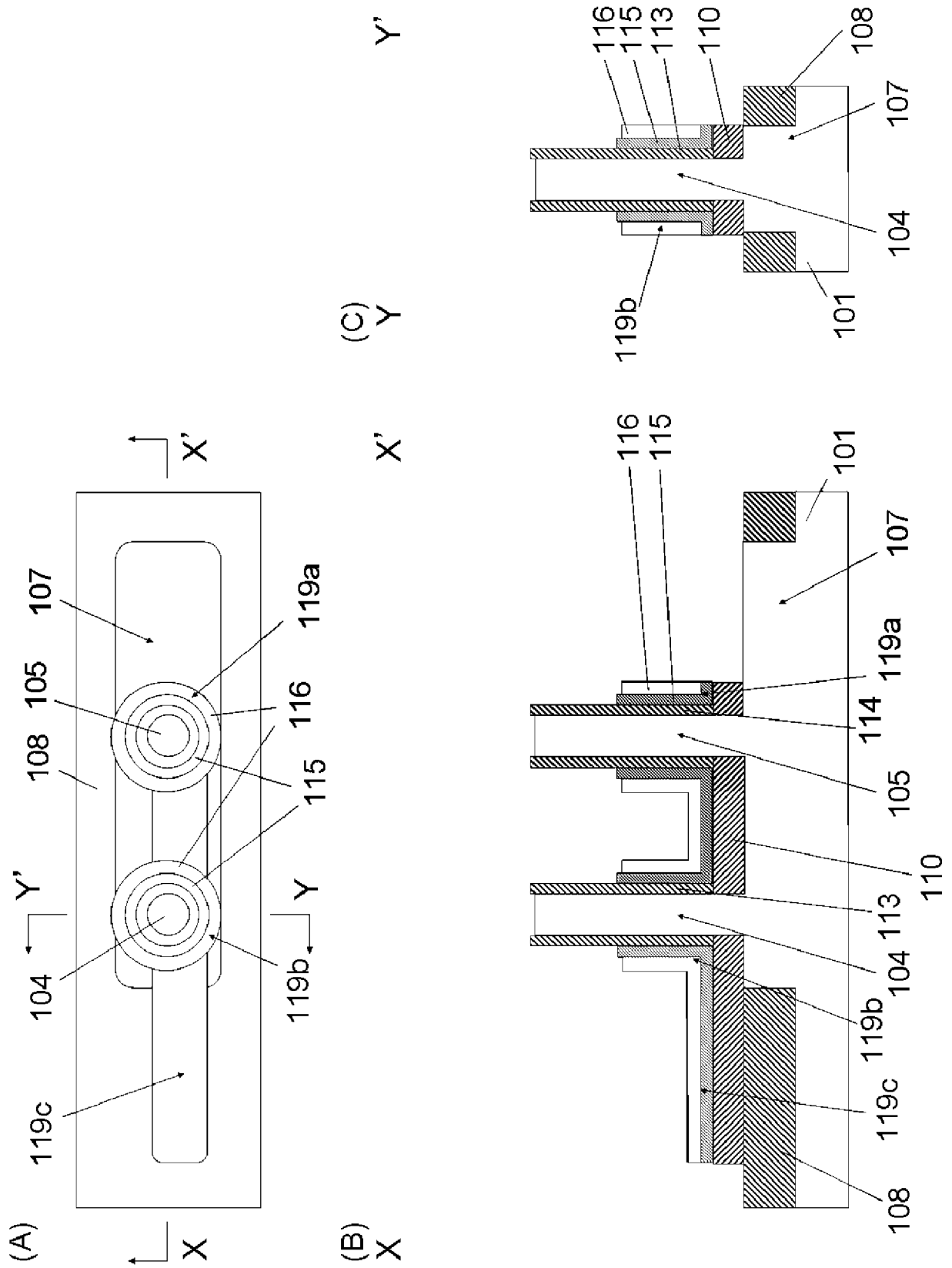
[図17]



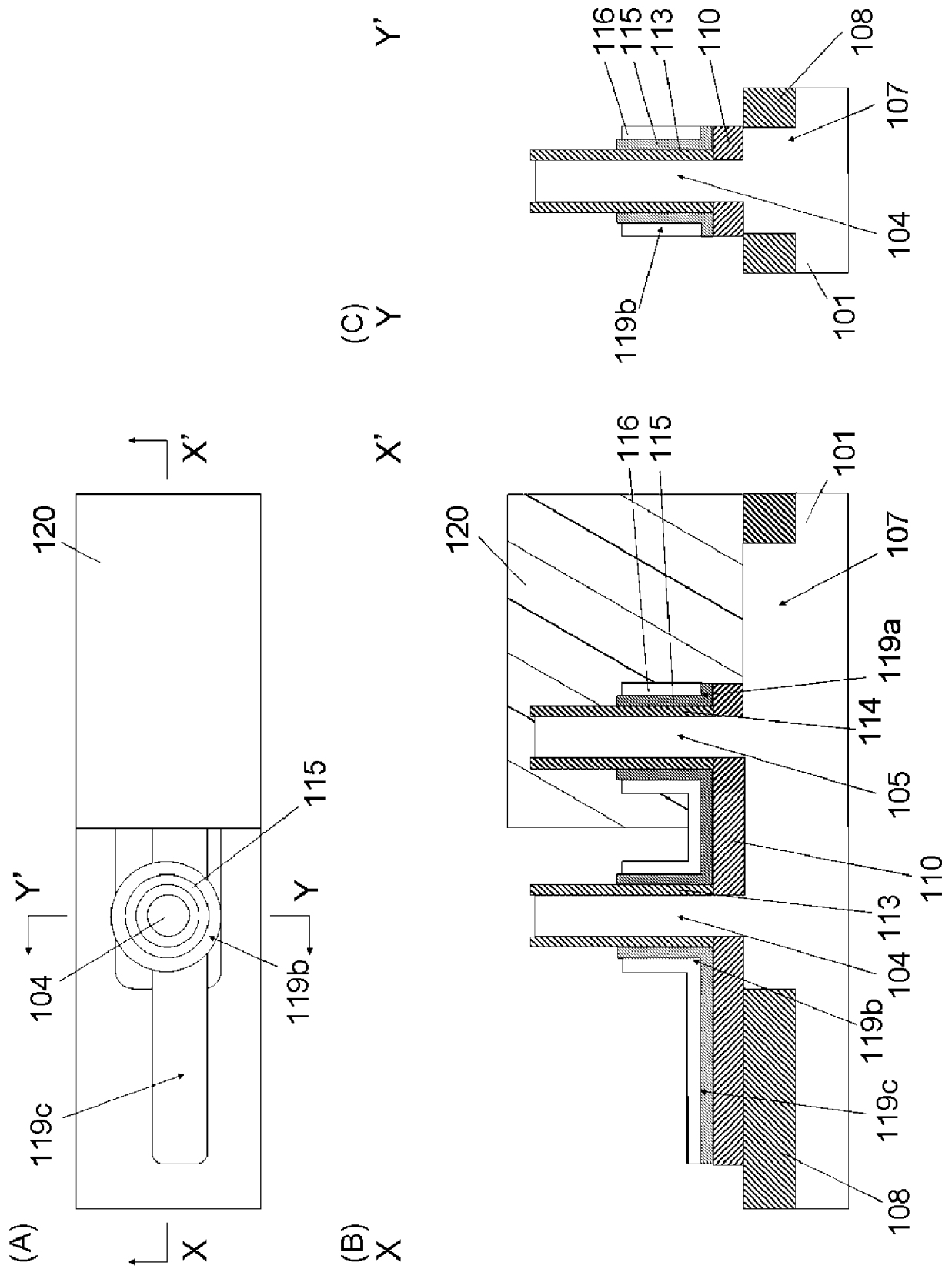
[図18]



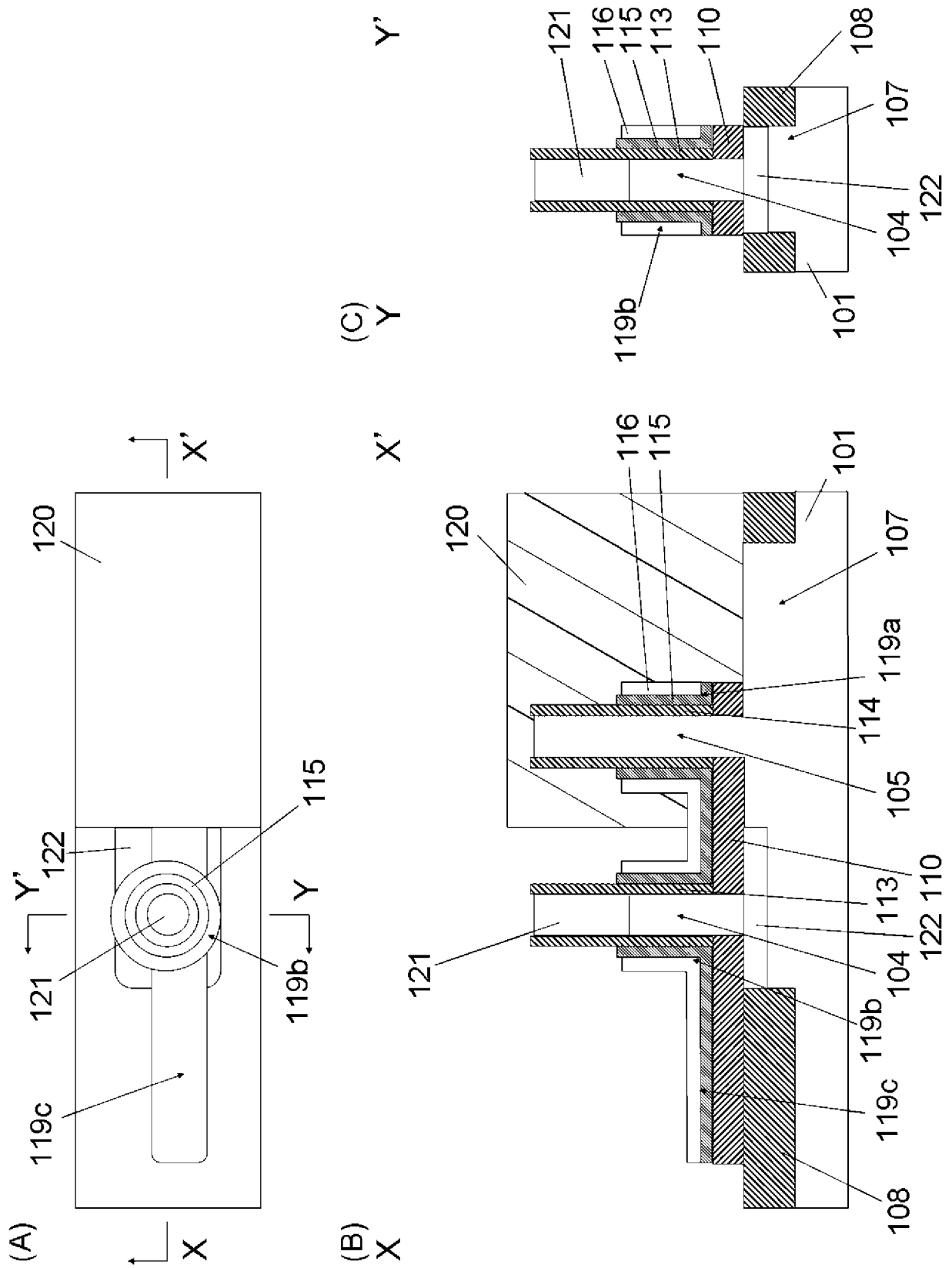
[図19]



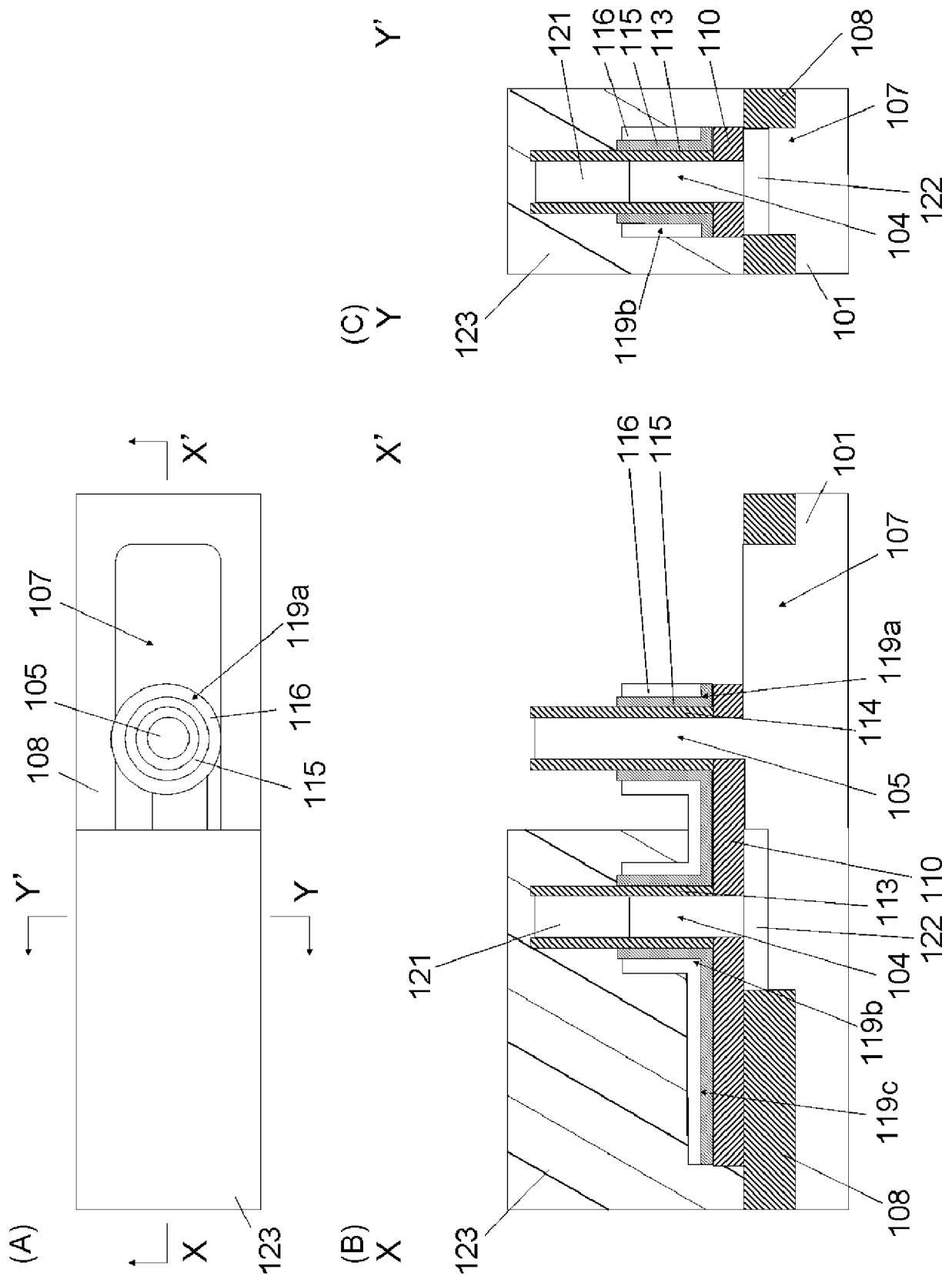
[図20]



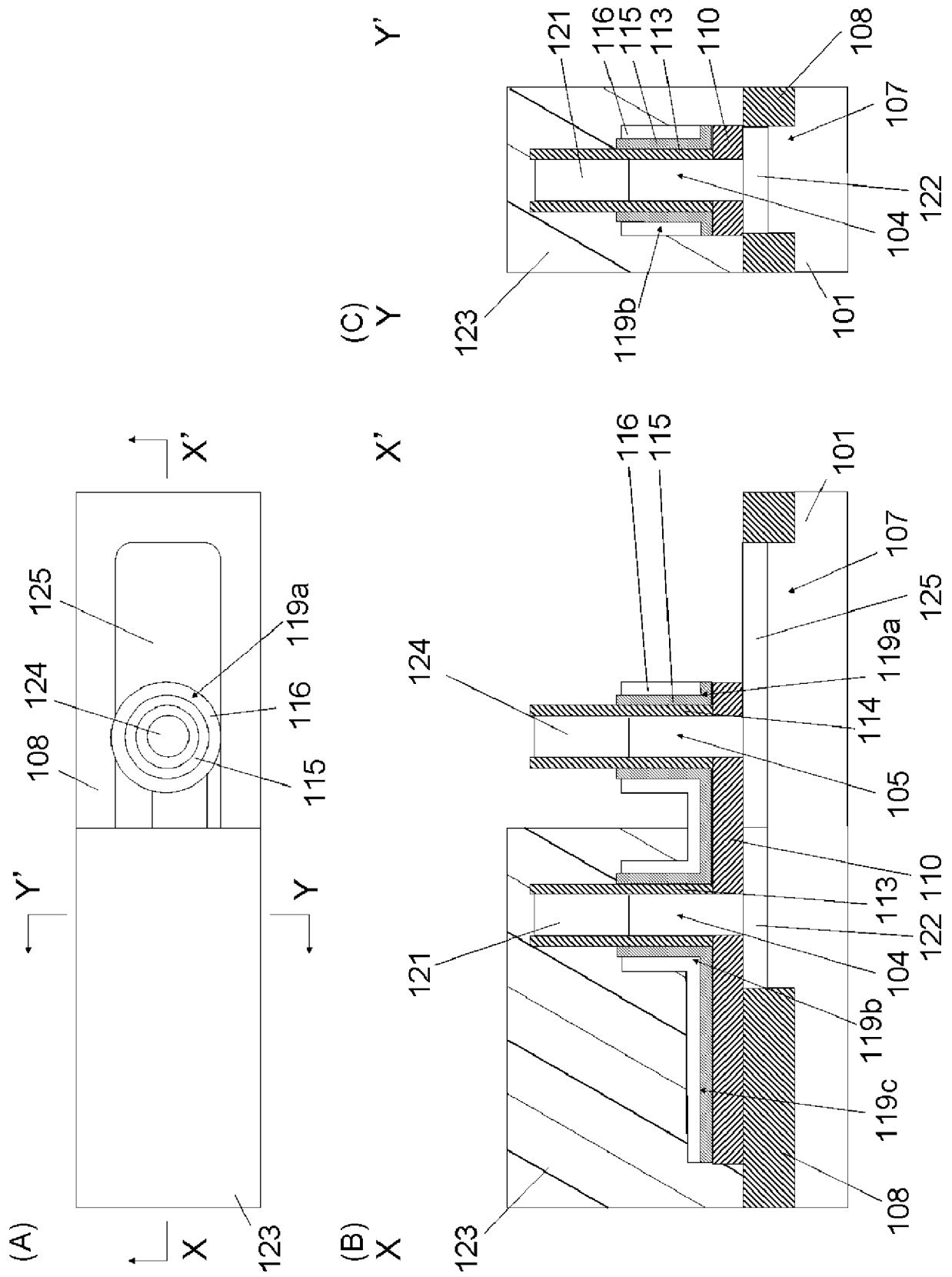
[図21]



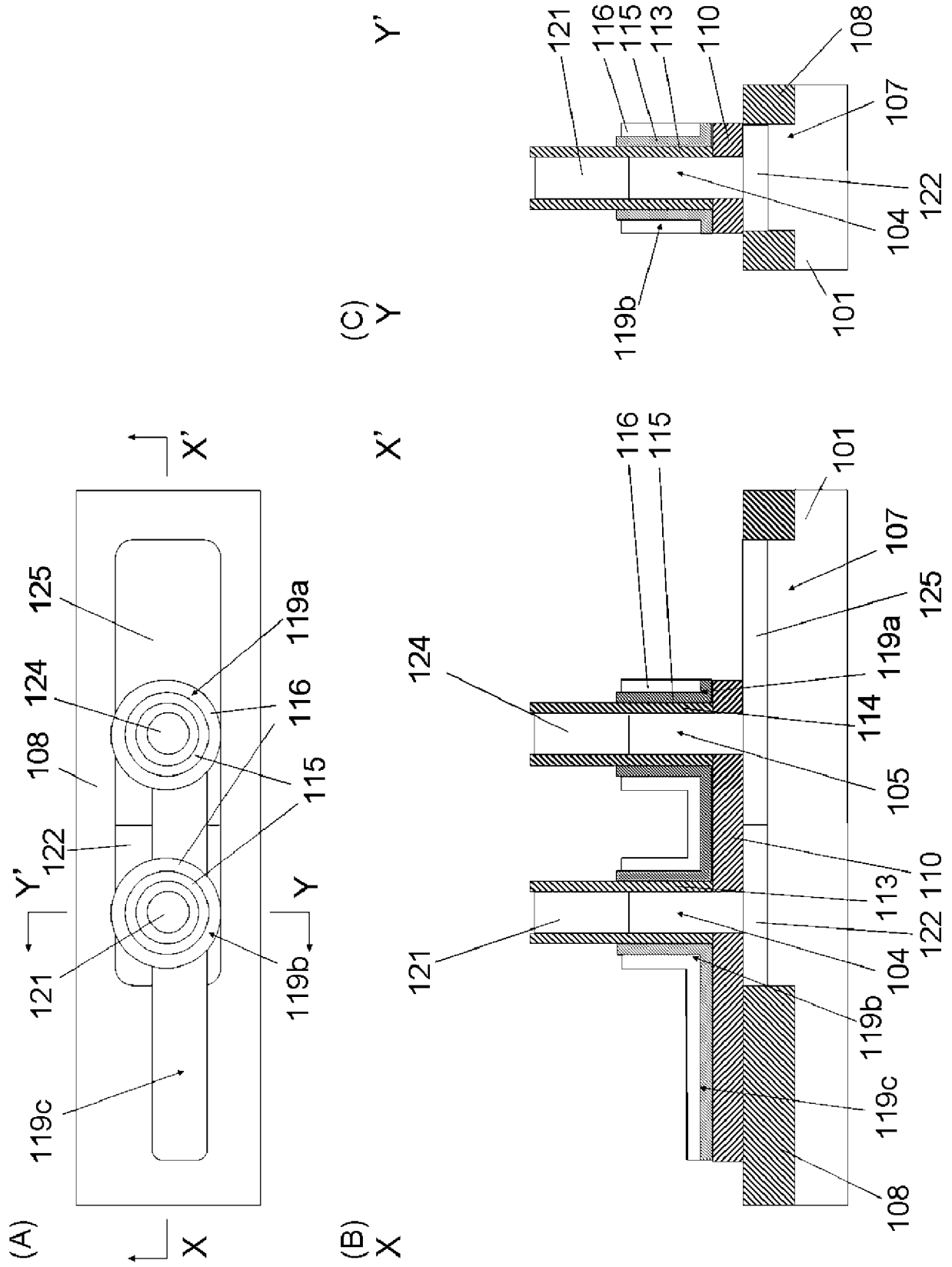
[図23]



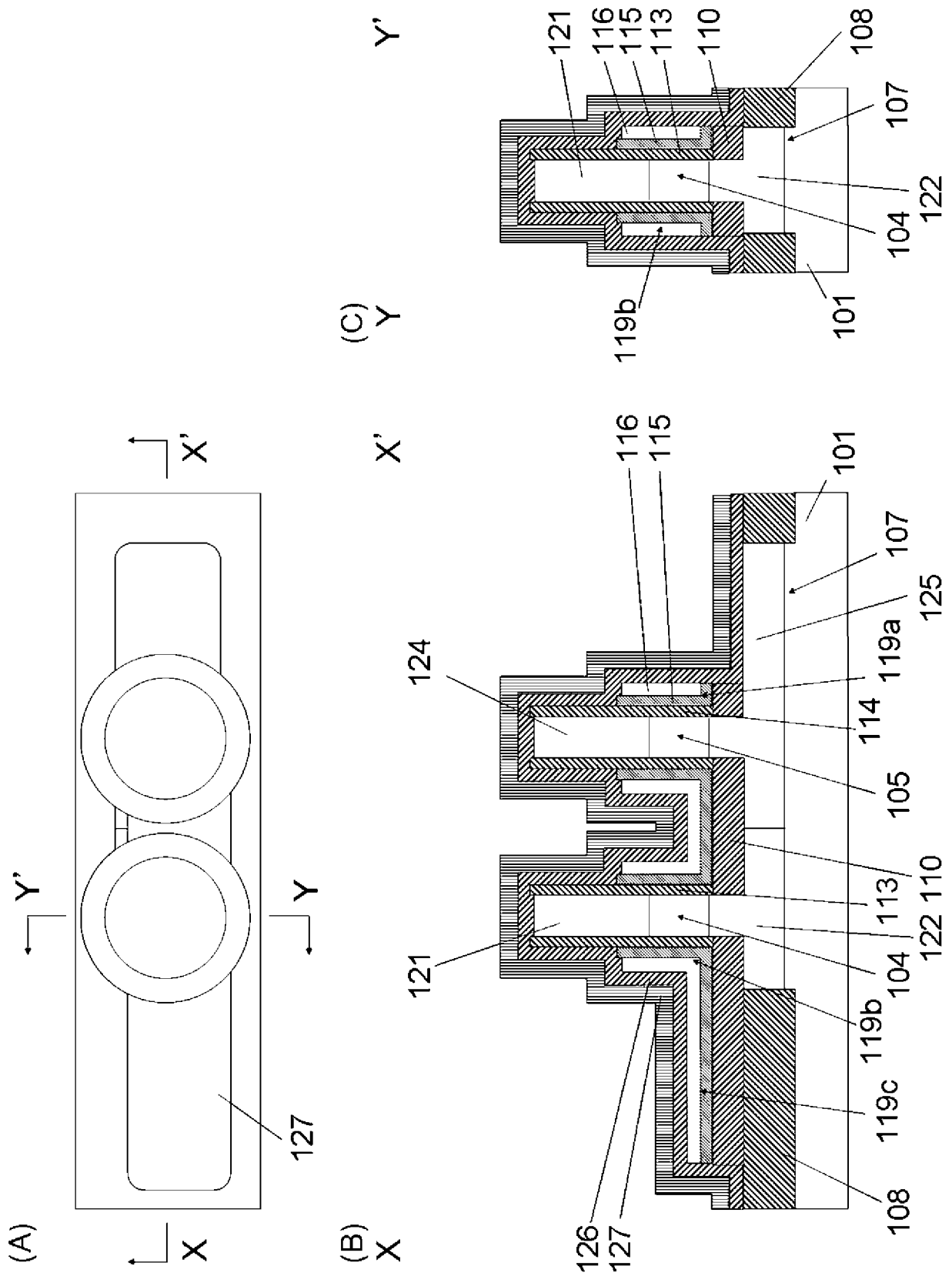
[図24]



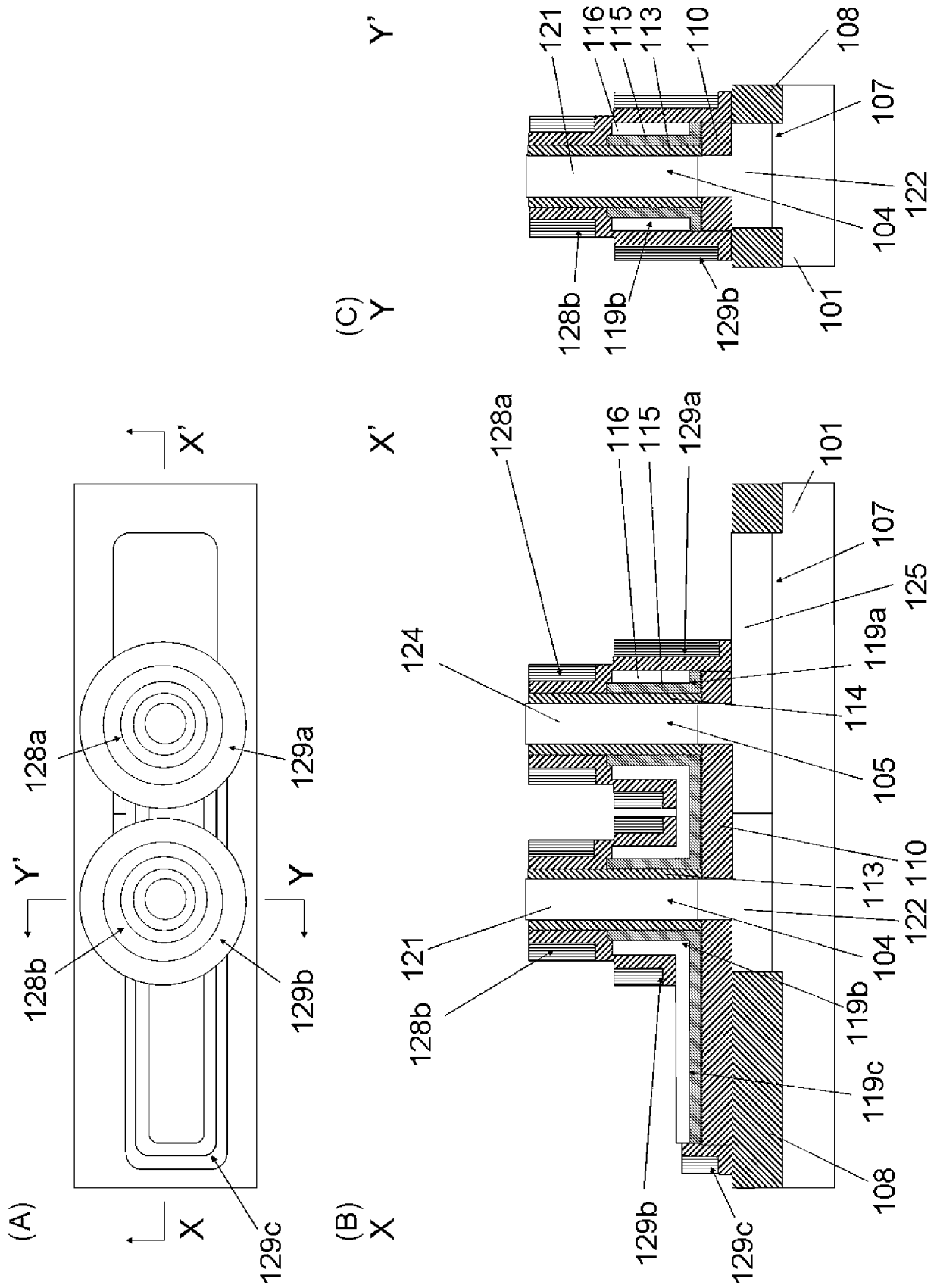
[図25]



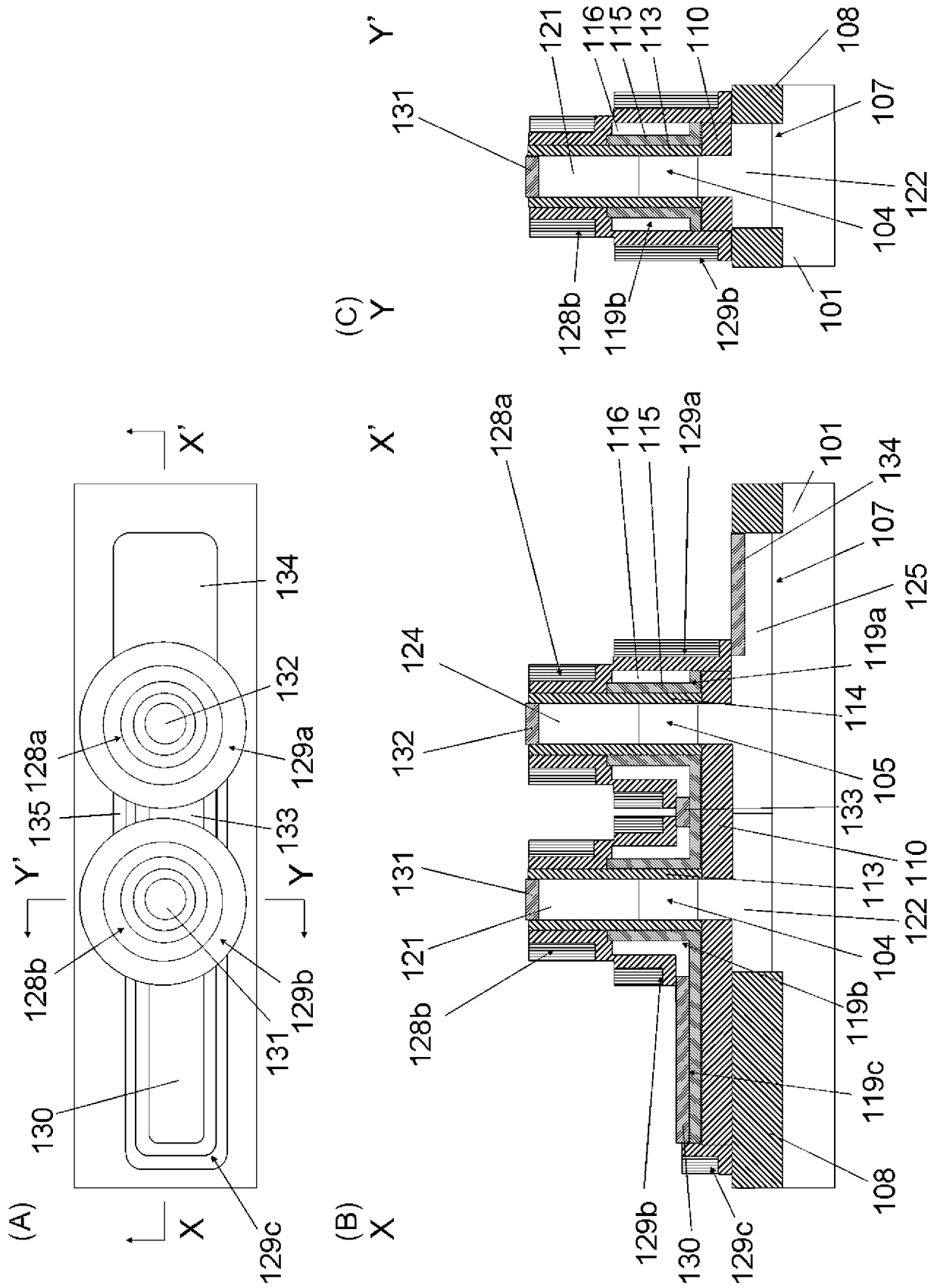
[図26]



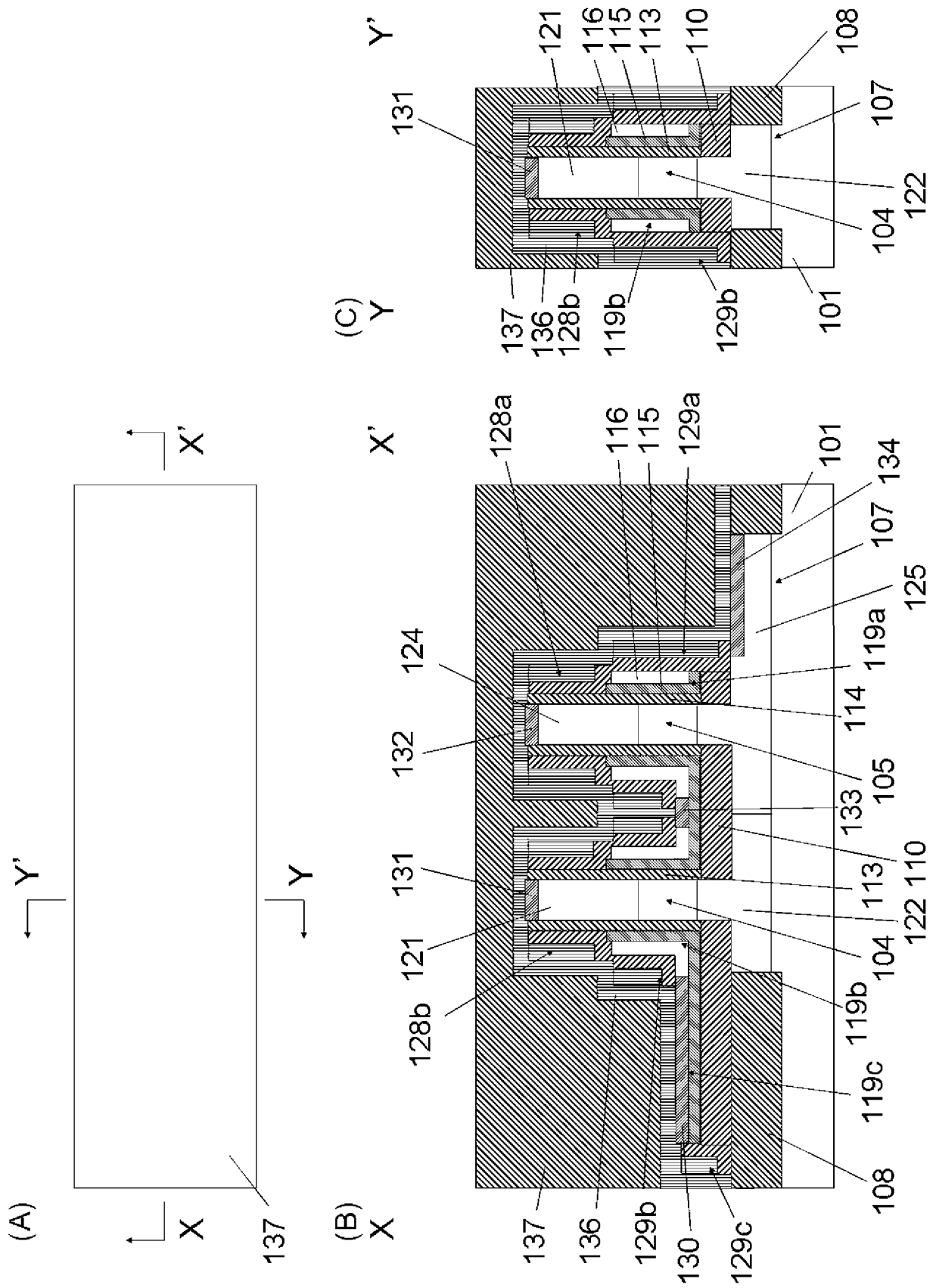
[図27]



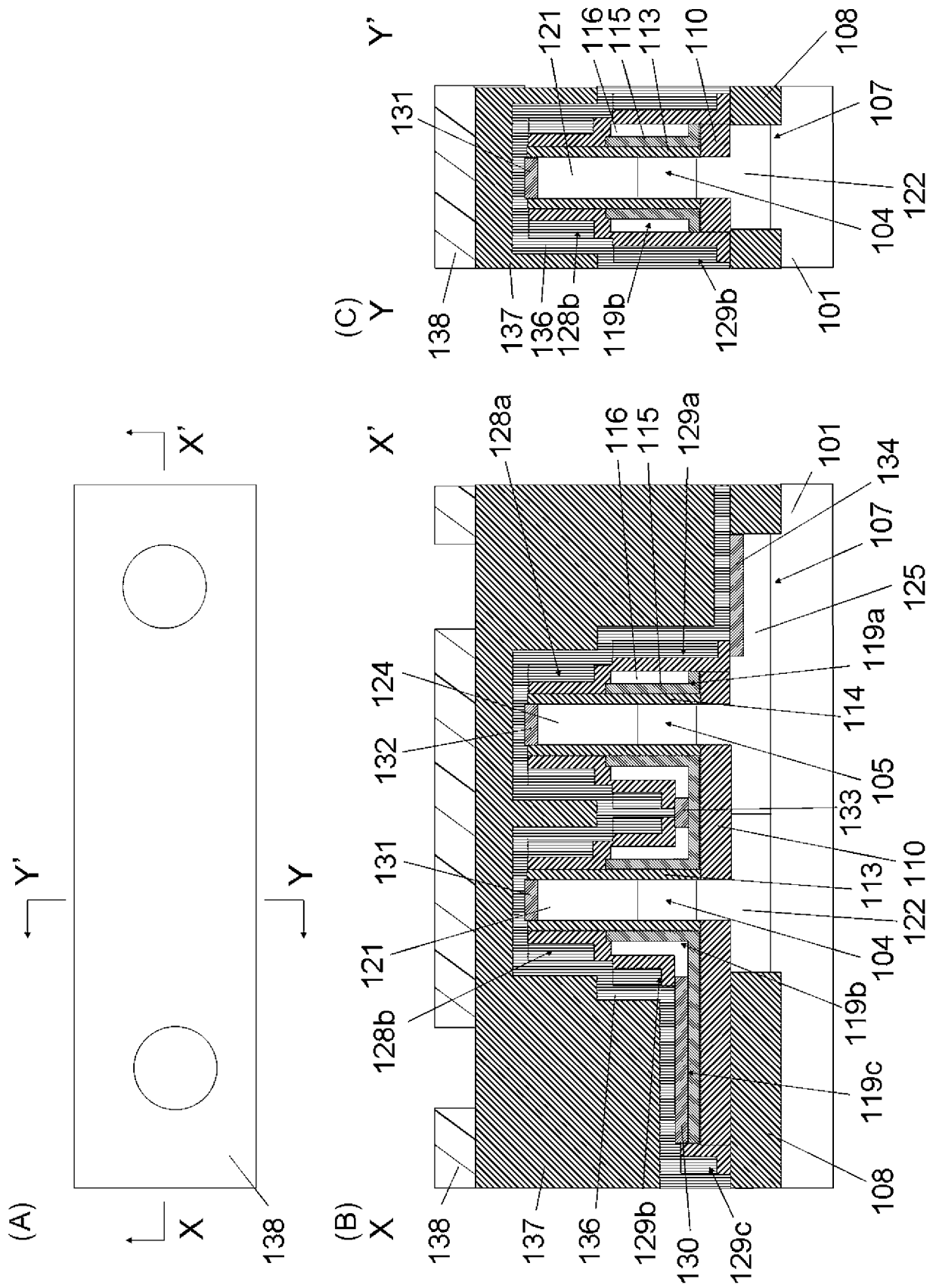
[図28]



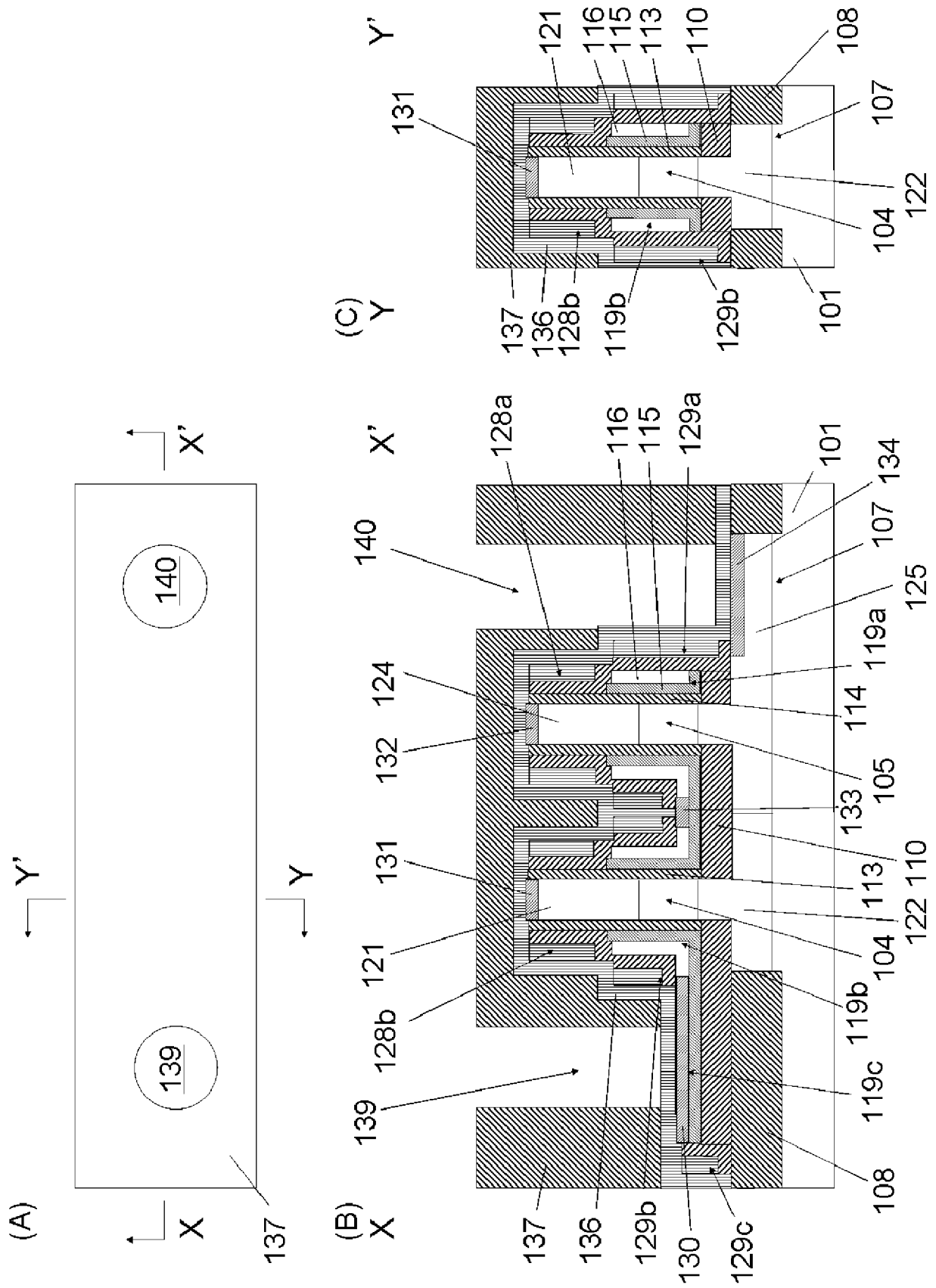
[図29]



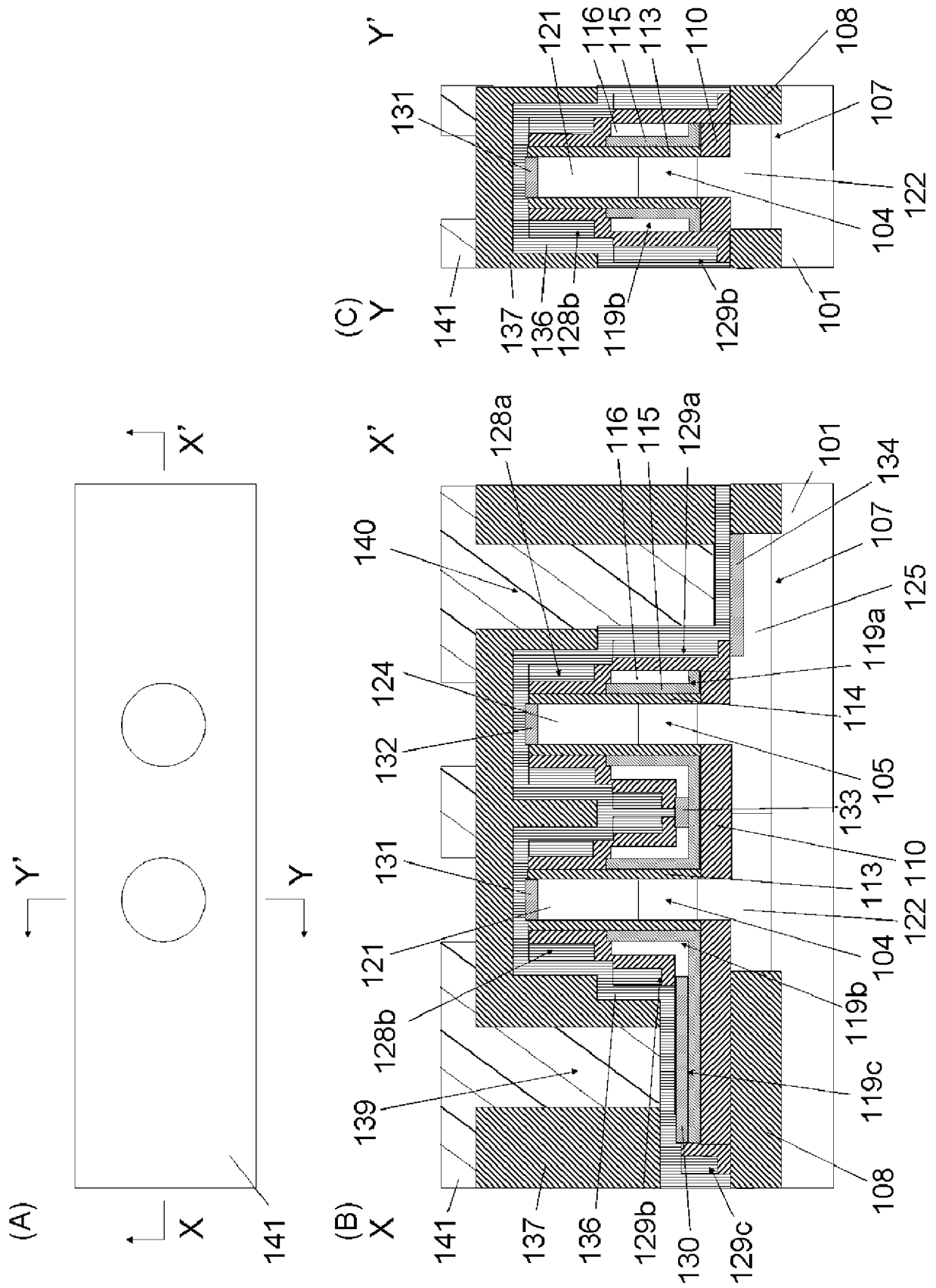
[図30]



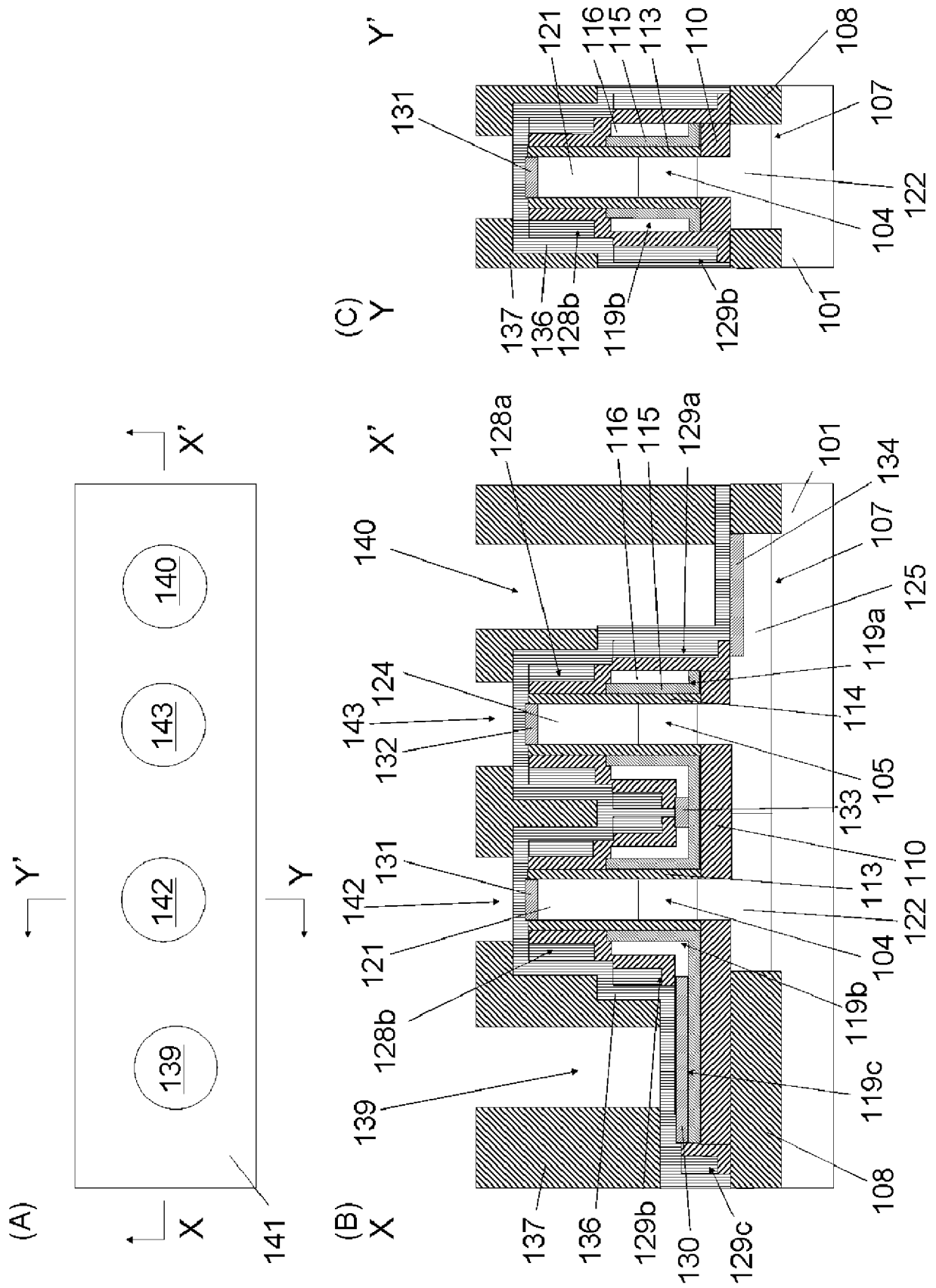
[図32]



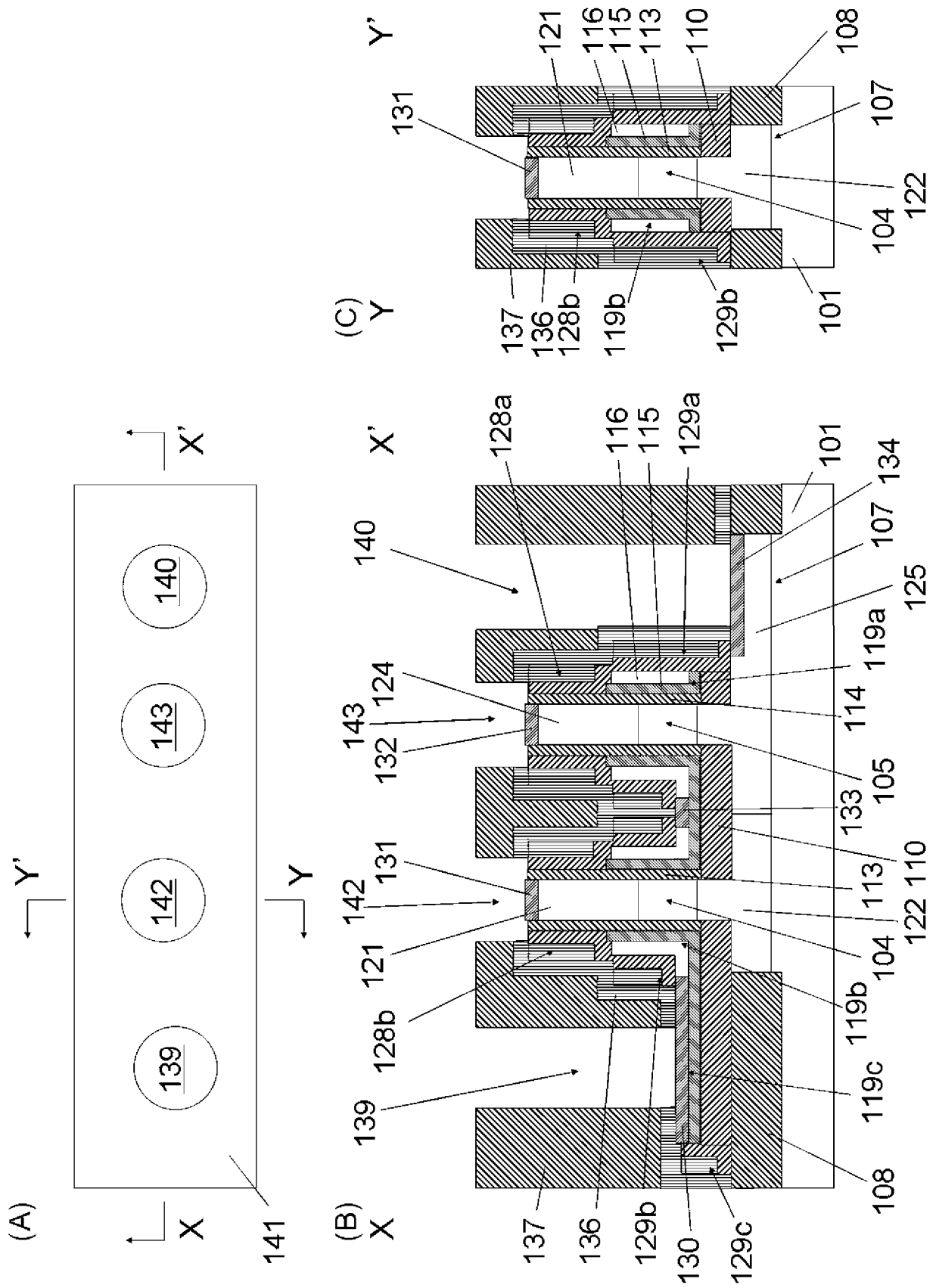
[図33]



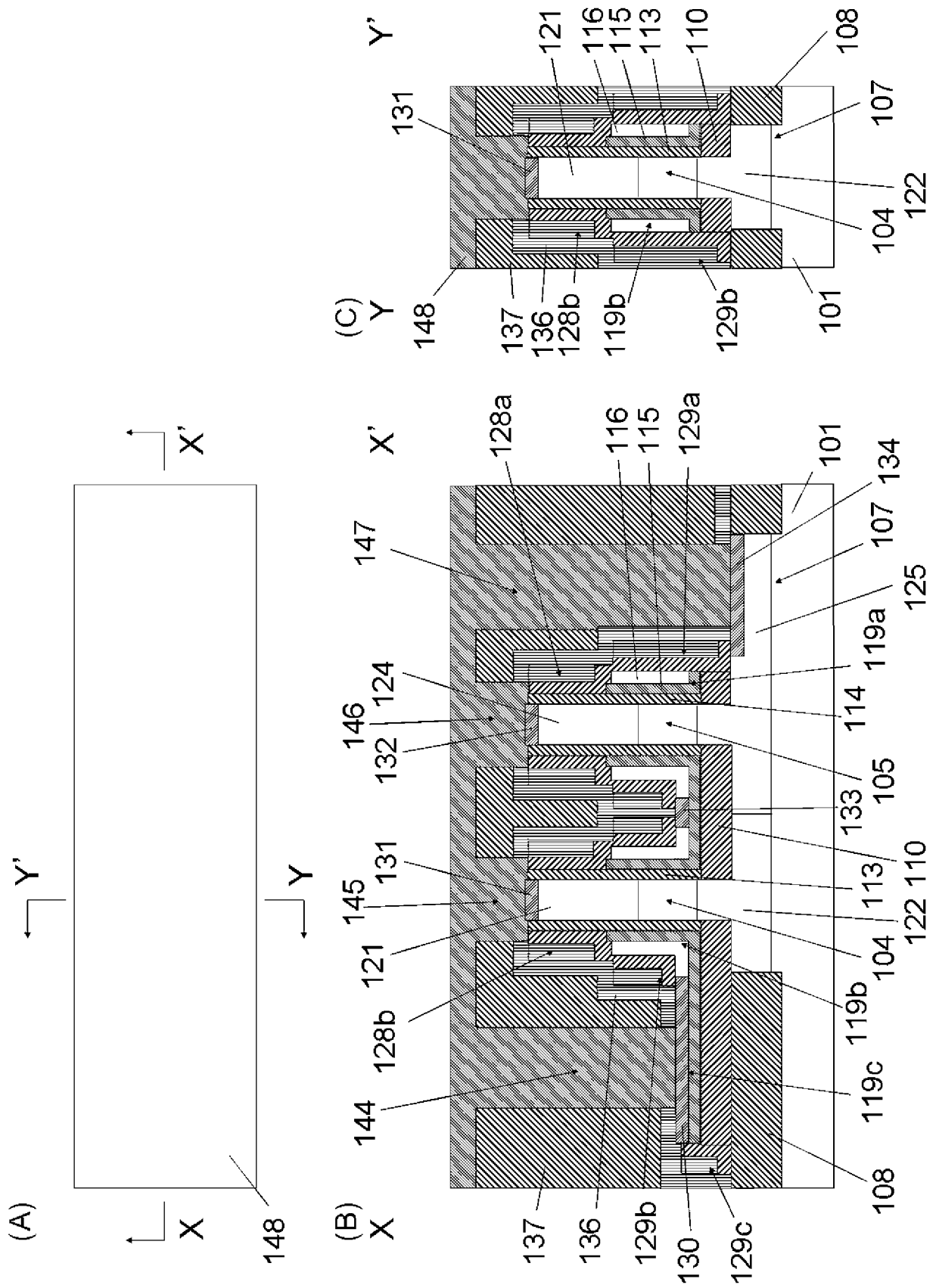
[図35]



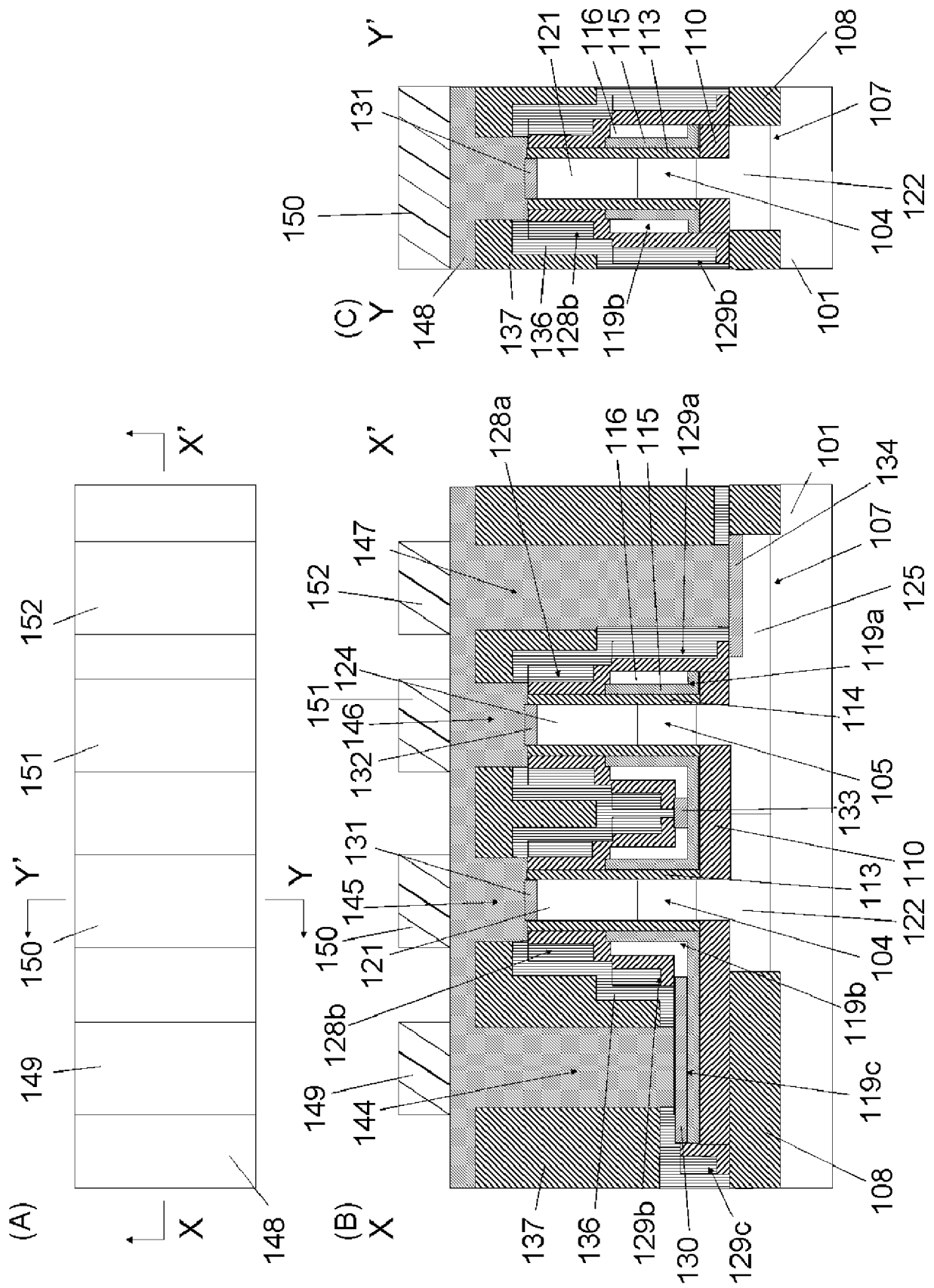
[図36]



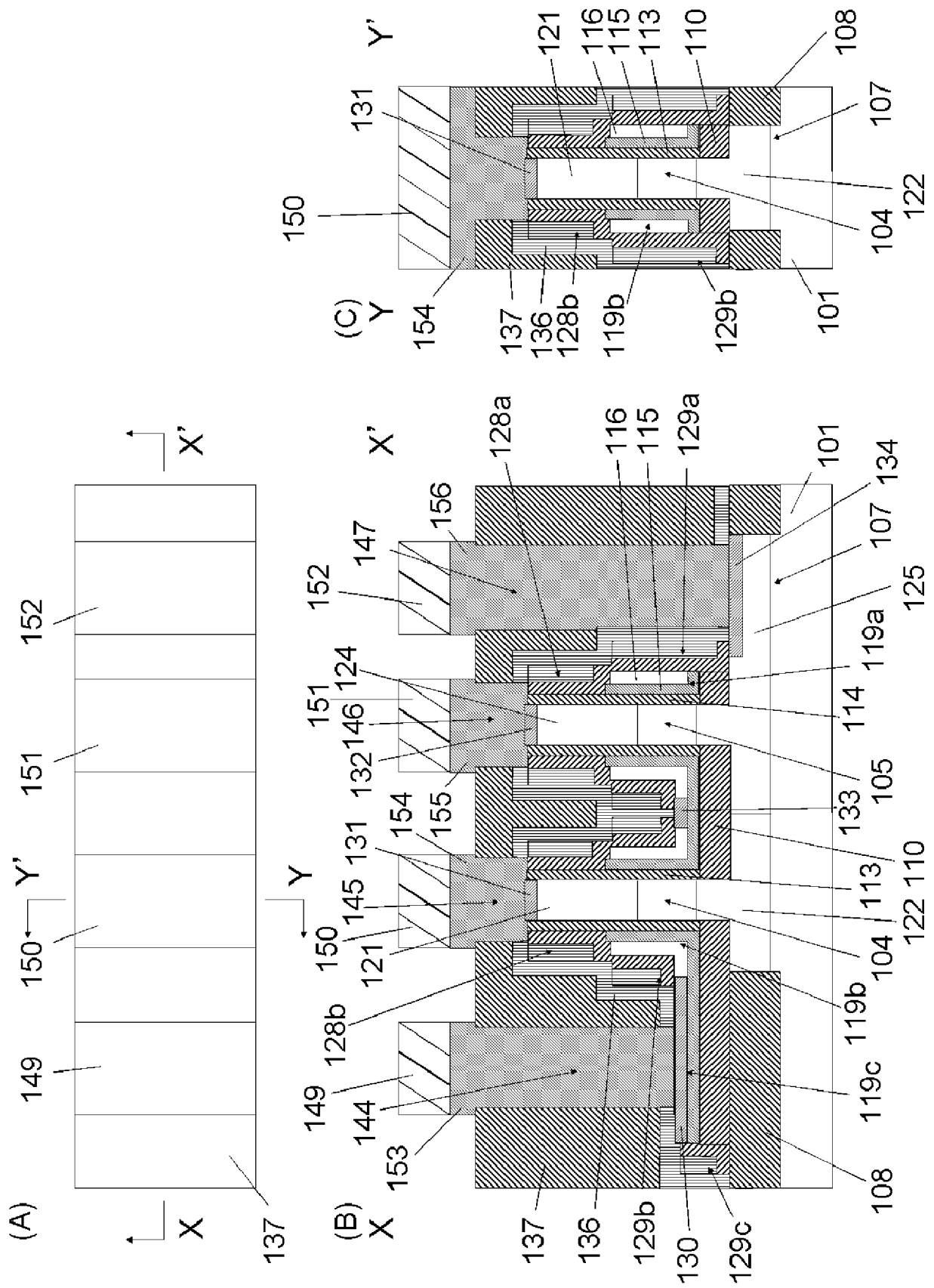
[図37]



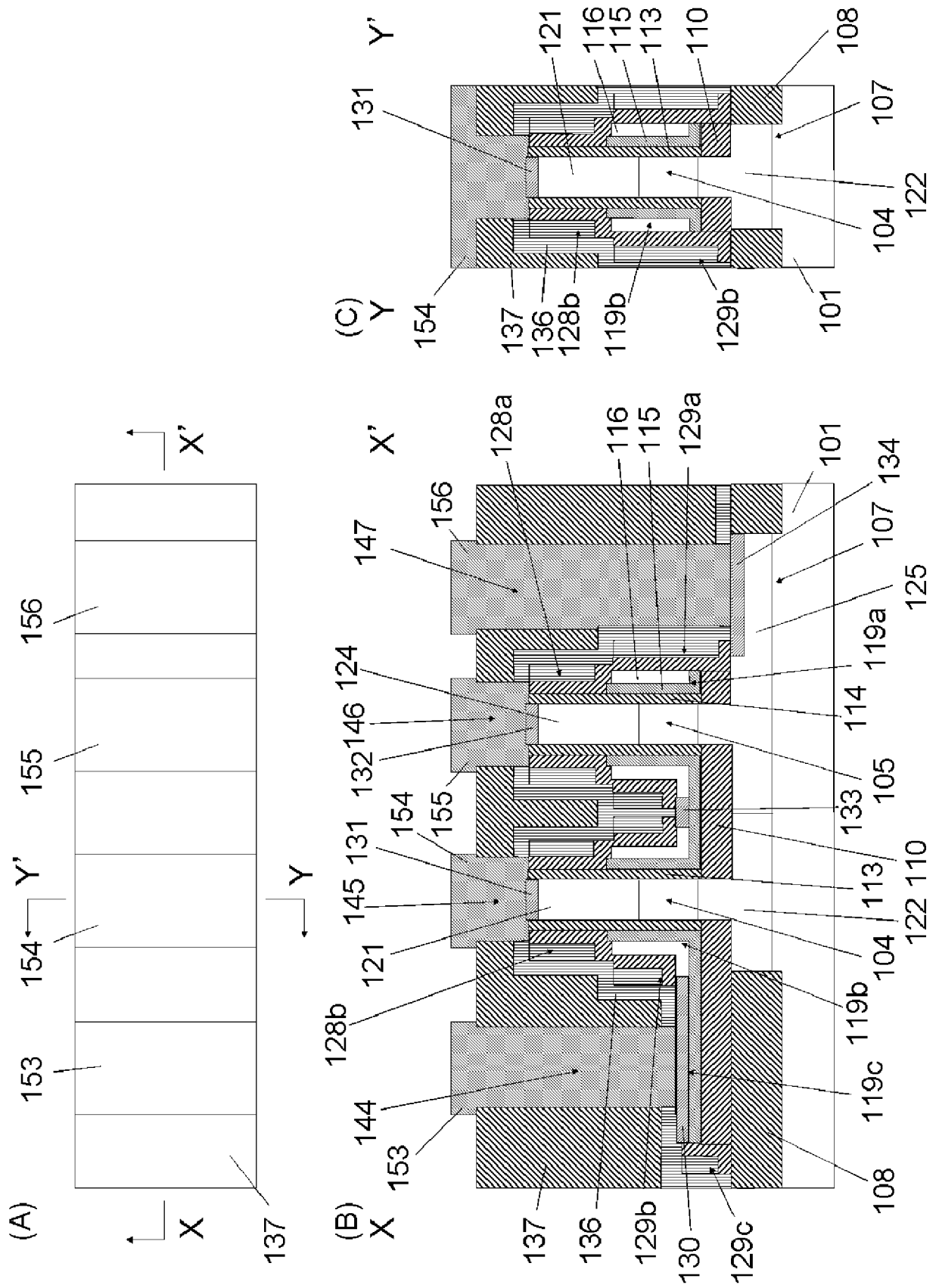
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061653

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L27/04(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i,
H01L29/49(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/28, H01L21/336, H01L27/04, H01L27/092, H01L29/423,
H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-004244 A (Unisantis Electronics Singapore Pte Ltd.), 05 January 2012 (05.01.2012), paragraphs [0044] to [0165]; fig. 1 to 88 & US 2011/0303973 A1 & CN 102290441 A	1-9
A	JP 2011-258780 A (Unisantis Electronics Japan Ltd.), 22 December 2011 (22.12.2011), paragraphs [0023] to [0114]; fig. 1 to 147 & US 2011/0303985 A1 & CN 102280479 A	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2013 (24.05.13)

Date of mailing of the international search report
04 June, 2013 (04.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061653

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-182317 A (Unisantis Electronics Japan Ltd.), 13 August 2009 (13.08.2009), paragraphs [0075] to [0149], [0199] to [0227], [0235] to [0268]; fig. 1 to 45, 70 to 90, 94 to 113 & JP 2009-182316 A & JP 2009-182318 A & JP 2009-188415 A & US 2010/0207201 A1 & US 2010/0213539 A1 & US 2012/0196415 A1 & US 2012/0270374 A1 & EP 2246895 A1 & EP 2383778 A2 & WO 2009/095997 A1 & WO 2009/096464 A1 & CN 101933149 A	1-9
A	JP 2010-272874 A (Unisantis Electronics Japan Ltd.), 02 December 2010 (02.12.2010), paragraphs [0018] to [0041]; fig. 1 to 16 (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8238, H01L21/28, H01L21/336, H01L27/04, H01L27/092, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-004244 A（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）2012.01.05, 段落 0044-0165, 第 1-88 図 & US 2011/0303973 A1 & CN 102290441 A	1-9
A	JP 2011-258780 A（日本ユニサンティスエレクトロニクス株式会社）2011.12.22, 段落 0023-0114, 第 1-147 図 & US 2011/0303985 A1 & CN 102280479 A	1-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 3

国際調査報告の発送日

0 4 . 0 6 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 2 9 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-182317 A (日本ユニサンティスエレクトロニクス株式会社) 2009. 08. 13, 段落 0075-0149, 0199-0227, 0235-0268, 第 1-45 図, 第 70-90 図, 第 94-113 図 & JP 2009-182316 A & JP 2009-182318 A & JP 2009-188415 A & US 2010/0207201 A1 & US 2010/0213539 A1 & US 2012/0196415 A1 & US 2012/0270374 A1 & EP 2246895 A1 & EP 2383778 A2 & WO 2009/095997 A1 & WO 2009/096464 A1 & CN 101933149 A	1-9
A	JP 2010-272874 A (日本ユニサンティスエレクトロニクス株式会社) 2010. 12. 02, 段落 0018-0041, 第 1-16 図 (ファミリーなし)	1-9