

WO 2007/049331 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

のオン状態において、第1容量素子及び前記第2容量素子は前記電源供給端子から供給される電源によって充電される。第1スイッチ及び第2スイッチがオフ状態に遷移したとき、電荷再配分によって前記第1容量素子から半導体デバイスに向かう電流が流れる。その電流により前記抵抗素子の両端に形成される電位差の大小によって欠陥による電流リークの有無を識別する。

明 細 書

接続装置、IDDQテスト方法及び半導体集積回路

技術分野

- [0001] 本発明はIDDQ（静的電源電流若しくは静的漏洩電流）テスト技術に係り、被測定デバイス（DUT: Device Under Test）を搭載してテストに接続する接続装置、IDDQテスト方法、及びIDDQテストの支援機能を備えた半導体集積回路に適用して有効な技術に関する。

背景技術

- [0002] IDDQテストは被測定デバイスの静的電源電流を計測するためのテストである。相補型MOS（CMOS）回路は入力が高レベル又はローレベルに固定されていれば貫通電流は流れないはずであるから、そのような入力固定時に相当の電流が流れればその回路に欠陥があるということになる。特許文献1にはIDDQテスト技術について記載がある。これによれば、テストの電源から被測定デバイスへの電源供給経路の途中に第1スイッチを配置し、これと同相でスイッチ制御される第2スイッチを介して電源供給経路の電圧を電源側でセンス可能とし、電源のより正確な制御を可能としている。第1スイッチから被測定デバイスへの電源供給経路には寄生キャパシタと共にIDDQテストによる測定を容易にするための補助キャパシタが接続される。前記第1及び第2のスイッチをオン状態にして被測定デバイスに電力を与え、この電力によって前記補助キャパシタや寄生キャパシタの充電も行われる。IDDQテストによる測定を行うときは前記第1及び第2のスイッチをオフ状態とし、これにより、前記補助キャパシタや寄生キャパシタの充電電荷の移動によって被測定デバイス側の電源供給経路の電圧が減衰する。テスト側では、その減衰をサンプリングし、所定の電圧閾値よりも下に下降するまでの時間を演算し、それを用いることによって、被測定デバイスの単なる合格／不合格判定よりも詳細な情報を得られるようにするものである。この文献に記載の技術において第1スイッチをオフにするのは電源供給経路の電圧が減衰させるためである。

- [0003] 特許文献1:特開平10-142288号公報

発明の開示

発明が解決しようとする課題

[0004] 本発明者は、IDDQテストの高速化について検討した。特許文献1の記載に代表されるように、被測定デバイス側の電源供給経路において所定時間に対する電圧減衰量を測定する手法では、その測定に、当該電源供給経路の時定数に依存する比較的長い動作時間を待たなければならない。前記電源供給経路に電源安定化容量や寄生容量が多く存在し、配線抵抗も比較的大きいからである。量産時におけるテストコストを考慮すればIDDQテストに費やすことができる時間には限界がある。このため、単なる合格／不合格の判定だけでなく、故障箇所の検出や解析などにもIDDQテストを用いようとする、多くのファンクションパターンに対応してIDDQテストを高速に実施することが不可欠になる。例えばメガヘルツオーダーの周波数で動作するプロセッサに対してキロヘルツオーダーの周波数に同期したIDDQテストを行っていたのでは、IDDQテストを用いた高機能な検証を行うことは難しい。IDDQテストの高速化は、量産製品の品質向上、テストコストの削減、更には欠陥分析技術の向上等の全ての点において、不可欠になるものであると考えられる。

[0005] 更に、IDDQテストにおいて被測定デバイスの外側に流れる電流を計測する手法では、被測定デバイス側の電源供給経路に配置される電源安定化キャパシタの容量値が比較的大きいので、少なくともそのように大きなキャパシタの電荷移動を伴って生ずる状態変化を検出対象とする場合に、IDDQテストの高速化は、それによる制限を免れることは難しい。IDDQテストの更なる高速化を図る上ではその点についても考慮すべきことが本発明者によって見出された。

[0006] また半導体集積回路の微細化と動作電圧の低下が進んでいることにより、CMOS回路に流れるサブスレシールド電流が大きくなっているという現状もある。このようなサブスレシールド電流とIDDQテストにより検出すべき静的漏洩電流との弁別が困難になっていることも本発明者により見出された。

[0007] 本発明の目的はIDDQテストの高速化を実現することにある。

[0008] 更に本発明の目的は、半導体集積回路に流れる電流量を測定することにより、回路に不良を有するものと正常なものの弁別を容易にすることにある。

[0009] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0011] [1]《接続装置》

本発明に係る接続装置(1)は、搭載した半導体デバイス(2)をテスト(3)に接続するものである。接続装置は、前記テストから供給される電源(Vddq)を受ける電源供給端子(4)と、前記電源供給端子に接続する電源配線(10)と、前記電源配線に接続する半導体デバイス(2)と、前記電源配線の途中に配置されたテスト用回路(11)とを有する。前記テスト用回路は、前記電源供給端子と前記半導体デバイスとを接続する経路に直列に挿入された第1スイッチ(13)及び第2スイッチ(14)と、前記第1スイッチと前記第2スイッチとの間に接続された第1容量素子(15)と、前記第2スイッチと前記半導体デバイスとを結合する経路に接続された第2容量素子(16)と、前記第2スイッチに並列接続された抵抗素子(18)と、前記抵抗素子の両端の電位差を増幅するアンプ(17)とを有する。前記第1スイッチ及び第2スイッチのオン状態において、前記第1容量素子及び前記第2容量素子は前記電源供給端子から供給される電源によって充電され、前記第1スイッチ及び第2スイッチがオン状態からオフ状態に遷移したとき、電荷再配分によって前記経路に前記第1容量素子から前記半導体デバイスに向かう電流を流す。

[0012] 半導体デバイスの回路状態を遷移させる動作状態において前記第1スイッチ及び第2スイッチをオン状態とし、これによって前記第1容量素子及び前記第2容量素子も充電される。遷移された回路状態を保持する保持状態では前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移する。これにより、第1容量素子と第2容量素子との間の電荷再配分によって前記第1容量素子から前記半導体デバイスに向かう電流が流れる。要するに、充電時には電源供給端子に直列に接続された第1容量素子と第2容量素子には各々の容量値に比例した電荷が充電される。直列された第1容量素子と第2容量素子が電源供給端子から切り離されると、双方の容量素子の直

列された容量電極間において容量値の大きい方から小さい方に向けて電荷が移動する。このときの電流に応じて前記抵抗素子の両端に電位差が形成される。抵抗素子に流れる電流値は半導体デバイスに流れ込む電流に影響を受ける。容量素子の直列された容量電極間には半導体デバイスの電源端子が接続されているから、当然そのときの電荷再配分には半導体デバイスの電源系寄生容量も寄与するのは当然であるが、欠陥による電流リークの影響も受けることになる。したがって、欠陥による電流リークの有無を、前記抵抗素子の両端の電位差によって識別可能になる。前記抵抗素子に電流が流れさえすればその両端に電位差が形成される。電流値の大小が直接抵抗素子の電位差に反映される。電流経路の電圧が減衰するのを検出するときのように電流経路の時定数に応じた時間の経過を待つことを要しない。このように、前記第1スイッチ及び第2スイッチをオフ状態にしてからアンプの出力が確定するタイミングは早いから、テストは半導体デバイスにおける回路状態の遷移と保持との繰り返しの動作周期を短くすることが可能になり、結果として、IDDQテストを高速に行うことが可能になる。IDDQテストの高速化により、単位時間当たりに処理できるIDDQテストによるサンプリング回数を増やすことができるので、高度な不良解析も容易になり、量産製品の品質向上、テストコストの削減、更には欠陥分析技術の向上等の全ての点において、優れた効果を発揮する。

[0013] [2] 本発明の別の観点によると、半導体デバイス(2)をテスト(3)に接続するための接続装置(1)は、前記テストから供給される電源を受ける電源供給端子(4)と、前記電源供給端子に接続する電源配線(10)と、前記電源配線に接続する半導体デバイス(2)と、前記電源配線の途中に配置されたテスト用回路(11)とを有する。前記テスト用回路は、前記電源供給端子と前記半導体デバイスとを接続する経路に直列に挿入された第1スイッチ(13)及び第2スイッチ(14)と、前記第1スイッチと前記第2スイッチとの間に接続された第1容量素子(15)と、前記第2スイッチと前記半導体デバイスとを結合する経路に接続された第2容量素子(16)と、前記第2スイッチに並列接続された抵抗素子(18)と、前記抵抗素子の両端の電位差を増幅するアンプ(17)とを有する。そして、前記第1容量素子は前記第2容量素子よりも大きな容量値を有する。

[0014] これによれば、半導体デバイスの回路状態を遷移させる動作状態において、テスト

により前記第1スイッチ及び第2スイッチをオン状態とすれば、前記第1容量素子及び前記第2容量素子も充電される。遷移された回路状態を保持する保持状態では、テストにより前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移する。そうすると、前記第1容量素子は前記第2容量素子よりも大きな容量値を有するから、第1容量素子と第2容量素子との間の電荷再配分によって前記第1容量素子から前記半導体デバイスに向かう電流が流れる。従って上記同様に、IDDQテストの高速化を実現することができる。

[0015] 本発明の具体的な一つの形態として、前記第2容量素子は電源の安定化容量であり、例えば前記第1容量素子は前記第2容量素子に対して10倍以上の容量値を有する。

[0016] テスタによるIDDQテストのための直接的な制御の観点からすれば、前記第1スイッチ及び第2スイッチのスイッチ制御信号を入力する外部制御端子(5, 6)を有し、また、前記アンプの出力に接続する外部出力端子を有するのがよい。

[0017] [3]《IDDQテスト方法》

本発明に係るIDDQテスト方法は、第1処理乃至第3処理を含む。第1処理は、電源供給端子(4)から順次直列に接続された第1スイッチ(13)及び第2スイッチ(14)を通して半導体デバイス(2)に電源を供給するとき、前記第1スイッチと前記第2スイッチとの間に接続された第1容量素子(15)と、前記第2スイッチと前記半導体デバイスとを結合する経路に接続された電源安定化のための第2容量素子(16)とを充電する処理である。第2処理は、前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移させ、電荷再配分により前記第1容量素子から、前記第2スイッチに並列接続された抵抗素子(18)を介して前記半導体デバイスに向かう電流を流す処理である。第3処理は、前記電流が流れるとき前記抵抗素子の両端の電位差をアンプ(17)で増幅して出力する処理である。

[0018] これによれば、半導体デバイスの回路状態を遷移させるとき、第1処理により前記第1スイッチ及び第2スイッチをオン状態とすれば、前記第1容量素子及び前記第2容量素子も充電される。遷移された回路状態を保持するときは、第2処理により前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移する。そうすると、第1容量

素子と第2容量素子との間の電荷再配分によって前記第1容量素子から前記半導体デバイスに向かう電流が流れる。このとき第3処理により、前記電流が流れるとき前記抵抗素子の両端の電位差をアンプで増幅して出力する。テストは半導体デバイスの回路状態の遷移と保持を繰り返す毎にアンプの出力をサンプリングする。前述のように、前記第1スイッチ及び第2スイッチをオフ状態にしてからアンプの出力が確定するタイミングは早いから、テストは半導体デバイスにおける回路状態の遷移と保持との繰り返しの動作周期を短くすることが可能になり、結果として、IDDQテストを高速に行うことが可能になる。IDDQテストの高速化により、単位時間当たりに処理できるIDDQテストによるサンプリング回数を増やすことができるので、高度な不良解析も容易になり、量産製品の品質向上、テストコストの削減、更には欠陥分析技術の向上等の全ての点において、優れた効果を発揮する。

[0019] 更には、複数の半導体デバイスに対して本発明に係るIDDQテストを実施し、アンプ(17)の出力の統計を取ることにより、アンプ(17)の出力について多数グループに属する半導体デバイスと少数グループに属する半導体デバイスの弁別をすることができる。回路の微細化と動作電圧低下により生じているサブスレシヨルド電流は多数グループ/少数グループのいずれの半導体デバイスでも同程度に生じていると考えられることから、サブスレシヨルド電流の多少による影響を排除し、IDDQテストによる不良検出を容易にすることができる。

[0020] 本発明の具体的な一つの形態として、前記半導体デバイスの動作基準クロック信号(CLK)の周期毎に前記第1処理乃至第3処理を繰り返し、周期毎に前記アンプの出力を蓄積する。

[0021] 本発明の更に具体的な一つの形態として、前記半導体デバイスはクロック信号(CLK)に同期動作され、少なくとも前記クロック信号の遷移期間を含み前記クロック信号の半周期よりも短い期間に前記第1処理を行なう。例えば半導体デバイスはCMOS集積回路である。

[0022] [4]《半導体集積回路》

本発明に係る半導体集積回路(21)は、テスト用電源(V_{ddq})が印加される被測定用端子(31)と、前記被測定用端子に接続するIDDQテスト回路(30)と、前記IDDQ

テスト回路に接続する内部回路(22)とを有する。前記IDDQテスト回路は、前記被測定用端子と内部回路を接続する経路に直列に挿入された第1スイッチ(35)及び第2スイッチ(36)と、前記第1スイッチと前記第2スイッチとの間に接続された容量素子(37)と、前記第2スイッチに並列接続された抵抗素子(38)と、前記抵抗素子の両端の電位差を増幅するアンプ(39)とを有する。前記容量素子は前記内部回路の電源供給経路に寄生する寄生容量(28)よりも大きな容量値を有する。

[0023] これによれば、内部回路の状態を遷移させるとき、前記第1スイッチ及び第2スイッチをオン状態とすれば、前記容量素子及び内部回路の寄生容量も充電される。遷移された回路状態を保持するときは、前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移する。そうすると、容量素子と内部回路の寄生容量素子との間の電荷再配分によって前記容量素子から前記内部回路に向かう電流が流れる。このときの電流に応じて前記抵抗素子の両端に電位差が形成される。内部回路の欠陥による電流リークがあれば、当該電流はその電流リークの影響を受けて大きくなる。したがって、欠陥による電流リークの有無を、前記抵抗素子の両端の電位差によって識別可能になる。前記抵抗素子に電流が流れさえすればその両端に電位差が形成される。電流値の大小が直接抵抗素子の電位差に反映される。電流経路の電圧が減衰するのを検出するときのように電流経路の時定数に応じた時間の経過を待つことを要しない。特に、IDDQテスト回路で用いる前記容量素子はオンチップの容量素子であり、回路基板上の外付け容量素子に比べて格段に小さい。前記容量素子は前記接続装置における第1容量素子に相当し、前記回路の電源系寄生容量は第2容量素子に相当する。第2容量素子は半導体デバイスの電源安定化容量であり、そもそもある程度の大きさが必要であり、第1容量はそれよりも更に大きな容量になる。本発明の場合、前記容量素子及び寄生容量は相当小さいから、その充放電に際して外付けの電源安定化容量の充電状態も安定し、前記第1スイッチ及び第2スイッチをオン状態にしたとき前記容量素子及び寄生容量の充電動作、前記第1スイッチ及び第2スイッチをオフ状態にしたときの電荷再配分動作も極めて高速化することが可能になる。

[0024] このように、本発明に係る半導体集積回路によれば、外付けの電源安定化キャパシタのように容量値が比較的大きなキャパシタの電荷移動を伴って生ずる状態変化を

検出対象とすることを要しないので、其れによる制限からも逃れることができ、IDDQテストの更なる高速化に資することができる。高度な不良解析も更に容易化し、集積度の増大と動作速度の高速化が著しい半導体集積回路に対し、量産製品の品質向上、テストコストの削減、欠陥分析技術の向上等の全ての点において、更なる改善が可能になる。

[0025] 本発明の具体的な一つの形態として、前記第1スイッチ及び第2スイッチのオン状態において、前記容量素子及び寄生容量は前記被測定用端子から供給される電源によって充電可能にされる。前記第1スイッチ及び第2スイッチがオン状態からオフ状態に遷移したとき、電荷再配分によって前記容量素子から前記内部回路に向かう電流を流す。

[0026] 本発明の更に具体的な一つの形態として、前記内部回路はクロック信号に同期動作される。前記第1スイッチ及び第2スイッチのオン状態は、少なくとも前記クロック信号(CLK)の遷移期間を含み且つクロック信号の半周期よりも短い期間とされる。

[0027] 本発明の更に別の具体的な一つの形態として、IDDQテスト回路のスイッチ制御をテストに委ねる場合は、前記第1スイッチ及び前記第2スイッチのスイッチ制御信号を入力する第1外部制御端子(32)を有する。このとき、前記第1外部制御端子に入力端子が接続され、出力端子が前記第1スイッチ及び第2スイッチのスイッチ制御端子に接続された入力バッファ(40)を設け、前記第1外部制御端子を前記第1スイッチ及び第2スイッチをオフ状態とするように回路の接地端子又は電源端子に高抵抗接続しておけばよい。これにより、前記第1外部制御端子にはパッケージの端子を割り当てる必要はない。

[0028] また、前記アンプの活性化制御信号を入力する第2外部制御端子(41)を有する。このとき、前記第2外部制御端子に入力端子が接続され、出力端子が前記アンプの活性化制御端子に接続された入力バッファ(42)を設け、前記第2外部制御端子を前記第1スイッチ及び第2スイッチをオフ状態とするように回路の接地端子又は電源端子に高抵抗接続しておけばよい。これにより、前記第2外部制御端子にはパッケージの端子を割り当てる必要はない。

[0029] 本発明の更に別の具体的な一つの形態として、前記第1スイッチ及び抵抗素子と

並列形態で前記被測定用端子と内部回路とを接続する電源スイッチ55を更に有する。前記被測定用端子はIDDQテストの電源電圧(V_{ddq})の供給と実動作における電源電圧の供給とに兼用される。

[0030] 本発明の更に別の具体的な一つの形態として、半導体集積回路(21B)は、前記内部回路(22(1)～22(n))を複数個有し、IDDQテスト回路(30B、30C)を対応する内部回路に接続する複数のテストスイッチ(58)と、前記テストスイッチと並列形態で前記被測定用端子を対応する内部回路に接続する複数の電源スイッチ(59)とを更に有する。前述の手法によるIDDQテストを内部回路単位で行うことが可能になる。

[0031] 本発明の更に具体的な一つの形態として、半導体集積回路(21B)は、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路(61)を有する。前記制御回路は、例えば第1動作モードの指定と第2動作モードの指定が可能にされる。前記第1動作モードが指定された制御回路は、前記複数のテストスイッチをオフ状態とし、前記複数の電源スイッチの一部又は全てをオン状態に制御する。前記第2動作モードが指定された制御回路は、前記複数の電源スイッチをオフ状態とし、前記複数のテストスイッチの一部又は全てをオン状態に制御する。

[0032] [5]《内部回路単位のIDDQテスト》

本発明の別の観点による半導体集積回路(21B、21C)は内部回路単位のIDDQテストを可能とするものである。即ち、半導体集積回路は、複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチ(59)と、前記複数の電源スイッチに共通接続される外部電源端子(25A)と、前記外部電源端子に接続されたIDDQテスト回路(30B、30C)と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチ(58)と、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路(61)とを有する。前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ(35)及び第2スイッチ(36)と、前記第1スイッチと前記第2スイッチとの間に接続された容量素子(37)と、前記第2スイッチに並列接続された抵抗素子(38)と、前記抵抗素子の両端の電位差を増幅するアンプ(39)とを有する。前記容量素子は前記複数の内部回路の電源ラインにおける寄生容量(28)よりも大きな容量値を有する。外部電源端

子に接続する内部回路をテストスイッチにより選択することによって内部回路単位のIDDQテストが可能になる。テスト対象を絞ることによって更に詳細な欠陥分析も可能になる。この半導体集積回路も前述した通り、IDDQテストの高速化に資することができる。

[0033] 本発明の一つの具体的な形態として、前記制御回路は、第1動作モードの指定と第2動作モードの指定が可能にされる。前記第1動作モードが指定された制御回路は、前記複数のテストスイッチをオフ状態とし、前記複数の電源スイッチの一部又は全てをオン状態に制御する。前記第2動作モードが指定された制御回路は、前記複数の電源スイッチをオフ状態とし、前記複数のテストスイッチの一部又は全てをオン状態に制御する。前記第2動作モードにおいて、前記第1スイッチ及び第2スイッチをオン状態にして前記容量素子及び寄生容量を前記電源供給端子から供給される電源によって充電し、前記第1スイッチ及び第2スイッチをオン状態からオフ状態に移したとき電荷再配分によって前記容量素子から前記内部回路に向かう電流を流す。

[0034] 本発明の更に具体的な形態として、前記内部回路はクロック信号(CLK)に同期動作され、少なくとも前記クロック信号の遷移期間を含み前記クロック信号の半周期よりも短い期間に前記第1スイッチ及び前記第2スイッチをオン状態とする。

[0035] 本発明の更に具体的な形態として、半導体集積回路は前記アンプの出力端子に接続する外部出力端子(33)を有する。

[0036] 或いは、前記アンプの出力電圧を判定して、その判定結果を外部に出力する判定回路(63)を更に有してもよい。これにより半導体集積回路(21C)はセルフテストが可能になる。

[0037] [6]《IDDQテストの解析方法》

本発明の別の観点によるテスト方法で用いる半導体集積回路は、複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有する。前記IDDQテスト回路は、前記テストスイッチに直列接続された接続

形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有する。テスト方法は、前記半導体集積回路についてIDDQテストを行った結果を複数個の半導体集積回路について平準化を行い、平準値から離れたIDDQテスト結果を出力した半導体集積回路について不良解析を行い不良の有無を検出する。

[0038] [7]《セルフテスト機能》

本発明の別の観点による半導体集積回路は、複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有する。前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有する。この半導体集積回路は、動作期間中の所定のタイミングにおいて、IDDQテストを行った結果を保持し、それ以前に行ったIDDQテスト結果を平準化した平準値と比較し、該平準値から離れたIDDQテスト結果を出力したことを検出して、所定の出力を可能とする。

[0039] 本発明の更に別の観点による半導体集積回路は、複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有する。前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有する。この半導体集積回

路は動作期間中の所定のタイミングにおいてIDDQテストを行い、それ以前の所定のタイミングで行ったIDDQテスト結果と比較し、該以前の所定のタイミングで行ったIDDQテスト結果の値から離れたIDDQテスト結果を出力したことを検出して、所定の出力を可能とする。

発明の効果

[0040] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0041] すなわち、IDDQテストの高速化を実現することができる。

図面の簡単な説明

[0042] [図1]図1はIDDQテストに着目したテストボードの回路を例示する回路図である。

[図2]IDDQテストを支援するための回路を搭載した半導体集積回路を例示するブロック図である。

[図3]IDDQテスト回路の詳細な一例を示す回路図である。

[図4]IDDQテスト回路の更に具体的な例を示す回路図である。

[図5]IDDQテストのテストステップにおけるIDDQテスト回路の動作タイミング図である。

[図6]差動アンプの一例を示す回路図である。

[図7]差動アンプの別の例を示す回路図である。

[図8]差動アンプに含まれるオペアンプを例示する回路図である。

[図9]差動アンプのオフセット電圧を検出する構成を例示する回路図である。

[図10]オフセット電圧の検出動作を例示するタイミングチャートである。

[図11]このオフセット電圧を用いた比較判定動作を例示する波形図である。

[図12]IDDQテストを支援するための回路を半導体集積回路に搭載した別の例を示すブロック図である。

[図13]図12のIDDQテスト回路の詳細を例示する回路図である。

[図14]IDDQテストを支援するための回路を半導体集積回路に搭載した更に別の例を示すブロック図である。

[図15]マイクロコンピュータの場合に内部回路を複数の機能モジュールとして再分化

して把握した機能モジュールの種別を例示する説明図である。

[図16]図14のIDDQテスト回路の詳細を例示する回路図である。

[図17]IDDQテストを支援するための回路を半導体集積回路に搭載した更に別の例を示すブロック図である。

[図18]図17の判定回路に採用した比較回路の一例を示す回路図である。

[図19]判定回路を用いた動作タイミングチャートである。

符号の説明

- [0043]
- 1 テスタボード
 - 2 半導体デバイス(DUT)
 - 3 テスタ(TSTR)
 - 4 電源供給端子
 - 5, 6 制御端子
 - 7 テスト出力端子7
 - 8 外部端子
- Vddq IDDQテスト用電源
- 11 テスト用回路
 - 13第1スイッチ13
 - 14 第2スイッチ
 - 15 第1容量素子
 - 16 第2容量素子
 - 17 差動アンプ(AMP)
 - 18 抵抗素子
- 20、20A、20B、20C テスタボード
- 21、21A、21B、21C 半導体集積回路
- 22 内部回路
- 22(1)～22(n) 内部回路
- 23 外部インタフェースバッファ回路
- 24 外部接続電極

- 25、25A 電源端子
- 26 接地端子
- 27 電流リーク性の欠陥を模式的に示す高抵抗接続
- 28 内部回路の電源供給系の寄生容量
- 29 電源安定化容量素子
- 30、30A、30B IDDQテスト回路
- 31 被測定端子としてのテスト用電源端子
- 32 テスト用制御端子
- 33 テスト用出力端子
- 35 第1スイッチ
- 36 第2スイッチ
- 37 容量素子37
- 38 抵抗素子
- 39 差動アンプ
- 40 バッファ
- 41 制御端子
- 42 バッファ
- 43, 44 抵抗素子
- 50 オペアンプ
- 55 電源スイッチ
- 56 制御端子
- 57 電圧レギュレータ
- 58 テストスイッチ
- 59 電源スイッチ
- 63 判定回路
- 64 基準電圧発生回路(VRFG)
- 65 比較回路
- 66 Dラッチ

Scomp 判定信号

発明を実施するための最良の形態

[0044] 《テストボード》

図1にはIDDQテストに着目したテストボードの回路が例示される。同図に示されるテストボード1は搭載した半導体デバイス(DUT)2をテスト(TSTR)3に接続する接続ボードを構成する。テスト3はワークステーションを主体に前記テストボードを当該ワークステーションに接続するインタフェース回路を備えて構成される。

[0045] テストボードにはチップ若しくはペレット、又はウェーハ状の複数の半導体デバイス2が搭載されるが、ここでは搭載された1個の前記半導体デバイスに対応するIDDQテストのための回路構成が代表的に示される。半導体デバイス2は例えばCMOS集積回路とされる。

[0046] テストボード1はIDDQテストのための外部端子として電源供給端子4、制御端子5、6、テスト出力端子7を有する。外部端子8はテスト3に接続された半導体デバイス2との間のアドレス、データ及びクロック信号等の入出力や、テスト用のその他の信号の入出力を行うためのインタフェース端子を総称する。前記電源供給端子4には前記テスト3からIDDQテスト用電源Vddqが供給される。この電源供給端子4には電源配線10が接続され、電源配線10には半導体デバイス2の電源端子が結合する。前記電源配線の途中にはIDDQテストのためのテスト用回路11を有する。テスト用回路11は、前記電源供給端子4と前記半導体デバイス2とを接続する経路に直列に挿入された第1スイッチ13及び第2スイッチ14を有する。第1スイッチ13はテスト3の制御端子5から入力されるスイッチ制御信号によってスイッチ制御される。同じく第2スイッチ14はテスト3の制御端子6から入力されるスイッチ制御信号によってスイッチ制御される。第1スイッチ13と第2スイッチ14との間には第1容量素子15が接続される。第2スイッチ14と半導体デバイス2とを結合する経路には第2容量素子16が結合される。第2容量素子16はIDDQテストのためにだけ設けられているものではなく、一般的に必要とされる電源安定化容量を総称するものであり、ここではこれをIDDQテストに流用している。仮に電源安定化容量を用いなくても済む場合にはIDDQテストのために第2容量素子16を設けることになる。前記第2スイッチ14には抵抗素子18が並列接

続され、抵抗素子18の両端の電位差を差動アンプ(AMP)17で増幅する。差動アンプ17の出力がテスト出力端子7に結合される。

[0047] 前記テスト用回路11において、前記第1スイッチ13及び第2スイッチ14のオン状態において、前記第1容量素子15及び前記第2容量素子16は前記電源供給端子4から供給される電源によって充電され、前記第1スイッチ13及び第2スイッチ14がオン状態からオフ状態に遷移したとき、容量素子15, 16の電荷再配分によって抵抗素子16に電流が流れるようになっている。例えば、第1容量素子15から前記半導体デバイス2に向かう電流を流す。そのためには第1容量素子15と第2容量素子16の容量値にある程度の差があれば良く、例えば、電源安定化容量としての用途を考慮すると第2容量素子16は例えば0.1 μ Fとされ、このとき第1容量素子15は例えばその10倍の1 μ Fとされる。

[0048] IDDQテストでは半導体デバイス2にテスト用のファンクションパターン(テストパターン)を与え、半導体デバイス2の回路状態を遷移される動作状態、遷移された回路状態を保持する保持状態を繰り返していく。CMOS半導体集積回路では前記動作状態において遷移電流が電源端子と接地端子間に貫通する。不良がなければ前記保持状態ではそのような貫通電流は流れないはずである。

[0049] 半導体デバイス2の回路状態を遷移させる動作状態において前記第1スイッチ13及び第2スイッチ14をオン状態とし、これによって前記第1容量素子15及び前記第2容量素子16も充電される。遷移された回路状態を保持する保持状態では前記第1スイッチ13及び第2スイッチ14をオン状態からオフ状態に遷移する。これにより、第1容量素子15と第2容量素子16との間の電荷再配分によって前記第1容量素子15から前記半導体デバイス2に向かう電流が流れる。要するに、充電時には電源供給端子4に直列に接続された第1容量素子15と第2容量素子16には各々の容量値に比例した電荷が充電される。直列された第1容量素子15と第2容量素子16が電源供給端子4から切り離されると、双方の容量素子15, 16の直列された容量電極間において容量値の大きい方から小さい方に向けて電荷が移動する。このときの電流に応じて前記抵抗素子18の両端に電位差が形成される。抵抗素子18に流れる電流値は半導体デバイス2に流れ込む電流に影響を受ける。容量素子15, 16の直列された容

量電極間には半導体デバイス2の電源端子が接続されているから、当然そのときの電荷再配分には半導体デバイスの電源系寄生容量も寄与するのは当然であるが、欠陥による電流リークの影響も受けることになる。したがって、欠陥による電流リークの有無を、前記抵抗素子18の両端の電位差によって識別可能になる。その電位差は差動アンプ17で増幅され、検出信号Vmonとしてテスト出力端子7からテスト3に供給される。

[0050] 前記抵抗素子18に電流が流れさえすればその両端に電位差が形成される。電流値の大小が直接抵抗素子18の電位差に反映される。電流経路の電圧が減衰するのを検出するときのように電流経路の時定数に応じた時間の経過を待つことを要しない。このように、前記第1スイッチ15及び第2スイッチ16をオフ状態にしてから差動アンプ17の出力が確定するタイミングは早いから、テスト3は半導体デバイス2における回路状態の遷移と保持と繰り返しの動作周期を短くすることが可能になる。即ち、半導体デバイス2の動作サイクルを規定するクロック信号の周波数を高くして、IDDQテストを高速に行うことが可能になる。IDDQテストの高速化により、単位時間当たり処理できるIDDQテストによる検出信号Vmonのサンプリング回数を増やすことができるので、高度な不良解析も容易になり、量産製品の品質向上、テストコストの削減、更には欠陥分析技術の向上等の全ての点において、優れた効果を発揮することができる。

[0051] 尚、スイッチ13, 14の制御信号は共通化してもよい。また、前記制御端子5, 6やテスト出力端子7は専用端子に限定されず、他の信号とマルチプレクス可能な端子であってもよい。

[0052] 《IDDQテスト方法》

テスト3による前記テストボード1を用いた半導体デバイス2のIDDQテスト方法について説明する。このIDDQテスト方法は、第1処理乃至第3処理に大別することができる。第1処理は、電源供給端子4から順次直列に接続された第1スイッチ13及び第2スイッチ14を通して半導体デバイス2に電源を供給するとき、前記第1スイッチ13と前記第2スイッチ14との間に接続された第1容量素子15と、前記第2スイッチ14と前記半導体デバイス2とを結合する経路に接続された電源安定化のための第2容量

素子16とを充電する処理である。第2処理は、前記第1スイッチ13及び第2スイッチ14をオン状態からオフ状態に遷移させ、電荷再配分により前記第1容量素子15から、前記第2スイッチ14に並列接続された抵抗素子18を介して前記半導体デバイス2に向かう電流を流す処理である。第3処理は、前記電流が流れるとき前記抵抗素子18の両端の電位差を差動アンプ17で増幅して出力する処理である。テスト3は半導体デバイス2の回路状態の遷移と保持を繰り返す毎に差動アンプ17の出力をサンプリングする。テスト3は半導体デバイス2の動作基準クロック信号の周期に同期したテストステップ毎に前記第1処理乃至第3処理を繰り返し、周期毎に前記差動アンプ17の出力を蓄積する。第1処理は半導体デバイス2の前記動作状態に合わせて行うものである。従って、前記動作基準クロック信号の遷移期間を含み前記動作基準クロック信号の半周期よりも短い期間に前記第1処理が行なわれる。テスト3はサンプリングした差動アンプの出力をコンパレータで基準電位と比較する。基準電位は電流リーク性欠陥の有無を判定する閾値電位とされる。そのテストステップで遷移状態にされる回路部分に電流リーク性の欠陥がある場合には、ない場合よりも差動アンプ17の出力電圧が大きくなる。テストステップ毎に判定した比較結果とテストステップ毎に遷移状態にされる回路部分との関係から不良箇所の解析を行えばよい。

[0053] また複数の半導体デバイス2について、テストステップ毎に前記作動アンプ17の出力の統計を取った場合、多数の半導体デバイス2において流れる電流量に応じた前記作動アンプ17の出力に対し、少数の半導体デバイス2において流れる電流量に応じた前記作動アンプ17の出力を弁別することができる。回路の微細化と動作電圧低下により生じているサブスレシヨルド電流や電流リーク性欠陥がある場合に、前記抵抗素子18に流れる電流量が正確に判っていない場合であっても、複数の半導体デバイス2についてテストを行うことで、前記作動アンプ17の出力レベルから多数／少数の弁別を行うことが可能となる。

[0054] 複数の半導体デバイス2において欠陥を生じているものが少数であると考えるのであれば、少数のグループに属する半導体デバイス2が何らかの欠陥を有するものと判断することができる。例えば少数のグループに属する半導体デバイス2での前記作動アンプ17の出力が、多数のグループに属する半導体デバイス2での前記作動アンプ

17の出力より大きい場合は、電流リーク性欠陥を生じていると考えることができる。

[0055] どの様な欠陥を有しているかは、少数のグループに属する半導体デバイス2についてSEM(Scanning Electron Microscope)等による調査を行うことで明らかにすることが可能であり、場合によっては多数のグループに属する半導体デバイス2にこそ欠陥を生じていることが明らかになることも考えられる。

[0056] 《半導体集積回路》

次に、IDDQテストを支援するための回路を半導体集積回路に搭載した例を説明する。図2にはテストボード20に搭載された状態で一つの半導体集積回路21が示される。半導体集積回路21はチップの中央部に内部回路22を有し、その周辺に外部インタフェースバッファ回路23と外部接続電極24が配置される。25は外部接続電極24の内の所定の電極に割り当てられた電源端子(第1基準電位端子)、26は外部接続電極24の内の所定の電極に割り当てられた接地端子(第2基準電位端子)である。電源端子25と接地端子26の各々に対応する外部インタフェースバッファ回路23の領域にはESD(Electrostatic Discharge)保護回路が形成されている。電源端子25にはテストボード20上で外付けされた電源安定化容量素子29が接続されている。電源端子25と接地端子26は内部回路に接続され、内部回路に動作電源を供給する。内部回路22に示された28は内部回路の電源供給系の寄生容量を総称する。27は電流リーク性の欠陥を高抵抗接続として模式的に示している。内部回路22は例えばCMOS回路によって構成される。電流リーク性の欠陥があると、CMOS回路の前記保持状態において、欠陥のない場合よりも大きな電流が流れる。

[0057] チップのコナー部には内部回路22の電源供給系に接続するIDDQテスト回路30が配置される。IDDQテスト回路30にはテスト用の外部接続電極31～33が接続される。31はIDDQテスト用の電源が供給される被測定端子としてのテスト用電源端子、32はテスト用制御端子、33はIDDQテストの測定端子としてのテスト用出力端子である。

[0058] 図3にはIDDQテスト回路の詳細な一例が示される。IDDQテスト回路30は、前記テスト用電源端子32と内部回路22を接続する経路に直列に挿入された第1スイッチ35及び第2スイッチ36を有する。前記第1スイッチ35と前記第2スイッチ36との間に

は容量素子37が接続され、前記第2スイッチ36に抵抗素子38が並列接続される。前記抵抗素子38の両端の電位差を増幅する差動アンプ39を有する。前記容量素子37は、前記内部回路22の電源供給経路に寄生する寄生容量28と異なる容量値、例えば寄生容量28よりも大きな容量値を有する。

[0059] IDDQテスト回路30を用いてIDDQテストを行うとき、半導体集積回路20の電源端子25はフローティングとする。その他の外部接続電極24はテストボードを介してテストに接続される。IDDQテストにおける半導体集積回路21の動作電源Vddqはテスト用電源端子31から供給される。テストは制御端子32を介してスイッチ35、36のオン／オフを制御し、スイッチ35、36のオフ状態に同期して端子33の出力Vmonをサンプリングする。即ち、CMOS回路で構成された内部回路22の状態を遷移させるとき、前記第1スイッチ35及び第2スイッチ36をオン状態とし、これによって内部回路22に動作電源が供給されると共に、前記容量素子37及び内部回路22の寄生容量28も充電される。遷移された回路状態を保持するとき、前記第1スイッチ35及び第2スイッチ26をオン状態からオフ状態に遷移する。そうすると、容量素子37と内部回路22の寄生容量素子28との間の電荷再配分によって前記容量素子37から前記内部回路22に向かう電流が流れる。このときの電流に応じて前記抵抗素子38の両端に電位差が形成される。内部回路22の欠陥27による電流リーク(Iddq)があれば、電荷再配分のとき流れる電流はその電流リークの影響を受けて大きくなる。したがって、欠陥による電流リークの有無を、前記抵抗素子38の両端の電位差によって識別可能になる。前記抵抗素子38に電流が流れさえすればその両端に電位差が形成される。電流値の大小が直接抵抗素子38の電位差に反映される。電流経路の電圧が減衰するのを検出するときのように電流経路の時定数に応じた時間の経過を待つことを要しない。特に、IDDQテスト回路で用いる前記容量素子37はオンチップの容量素子であり、テストボード上の電源安定化容量29のような外付け容量素子に比べて格段に小さい。前記容量素子37は前記テストボード1における第1容量素子15に相当し、前記内部回路22の電源系寄生容量28はテストボード1の第2容量素子16に相当する。第2容量素子16は半導体デバイスの電源安定化容量であり、そもそもある程度の大きさが必要であり、第1容量15はそれよりも更に大きな容量になる。半導体集積回路

21にオンチップしたIDDQテスト回路30の場合、前記容量素子37及び寄生容量28は相当小さいから、その充放電に際して外付けの電源安定化容量29の充電状態も安定し、前記第1スイッチ35及び第2スイッチ36をオン状態にしたとき前記容量素子37及び寄生容量28の充電動作、前記第1スイッチ35及び第2スイッチ36をオフ状態にしたときの電荷再配分動作も極めて高速化することが可能になる。例えば現状の半導体集積回路22における内部回路の電源系寄生容量は大きく見積っても50nF程度である。小さい場合は10pF程度である。容量素子37は例えば其れに対して10倍程度の容量値を持てばよい。また、電荷配分動作が高速になった分、抵抗素子38の抵抗値を大きくし再配分電流を小さくすることができる。これによれば、容量素子37も小さくすることができ、容量素子37は半導体集積回路22における内部回路の電源系寄生容量の10倍程度まで大きくする必要はなくなる。さらに容量素子37及びスイッチ35は外付けにし、差動アンプ39及び抵抗素子38及びスイッチ36を半導体集積回路に搭載すれば、測定的高速性は損なわれずに半導体集積回路に搭載するIDDQテスト回路搭載による面積オーバーヘッドを最小限にすることができる。

[0060] このように、半導体集積回路21によれば、外付けの電源安定化容量のように容量値が比較的大きなキャパシタの電荷移動を伴って生ずる状態変化を検出対象とすることを要しないので、其れによる制限からも逃れることができ、IDDQテストの更なる高速化を実現することができる。高度な不良解析も更に容易化し、集積度の増大と動作速度の高速化が著しい半導体集積回路の分野に対し、量産製品の品質向上、テストコストの削減、欠陥分析技術の向上等の全ての点において、更なる改善が可能になる。

[0061] 図4にはIDDQテスト回路30の更に具体的な例が示される。同図の例ではスイッチ35、36をpチャンネル型MOSトランジスタによって構成し、バッファ40を介してスイッチ35、36の制御信号Cnt1を入力することを明確化した。更に、差動アンプ39の活性／非活性を制御するための制御端子41を追加し、バッファ42を介して制御信号Cnt2を入力することを明確化した。制御信号Cnt2はハイレベルによって差動アンプ39を活性化する。前記制御端子32、41は抵抗素子43、44を介して接地電位Vssに高抵抗接続する。IDDQテスト時以外は差動アンプは非活性に制御される。前記制

御端子32, 41には半導体集積回路のパッケージの外部端子を割り当てる必要はない。バッファ40, 42は外部インタフェースバッファ回路23の動作電源Vccによって動作されるようになっている。半導体集積回路21の内部において動作電源Vccの供給経路は、内部回路のための動作電源Vddの供給経路とは分離されている。

[0062] 図5にはIDDQテストのテストステップにおけるIDDQテスト回路の動作タイミングが例示される。図5は図4の詳細な構成に従っている。CLKはIDDQテストにおいて半導体集積回路を動作させるときの動作基準クロック信号である。内部回路におけるCMOS回路の回路状態を遷移させる動作状態はクロック信号CLKの遷移期間に対応され、遷移された回路状態を保持する保持状態はクロック信号CLKのハイレベル期間とローレベル期間に対応される。一つのテストステップはクロック信号の遷移期間及びハイレベル又はローレベル期間とされる。図5に代表的にテストステップが3ステップ例示される。

[0063] IDDQテストは時刻t0から開始される。電源端子25には動作電源Vddは供給されず、テスト用電源端子31に動作電源Vddqが印加される。内部回路22は時刻t0からクロック信号CLKに同期してファンクションパターン(テストパターン)に従った動作を行う。制御信号Cnt2は時刻t0からハイレベルにされ、差動アンプ39が活性化される。制御信号Cnt1はクロック信号CLKの遷移期間に同期してハイレベルにされ、これによってスイッチ35, 36がオン状態にされる。制御信号Cnt1はクロック信号CLKのハイレベル及びローレベルに同期してローレベルにされ、これによってスイッチ35, 36がオフ状態にされる。スイッチ35, 36のオン状態によって容量28, 37, 29に対する充電動作が行われる(充電期間)。スイッチ35, 36のオフ状態では容量28と37との間の電荷再配分による電流が抵抗素子38に流れる。抵抗素子38の両端には、そこに流れる電流の大きさに比例した電位差を生ずる。VAは抵抗素子38の上流側電位、VBは下流側電位を意味する。その電位差は差動アンプ39で増幅され、バッファ42を通して端子33から信号Vmonとしてテストに出力される。テストは判定期間においてその信号Vmonをコンパレータで閾値電圧を比較し、比較結果を蓄積する。テストステップTS2以降も同様に、充電、電荷再配分、判定の動作を繰り返していく。テストは、蓄積したテストステップ毎の判定結果とテストステップ毎に遷移状態にされ

る回路部分との関係から不良の有無や不良箇所の解析を行う。

- [0064] 図6には差動アンプ39の一例が示される。図6において差動アンプ39はオペアンプ50と抵抗R1、R2によって構成される。作動アンプ39の性能は、欠陥として検出すべきリーク電流をどの程度にするか、IDDQテストの高速化をどの程度まで許容するかという点を考慮して決定すればよい。例えば欠陥として検出すべきリーク電流を I_{ddq} とすると、測定速度と容量素子37の容量値 C_s との関係は、

$$C_s \times \Delta V C_s = I_{ddq} \times t$$

$$t = (C_s \times \Delta V C_s) / I_{ddq}, \text{となる。}$$

$I_{ddq} = 100 \mu A$ を感知する場合、 $\Delta V C_s = 0.2V$ を許容するとすれば、 $C_s = 100pF$ のとき、 $t = 200nsec$ となる。 $t = 200nsec$ は5MHzの1周期であるから、差動アンプ39は5MHzより高速で動作可能であることが必要になる。更に差動アンプ39の性能を見積る。図6の差動アンプ39の出力電圧は

$$V_3 = R_2 / R_1 (V_A - V_B), \text{となる。例えば } R_1 = 100 \Omega, R_2 = 10 \Omega \text{ とする。このとき}$$

、抵抗素子38の抵抗値 $R_{meas} = 50 \Omega$ 、 $I_{ddq} = 100mA$ で、

$R_{meas} \times I_{ddq} = 5mV$ 、になる。よって、 $I_{ddq} = 100 \mu A$ を感知する場合、 V_A と V_B の電位差は5mV程度に相当する。一般的にオペアンプのオフセットは数mVあるから、この場合には故障の感知に必要な V_A と V_B の電位差は5mV以上が良好であろうと考えられる。

- [0065] 図7には差動アンプ39の別の例が示される。図6では1段で100倍アンプを構成する例としたが、ここでは差動アンプを直列2段で構成する。前段をオペアンプ50と抵抗R1、R2によって構成し、後段をオペアンプ51と抵抗R3、R4によって構成する。後段アンプ15において $R_4 / R_3 \gg 1$ の場合に $V_4 / V_3 = R_4 / R_3$ となる。例えば、前段アンプにおいて $R_1 = 100 \Omega$ 、 $R_2 = 1K \Omega$ でその増幅率が10倍アンプ、後段アンプにおいて $R_3 = 1K \Omega$ 、 $R_4 = 1K \Omega$ でその増幅率が10倍アンプとなり、併せて増幅度を100倍とすることができる。

- [0066] 図8にはオペアンプ50、51の回路例が示される。これは、MOS差動入力段に電流を供給する電流源をイネーブル信号 EN_{amp} によって活性／不活性制御可能に構成し、出力段がソースフォロアによって構成される。イネーブル信号 EN_{amp} は前記

制御信号Cnt2の反転信号である。

- [0067] 前記アンプ39のオフセット電圧に対しては図9に例示されるように、スイッチ36のオン状態(ON)において信号Vmonを参照する。例えば図10に例示されるように、スイッチ36のオン状態(ON)において出力される信号Vmonを適宜の時刻 $t_1 \sim t_2$ に図示を省略するテストで参照する。参照した電圧Vmonをオフセット電圧Vofstとする。このオフセット電圧Vofstをテストにおけるコンパレータの基準電圧とする。IDDQの計測動作時には、図11に例示されるように $I_{ddq} \times R_{meas} + V_{ofst}$ をコンパレータの比較判定電圧Vethとし、検出電圧Vmoがその比較判定電圧を越えるテストステップにおいて電流リーク性欠陥のあることが顕在化される。

- [0068] 《Iddq測定端子の兼用化》

図12にはIDDQテストを支援するための回路を半導体集積回路に搭載した別の例を示す。図2ではIDDQテスト用のテスト用電源端子(被測定端子)31を電源端子25とは分離して独立化した。図12に示されるテストボード20Aに搭載される半導体集積回路21Aでは電源端子25Aを通常の電源端子とIDDQテスト用のテスト用電源端子(被測定端子)とに兼用する。この場合には、前記第1スイッチ35及び抵抗素子36と並列形態で前記電源端子25Aと内部回路22とを接続する電源スイッチ55を配置する。IDDQテストでは電源スイッチ55をオフ状態とし、IDDQテスト用の電源Vddqをスイッチ35、36と抵抗素子36とを介して供給可能にする。それ以外の実動作等においては電源スイッチ55をオン状態とし、スイッチ35、36はオフ状態にされる。尚、図12の場合IDDQテスト回路30Aはチップのコーナー部だけでなく、外部インタフェースバッファ回路23の一部等も用いて構成される。その他の構成は図2と同様である。

- [0069] 図13にはIDDQテスト回路30Aの詳細が例示される。制御端子56は前記電源スイッチ55のスイッチ制御信号Cnt3を入力する制御端子である。図示は省略するが制御端子56、32、33、41には図4と同様に入力回路の接地電位Vssにプルダウンされた入力バッファを備える。前記電源スイッチ55は単なるMOSスイッチであってもよいが、外部電源電圧を降圧する電圧レギュレータを構成するスイッチの一部であってもよい。要するに、参照符号57で示す回路ブロックが電圧レギュレータとされる。この

場合、スイッチ55は1個に限らず、直列された複数個のトランジスタ又は並列された複数個のトランジスタであってよい。制御信号Cnt3は電圧レギュレータに対する降圧電圧の出力動作を選択的に抑制可能とし、これによってIDDQテストの時はスイッチ35、36及び抵抗素子38を介して内部回路にテスト電源を供給可能とする。IDDQテストにおいてテスト電源Vddqは電源端子25Aを介してテスト3から供給される。図13の構成によれば、Iddq測定用の専用の外部接続電極が不要になる。

[0070] 《機能モジュール単位のIDDQテスト》

図14にはIDDQテストを支援するための回路を半導体集積回路に搭載した更に別の例を示す。今までは内部回路を一つの回路として把握したが、ここでは内部回路を機能モジュールとして再分化して把握する。例えば、図15のようにマイクロコンピュータの場合には、中央処理装置(CPU)、浮動小数点演算ユニット(FPU)、CPUのワークメモリ等に用いられるランダムアクセスメモリ(RAM)、CPUのプログラムメモリ等に用いられるリードオンリメモリ(ROM)、ダイレクトメモリアクセスコントローラ(DMAC)、タイマーカウンタ(CUNT)、シリアルインタフェースコントローラ(SCI)、及びランダムロジック回路(LGC)等の機能モジュールを個々の内部回路として把握する。図14の例では複数個の内部回路22(1)～22(n)が配置される。電流リーク性の欠陥27と寄生容量28はその総称として参照符号が付されている。実際にはIDDQテストで感知すべきリーク電流と寄生容量は内部回路22(1)～22(n)の各々に固有の値がある。

[0071] 複数個の内部回路22(1)～22(n)に対して少なくとも個別にIDDQテストを可能にするために、前記IDDQテスト回路30Bを対応する内部回路に接続する複数のテストスイッチ58と、前記テストスイッチ58と並列形態で前記電源端子25Bを対応する内部回路22(1)～22(n)に接続する複数の電源スイッチ59とを有する。

[0072] 図16にはIDDQテスト回路30Bの詳細が例示される。半導体集積回路21Bは、前記電源スイッチ59及びテストスイッチ58のスイッチ状態を制御する制御回路61を有する。前記制御回路61は、例えば外部端子62より制御信号Cnt4によって第1動作モードの指定と第2動作モードの指定が可能にされる。前記第1動作モードが指定された制御回路61は、前記複数のテストスイッチ58をオフ状態とし、前記複数の電源

スイッチ59の一部又は全てをオン状態に制御する。前記第2動作モードが指定された制御回路61は、前記複数の電源スイッチ59をオフ状態とし、前記複数のテストスイッチ58の一部又は全てをオン状態に制御する。制御回路61は例えばマイクロコンピュータにおいて回路モジュール毎に動作電源の供給／停止を制御するシステムコントローラに内蔵される。システムコントローラに内蔵された制御回路61は、回路モジュール毎に制御ビットが割り当てられた電源制御レジスタ(図示を省略)を有する。CPU等が電源制御レジスタに複数ビットの制御データを設定すると、その制御データのビット対応で回路モジュールに対する動作電源の供給／停止が制御される。制御回路61は、第1動作モードが指定されているときは電源スイッチ59によってその制御を行い、第2動作モードが指定されているときはテストスイッチ58によってその制御を行う。特に図示はしないが、制御端子62は図4で説明したのと同様に入力接地電位 V_{ss} にプルダウンされたバッファを備えており、制御端子62にハイレベルが印加されない状態では第1動作モードが指定され、通常動作に対応した電源の供給／停止制御が可能にされる。制御端子62にハイレベルが印加された状態では第2動作モードが指定され、少なくとも回路モジュール22(1)～22(N)単位でテスト用電源 V_{ddq} を印加してIDDQテストを行うことが可能である。第2動作モードにおいてどの回路モジュールにテスト用電源 V_{ddq} を印加するかは、テストパターンによって前記電源制御レジスタに対する制御データの設定を行えばよい。特に図示はしないが、第2動作モードにおいてどの回路モジュールにテスト用電源 V_{ddq} を印加するかを外部端子を用いて直接テストから制御可能にしてもよい。制御回路61はシステムコントローラによる制御機能を一部流用して実現する場合に限定されない。それ専用の回路として構成することは妨げられない。また電源制御レジスタでの動作電源の供給／停止制御においては、一部の回路モジュール22(1)については電源スイッチ59をオフとし電源スイッチ58をオンにするよう設定し、他の回路モジュール22(2)～22(N)については電源スイッチ59をオンとし電源スイッチ58をオフにするよう設定することで、他の回路モジュール(22(2)～22(N))については通常の動作を行い、一部の回路モジュール(22(1))についてのみIDDQテストを行うような設定を可能としても良い。

[0073] IDDQテスト対象とする内部回路をテストスイッチ58により選択可能にすることにより

、テスト対象を絞ることによって更に詳細な欠陥分析が可能になる。分散テストと言う意味より、小さな領域の電流測定になるため、回路そのものが持つリーク電流の総和が小さくなり、純粋な欠陥による欠陥性のリーク電流 I_{ddq} の増加の測定感度を向上させることができる。

[0074] 《 I_{ddq} の内部判定回路》

図17にはIDDQテストを支援するための回路を半導体集積回路に搭載した更に別の例を示す。図17に示されるテストボード20Cに搭載される半導体集積回路21Cは、前記アンプ39の出力電圧を判定して、その判定結果を外部に出力する判定回路63を有する。判定回路63は、アンプ39の出力に対して欠陥性のリード電流 I_{ddq} を感知するための基準電圧 V_{ref} を生成する基準電圧発生回路(VRFG)64を有し、基準電圧 V_{ref} とアンプ39の出力電圧 V_{mon} とを比較する比較回路65を供える。比較回路64は例えば図18の回路によって構成することができる。電流 I_{b1} と I_{b2} の比はMOSトランジスタM3とM4のゲート幅の比になる。前記比較回路65の出力はDラッチ66のクロック端子に供給される。Dラッチ66のデータ入力端子は電源 V_{cc} に接続されハイレベル入力固定にされる。前記比較回路65において電圧 V_{mon} が基準電圧 V_{ref} を一度でも超えれば、Dラッチ66はハイレベルの判定信号 S_{comp} を出力する。ハイレベルの判定信号 S_{comp} は欠陥性リーク電流のあったことを通知する。テスト3がこれを入力して不良デバイスであることを認識する。良品／不良品を簡易に検出することができる。尚、68はDフリップフロップのリセット端子である。

[0075] 特にこの構成において、IDDQテスト対象にされる内部回路に応じて基準電圧 V_{ref} が相違されることを考慮すると、基準電圧発生回路64は制御回路61によってテストスイッチ58がオン状態にされる内部回路に応じた基準電圧 V_{ref} を発生すればよい。複数個のテストスイッチ58をオン状態にするときは、其れによってテスト対象とされる個々の内部回路における感知レベルの和のレベルを基準電圧 V_{ref} として発生すればよい。

[0076] 前記判定回路63はテストの判定機能を代替するだけでなく、回路基板に実装された後の経時的な特性劣化による故障(絶縁膜にかかる電圧ストレスによる電流リークの増加等)の検出等にも利用することができる。例えば、実装基板のパワーオンに応

答して所定のテストモードが指定されたとき、半導体集積回路21Cに所定のテストパターンを投入し、アンプ39を活性化し、制御回路61に第2の動作モードを設定し、スイッチ35, 36を制御し、判定結果Scompを監視するロジック回路を、当該実装基板に設ければよい。特に図示はしないが、ランダムロジックにてテストパターンを発生し、アンプ39を活性化し、制御回路61に第2の動作モードを設定し、スイッチ35, 36を制御し、判定結果Scompを監視するロジック回路を半導体集積回路21Cにオンチップすれば、BIST (Built In Self Test) の一部の機能として電流リーク性不良を自ら検出することができる。経時的な特性劣化による故障の発生を検出した時は、当該半導体集積回路21Cを交換すればよい。

[0077] また半導体集積回路21C上または半導体集積回路21Cに接続され又は搭載される不揮発性メモリ(図示せず)がある場合、前記アンプ39の出力をAD変換器により変換した値を前記不揮発性メモリに格納していくようにしても良い。定期的にメンテナンスが行われるシステム(例えば自動車に用いられる半導体集積回路)であれば、メンテナンスの際に不揮発性メモリに格納してあるテスト結果出力を判定し、半導体集積回路の経時的劣化を原因とする不良が顕在化する前に、当該半導体集積回路21Cを交換することができる。

[0078] 若しくはネットワークに接続されているシステムであれば、ネットワークを介してテスト結果出力を送信することで、定期的なメンテナンスが行われているかどうかに関わらず、経時的劣化を原因とする不良が顕在化する前に半導体集積回路21Cを交換するための手段を講じることが可能となる。

[0079] 更には、半導体集積回路21Cにおいてテスト結果出力を時系列的に保持し、テスト結果を統計的処理を行うことで平準化を行い、平準化されたテスト結果と今回のテスト結果を比較し、若しくは所定のタイミング(例えば半導体集積回路21Cの出荷時点)でのテスト結果と今回のテスト結果とを比較する。今回の比較結果が平準化されたテスト結果若しくは所定のタイミングでのテスト結果と乖離した値となったことを検出して、半導体集積回路21Cが組み込まれているシステム内において又はネットワークを介して接続されるホスト装置に対して、所定の信号を出力することで、経時的劣化を原因とする不良が顕在化する前に半導体集積回路21Cの経時的劣化を判定できるよう

にすることも可能となる。ここで、平準化とは、サンプル値のでこぼこを単に均一化する平均のような処理に限定されるものではない。サンプル値の新旧や稼働環境に対してパラメータを用いた重み付けを行ったり、適宜の統計的手法を用いてよいことは言うまでもない。

[0080] 図19には判定回路63を用いた動作タイミングが例示される。すべての電源スイッチ59がオフにされ、IDDQテスト対象とされる内部回路のテストスイッチ58がオン状態にされる。この後、スイッチ35, 36のオン状態においてテストパターンによるパターン設定を行い、スイッチ35, 36のオフ状態において判定回路63により自動判定を行う。

[0081] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0082] 例えば、IDDQテスト回路における容量素子の容量値や抵抗等の回路定数は具体的な回路構成や回路特性に応じて適宜変更可能である。

産業上の利用可能性

[0083] 本発明はマイクロコンピュータに限らずメモリやアクセラレータ等の種々の半導体集積回路のIDDQテストに適用することができる。半導体集積回路はCMOS集積化回路に限定されず、バイポーラ集積回路との混載、デジタル回路とアナログ回路の混載であつてもよい。また、半導体集積回路はクロック動機回路に限定されず、非同期回路であつてもよい。

請求の範囲

- [1] 搭載した半導体デバイスをテストに接続するための接続装置であって、
前記テストから供給される電源を受ける電源供給端子と、前記電源供給端子に接続する電源配線と、前記電源配線に接続する半導体デバイスと、前記電源配線の途中に配置されたテスト用回路とを有し、
前記テスト用回路は、前記電源供給端子と前記半導体デバイスとを接続する経路に直列に挿入された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された第1容量素子と、前記第2スイッチと前記半導体デバイスとを結合する経路に接続された第2容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有し、
前記第1スイッチ及び第2スイッチのオン状態において、前記第1容量素子及び前記第2容量素子は前記電源供給端子から供給される電源によって充電され、前記第1スイッチ及び第2スイッチがオン状態からオフ状態に遷移したとき、電荷再配分によって前記経路に前記第1容量素子から前記半導体デバイスに向かう電流を流す接続装置。
- [2] 半導体デバイスをテストに接続するための接続装置であって、
前記テストから供給される電源を受ける電源供給端子と、前記電源供給端子に接続する電源配線と、前記電源配線に接続する半導体デバイスと、前記電源配線の途中に配置されたテスト用回路とを有し、
前記テスト用回路は、前記電源供給端子と前記半導体デバイスとを接続する経路に直列に挿入された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された第1容量素子と、前記第2スイッチと前記半導体デバイスとを結合する経路に接続された第2容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有し、
前記第1容量素子は前記第2容量素子よりも大きな容量値を有する接続装置。
- [3] 前記第2容量素子は電源の安定化容量であり、前記第1容量素子は前記第2容量素子に対して10倍以上の容量値を有する請求項2記載の接続装置。
- [4] 前記第1スイッチ及び第2スイッチのスイッチ制御信号を入力する外部制御端子を

有する請求項2記載の接続装置。

[5] 前記アンプの出力に接続する外部出力端子を有する請求項4記載の接続装置。

[6] 電源供給端子から順次直列に接続された第1スイッチ及び第2スイッチを通して半導体デバイスに電源を供給するとき、前記第1スイッチと前記第2スイッチとの間に接続された第1容量素子と、前記第2スイッチと前記半導体デバイスとを結合する経路に接続された電源安定化のための第2容量素子とを充電する第1処理と、

前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移させ、電荷再配分により前記第1容量素子から、前記第2スイッチに並列接続された抵抗素子を介して前記半導体デバイスに向かう電流を流す第2処理と、

前記電流が流れるとき前記抵抗素子の両端の電位差をアンプで増幅して出力する第3処理と、を含むIDDQテスト方法。

[7] 前記半導体デバイスの動作基準クロック信号の周期毎に前記第1処理乃至第3処理を繰り返し、周期毎に前記アンプの出力を蓄積する請求項6記載のIDDQテスト方法。

[8] 前記半導体デバイスはクロック信号に同期動作され、少なくとも前記クロック信号の遷移期間を含み前記クロック信号の半周期よりも短い期間に前記第1処理を行なう請求項7記載のIDDQテスト方法。

[9] 被測定用端子と、前記被測定用端子に接続するIDDQテスト回路と、前記IDDQテスト回路に接続する内部回路とを有し、

前記IDDQテスト回路は、前記被測定用端子と内部回路を接続する経路に直列に挿入された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有し、

前記容量素子は前記内部回路の電源供給経路に寄生する寄生容量よりも大きな容量値を有する半導体集積回路。

[10] 前記第1スイッチ及び第2スイッチのオン状態において、前記容量素子及び寄生容量は前記被測定用端子から供給される電源によって充電可能にされ、

前記第1スイッチ及び第2スイッチがオン状態からオフ状態に遷移したとき、電荷再

配分によって前記容量素子から前記内部回路に向かう電流を流す請求項9記載の半導体集積回路。

- [11] 前記内部回路はクロック信号に同期動作され、
前記第1スイッチ及び第2スイッチのオン状態は、少なくとも前記クロック信号の遷移期間を含み且つクロック信号の半周期よりも短い期間とされる請求項10記載の半導体集積回路。
- [12] 前記第1スイッチ及び前記第2スイッチのスイッチ制御信号を入力する第1外部制御端子を有する請求項10記載の半導体集積回路。
- [13] 前記第1外部制御端子に入力端子が接続され、出力端子が前記第1スイッチ及び第2スイッチのスイッチ制御端子に接続された入力バッファを有し、
前記第1外部制御端子は前記第1スイッチ及び第2スイッチをオフ状態とするように回路の接地端子又は電源端子に高抵抗接続された請求項12記載の半導体集積回路。
- [14] 前記アンプの活性化制御信号を入力する第2外部制御端子を有する請求項10記載の半導体集積回路。
- [15] 前記第2外部制御端子に入力端子が接続され、出力端子が前記アンプの活性化制御端子に接続された入力バッファを有し、
前記第2外部制御端子は前記第1スイッチ及び第2スイッチをオフ状態とするように回路の接地端子又は電源端子に高抵抗接続された請求項14記載の半導体集積回路。
- [16] 前記第1スイッチ及び抵抗素子と並列形態で前記電源端子と内部回路とを接続する電源スイッチを更に有する請求項10記載の半導体集積回路。
- [17] 前記被測定用端子はIDDQテストにおける動作電源の印加と実動作における電源の印加とに兼用される請求項16記載の半導体集積回路。
- [18] 前記内部回路を複数個有し、前記IDDQテスト回路を対応する内部回路に接続する複数のテストスイッチと、前記テストスイッチと並列形態で前記被測定用端子を対応する内部回路に接続する複数の電源スイッチとを更に有する請求項10記載の半導体集積回路。

- [19] 前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路を更に有する請求項18記載の半導体集積回路。
- [20] 前記制御回路は、第1動作モードの指定と第2動作モードの指定が可能にされ、
前記第1動作モードが指定された制御回路は、前記複数のテストスイッチをオフ状態とし、前記複数の電源スイッチの一部又は全てをオン状態に制御し、
前記第2動作モードが指定された制御回路は、前記複数の電源スイッチをオフ状態とし、前記複数のテストスイッチの一部又は全てをオン状態に制御する請求項19記載の半導体集積回路。
- [21] 複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有し、
前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有し、
前記容量素子は前記複数の内部回路の電源ラインにおける寄生容量よりも大きな容量値を有する半導体集積回路。
- [22] 前記制御回路は、第1動作モードの指定と第2動作モードの指定が可能にされ、
前記第1動作モードが指定された制御回路は、前記複数のテストスイッチをオフ状態とし、前記複数の電源スイッチの一部又は全てをオン状態に制御し、
前記第2動作モードが指定された制御回路は、前記複数の電源スイッチをオフ状態とし、前記複数のテストスイッチの一部又は全てをオン状態に制御し、
前記第2動作モードにおいて、前記第1スイッチ及び第2スイッチをオン状態にして前記容量素子及び寄生容量を前記電源供給端子から供給される電源によって充電し、前記第1スイッチ及び第2スイッチをオン状態からオフ状態に遷移したとき電荷再分配によって前記容量素子から前記内部回路に向かう電流を流す請求項21記載の

半導体集積回路。

- [23] 前記内部回路はクロック信号に同期動作され、少なくとも前記クロック信号の遷移期間を含み前記クロック信号の半周期よりも短い期間に前記第1スイッチ及び前記第2スイッチをオン状態とする請求項22記載の半導体集積回路。

- [24] 前記アンプの出力端子に接続する外部出力端子を有する請求項23記載の半導体集積回路。

- [25] 前記アンプの出力電圧を判定して、その判定結果を外部に出力する判定回路を更に有する請求項23記載の半導体集積回路。

- [26] 外部電源端子から内部回路への電源供給経路に沿って直列に挿入された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有し、

前記容量素子は前記内部回路の電源供給経路における寄生容量よりも大きな容量値を有する半導体集積回路。

- [27] 複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有し、

前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有する半導体集積回路について、

前記半導体集積回路についてIDDQテストを行った結果を複数個の半導体集積回路について平準化を行い、平準値から離れたIDDQテスト結果を出力した半導体集積回路について不良解析を行い不良の有無を検出する半導体集積回路のテスト方法。

- [28] 複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有し、

前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有する半導体集積回路であって、

該半導体集積回路の動作期間中の所定のタイミングにおいて、IDDQテストを行った結果を保持し、それ以前に行ったIDDQテスト結果を平準化した平準値と比較し、該平準値から離れたIDDQテスト結果を出力したことを検出して、所定の出力を可能とする半導体集積回路。

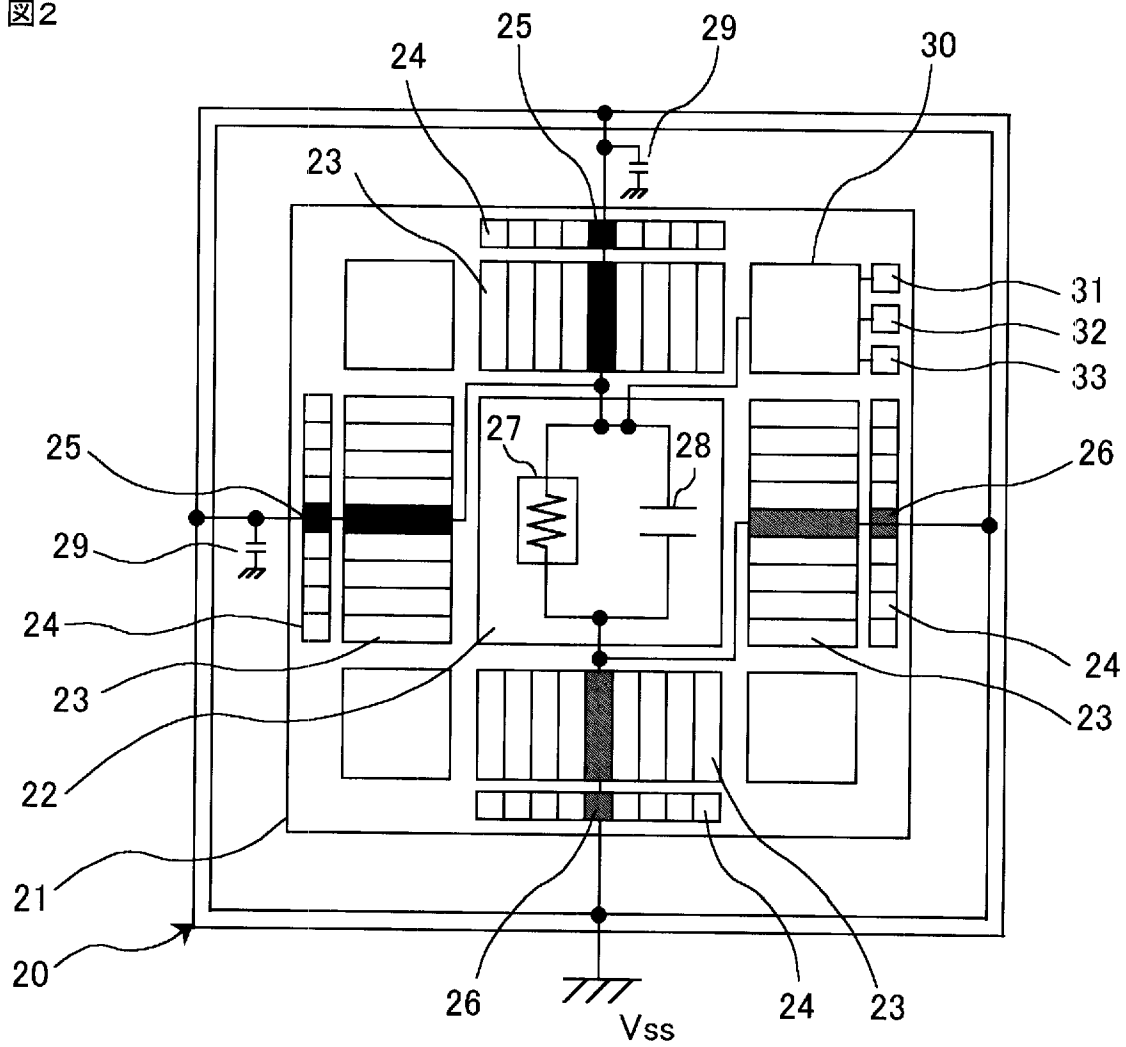
- [29] 複数の内部回路と、前記内部回路に一対一対応で設けられた複数の電源スイッチと、前記複数の電源スイッチに共通接続される外部電源端子と、前記外部電源端子に接続されたIDDQテスト回路と、前記IDDQテスト回路を対応する前記内部回路に接続する複数のテストスイッチと、前記電源スイッチ及びテストスイッチのスイッチ状態を制御する制御回路とを有し、

前記IDDQテスト回路は、前記テストスイッチに直列接続された接続形態を有し相互に直列接続された第1スイッチ及び第2スイッチと、前記第1スイッチと前記第2スイッチとの間に接続された容量素子と、前記第2スイッチに並列接続された抵抗素子と、前記抵抗素子の両端の電位差を増幅するアンプとを有する半導体集積回路であって、

該半導体集積回路の動作期間中の所定のタイミングにおいてIDDQテストを行い、それ以前の所定のタイミングで行ったIDDQテスト結果と比較し、該以前の所定のタイミングで行ったIDDQテスト結果の値から離れたIDDQテスト結果を出力したことを検出して、所定の出力を可能とする半導体集積回路。

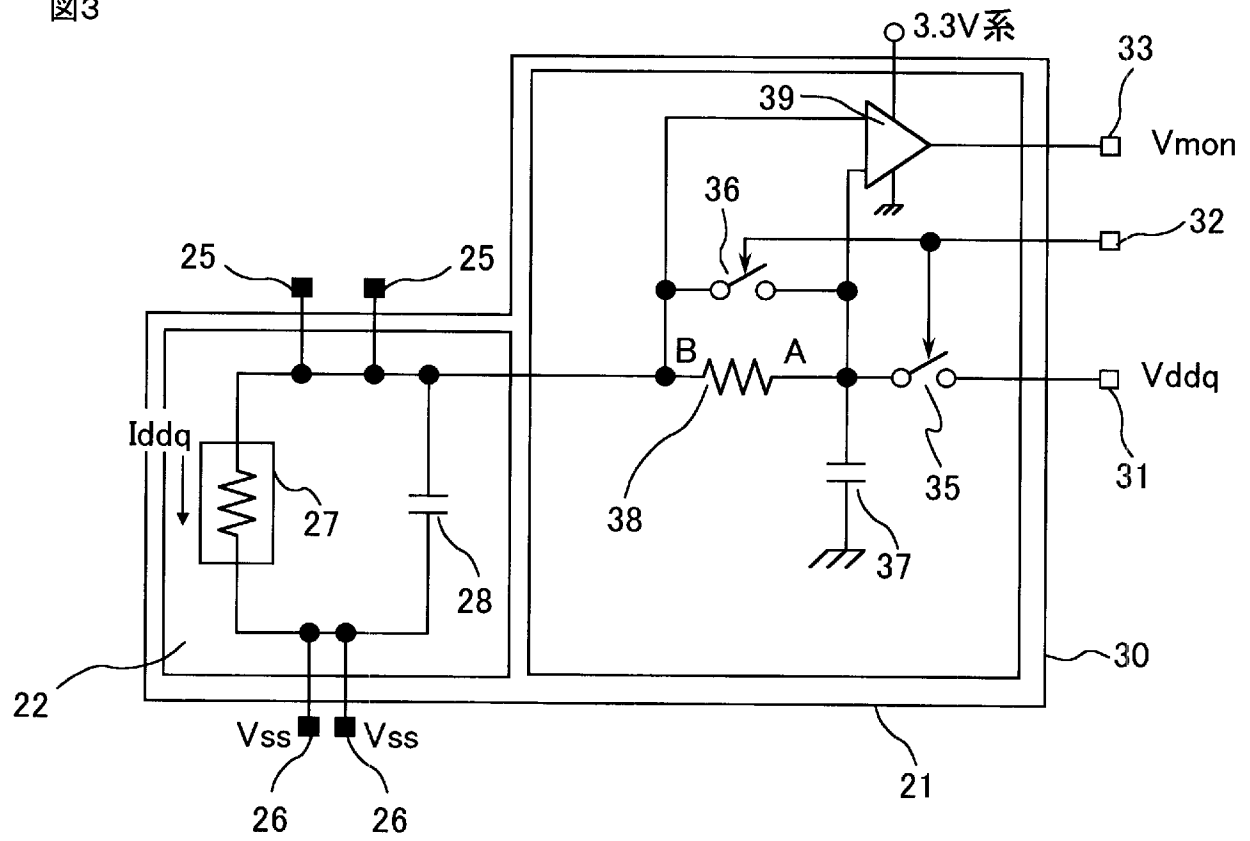
[図2]

図2

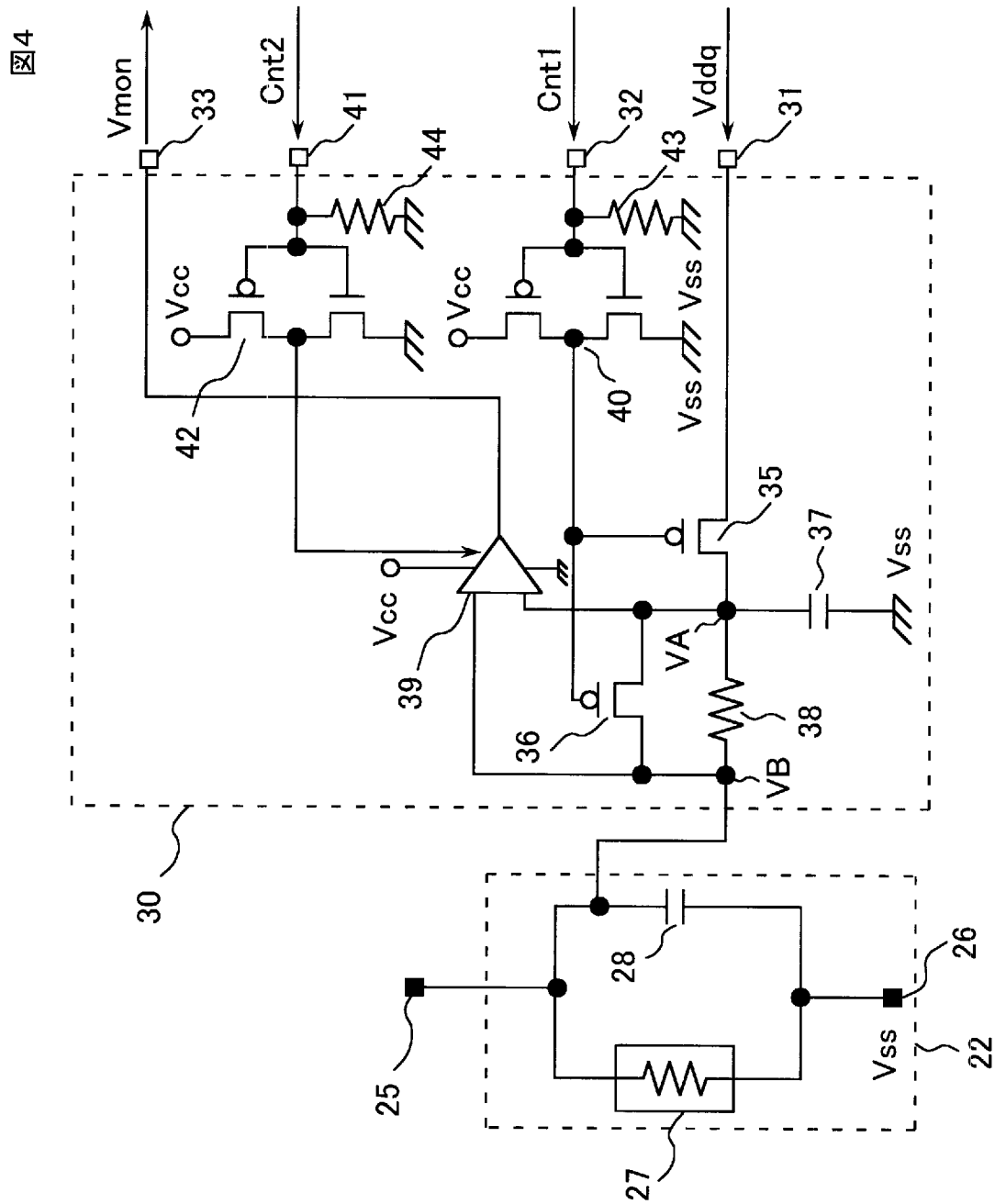


[図3]

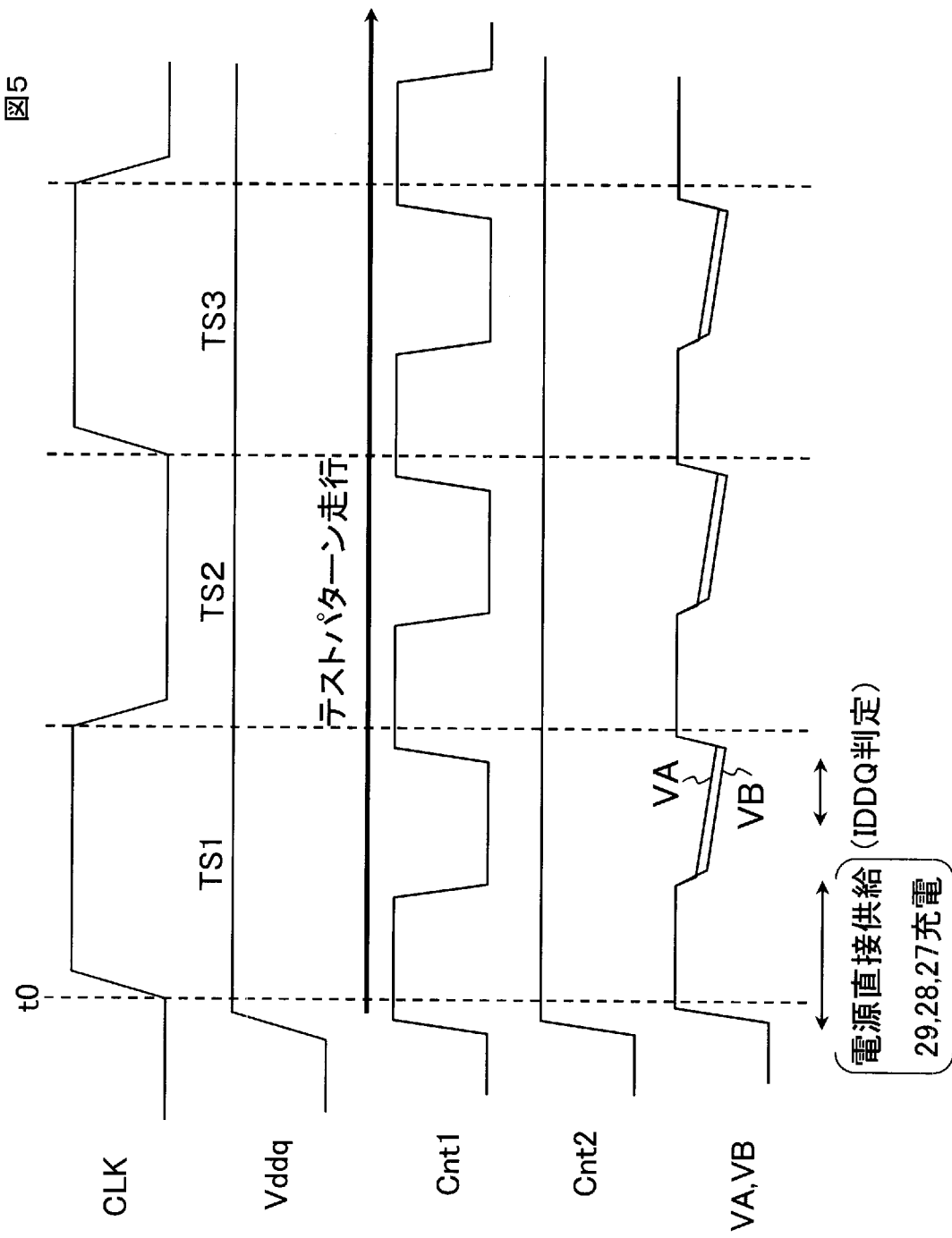
図3



[図4]

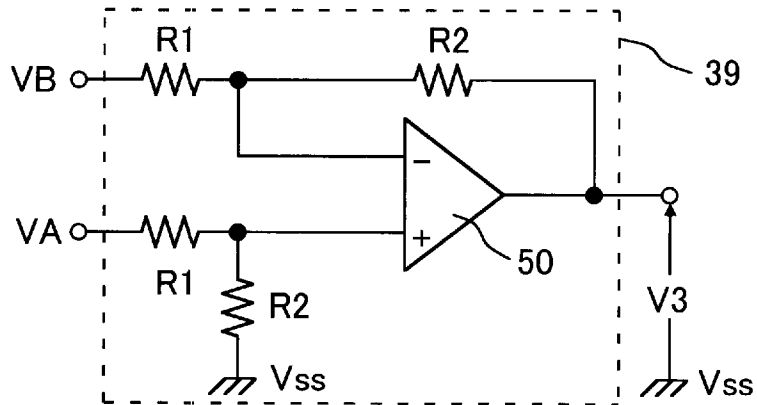


[図5]

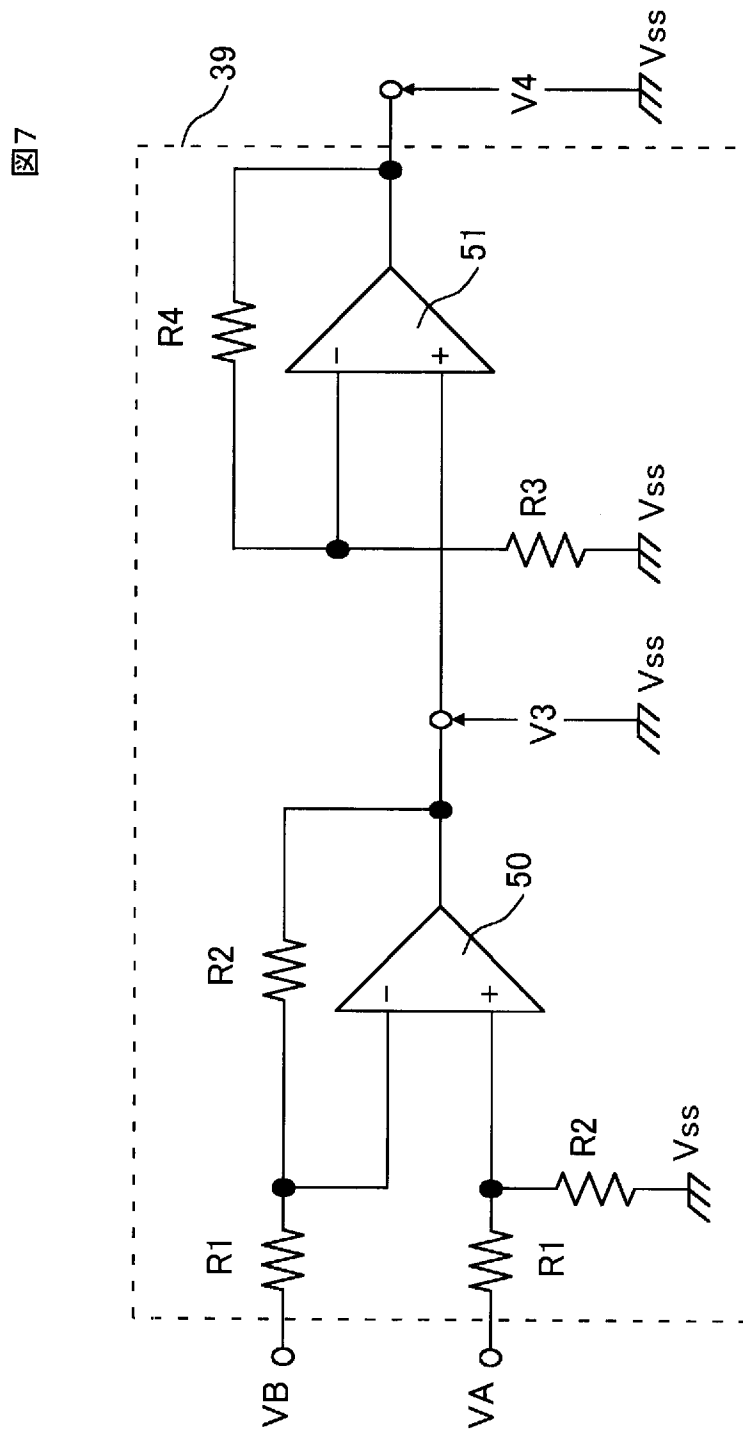


[図6]

図6

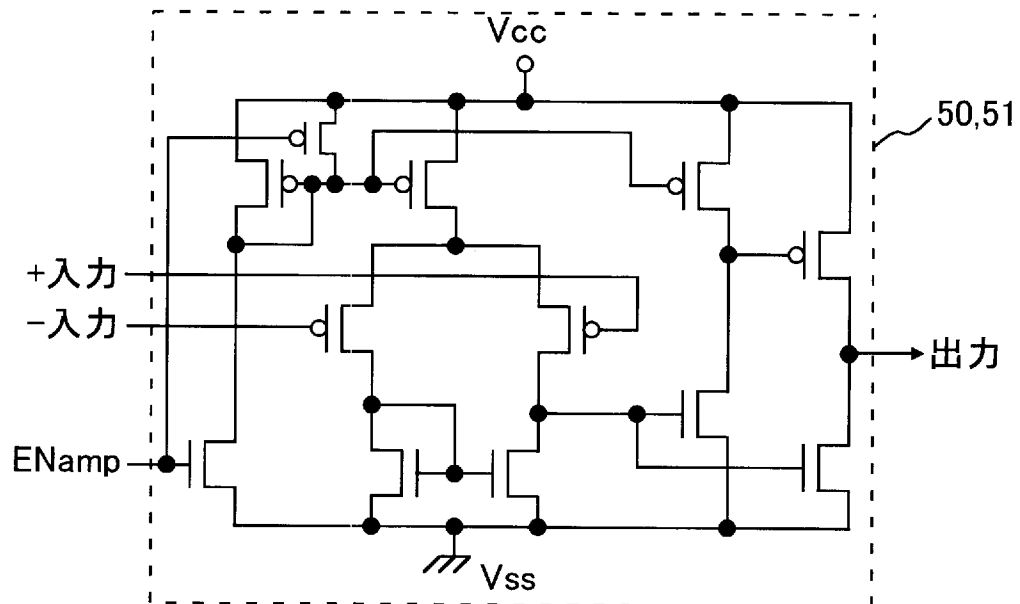


[図7]



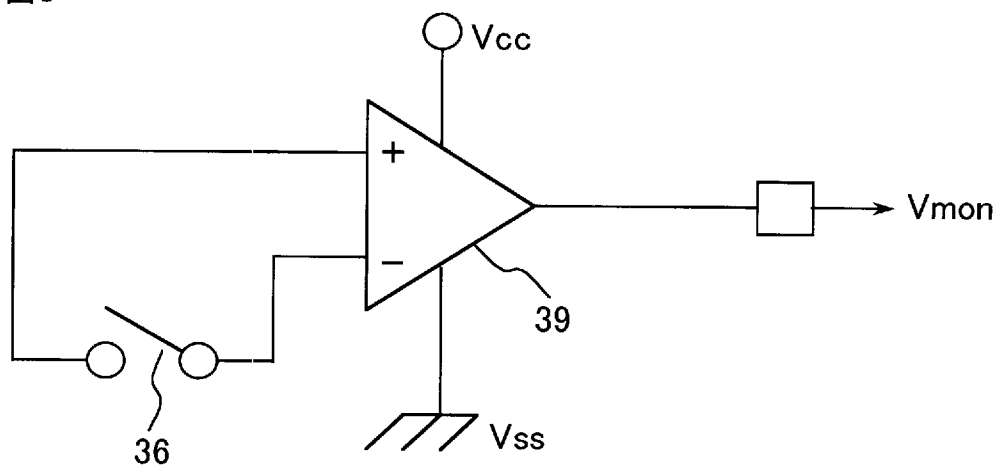
[図8]

図8



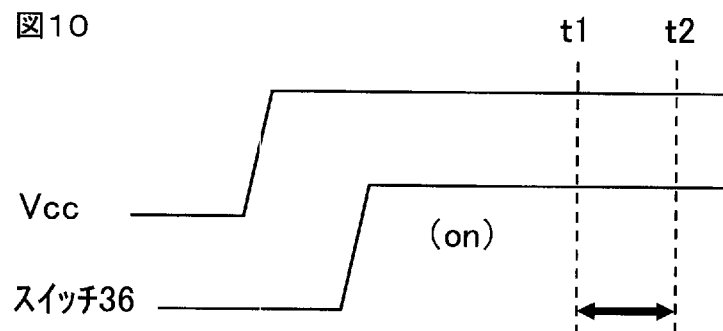
[図9]

図9



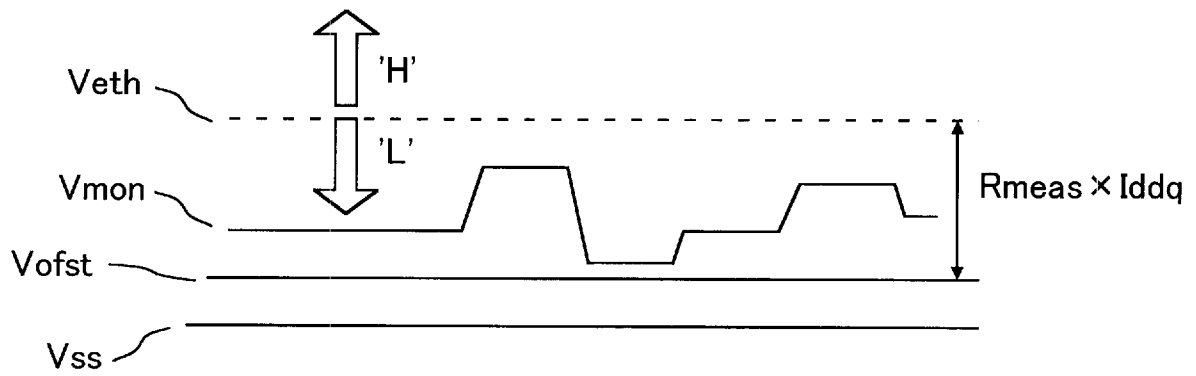
[図10]

図10



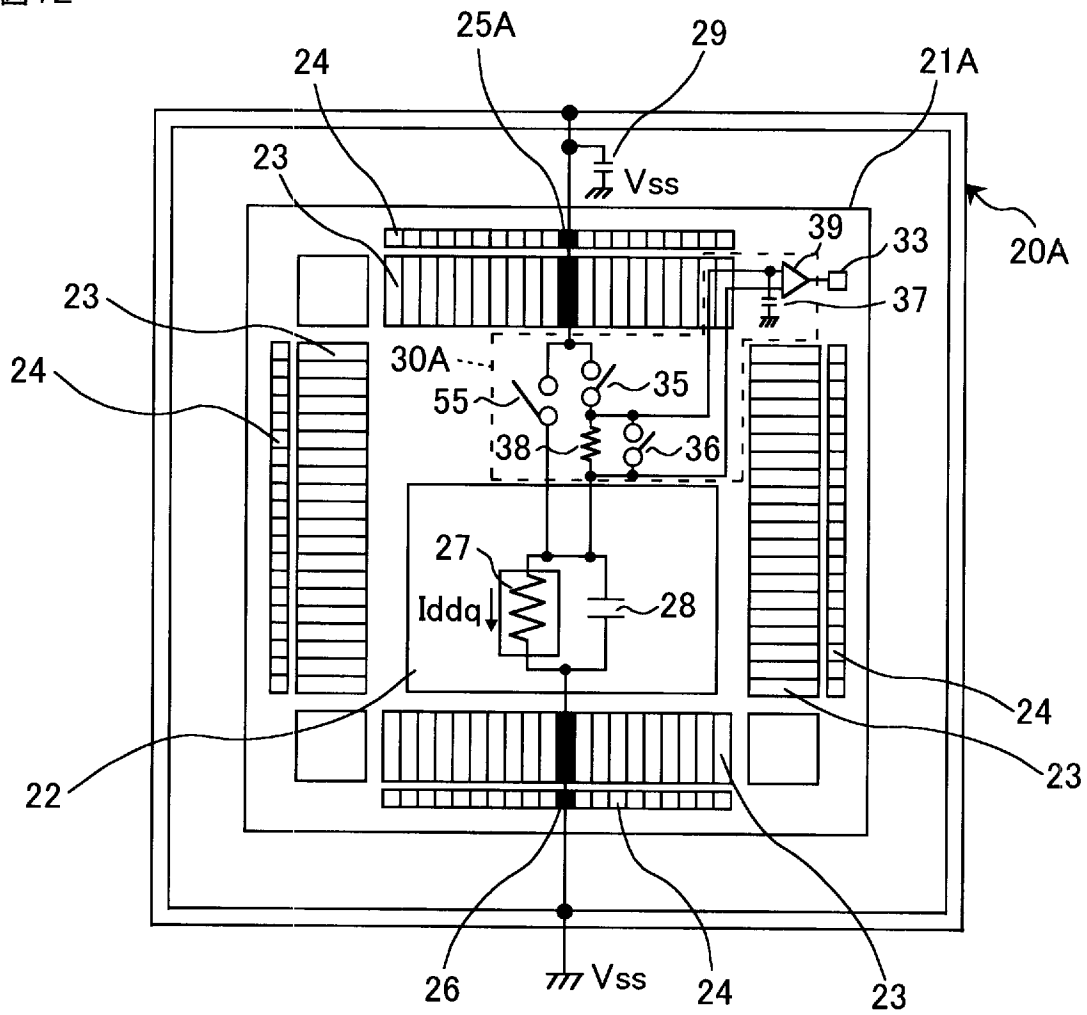
[図11]

図11



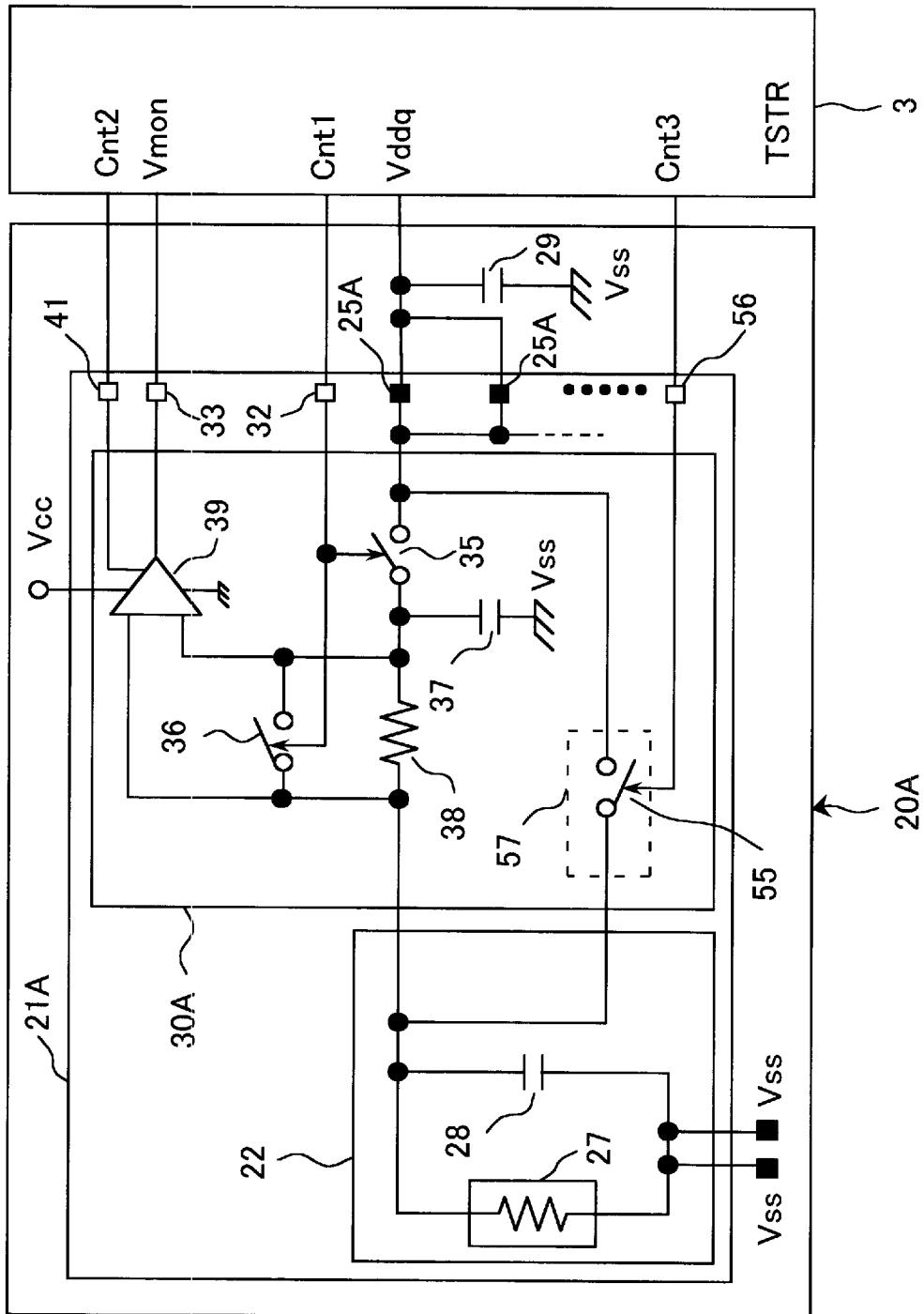
[図12]

図12



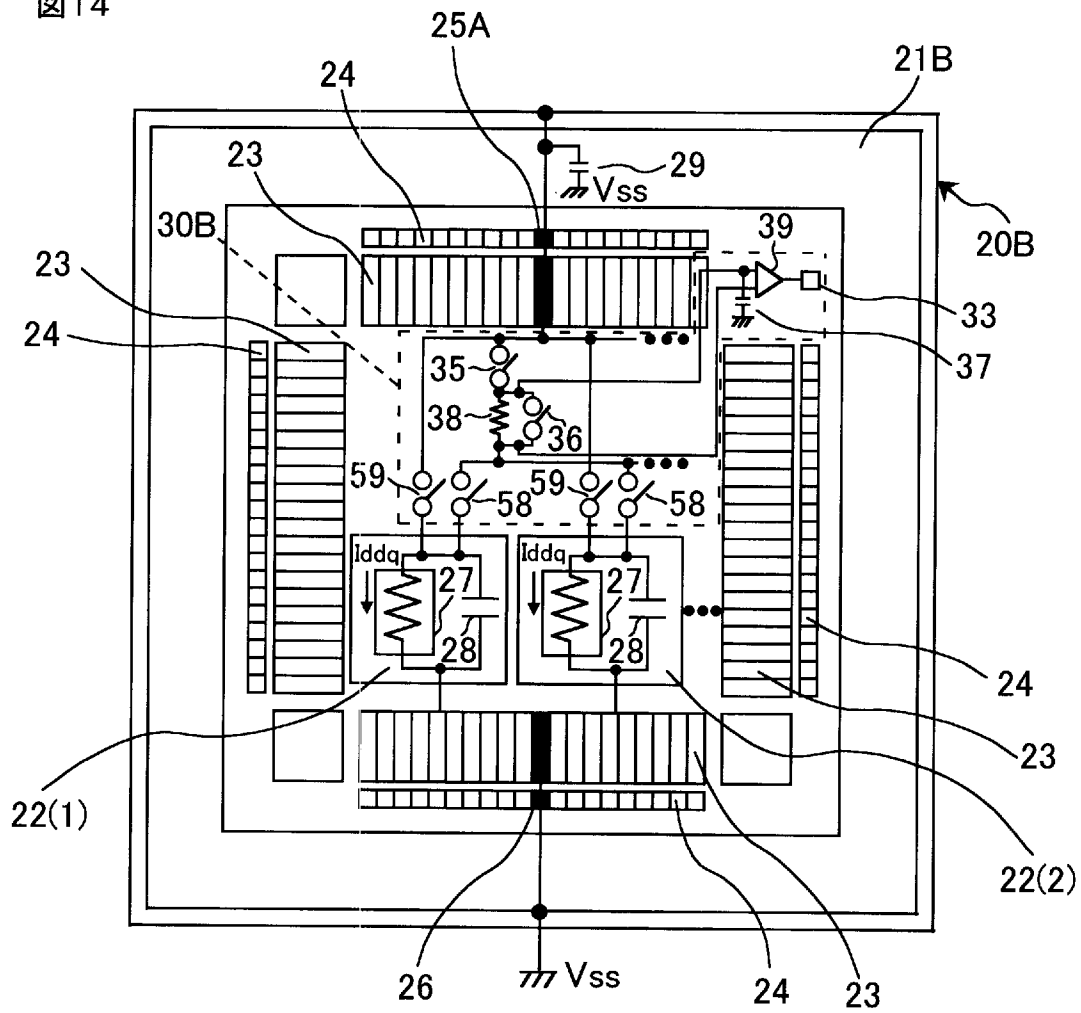
[図13]

図13



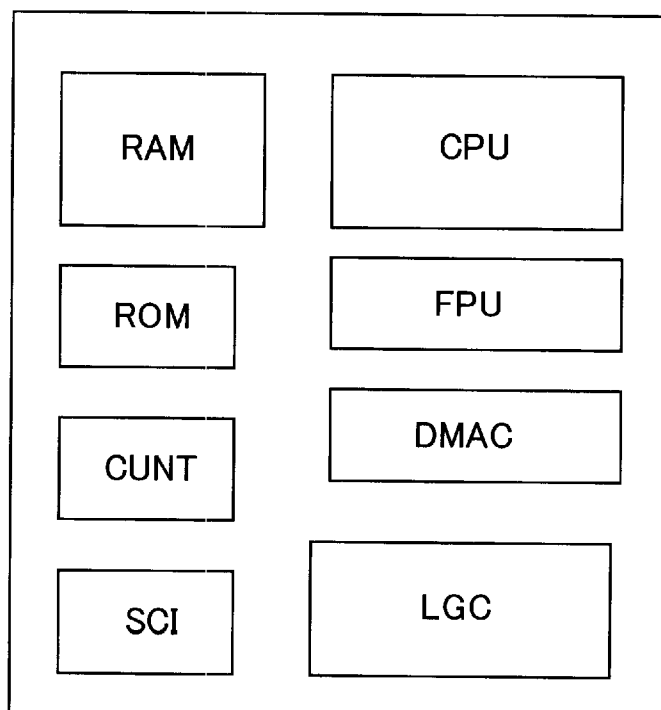
[図14]

図14



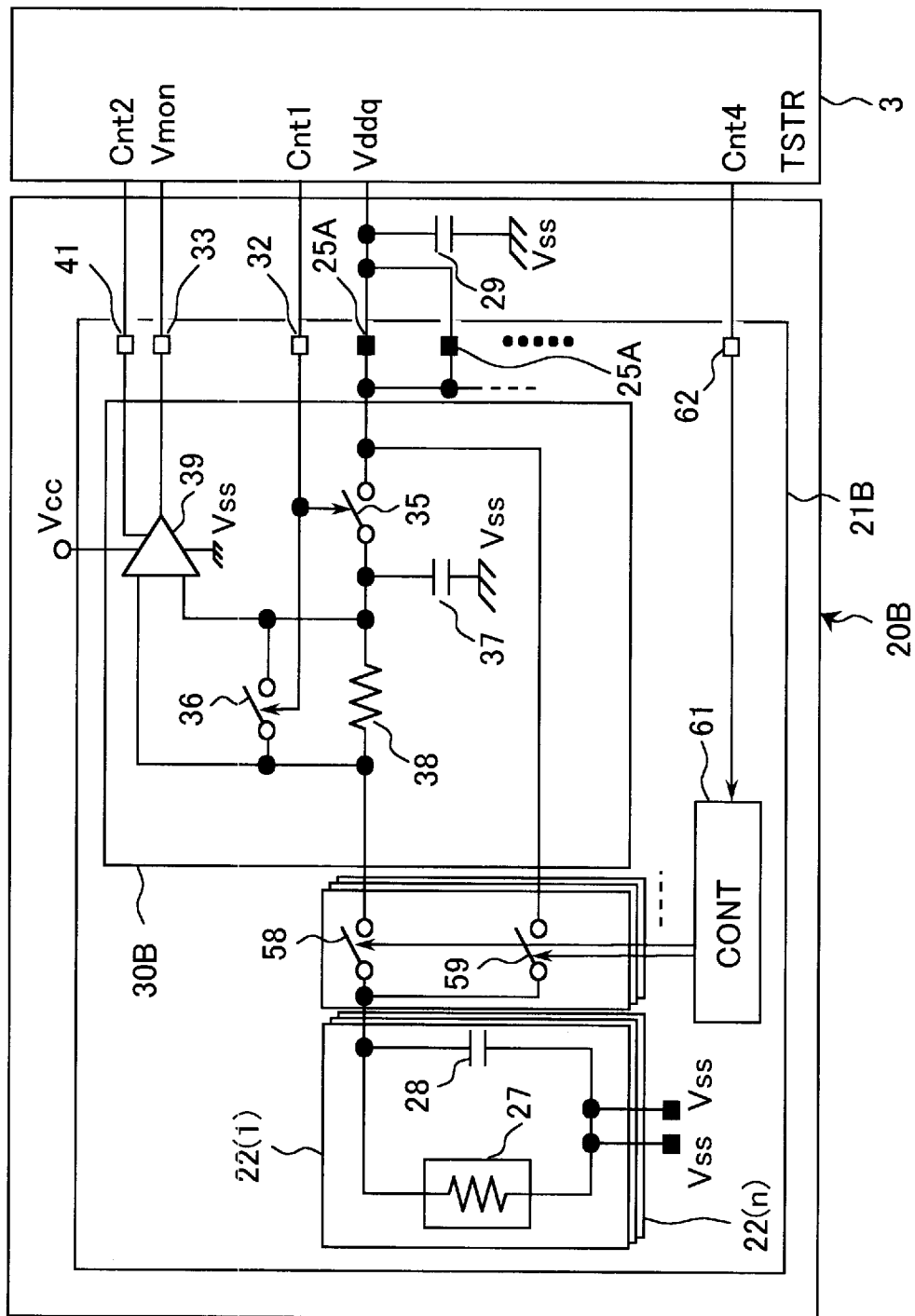
[図15]

図15



[図16]

図16



[図17]

図17

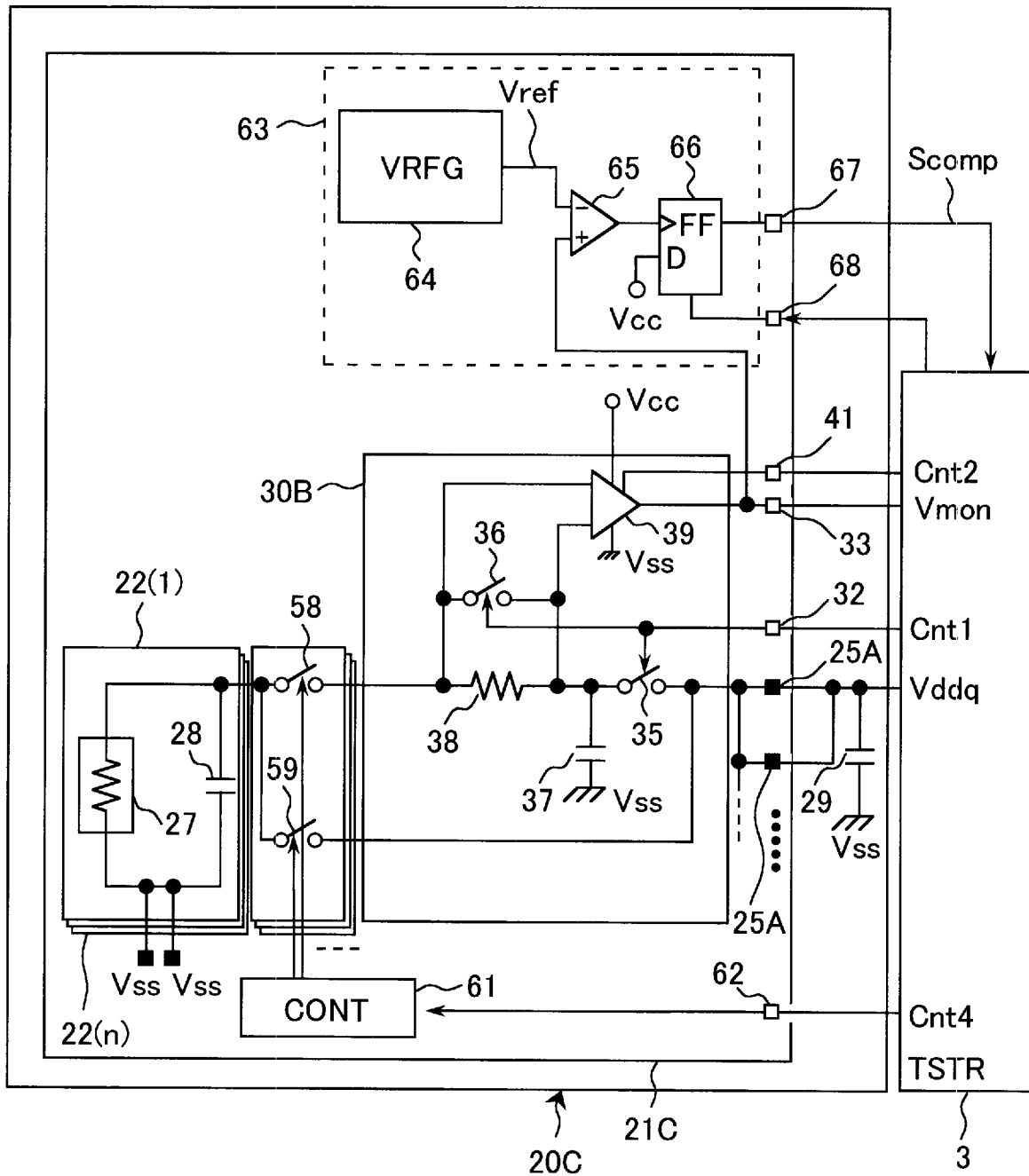
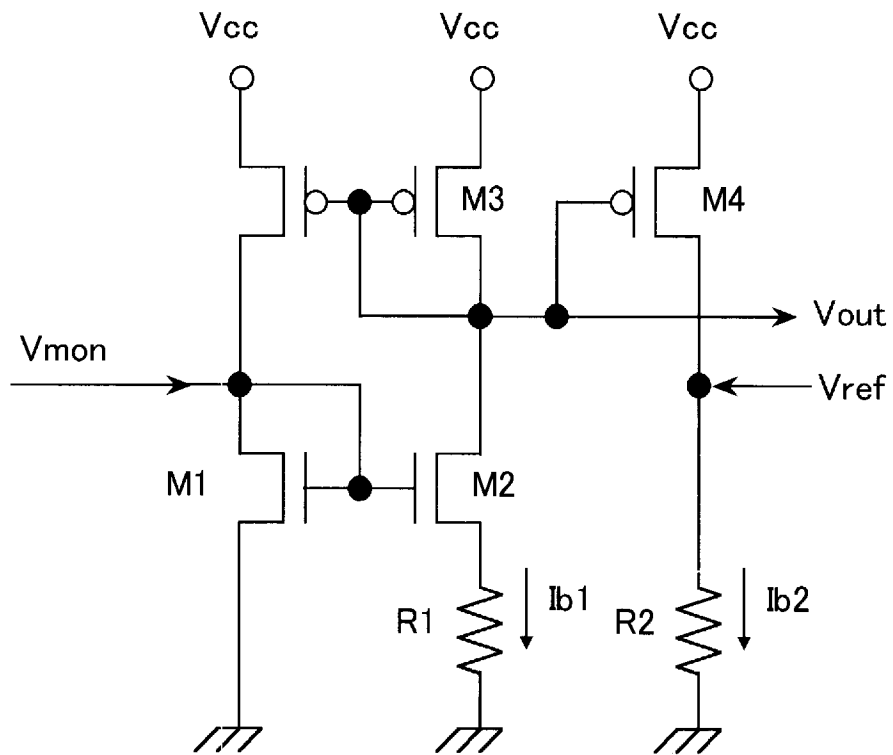
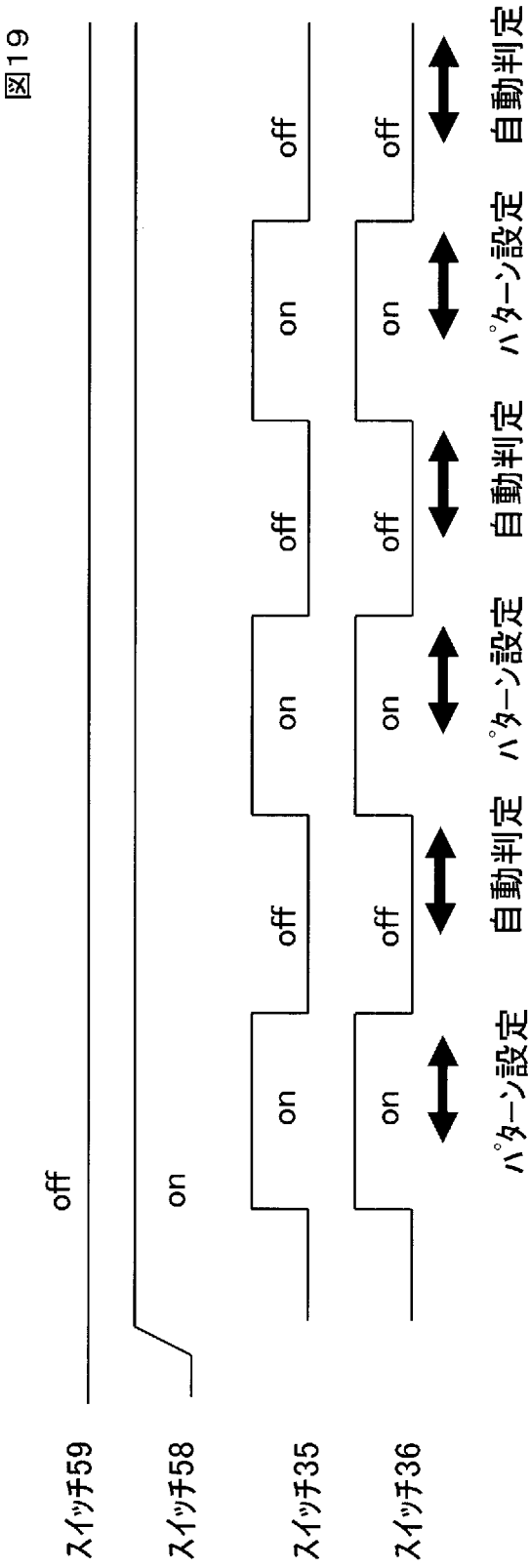


图 18



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019541

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/26(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/26(2006.01) , **G01R31/28-31/3193**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-171493 A (Advantest Corp.), 23 June, 2000 (23.06.00), Full text; Figs. 1 to 9 & US 2002/41190 A1 & TW 434873 B	1-29
A	JP 7-248353 A (Sony/Tektronix Corp.), 26 September, 1995 (26.09.95), Full text; Figs. 1 to 4 (Family: none)	1-29

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 January, 2006 (24.01.06)

Date of mailing of the international search report
07 February, 2006 (07.02.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl G01R31/26 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl G01R31/26 (2006.01), G01R31/28-31/3193 (2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	J P 2000-171493 A (株式会社アドバンテスト) 2000.06.23 全文, 図1-9 &US 2002/41190 A1 &TW 434873 B	1-29	
A	J P 7-248353 A (ソニー・エレクトロニクス株式会社) 1995.09.26 全文, 図1-4 (ファミリーなし)	1-29	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 24.01.2006		国際調査報告の発送日 07.02.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中村 直行 電話番号 03-3581-1101 内線 3258	2S 9214