

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/28

H01L 21/316 H01L 21/82

H01L 21/8234



[12] 发明专利申请公开说明书

[21] 申请号 200410000801.4

[43] 公开日 2004 年 8 月 18 日

[11] 公开号 CN 1521810A

[22] 申请日 1998.3.4

[21] 申请号 200410000801.4

分案原申请号 03123307.4

[30] 优先权

[32] 1997.3.5 [33] JP [31] 050781/1997

[71] 申请人 株式会社日立制作所

地址 日本东京都

[72] 发明人 田边义和 酒井哲 夏秋信义

[74] 专利代理机构 北京市金杜律师事务所

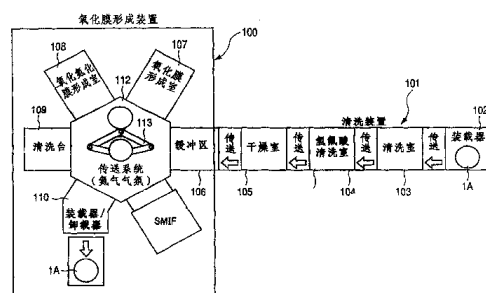
代理人 王茂华

权利要求书 1 页 说明书 23 页 附图 27 页

[54] 发明名称 半导体集成电路器件的制造方法

[57] 摘要

一种半导体集成电路器件的制造方法，包括 (a) 使用催化剂在第一温度下合成湿气；(b) 保持湿气为气体状态，将其供给到晶片上方以形成含有氧气的第一湿氧化气氛；(c) 将晶片的第一主表面加热到高于第一温度的第二温度，在第一湿氧化气氛下对晶片的第一主表面的第一硅表面区进行热氧化，形成第一场效应晶体管的第一栅绝缘膜；(d) 在步骤(c)之后，在第三温度下使用催化剂来合成湿气；(e) 保持步骤(d)中合成的湿气为气态并把它供给到晶片上方，以形成含有氧气的第二湿氧化气氛；(f) 通过将第一主表面加热到高于第三温度的第四温度，在第二湿氧化气氛下对第一主表面的第二硅表面区进行热氧化，形成第二场效应晶体管的第二栅绝缘膜，第二绝缘膜的厚度比第一绝缘膜的厚度小。



1. 一种半导体集成电路器件的制造方法，包括以下步骤：

(a) 使用催化剂在第一温度下合成湿气；

5 (b) 保持所述湿气为气体状态，并将其供给到晶片上方以形成含有氧气的第二湿氧化气氛；

(c) 通过将所述晶片的第一主表面加热到高于第一温度的第二温度，在第一湿氧化气氛下对所述晶片的所述第一主表面的第一硅表面区进行热氧化，因此形成第一场效应晶体管的第二栅绝缘膜；

10 (d) 在步骤(c)之后，在第三温度下使用催化剂来合成湿气；

(e) 保持步骤(d)中合成的湿气为气态并把它供给到所述晶片上方，以形成含有氧气的第三湿氧化气氛；

(f) 通过将所述第一主表面加热到高于所述第三温度的第四温度，在所述第三湿氧化气氛下对所述晶片的所述第一主表面的第二硅表面区进行热氧化，因此形成第二场效应晶体管的第三栅绝缘膜，
15 所述第三绝缘膜的厚度比第二绝缘膜的厚度小。

2. 根据权利要求1的半导体集成电路器件的制造方法，其中所述第一和第二湿氧化气氛含有作为它们的主要氧化气体成分的氧气。

20 3. 根据权利要求2的半导体集成电路器件的制造方法，其中所述第一和第二湿氧化气氛含有作为它们的主要气体成分的氧气。

4. 根据权利要求1的半导体集成电路器件的制造方法，其中所述绝缘栅型场效应晶体管的栅长不大于 $0.25\ \mu\text{m}$ 。

5. 根据权利要求1的半导体集成电路器件的制造方法，其中所述
25 所述第一和第三温度的范围是从350摄氏度到450摄氏度，所述第二和第四温度不低于800摄氏度。

6. 根据权利要求1的半导体集成电路器件的制造方法，其中当向所述晶片的所述第一主表面周围提供所述湿氧化气氛时，进行步骤(c)和步骤(f)中的热氧化处理。

半导体集成电路器件的制造方法

5 本申请是申请日为 1998 年 3 月 4 日、分案提交日为 2003 年 4 月 25 日、申请号为 03123307.4、发明名称为“半导体集成电路器件的制造方法”的专利申请的分案申请。

本发明涉及包括半导体器件的半导体集成电路器件的制造方法，特别涉及适用于形成如 MOSFET(金属氧化物半导体场效应晶体
10 管)的栅氧化膜(绝缘膜)的技术。

在半导体工业的最初阶段，广泛地使用起泡，即如氧气等的携带气体穿过起泡器中的水。虽然该技术的优点在于可以提供宽范围的湿气含量，但不能避免污染的问题，由此目前已很少使用该技术。因此，已广泛使用的氧气和氢气燃烧法，即致热系统，以避免起泡器的不足。

15 对于本发明致力于的改进热氧化和为此使用的湿气产生法，以下为已知的现有技术。

(1)在 Ohmi 的日本专利特许公开 No. Hei 6-163517 中，介绍了一种在半导体工艺中降低温度的低温氧化技术。在该应用例 1 中，提出了一种方法，其中氢气添加到包括约 99% 的氢气和约 1% 的氧气气体气氛中，添加量从 100ppm 到 1%，在 700℃ 以下特别是 450℃ 以下的氢气燃烧温度通过不锈钢催化剂的作用得到水蒸汽。此外，在应用
20 例 2 中，指出在由 99% 的氧气和 1% 的水蒸汽的气氛中热氧化硅，水蒸汽是使用催化剂在 600℃ 的氧化温度在常压或压力下形成的。

(2)在日本专利特许公开 No. Hei 7-321102(Yosikoshi)中介绍了在
25 850℃ 的氧化温度在很低的湿气浓度下，即 0.5ppm 的超低湿气含量区域或干燥区域内高温热氧化硅表面，以避免湿气造成的各种问题。

(3)在 Honma 等人的日本专利特许公开 No. Sho60-107840 中，介绍了一种硅的热氧化法，其中为了减少在于氧化环境中湿气引起的含水量的变化，有目的地添加根据常规的方法形成的约几十 ppm 水平

的很少量的湿气。

(4)在日本专利特许公开 No. 5-152282(Ohmi I)中公开了一种具有氢气进料管和加热氢气进料管的装置的热氧化装置,进料管的内表面由 Ni(镍)或含 Ni 的材料构成,以防止如前所述在石英管的端部产生颗粒。在所述热氧化装置中,通过在加热到 300℃以上的氢气进料管内使氢气接触 Ni(或含 Ni 的材料),氢激活的反应物 (species)与氧气或含氧气体反应形成水。特别是,随不涉及燃烧的催化系统形成水,由此氢气进料管不可能在它的端部熔化产生颗粒。

(5)在日本专利特许公开 No. Hei 6-115903(Ohmi II)中公开了一种湿气产生方法,使用了一种催化系统,包括混合氧气、氢气和惰性气体以制备第一混合气体的混合气体制备步骤,和第一混合气体引入到由具有催化作用并能将氢和氧转变为基团的材料构成的反应管内,加热反应管以使第一混合气体中存在的氢气和氧气反应,由此产生水的湿气产生步骤。

根据该方法,能够在较低温度下进行反应使用的催化材料用做氢气和氧气之间反应使用的反应管。最终,能够在低温下产生水。因此,氢气、氧气和惰性气体的混合气体送入加热的反应管,在反应管内 500℃以下的温度氢气和氧气进行完全的反应。由此,在低于燃烧系统的温度下得到含有湿气的气体。

此外,如果从中去掉所有的塑料材料后仅将金属材料用做气体接触部分对金属表面进行钝化处理之后,那么从表面释放出的气体(湿气、碳氢化合物等)量很少。这允许在宽范围的浓度(覆盖 ppb 到%)中以更高的精确度产生更纯净的湿气。通过在酸或杂质浓度为几 ppb 以下的弱酸气氛中热处理已进行了电解抛光或电解组合物抛光的不锈钢进行钝化处理。

(6)在日本专利特许公开 No. Hei5-141871(Ohmi III)中公开了一种热处理装置,包括至少能够打开和关闭它的开口,通过它取出和放入要处理的产品,具有提供的气体进入其内的供气口的炉芯管,加热炉芯管内部的加热装置,与供气口连接的供气管,以及加热供气管的

加热装置，其中至少供气管的内表面由 Ni(含 Ni 的材料)制成。

所述热氧化装置提供有氢激活反应物产生装置，以由氢气或含氢气体形成氢激活反应物，同时不产生等离子体，该装置位于放置在炉芯管内要处理的产品的上游。氢气或含氢气体引入到氢激活反应物产生装置，以产生氢的激活反应物。为此目的，如果其上形成有氧化膜的硅衬底例如放置在炉芯管内作为要处理的产品，那么氢的激活反应物扩散到氧化膜内，终止了氧化膜中和氧化膜/硅界面的悬空键。由此，可以期望得到高可靠性的栅氧化膜。

(7)在 Nakamura 等人的日本专利特许公开 No. Hei 5-144804 中，阐述了使用镍催化剂形成的氢激活反应物热处理氧化硅膜的技术。

(8)在电化学协会的电子材料委员会发起的第 45 届半导体集成电路技术的论文集的 128 到 133 页，报导了强还原气氛中的硅氧化工艺，在强还原气氛中主要包括使用催化剂产生的适用于快闪存储器的隧道氧化膜的氢基和来自湿气的氢。

(9)在 Ohmi 的日本专利特许公开 No. Hei 6-120206 中，介绍了一种烧结技术，使用借助镍催化剂产生的氢的激活反应物，用于绝缘和隔离选择性外延生长区的绝缘膜。

(10)在 Kobayashi 等人的日本专利特许公开 No. Sho59-132136 中，介绍了一种在湿气和通常方法产生的氢气的氧化和还原性混合气氛中氧化和还原硅以及难熔金属的工艺。

在大多数近来根据深亚微米设计原则制造的 MOS 器件中，需要形成 10nm 以下很薄的栅氧化膜，以保持精细分开的元件的电特性。例如，栅长度为 $0.35\mu\text{m}$ 时，栅氧化膜的需要厚度约 9nm。如果栅长度为 $0.25\mu\text{m}$ ，可以假定氧化膜的厚度变得很薄，约 4nm。

一般来说，在干氧气氛中形成热氧化膜。形成栅氧化膜时，通常使用湿氧化工艺(湿气的局部压力的比例通常为几十%)，原因是可以减小膜中缺陷的密度。根据湿氧化工艺，在氧气的气氛中燃烧氢气的结果形成湿气，湿气和氧气一起提供到半导体晶片的表面(例如，制造集成电路的晶片或集成电路的晶片)，由此形成氧化膜。考虑到氢

气的燃烧, 氧气已预先充分地流过之后再点燃氢气, 以便避免爆炸的危险。此外, 氢气+氧气的混合气体中作为氧化反应物的湿气的浓度增加到约 40% 的水平(在气氛中的总压力中湿气占据的局部压力)。

然而, 应指出的是以上的燃烧系统有以下问题: 由于点燃并燃烧
5 氢气的同时从固定在氢气提供管端部的石英喷嘴注入, 当氢气的量太小时, 反应火焰太靠近喷嘴; 最终喷嘴被施加其上的热熔化, 产生颗粒, 成为半导体晶片的污染源(相反, 如果氢气的量增加过量, 反应火焰到达燃烧管的端部, 所以使石英壁熔化, 由此产生颗粒, 或者火焰在壁表面冷却并熄灭, 由此存在安全问题)。此外, 在燃烧系统中,
10 水+作为氧化反应物的氧气的混合气体中的湿气浓度很高以至氢气和 OH 基被吸入栅氧化膜。由此, 如 Si-H 键、Si-OH 等的结构缺陷容易在薄膜中或在与硅衬底的界面产生。通过施加如热载流子注入等的电压应力可以断开这些键, 形成电荷陷阱, 由此降低了如阈值电压变化等的膜的电特性。

15 应该指出的是在本发明人的日本专利特许公开 No. Hei9-172011 和本发明人和 Ohimi 等人的国际专利公开 No. PCT/JP97/00188(国际申请日: 1997 年 1 月 27 日)中介绍了这些情况的具体内容和使用新颖的催化剂的改进的水形成装置的详细内容。

根据我们的研究, 已知的氧化形成方法很难厚度均匀且高精度地
20 形成高质量 5nm 以下很薄的栅氧化膜(实际上当厚度超过 5nm 时, 也期望得到类似的效果)。不必说, 形成较厚的膜在许多方面同样不令人满意。

为了形成均匀厚度高精度的很薄氧化膜, 需要在低于形成较厚氧化膜的氧化膜生长速率和更稳定的氧化条件下形成膜。例如, 在使用
25 以上介绍的这种燃烧系统的氧化膜形成方法中, 可以将水+作为氧化反应物的氧气的混合气体中的湿气浓度仅控制在从 18% 到约 40% 的浓度范围内。在这些条件下, 薄氧化膜的氧化膜生长速率很高, 由此可以在很短的时间内形成膜。另一方面, 如果氧化在 800℃ 以下的晶片温度进行以降低膜生长速率, 那么膜质量降低(当然通过适当地控

制其它的参数本发明也适用于 800℃以下的温度范围)。

为了形成清洁的氧化膜，需要预先通过湿清洗除去形成在半导体晶片表面上的低质量的氧化膜。然而，在将晶片从湿清洗步骤传送到氧化步骤期间，薄自然氧化膜不可避免地形成在晶片表面上。此外，
5 在氧化步骤中，通过在预定的氧化之前通过接触氧化反应物中的氧，不希望初始氧化膜形成在晶片表面上。特别是，使用燃烧系统的氧化膜形成方法，充分流过氧气之后燃烧氢气，以避免氢气爆炸的危险，由此晶片表面暴露到氧气的时间延长，由此形成厚初始氧化膜(现已知道在正常的压力下、560℃以上的温度、4%以上的氢气含量和足够的
10 的氧气含量下发生氢气的爆炸性燃烧，即“爆炸”。)

由此，实际的氧化膜的结构包括：除了预定的氧化形成的氧化膜之外，还包括自然氧化膜和初始氧化膜。这些自然氧化膜和初始氧化膜质量都比预定的真正的氧化膜低。因此，为了得到高质量的氧化膜，需要将低质量膜与整个氧化膜的比例抑制到尽可能低的水平。然而，
15 当根据已知的氧化膜形成方法形成很薄的氧化膜时，这些较低质量膜的比例显著增加。

例如，当使用公知的氧化膜形成方法形成 9nm 厚的氧化膜时，其中氧化膜中的自然氧化膜和初始氧化膜的厚度假定分别为 0.7nm 和 0.8nm，那么真正的氧化膜的厚度为 $9 - (0.7 + 0.8) = 7.5\text{nm}$ 。整个氧化膜
20 中真正的氧化膜的比例约 83.3%。然而，当根据已知的氧化膜形成方法形成 4nm 厚的氧化膜时，自然氧化膜和初始氧化膜的厚度没有变化仍分别为 0.7nm 和 0.8nm，那么由此真正的氧化膜的厚度为 $4 - (0.7 + 0.8) = 2.5\text{nm}$ ，它的比例降低到 62.5%。特别是，如果根据公知的氧化膜形成方法形成很薄的氧化膜时，不仅不能确保膜厚度均匀和
25 精度，而且膜的质量降低。

为了解决以上问题，我们注意了 Ohmi 等人使用催化剂的湿气产生法。根据我们的研究，这些方法在假设“氢基的寿命很长”的基础上强调了氢基的强还原作用。因此，显然这些方法不能适用于半导体集成电路的大规模生产工艺。换句话说，为了适合于半导体工艺，我

们发现需要在以下的假设的基础上研究需要的参数,即“氢基的寿命很短,在催化剂上产生基团,并且基团化学结合或返回到催化剂上或催化剂附近的基态”。

此外,根据本发明人,现已清楚从0到10ppm范围的湿气的分压比例属于干区域,其中相对于下文介绍的精细工艺中栅氧化膜等需要的膜质量,出现所谓的干氧化性质比所谓的湿氧化差。

类似地,我们发现湿气分压比例从10ppm到 1.0×10^3 ppm(即,0.1%)范围的超低湿气区基本上显示出与干氧化大体上相同的特性。

此外,还发现从0.1%到10%范围的低湿气分压比例的湿区域中的热氧化(特别是,在0.5%到5%范围内的湿气分压比例的低温区域)特性相对好于其它区域中的热氧化性质(包括干区域,在10%以上的燃烧系统中通常使用的区域,以及具有使用起泡器等得到的几十%湿气浓度的高湿气区域)。

本发明的一个目的是提供一种形成均匀厚度和高精度的高质量很薄氧化膜的技术。

为此,本发明提供一种半导体集成电路器件的制造方法,包括以下步骤:

(a)使用催化剂在第一温度下合成湿气;

(b)保持所述湿气为气体状态,并将其供给到晶片上方以形成含有氧气的第二湿氧化气氛;

(c)通过将所述晶片的第一主表面加热到高于第一温度的第二温度,在第一湿氧化气氛下对所述晶片的所述第一主表面的第一硅表面区进行热氧化,因此形成第一场效应晶体管的第一栅绝缘膜;

(d)在步骤(c)之后,在第三温度下使用催化剂来合成湿气;

(e)保持步骤(d)中合成的湿气为气态并把它供给到所述晶片上方,以形成含有氧气的第二湿氧化气氛;

(f)通过将所述第一主表面加热到高于所述第三温度的第四温度,在所述第二湿氧化气氛下对所述晶片的所述第一主表面的第二硅表面区进行热氧化,因此形成第二场效应晶体管的第二栅绝缘膜,所述

第二绝缘膜的厚度比第一绝缘膜的厚度小。

从本说明书的介绍和附图中本发明的以上和其它的目的以及新颖的特点变得很明显。

图 1 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 2 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 3 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 4 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 5 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 6 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 7 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 8 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 9 为形成栅氧化膜使用的单晶片型氧化膜形成装置的示意图。

图 10 为示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 11(a)示出了氧化膜形成室布局的一个例子的示意性平面图，(b)为沿线(a)的 B-B' 截取的剖面图。

图 12(a)示出了氧化膜形成室布局的另一个例子的示意性平面图，(b)为沿线(a)的 B-B' 截取的剖面图。

图 13 示出了连接到膜形成室的催化剂类型的湿气发生器的示意图。

图 14 为图 13 的部分示意性放大图。

图 15 示出了栅氧化膜形成顺序的一个例子的示意图。

图 16 示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 17 为示出了湿气浓度与氧化膜生长速率之间的关系曲线。

5 图 18 为示出了湿气浓度与 MOS 二极管的氧化膜的初始阈值压力之间的关系曲线。

图 19 为示出了湿气浓度与 MOS 二极管的氧化膜的初始击穿电压之间的关系曲线。

图 20 为栅氧化膜面内晶片膜厚度分布的示意图。

10 图 21 为氧化膜中成分细节的曲线图。

图 22 示出了根据本发明的实施例 1 半导体集成电路器件的制造方法的主要部分的剖面图。

图 23 示出了根据本发明实施例 1 的半导体集成电路器件的制造方法的主要部分的剖面图。

15 图 24 示出了根据本发明实施例 1 的半导体集成电路器件的制造方法的主要部分的剖面图。

图 25 示出了根据本发明实施例 1 的半导体集成电路器件的制造方法的主要部分的剖面图。

20 图 26 示出了根据本发明实施例 1 的半导体集成电路器件的制造方法的主要部分的剖面图。

图 27 示出了根据本发明实施例 2 的半导体集成电路器件的制造方法的主要部分的剖面图。

图 28 示出了根据本发明实施例 2 的半导体集成电路器件的制造方法的主要部分的剖面图。

25 图 29 示出了根据本发明实施例 2 的半导体集成电路器件的制造方法的主要部分的剖面图。

图 30 示出了氧化膜形成室布局的一个例子的示意图。

图 31 示出了栅氧化膜形成顺序的一个例子的示意图。

图 32 示出了根据本发明实施例 1 的半导体集成电路器件的制造

方法的主要部分的剖面图。

图 33 示出了根据本发明氧化膜的形成方法的另一个实施例的示意图。

图 34 示出了根据本发明另一实施例的半导体集成电路器件的制造方法的主要部分的剖面图。

现在根据附图详细地介绍本发明的实施例。在示出本发明实施例的附图中，相同的参考数字表示具有相同功能的相同部件，对其不做重复说明。

为了方便起见，分几个例子或几项介绍发明，但实际上这些实施例或项目并不是独立的，而是彼此相关的以构成其它实施例等变例，具体步骤或工艺的细节，或在一些步骤中使用的设备。特别是，如果在一个实施例中介绍的独立的装置或处理单元可以适用于其它的实施例，这些装置或处理单元在其它的实施例中没有重复地介绍。相反，独立示出的各装置或处理单元可以适用于其它的实施例，在其它的实施例中

(半导体工艺 A)

参考图 1 到 26(主要是图 1 到 8、10、16 以及 22 到 26)介绍根据本实施例的 CMOSFET(互补金属氧化物半导体场效应晶体管)的制造方法。

如图 1 所示，热处理电阻率约 $10\Omega\text{cm}$ 的单晶硅制成的半导体衬底 1，形成主表面上厚度约 10nm 的氧化硅膜 2(热氧化工艺 A1)，然后在氧化硅膜 2 上通过 CVD 法淀积约 100nm 厚的氮化硅膜 3。此后，如图 2 所示，光刻胶 4 形成在氮化硅膜 3 上，由此可开出元件隔离区，之后通过光刻胶 4 的掩模构图氮化硅膜 3。

之后，除去光刻胶 4 之后，如图 3 所示，通过氮化硅膜 3 的掩模连续地腐蚀氧化硅膜 2 和半导体衬底 1，在半导体衬底 1 中形成约 350nm 深的槽 5a，在 900 到 1150°C 的温度下热氧化在槽 5a 的内壁上形成氧化硅膜 6(热氧化工艺 A2)。

如图 4 所示，使用例如臭氧(O_3)和四乙氧基硅烷($(\text{C}_2\text{H}_5\text{O})_4\text{Si}$)作为

源气体根据 CVD 法在半导体衬底 1 上淀积厚度约 800nm 的氧化硅膜 7。此后, 如图 5 所示, 通过化学机械抛光(CMP)抛光氧化硅膜 7, 使用氮化硅膜 3 作为抛光终止膜使氧化硅膜 7 仅留在槽 5a 的内部, 由此形成元件隔离槽 5, 之后在约 1000℃下进行热处理, 致密元件隔离槽 5 内的氧化硅膜 7。

接下来, 通过用磷酸的湿腐蚀除去氮化硅膜 3, 之后, 如图 6 所示, 通过在 p 沟道型 MOSFET 形成区(图中的左侧)有开口的光刻胶 8 作为掩模, 形成 n 型阱的杂质离子注入到半导体衬底 1 内。此外, 离子注入控制 p 沟道型 MOSFET 阈值电压的杂质。使用例如 P(磷)在能量为 360KeV 和剂量为 $1.5 \times 10^{12} / \text{cm}^2$ 的条件下离子注入形成 n 型阱的杂质。

除去光刻胶 8 之后, 如图 7 所示, 通过在 n 沟道型 MOSFET 形成区(图中的右侧)有开口的光刻胶 9 作为掩模, 形成 p 型阱的杂质离子注入到半导体衬底 1 内。离子注入控制 n 沟道型 MOSFET 阈值电压的杂质。使用例如 B(硼)作为形成 p 型阱的杂质, 在能量为 200KeV 和剂量为 $1.0 \times 10^{13} / \text{cm}^2$ 的条件下离子注入。此外, 使用例如氟化硼 (BF_2) 作为控制阈值电压的杂质, 在能量为 40KeV 和剂量为 $2 \times 10^{12} / \text{cm}^2$ 的条件下离子注入。

接下来, 除去光刻胶 9 之后, 如图 8 所示, 在 950℃下热处理半导体衬底 1 约 1 分钟, 使 n 型杂质和 p 型杂质扩散, 由此在 p 沟道型 MOSFET 形成区的半导体衬底 1 中形成 n 型阱。同时, 在 n 沟道型 MOSFET 形成区和它的表面附近的 n 型区 13 内形成 p 型阱。

之后, 根据以下的工序(热氧化工艺 A3)栅氧化膜分别形成在 n 型阱 10 和 p 型阱 11 的表面上。

图 9 为形成栅氧化膜使用的单晶片型氧化膜形成装置的示意图。如图所示, 氧化膜形成装置 100 连接在形成栅氧化膜之前通过湿清洗系统除去半导体晶片 1A 表面上的氧化膜的清洗设备 101 的下游。当在处理系统中进行这种清洗氧化时, 以在清洗设备中进行了清洗处理的半导体晶片 1A 在短时间内被传送到氧化膜形成装置 100, 同时使半

导体晶片 1A 不接触空气。由此,从除去氧化膜到形成栅氧化膜期间,尽可能防止半导体晶片 1A 的表面上形成自然氧化膜。

装载在清洗设备 101 的装载器 102 中的半导体晶片 1A 首先传送到清洗室 103,在其中用例如 $\text{NH}_4\text{OH}+\text{H}_2\text{O}_2+\text{H}_2\text{O}$ 制成的清洗溶液对它进行清洗处理,之后再传送到氢氟酸清洗室 104,在其中用稀释的氢氟酸($\text{HF}+\text{H}_2\text{O}$)对晶片进行清洗处理,从它的表面除去氧化硅膜(图 10)。此后,半导体晶片 1A 传送到干燥室 105,并从它的表面除去湿气。要将留在半导体晶片 1A 表面上的湿气除去到满意的程度,因为湿气会在栅氧化膜和栅氧化膜/硅之间的界面产生如 Si-H 和 Si-OH 等的结构缺陷。

干燥处理完成之后得到的半导体晶片 1A 马上穿过缓冲区 106 传送到氧化膜形成装置。

氧化膜形成装置 100 由多室系统组成,包括例如氧化膜形成单元 107、氧化氮化膜形成室 108、清洗台 109、装载器/卸载器 110 等。位于装置中心的传输系统 112 提供有在以上各室之间传送的机械手 113。传输系统 112 的内部保持在如氨气的惰性气体的气氛中,以将在半导体的表面上通过引入空气形成的自然氧化膜抑制到尽可能地低的水平。因为半导体晶片 1A 表面上湿气的淀积被抑制的尽可能的低,所以传送系统 112 内部也保持在 ppb 的超低水平的湿气气氛中。通过机械手 113,传送到氧化膜形成装置 100 的半导体晶片 1A 被一个接一个地或两个两个地传送到氧化膜形成单元 107。

图 11(a)为具体设置的氧化膜形成单元 107 的一个例子的示意性平面图,图 11(b)为沿图 11(a)的线 B-B'截取的剖面图。

所述氧化膜形成单元 107 提供有多个壁的石英管构成的室 120,和在它的上和下部加热半导体晶片 1A 的加热器 121a, 121b。室 120 中容纳有盘形均热环 122,用于将加热器 121a, 121b 提供的热均匀地分散在半导体晶片 1A 的整个表面上,和基座 123,将半导体晶片 1A 水平地保持在它的上部。均热环 122 由如石英、SiC(碳化硅)等的耐热材料制成,借助从室 120 的壁表面延伸出的支撑臂支撑。测量由基座

123 保持的半导体晶片 1A 温度的热电偶 125 设置在均热环 122 的附近。除了包括加热器 121a, 121b 的加热系统之外, 也可以使用包括例如如图 12 所示的灯 130 的加热系统加热半导体晶片 1A。

5 将水、氧气和净化的气体引入到室 120 内的气体引入管 126 的一端与室 120 的部分壁表面相连。气体引入管 126 的另一端与上文介绍的催化剂型湿气生成器相连。具有多个通孔 127 的隔断墙 128 提供在气体引入管 126 的附近。引入到室 120 内的气体借助隔断墙 128 的通孔 127 均匀地贯穿整个室 120。室 120 的壁表面的其它部分与排气管 129 的一端相连, 将引入到室 120 内的气体排出。

10 图 13 和 14 分别为连接到室 120 的催化剂型湿气生成器的示意图。湿气生成器 140 提供有由耐热和腐蚀的合金(即, 例如称为“耐蚀耐高温镍基合金”的镍合金)制成的反应器 141, 其中由如 Pt(铂)、Ni(镍)等的催化材料制成的线圈 142, 并容纳有加热线圈 142 的加热器 143。

15 包括氢气和氧气和包括如氮气、Ar(氩气)等惰性气体的清洗气体的工艺气体通过管道 145 由气体储气室 144a、144b 和 144c 引入到反应器内。在管道 145 上提供有控制气体量的质量流量控制器 146a、146b 和 146c 以及分别导通和关断气体流路径的导通截止阀 147a、147b 和 147c。由此, 可以精确地控制引入进行反应的气体的量和各成分的比例。

20 引入到反应室 141 内的工艺气体(氢气和氧气)与加热到约 350 到 450℃ 的线圈 142 接触, 由此由氢分子产生氢基($H_2 \rightarrow 2H^+$), 由氧分子产生氧基($O_2 \rightarrow 2O^-$)。由于这两种基团化学性质很活跃, 因此发生快速反应产生水($2H^+ + O^- \rightarrow H_2O$)。所述水与氧气在连接部分 148 处混合, 由此稀释到很低的浓度, 之后通过气体引入管 126 注入到氧化膜形成室的室 120 内。

25 所述催化剂型湿气生成器 140 能够高精度地控制形成水时参与的氢气和氧气的量, 由此可以在从 ppt 以下数量级的超低浓度到约百分之几十的高浓度的宽范围内准确地控制和氧气一起引入到氧化膜形成单元 107 的室 120 内的水的浓度。当工艺气体引入到反应器 141

内，于是立即产生水，实时得到需要的湿气浓度。因此，氢气和氧气可以同时引入到反应器 141 内，不需要象使用燃烧系统的常规湿气产生系统一样，在氢气之前引入氧气。应该指出可以用除了以上提到的那些金属以外的任何材料代替反应器 141 内的催化金属，只要它们能够激活(radicalize)氢气和氧气。除了使用处理为线圈形式的催化金属之外，还可以处理为例如空心管或细纤维滤网，工艺气体穿过其中。

现在参考图 15 介绍使用氧化膜形成装置 100 顺序形成栅氧化膜的一个例子。

首先，打开氧化膜形成单元 107 的室 120，之后引入清洗气体的同时将半导体晶片 1A 装载到基座 123 上。将半导体晶片 1A 传送到室 120 直到它装载到基座 123 上需要的时间为 55 秒。此后，关闭室，之后进一步引入清洗气体 30 分钟，以满意地更换室 120 内的气体。预先借助加热器 121a、121b 加热基座 123，由此快速地加热半导体晶片。半导体晶片 1A 的加热温度范围从 800 到 900℃，例如可以为 850℃。如果晶片温度为 800℃以下，那么所得的栅氧化膜的温度下降。另一方面，如果温度为 900℃以上，那么晶片表面易于变粗糙。

接下来，氧气和氢气引入到湿气生成器 140 的反应器 141 内 15 秒钟，得到的水和氧气一起引入到室 120 内，氧化半导体晶片 1A 的表面 5 分钟，由此形成例如 4nm 厚的栅氧化膜 14(图 16)。

当氧气和氢气引入到反应器 141 内时，注意氢气不在氧气之前引入。如果在氧气之前引入氢气，那么存在未反应的氢气流入很热的室 120 内的危险。另一方面，当在氢气之前引入氧气时，所述氧气流入室 120 内，低质量的氧化膜可能形成在待处理的半导体晶片 1A 的表面上。因此，氢气和氧气应该同时引入。此外，考虑操作的安全性，氢气应稍晚于氧气引入(在 0 到 5 秒的范围内)。这样做，可以使不希望形成在半导体晶片 1A 的表面的初始氧化膜最小。

图 17 示出了湿气浓度与氧化膜生长速率的关系曲线图，其中横坐标表示氧化时间，纵坐标表示氧化膜厚度。如图所示，当湿气浓度为 0(干氧化)时，氧化膜生长速率最慢，并随着湿气浓度的增加而增

加。因此,为了高精度均匀地形成厚度约 5nm 以下很薄的栅氧化膜,在湿气浓度很低以降低氧化膜生长速率的稳定氧化条件下可以有效地形成膜。

图 18 示出了湿气浓度与 MOS 二极管的氧化膜的初始击穿电压的关系曲线图, MOS 二极管由半导体衬底、栅氧化膜和栅电极构成。在曲线图中,横坐标表示施加到 MOS 二极管一个电极(栅电极)的电压,纵坐标表示栅氧化膜中缺陷的密度。为了强调湿气浓度的影响,使用了所述 MOS 二极管,其中在以下使用垂直扩散炉产生的不同的条件下形成厚度为 9nm 面积为 0.19cm^2 的栅氧化膜: (1)氧化温度=850℃, 湿气浓度=0, (2)氧化温度: 850℃, 湿气浓度=0.8%, 以及(3)氧化温度=800℃, 湿气浓度=40%。如图所示,在湿气浓度=0.8%的低湿气条件下形成的栅氧化膜的初始击穿电压好于湿气浓度=0(干氧化)形成的栅氧化膜,和湿气浓度=40%的高湿气条件下形成的栅氧化膜。

图 19 示出了当恒定的电流流过每个 MOS 二极管的电极之间时湿气浓度与电压变化的关系曲线图。如图所示,使用湿气浓度=0 (干氧化)形成的栅氧化膜的 MOS 二极管由于氧化膜中的高缺陷密度,电压变化较大。

图 20 示出了使用氧化膜形成装置 100 形成的栅氧化膜的晶片平面中膜厚度的分布。为此目的,晶片温度设置在 850℃,在湿气浓度=0.8%的条件下进行 2 分 30 秒的氧化。如图所示,膜厚度最大值=2.881nm,最小值=2.814nm。由此,得到良好的平面均匀性,其中膜厚度的变化在 $\pm 1.8\%$ 的范围内。

如前所述,引入到氧化膜形成单元 107 的室内水的优选浓度(水/水+氧气)在浓度足以提供好于通过干氧化(湿气浓度: 0)形成得到的初始击穿电压确定的下限,到采用常规的燃烧系统得到的约 40%的上限范围内。具体地,为了形成厚度约 5nm 以下均匀厚度和高精度高质量的很薄的栅氧化物,可以推断出水的优选浓度在 0.5 到 5% 的范围内。

图 21 示出了通过热氧化得到的栅氧化膜中的具体成分。图中右

手侧的图表为根据本实施例的方法形成的 4nm 厚的栅氧化膜,中间的图表为根据常规方法使用燃烧系统形成的 4nm 厚的栅氧化膜,左手侧的图表为通过以上提到的常规方法形成的 9nm 厚的栅氧化膜。

如图所示,本发明的实施例在整个处理系统中使用了清洗氧化,其中尽可能地避免了从初始清洗到形成氧化膜期间与气氛中氧气的接触。因此,在形成氧化膜之前形成能在氧化膜形成装置内控制的自然氧化膜的厚度可以从常规方法形成的 0.7nm(总的膜厚度的 17.5%)减少到 0.3nm(总的膜厚度的 7.5%)。此外,当采用使用催化剂的水产生系统并且用于氧化的物质立即引入到氧化膜形成装置内时,在期望的固有氧化膜形成之前,因与反应物中的氧接触而不希望地形成的初始氧化膜的厚度可以从常规方法得到的 0.8nm(总的膜厚度的 20%)减少到 0.3nm(总的膜厚度的 7.5%)。最后,可以形成高质量很薄的栅氧化膜,其中需要的固有的可控氧化膜的厚度占总厚度的 85%。如前所述,在优化氧化反应物中湿气浓度并降低氧化膜生长速率的稳定的氧化条件下形成膜,由此可以形成高质量厚度均匀和高精度的很薄的氧化膜。

接下来,简要地说明形成栅氧化膜之后的 CMOS 工艺。

如图 14 所示,形成栅氧化膜 14 之后,清洗气体引入到氧化膜形成单元 107 的室 120 内 2 分 20 秒,由此留在室 120 内的氧化反应物被排出。随后,在 55 秒内将半导体晶片 1A 从基座 123 上卸下并从室 120 内传送出。

此后,半导体晶片 1A 传送到图 9 所示的氧化和氮化膜形成室 108,其中在 NO(氧化氮)或 N₂O(氧化亚氮)的气氛中热处理半导体晶片 1A,由此使氮在栅氧化膜 14 和半导体衬底 1 之间的界面分离。

当栅氧化膜 14 很薄约 5nm 时,可以看到由于与半导体衬底 1 的热膨胀系数不同在界面处产生的变形,由此诱发热载流子。半导体衬底 1 的界面处分离的氮起了释放张力的作用,由此氧化和氮化处理可以提高很薄的栅氧化膜 14 的可靠性。应该指出当 N₂O 用于氧化和氮化处理时,用分解 N₂O 产生的氧气进行氧化,所以栅氧化膜 14 变得

很薄, 约 1nm。此时, 在氧化膜形成单元 107 内形成 3nm 厚的栅氧化膜之后, 进行氧化和氮化处理, 使栅氧化膜的厚度固定在 4nm。另一方面, 当使用 NO 时, 通过氧化和氮化处理增加栅氧化膜厚度的可能性很小。

5 接下来, 完成氧化和氮化处理的半导体晶片在清洗台 109 冷却到室温, 并通过装载机/卸载器 110 传送到氧化膜形成装置 100 的外部, 之后进一步传送到 CVD 设备(未示出), 淀积栅电极的导电膜。此时, CVD 设备连接在氧化膜形成装置 100 的下游, 通过彻底的处理进行包括从形成栅氧化膜到淀积栅电极的导电膜的工艺, 由此有效地防止
10 栅氧化膜 14 被污染。

之后, 如图 22 所示, 具有 $0.25\mu\text{m}$ 栅长度的栅电极 15 形成在栅氧化膜 14 的顶部。通过在半导体衬底 1 上连续地淀积 150nm 厚的 n 型多晶硅膜和 150nm 厚的未掺杂多晶硅膜, 之后通过光刻胶掩模干腐蚀构图这些膜形成栅电极 15。

15 然后, 如图 23 所示, 如 B(硼)的 p 型杂质从垂直或倾斜的方向离子注入到 p 沟道型 MOSFET 形成区内, 由此在栅电极 14 的相对侧的 n 型阱内形成 p 型半导体区 16 和 p 型半导体区 17。类似地, 如 P(磷)的 n 型杂质从垂直或倾斜的方向离子注入到 n 沟道型 MOSFET 形成区内, 由此在栅电极 14 的相对侧的 p 型阱内形成 n 型半导体区 18 和
20 n 型半导体区 19。

接下来, 如图 24 所示, 对通过 CVD 法定积在半导体衬底 1 上的氧化硅膜进行各向异性腐蚀在栅电极 14 的侧壁上形成厚度约 0.15nm 的侧壁间隔层 20。此时, 除去形成在 p 型半导体区 17 上部的栅氧化膜 14 和形成在 n 型半导体区 19 上部的栅氧化膜 14。随后, 如 B(硼)
25 的 p 型杂质离子注入到 p 沟道型 MOSFET 形成区内, 在栅电极 14 的相对侧的 n 型阱内形成 p⁺型半导体区 21。类似地, 如 P(磷)的 n 型杂质离子注入到 n 沟道型 MOSFET 形成区内, 在栅电极 14 的相对侧的 p 型阱内形成 n⁺型半导体区 22。

然后, 如图 25 所示, TiSi_2 (硅化钛)层 23 分别形成在 p 沟道型

MOSFET 的栅电极 14、 p^+ 型半导体区 21(源区和漏区)、 n 沟道型 MOSFET 的栅电极 14、以及 n^+ 型半导体区 22(源区和漏区)的表面上。通过溅射在半导体衬底 1 上淀积 Ti 膜，热处理 Ti 膜与半导体衬底 1 和栅电极 14 反应，之后通过腐蚀除去未反应的 Ti 膜形成 $TiSi_2$ 层 23。

5 根据这些步骤，完成了 p 沟道型 MOSFET(Qp)和 n 沟道型 MOSFET(Qn)。

如图 26 所示，在根据等离子体 CVD 法淀积在半导体衬底 1 上的氧化硅膜中形成连接孔 25 到 28，构图通过溅射淀积在氧化硅上的 Al 合金膜提供互连 29 到 31，由此基本上完成了本实施例的 CMOS 工艺。

10 (半导体工艺 B)

参考图 27 到 32 说明根据本实施例(LOCOS 隔离工艺)的 MOSFET 的制造方法。在本工艺中，使用公知的隔离代替浅沟槽隔离(STI)。此时，虽然在精度上存在限制，但仍方便地使用至今已知的工艺。无论是半导体工艺的 STI 或 SGI(浅槽隔离)或是本实施例的 LOCOS 隔离，

15 MOSFET 主要是由与其它的晶体管的源或漏公用的隔离区环绕。

如图 27 所示，热处理半导体衬底在它的主表面上形成厚度约 10nm 的薄氧化硅膜 2(热氧化工艺 B1)，之后通过 CVD 法在氧化硅膜 2 上淀积约 100nm 厚的氮化硅膜 3。接下来，如图 28 所示，具有元件隔离区开口的光刻胶 4 形成在氮化硅膜 3 上，之后通过光刻胶 4 的掩模构图氮化硅膜 3。

20

除去光刻胶 4 之后，如图 29 所示，热处理半导体衬底 1，在元件隔离区上形成场氧化膜(热氧化工艺 B2)。

用热磷酸通过湿腐蚀除去氮化硅膜 3，湿清洗半导体衬底 1 的主表面，之后以实施例 1 中的相同方式在半导体衬底 1 有源区的表面上

25 形成厚度 5nm 以下很薄的栅氧化膜 14(热氧化工艺 B3)(图 22)。

可以通过将以前介绍的催化剂型湿气生成器安装到分批式垂直氧化膜形成设备 150(氧化设备 3；垂直分批氧化炉)形成厚度为 5nm 以下很薄的栅氧化膜 14。使用这种垂直氧化膜形成设备 150 形成栅氧化膜的顺序显示在图 31 中。这种情况的顺序基本上类似于图 15 的顺

序,但相对于晶片的装载或卸载,时间稍有不同。如前所述,这种情况通常为热壁型,其中重要的是添加到清洗气体中的氧气量要少,基本上不足以引起任何氧化。

此后,以实施例 1 中的相同方式 MOSFET 形成在半导体衬底 1 的主表面上。

(与氧化工艺等有关的情况)

介绍同样适用于本发明中公开的各半导体工序的处理装置和工艺中的具体内容。

如前所述,图 9 为形成栅氧化膜使用的单晶片型氧化膜形成装置(多室系统)的示意图。如图所示,氧化膜形成装置 100 连接在清洗设备 101 的下游,其中对半导体晶片 1A 进行湿清洗系统(虽然也可以使用干系统),在形成栅氧化膜之前从它的表面上除去氧化膜(通常称做表面膜)。当通过处理系统进行这种清洗氧化时,已在清洗设备 101 内进行了清洗的半导体晶片 1A 在短时间内被传送到氧化膜形成装置,同时不接触空气(通常包括不希望的氧化气氛或使表面态变坏的其它气氛)。因此,可以将除去氧化膜到形成栅氧化膜期间在半导体晶片 1A 的表面上形成的自然氧化膜抑制到最小。

完成干处理之后得到的半导体晶片 1A 立即穿过缓冲区 106 传送到氧化膜形成装置 100。所述氧化膜形成装置 100 由多室系统组成,例如有氧化膜形成室 107、氧化和氮化膜形成室 108、清洗台 109、装载器/卸载器 110 等。位于装置中心的传送系统 112 有机械手,将半导体晶片 1A 在以上处理室间传送。传送系统 112 可以保持在如氮气等的惰性气体的气氛中(虽然也可以保持在真空、具有惰性气体等的正压力下,起防止不希望的气体从外部或其它的处理室引入的作用),以便减少通过引入氧气在半导体晶片 1A 的表面上形成自然氧化膜。此外,为了减少半导体晶片 1A 的表面上湿气的沉积,传送系统保持在 ppb 水平的超低含水量的气氛中(通常含在良好安装的排气后真空系统中的湿气为几 ppm 以下)。传送到氧化膜形成装置的半导体晶片通过机械手 113 以单个晶片单元或两晶片单元传送到氧化膜形成单元

107(通常术语“单个晶片”是指一个晶片或两晶片单元,其中单晶片单元或两晶片单元是特指的,它们分别称做单个晶片或两个晶片)。

如上所述,图 11(a)为具体设置的氧化膜形成单元 107(即,图 9 的单晶片装置)的一个例子的示意性平面图,而图 11(b)为沿图 11(a)的线 B-B'截取的剖面图(氧化装置 1;热壁型单晶片氧化炉)。

氧化膜形成单元 107 提供有多个壁的石英管构成的室 120,和分别在它的上和下部加热半导体晶片 1A 的加热器 121a, 121b。室 120 中容纳有盘形均热环 122,用于将加热器 121a, 121b 提供的热均匀地分散在半导体晶片 1A 的整个表面上,以及设置于其上的基座 123,保持半导体晶片 1A 基本上水平(当相对于重力吸引力晶片表面基本上水平地排列时,可以排除对混合的浓度分布的影响,这对形成如 300 ϕ 的大尺寸晶片特别重要。)。均热环 122 由如石英或 SiC(碳化硅)等的耐热材料制成,由从室 120 的壁表面延伸出的支撑臂 124 支撑。在均热环 122 的附近,设置有测量由基座 123 保持的半导体晶片 1A 温度的热电偶 125。除了包括加热器 121a, 121b 的加热系统之外,也可以使用包括例如图 12 所示的灯 130 的加热系统(氧化装置 2;灯加热型单晶片氧化炉)加热半导体晶片 1A。此时,晶片放置到位后开始灯加热,通过关闭灯快速地降低晶片表面的温度。最后,例如为热壁系统时,在插入或撤出时形成的初始氧化膜可以减小到可以忽略的程度。应该指出使用灯添加湿气时,不仅可以有效地预热湿气支撑部分,而且可以将氧化炉提高到约 140 $^{\circ}\text{C}$ 的水平,以防止湿气凝结。

室 120 的部分壁表面连接到将水、氧气和清洗气体引入到室 120 内的气体引入管 126 的一端。气体引入管 126 的另一端与催化剂型湿气生成器相连。在气体引入管 126 的附近,设置有具有多个通孔 127 的隔断墙 128,引入到室 120 内的气体穿过隔断墙 128 的通孔 127 均匀地贯穿整个室。室 120 的壁表面的其它部分连接到排气管 129 的一端,排出引入到室 120 内的气体。

如前所述,图 13 和 14 分别为连接到室 120 的催化剂型湿气生成器的示意图。湿气生成器 140 提供有由耐热和腐蚀的合金(例如化学

名称为“耐蚀耐高温镍基合金”的镍合金)制成的反应器 141, 其中容纳有如 Pt(铂)、Ni(镍)等的催化金属制成的线圈 142, 和加热线圈 142 的加热器 143。

5 包括氢气和氧气和如氮气、Ar(氩气)等惰性气体制成的清洗气体的工艺气体通过管道 145 从气体储气室 144a、144b 和 144c 引入到反应器 141 内。在管道 145 上提供有控制气体量的质量流量控制器 146a、146b 和 146c 以及分别导通和关断气体流路径的导通截止阀 147a、147b 和 147c。由此, 通过这些装置可以精确地控制引入到反应器 141 内的气体的量和各成分的比例。

10 引入到反应室 141 内的工艺气体(氢气和氧气)与加热到约 350 到 450℃ 的线圈 142 接触(例如, 在正常压力下存在足够量的氧气时, 在 4% 以上的氢气浓度发生氢气的爆炸性燃烧, 所以要考虑大规模制造装置的安全性, 相信希望富含氧的氧气和氢气的混合气体引入到反应器内, 以便不允许氢气留在其中)并激活。因此, 由氢分子产生氢基($H_2 \rightarrow 2H^+$), 由氧分子产生氧基($O_2 \rightarrow 2O^-$)。由于这两种基团化学性质很活
15 跃, 因此发生快速反应产生水($2H^+ + O^- \rightarrow H_2O$)。水与氧气在连接部分 148 处混合将所述水稀释到低浓度, 之后通过气体引入管 123 注入到氧化膜形成单元的室 120 内。此时, 可以用氩气代替氧气。特别是, 提供到氧化炉的气氛由 1% 的湿气和 99% 的氩气组成。

20 以上介绍的所述催化剂型湿气生成器 140 能够高精度地控制形成水时参与的氢气和氧气的量, 由此可以在从 ppt 以下数量级的超低浓度到约百分之几十的高浓度的宽范围内准确地控制和氧气一起引入到氧化膜形成单元 107 的室内水的浓度。将工艺气体引入到反应器 141 内的同时, 产生水, 由此可以实时得到需要的湿气浓度。因此,
25 可以将氢气和氧气同时引入到反应器 141 内(通常, 为安全起见, 稍早引入氧气), 由此不需要象使用燃烧系统的已知水生产系统一样, 在氢气之前引入氧气。应该指出反应器内的催化金属可以为除了金属以外的任何材料, 并能够将氢气和氧气转变为前面所述的对应的基团。此外, 催化金属可以处理为线圈形式。此外金属还可以处理为例

如空心管或细纤维滤网，工艺气体穿过其中。

在图 14 中，湿气生成器 140、氢气传感器、过滤器、稀释单元、清洗气体或稀释气体的提供单元、氧化炉的连接部分等可以温度控制或加热到约 140℃，由此防止湿气凝结。提供氢气传感器检测留下未反应的氢气。过滤器为气体过滤器，插入作为隔板，当氢气在氧化炉一侧燃烧时，通过该隔板燃烧不会达到制备炉。虽然清洗气体、稀释气体和湿气预先加热到不足以使湿气凝结的温度(通常为 100 到 200℃ 的温度)(预热之后三种稀释的气体与产生的湿气混合)，应该考虑炉或灯加热炉中要处理的晶片的预热。此时，氧化炉中的晶片可以用清洗气体预热。尤其在用灯加热炉时，应该注意预热机构防止晶片引入部分中的冷凝。在任何一种情况中，可以较有效地将加热或温度控制到约 140℃ 的水平。通常在给定的流速下给定压力的气体提供到氧化单元，消耗的成分由新鲜的常压气体补充的不变的条件下进行氧化工艺。

现在参考图 15 介绍使用氧化膜形成装置 100(图 9)顺序形成栅氧化膜的一个例子。

打开氧化膜形成单元 107 的室 120(图 11)。同时将清洗气体(氮气)送入其中(其中少量的氧气等可以添加到清洗气体中，以防止例如通过热腐蚀晶片表面变粗糙，如图 15 所示)，将半导体晶片 1A 装载到基座 123 上。将半导体晶片 1A 传送到室 120 直到装载到基座 123 上的时间为 55 秒。此后，关闭室 120，之后将清洗气体进一步引入到室 120 内，以满意地更换气体。预先借助加热器 121a、121b 加热基座 123，由此快速地加热半导体晶片。半导体晶片 1A 的加热温度范围从 800 到 900℃，例如为 850℃。如果晶片温度为 800℃ 下，那么所得的栅氧化膜的质量下降。另一方面，如果温度为 900℃ 以上，那么晶片表面易于变粗糙。

当氧气和氢气引入到反应器 141 内时，氢气不在氧气之前引入其内。如果在氧气之前引入氢气，那么存在未反应的氢气流入很热的室 120 内的危险。另一方面，当在氢气之前引入氧气时，所述氧气流入

室 120 内, 在待处理的半导体晶片 1A 的表面上形成低质量的氧化膜(初始氧化膜)。因此, 氢气应与氧气同时引入, 或考虑操作的安全性, 氢气应稍晚于氧气引入(0 到 5 分钟内)。这样做, 在半导体晶片 1A 的表面上形成不希望的初始氧化膜的厚度可以减到最小。

- 5 可以通过图 33 所示的燃烧型湿气生成器 160(氧化设备 4; 氧气和氢气燃烧型或氢气燃烧型的氧化炉)安装到单晶片或分批型氧化膜形成装置(氧化炉 1 到 3)形成厚度为 5nm 以下的很薄栅氧化膜(在一定程度上对较大厚度的栅或其它的氧化膜也同样有效)。

10 在以上情况中, 含较高水浓度的氧化反应物在湿气生成器 160 内产生, 随后添加氧气得到具有低湿气浓度的氧化反应物。为此, 设置阀预先使阀(V_{通风})打开, 阀(V_{处理})关闭, 由此任何氧化反应物没有被送到氧化膜形成装置, 直到湿气浓度降低到预定的水平。当湿气浓度降低到满意的程度时, 切换阀由此关闭阀(V_{通风})打开阀(V_{处理}), 使氧化反应物送到氧化膜形成装置。

- 15 虽然以上系统对于催化系统的不足在于提供了灰尘产生源, 例如氧化膜形成装置之前的阀, 并且通过提供了阀产生了死区, 该系统能够实现氧化反应物的低湿气浓度, 并抑制了初始氧化膜的形成。

(半导体工艺 C)

20 本发明的氧化膜形成方法适用于形成 5nm 以下的小厚度的具有浮栅 44 和控制栅 42 或第二栅氧化膜 44(热氧化工艺 C2)的快闪存储器的隧道氧化膜 43(热氧化工艺 C1)的情况, 如图 34 所示。

(半导体工艺 D)

25 本发明的氧化膜形成方法也适用于具有不同厚度的两个或多个栅氧化膜形成在同一半导体芯片上的情况, 例如存储 LSI 和逻辑 LSI 安装在同一半导体芯片的 LSI。此时, 当然根据本发明的方法可以形成厚度为 5nm 以下的薄栅氧化膜(半导体工艺 D1)和厚度为 5nm 以上的较厚氧化膜(半导体工艺 D2)。此外, 也可以根据本发明的方法形成薄栅氧化膜和根据常规的方法形成厚栅氧化膜。

(本申请中介绍的几个氧化方法的应用)

催化湿气产生热氧化法、低湿气氧化法(包括部分氢气燃烧型)和本申请中介绍的常规氢气燃烧型的高含水量氧化法的应用总结如下。

当使用催化湿气产生热氧化法和低湿气氧化法时,氧化工艺 A3、B3、C1、C2、D1 等(第一级)为最有效的工艺。

5 虽然也可以适用于常规的氢气燃烧型高含水量的氧化,但适用于催化湿气产生热氧化法和低湿气氧化法的有效工艺包括 A1、A2、B1、B2、D2 等(第二级)。

具体地,在具有氢气燃烧型氧化炉和催化剂型氧化炉的生产线中,根据氧化膜的性质和厚度同时使用这两种方法具有实用价值。

16 (在本申请中介绍的各种氧化装置的应用)

在本申请中介绍的几种氧化装置的应用总结如下。在本申请中介绍的氧化装置 1 到 4 适用于以上提到的第一和第二级的氧化步骤。然而,当通过例如多室需要精确地控制气氛时,需要使用氧化装置 1 或 2。至于这些氧化装置氧化时的工作压力,通常使用常压(范围从 600
15 毛到 900 毛),但可以使用减压。在后一种情况中,容易将氧化速率设定在低水平,具有可以减小氢气爆炸的可能性的附加效果。此外,也可以在高压下氧化。高压氧化的优点是可以较低温度实现高氧化速率。

(公开内容的修改和变化)

20 虽然根据本发明的实施例具体地介绍了本发明人制成的本发明,但本发明并不受这些实施例限制,可以不脱离本发明的精神进行任何改变。

在本申请中公开的发明中,典型的发明得到的效果简要地说明如下。

25 根据本发明,可以均匀厚度并高精度地形成厚度为 5nm 以下的高质量很薄的栅氧化膜,由此可以提高具有栅长度为 0.25 μm 以下的精细 MOSFET 的半导体集成电路器件的可靠性和成品率。

图1

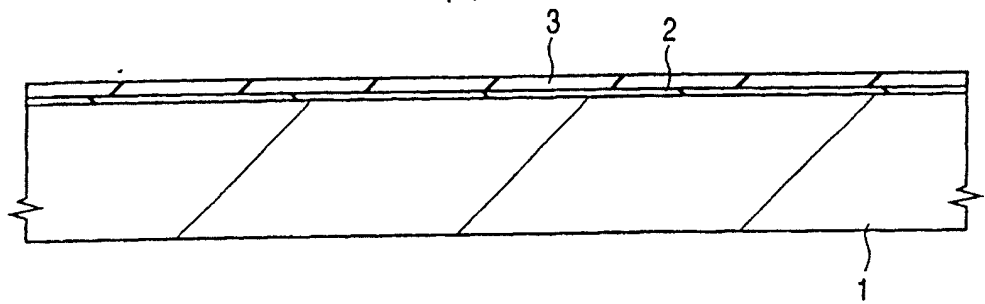


图2

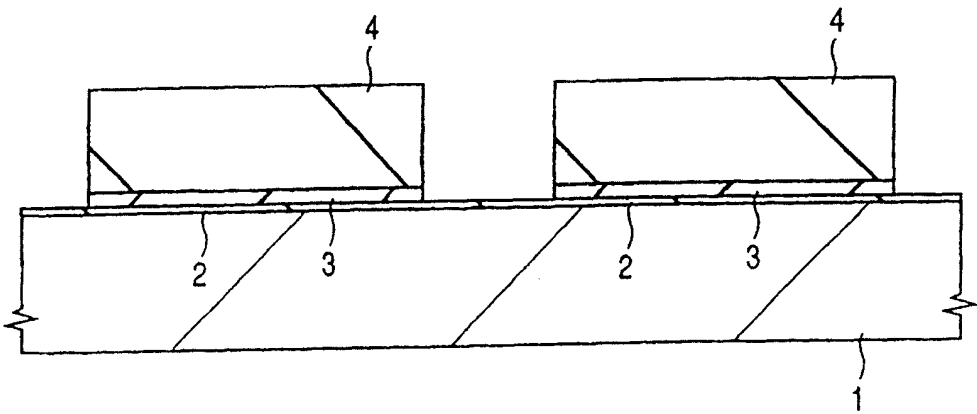


图3

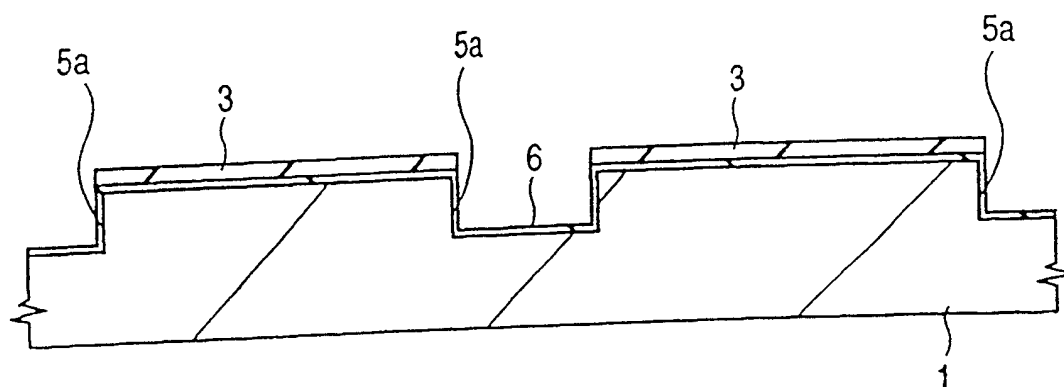


图4

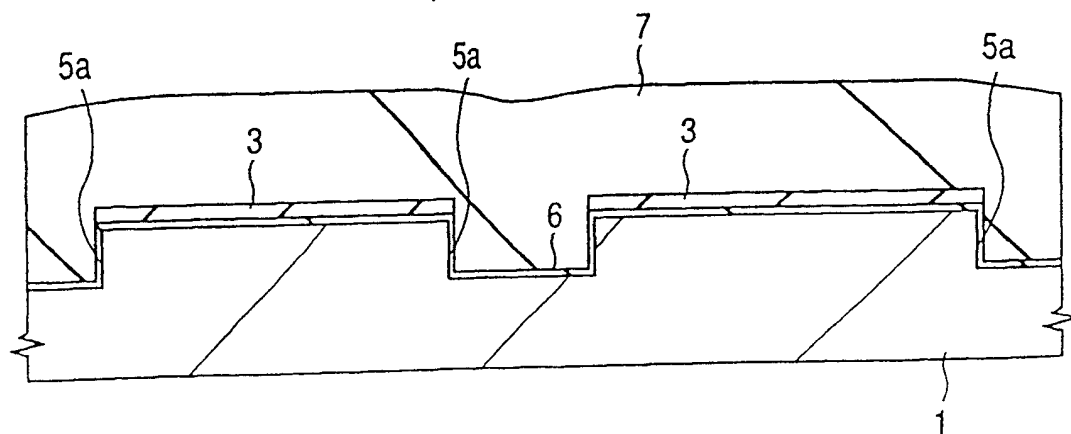


图5

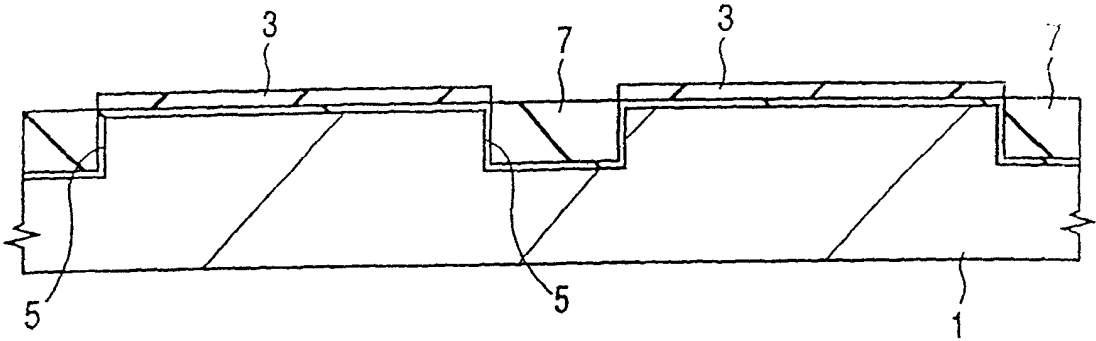


图6

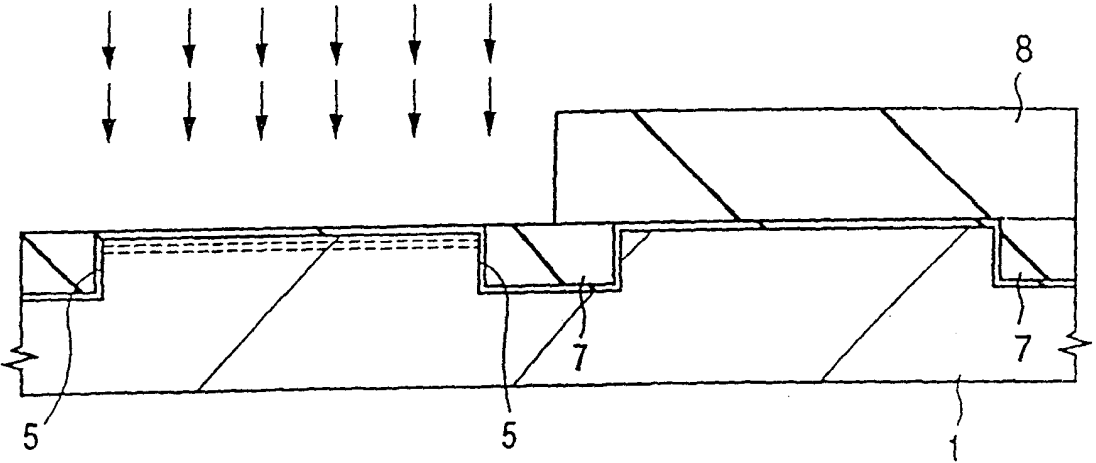


图7

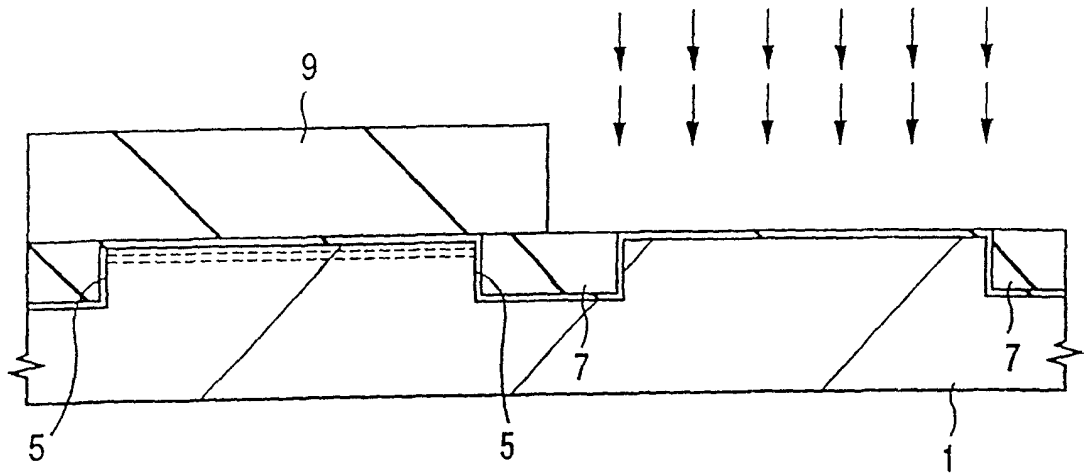
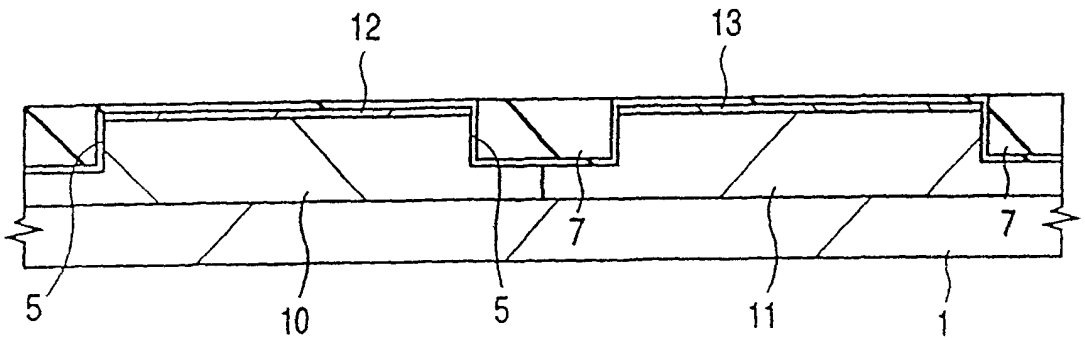


图8



9

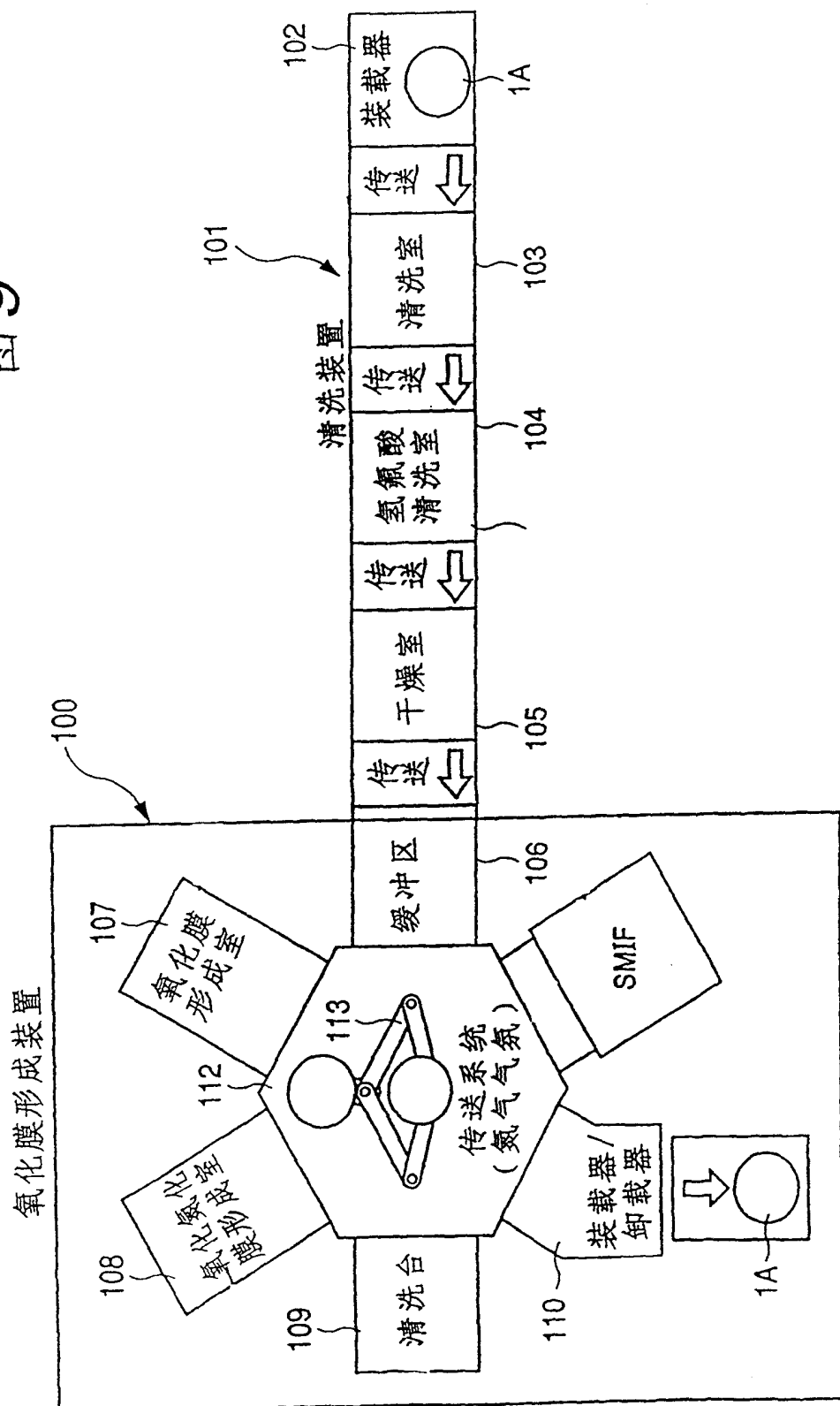


图10

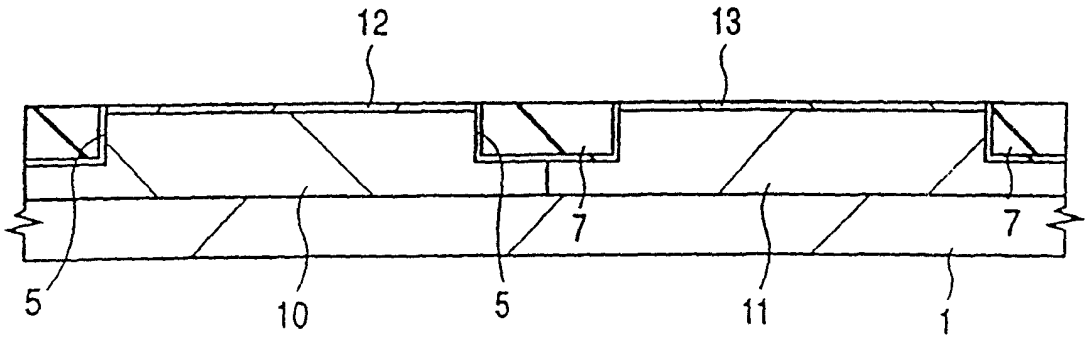


图11

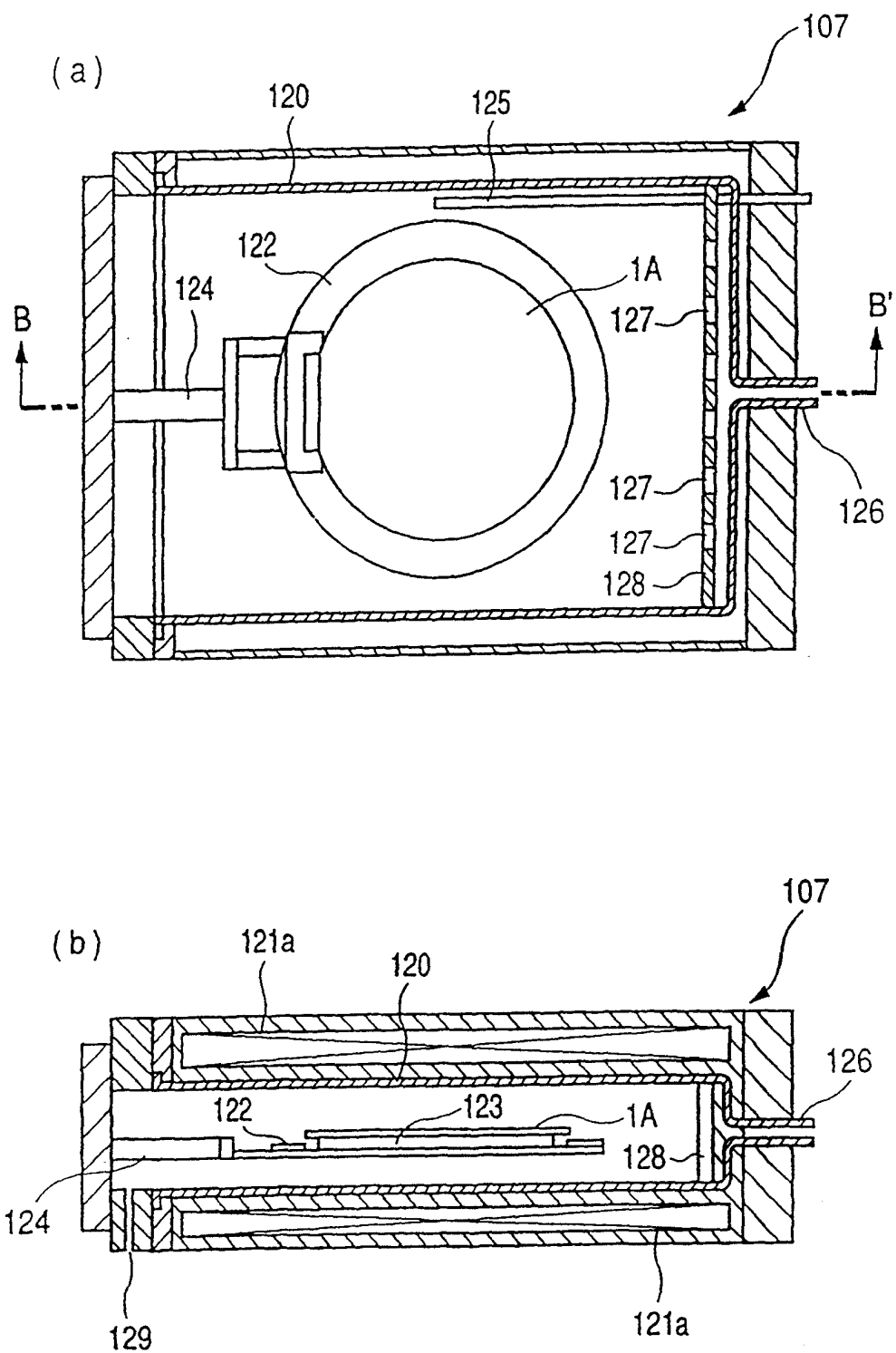


图12

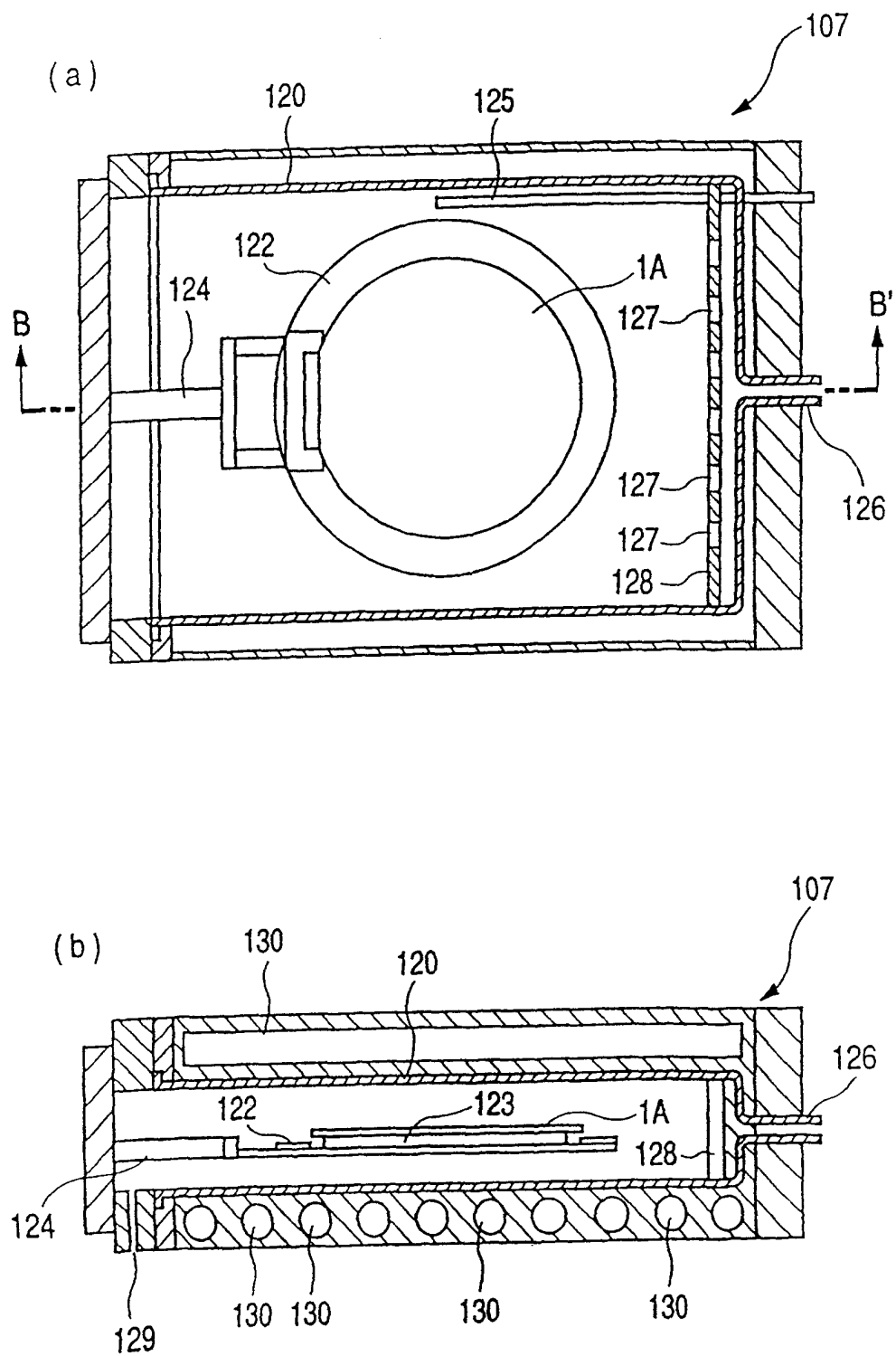
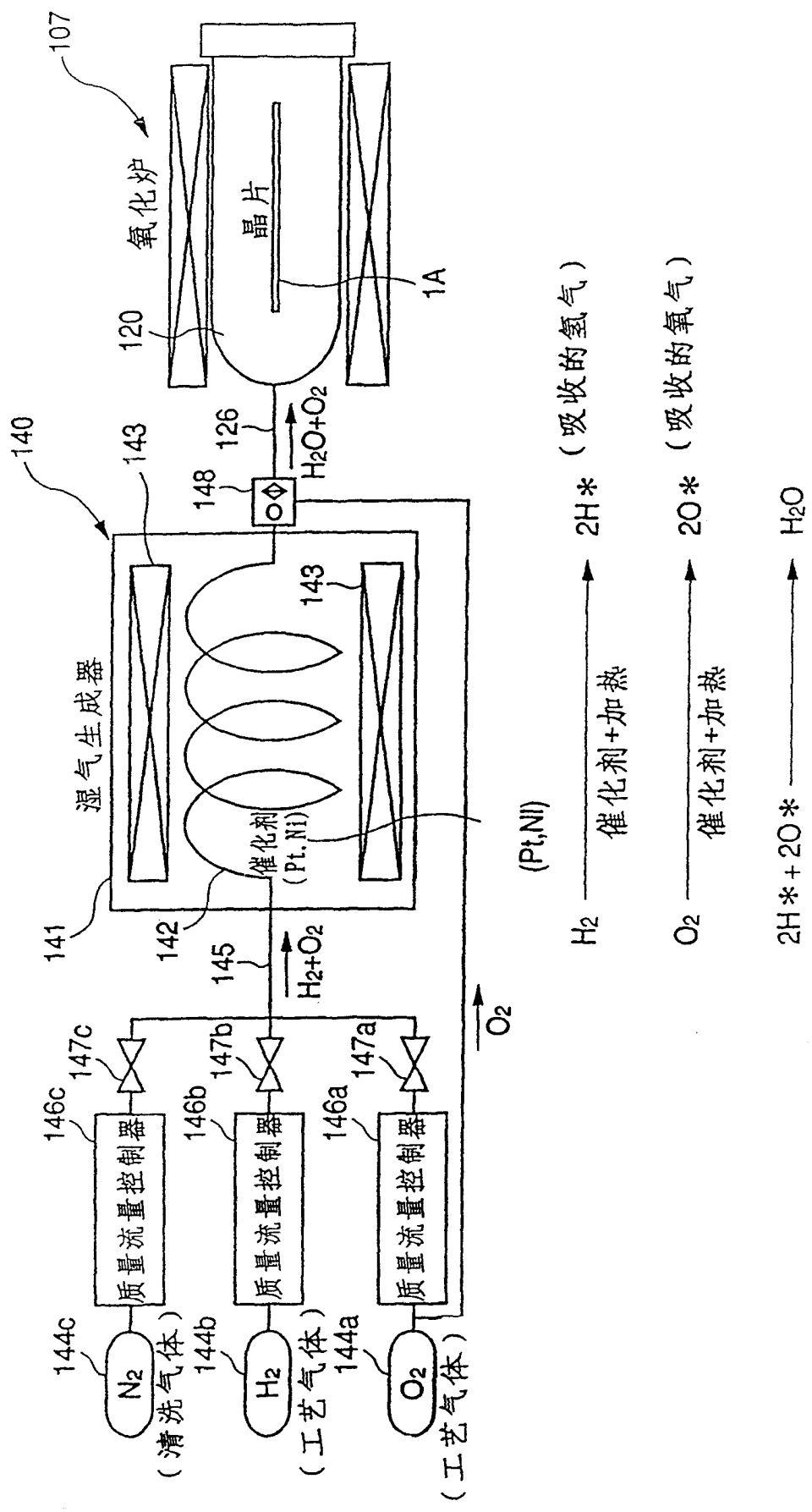


图 13



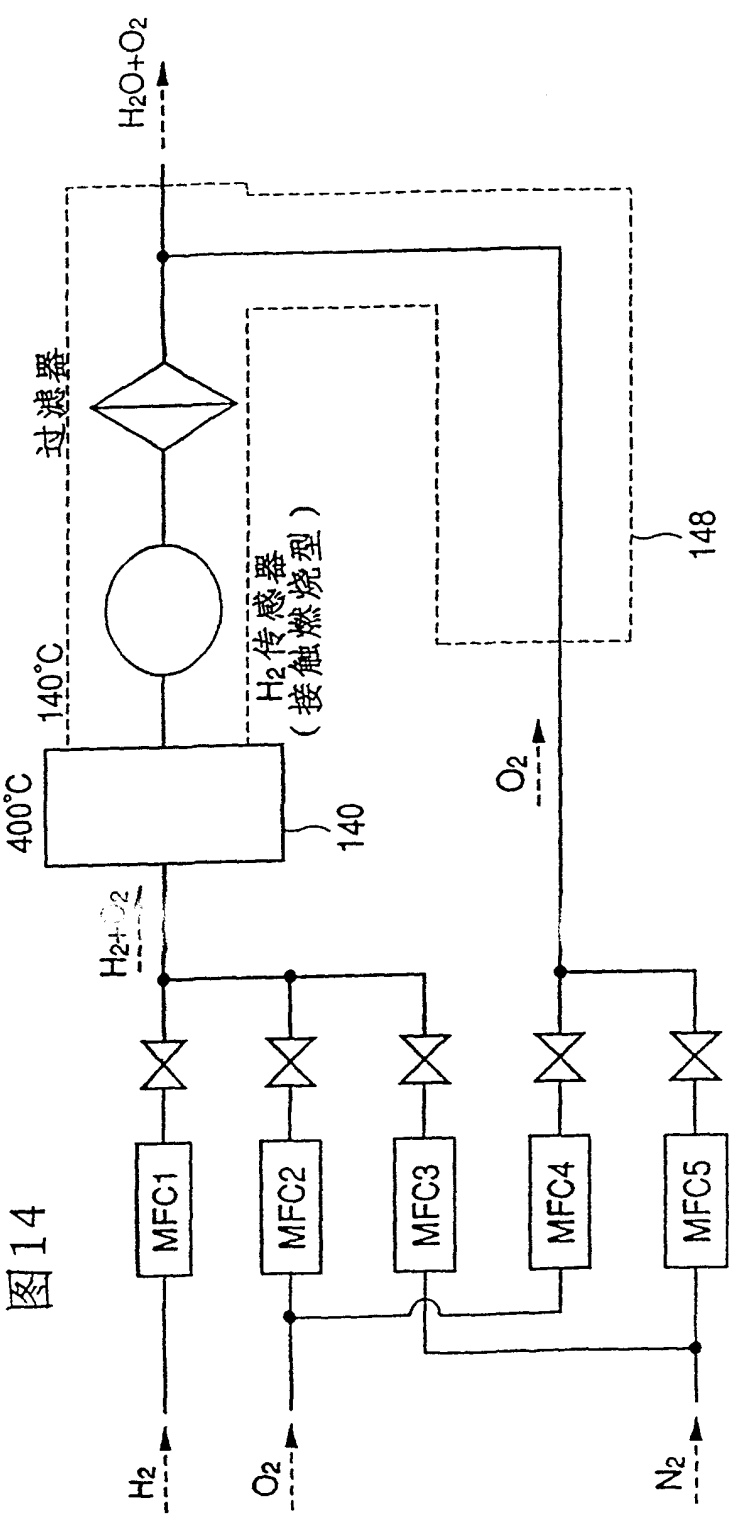


图14

图15

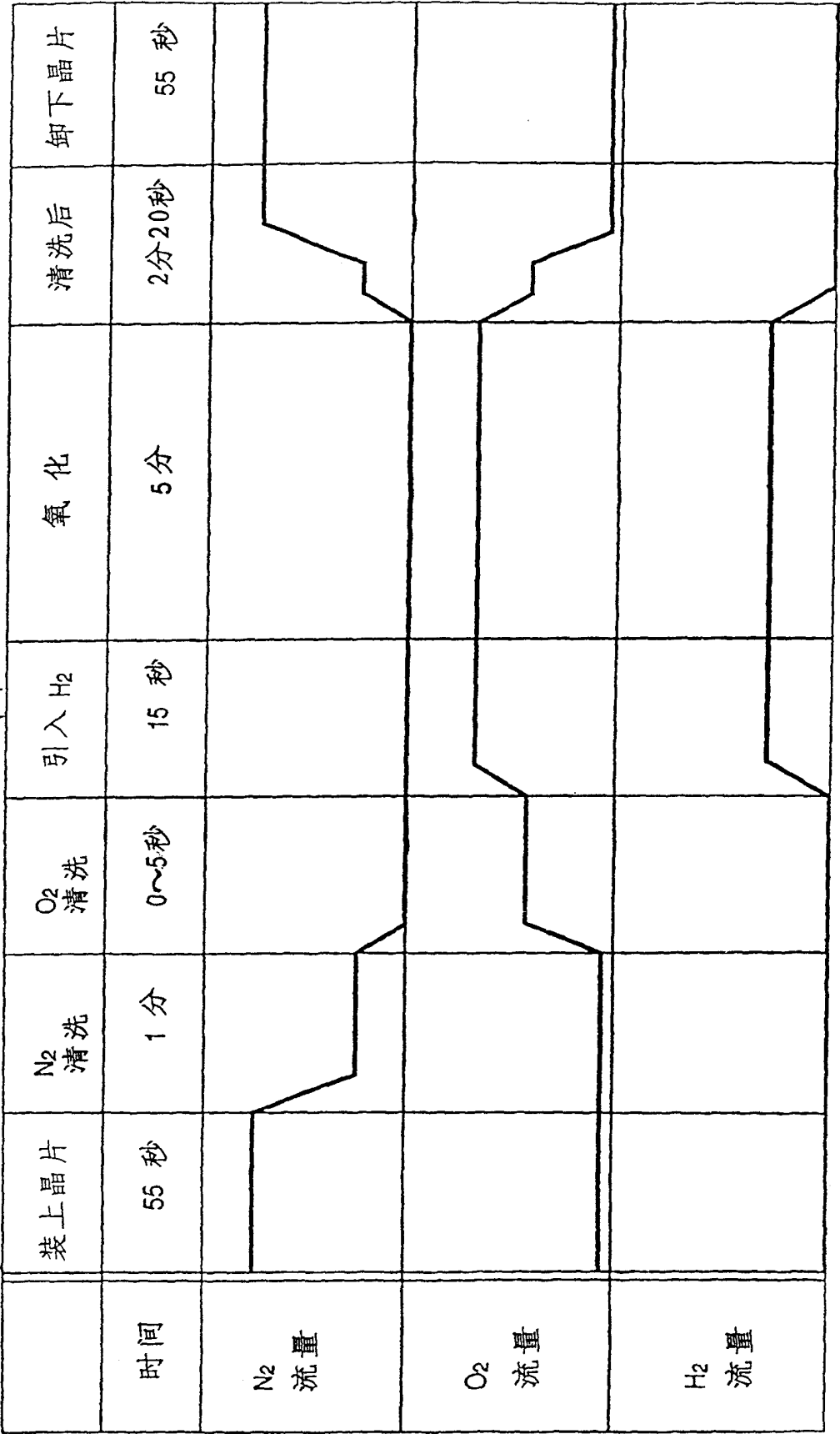


图16

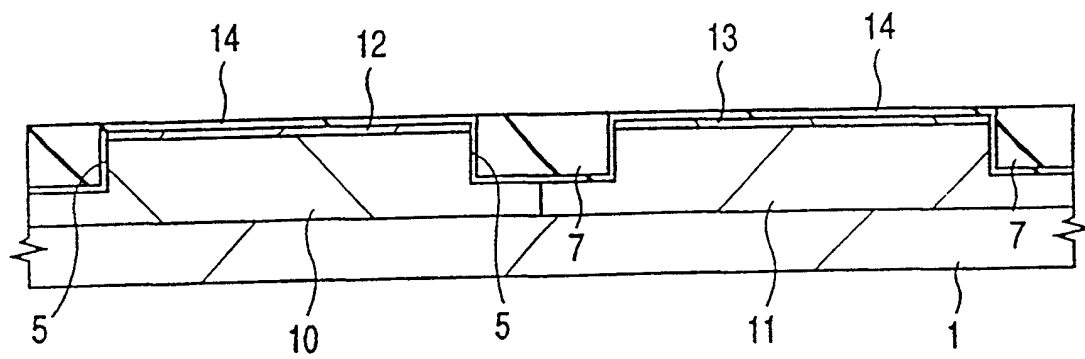


图17

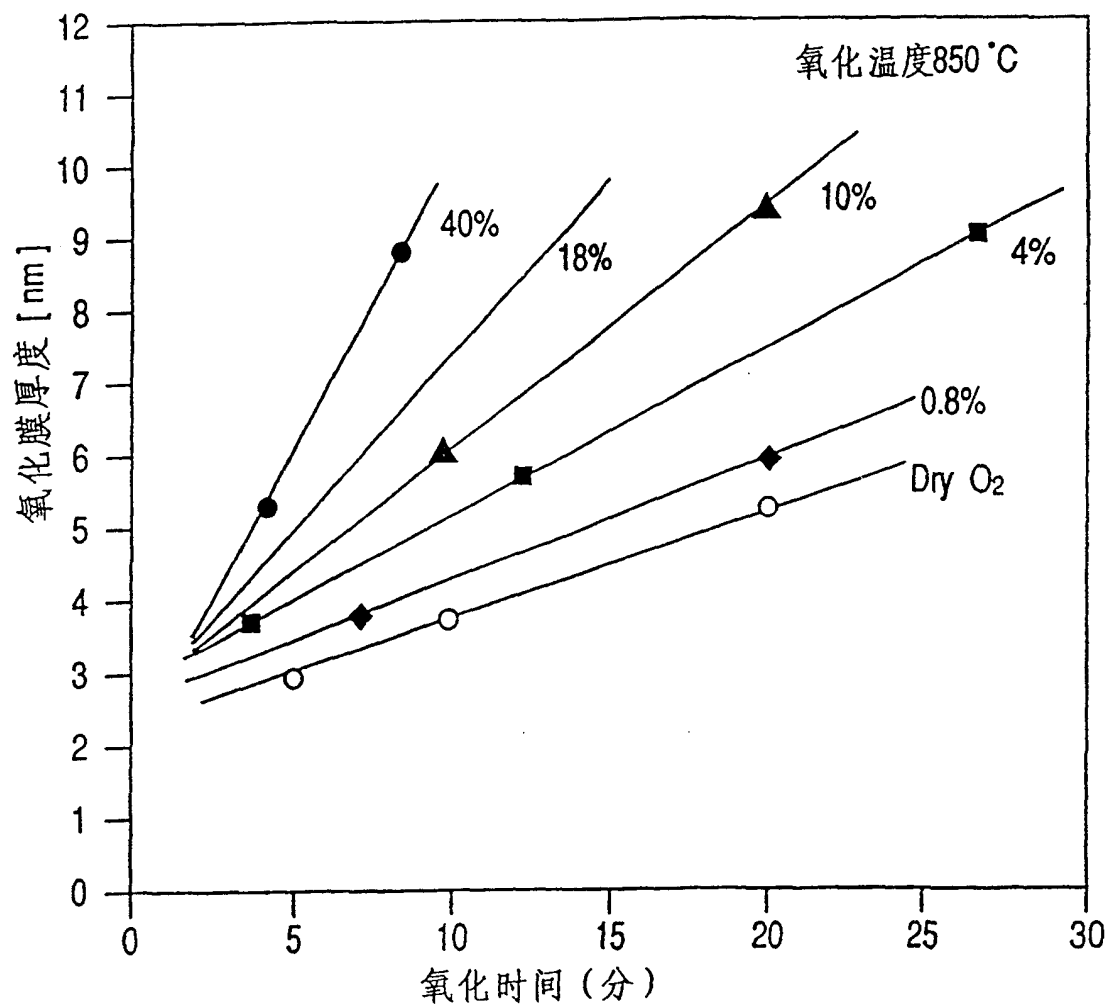
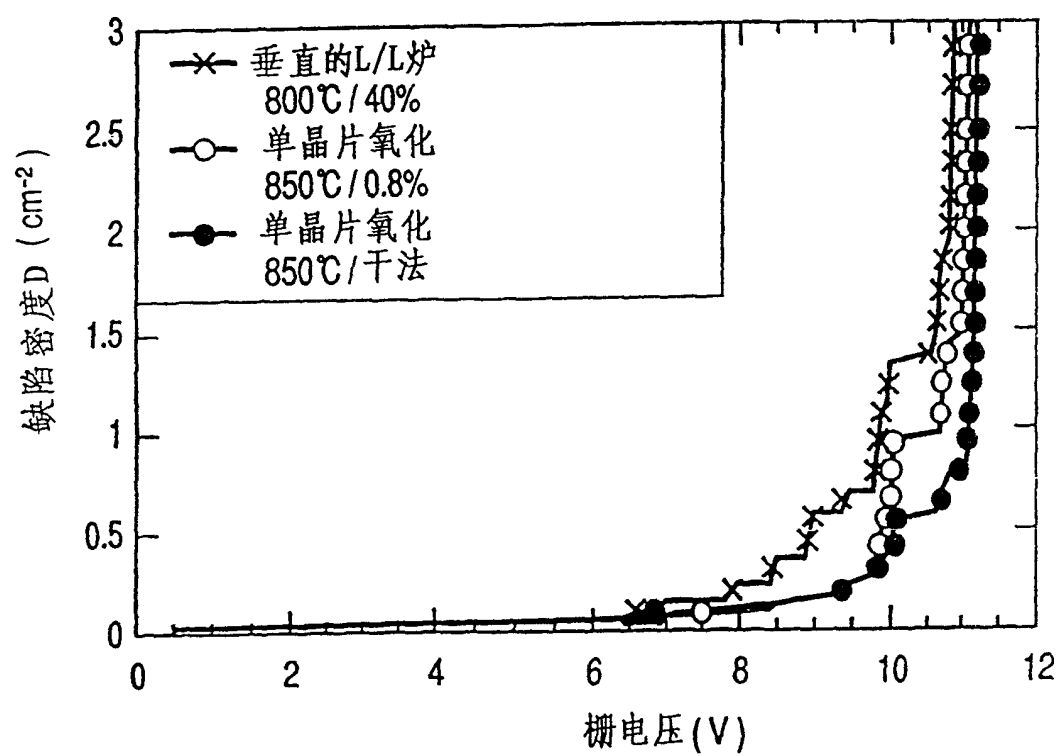
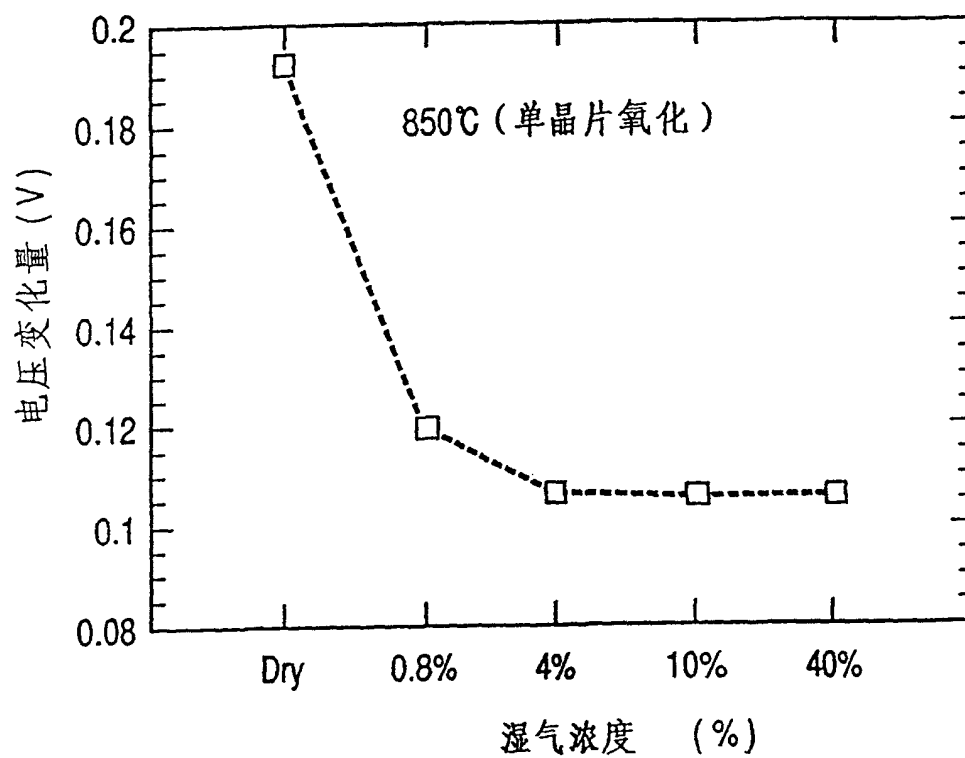


图18



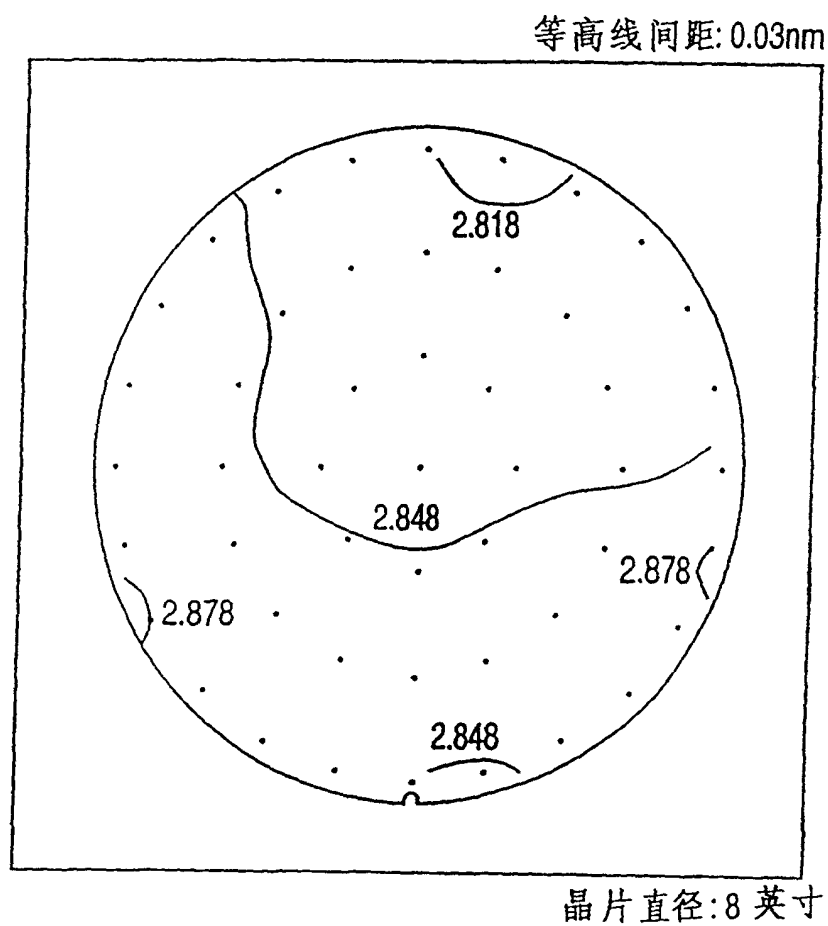
低含水量氧化膜的初始承受电压
(氧化膜厚度=9nm, $S = 0.19\text{cm}^2$)

图19



氧化条件与电压变化量的关系

图 20



平均: 2.848 [nm]
最大: 2.881 [nm]
最小: 2.814 [nm]
最大-最小: 0.067 [nm]
 ± 1.18 [%]
处理条件: 850°C, 2'30"
H₂/O₂: 0.05/4.9slm (湿气浓度: 0.8%)
测量: 通过椭圆计测定49个点

图21

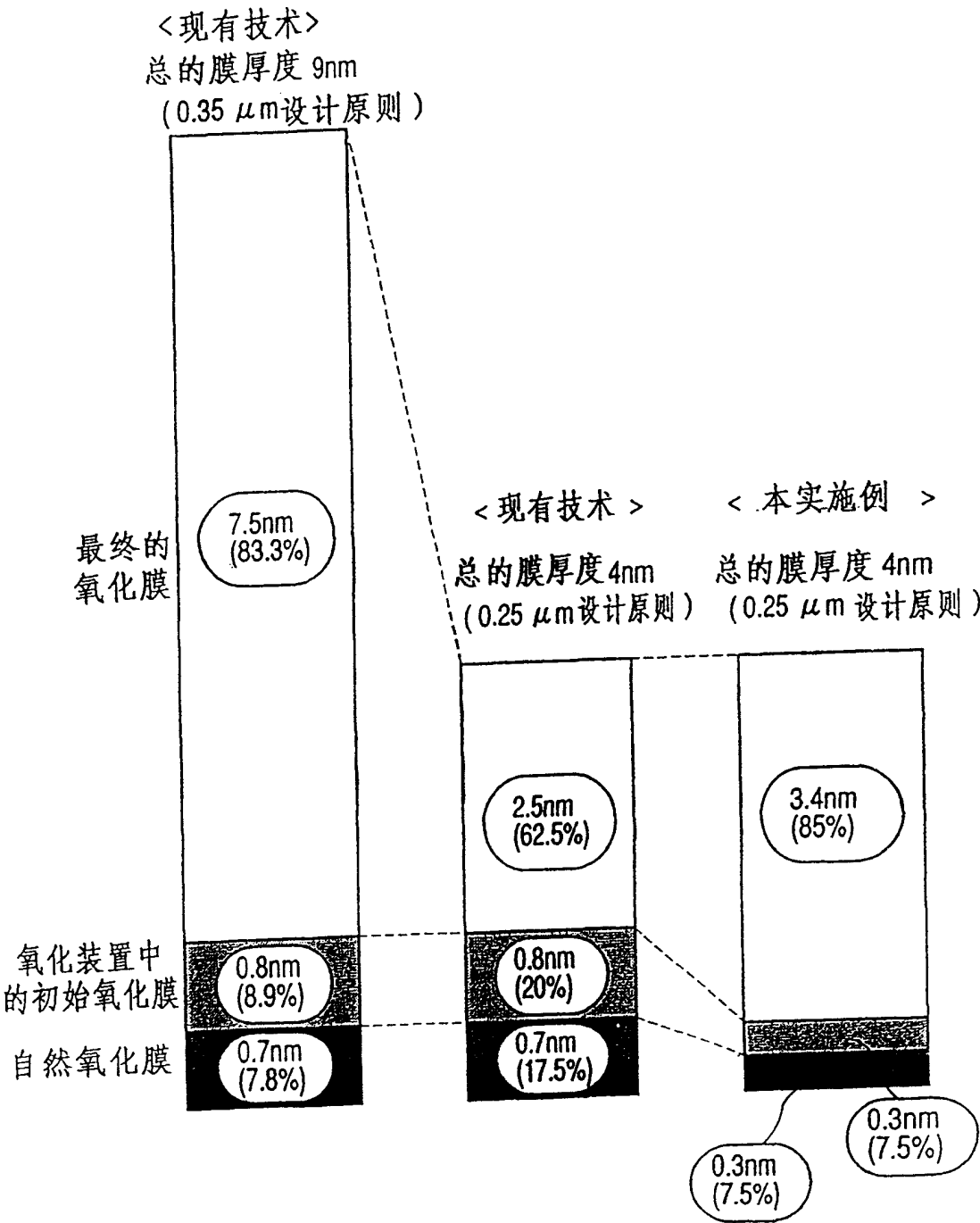


图 22

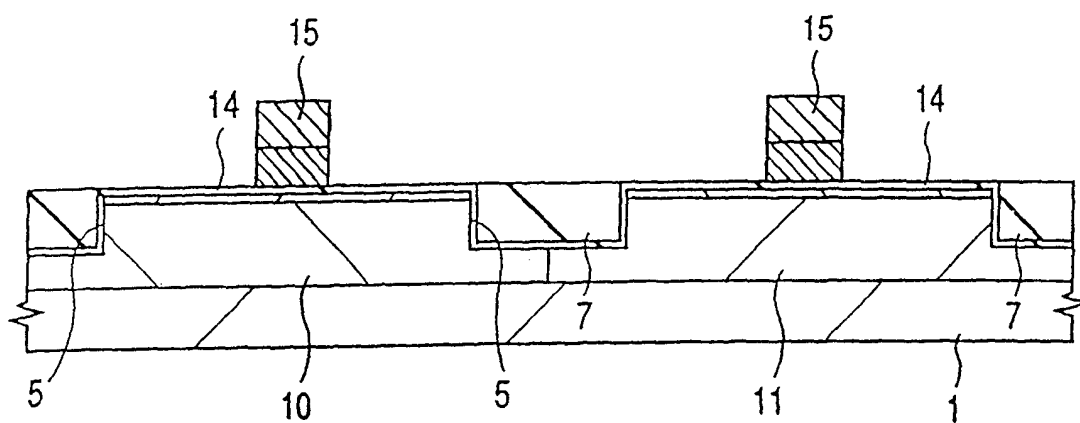


图 23

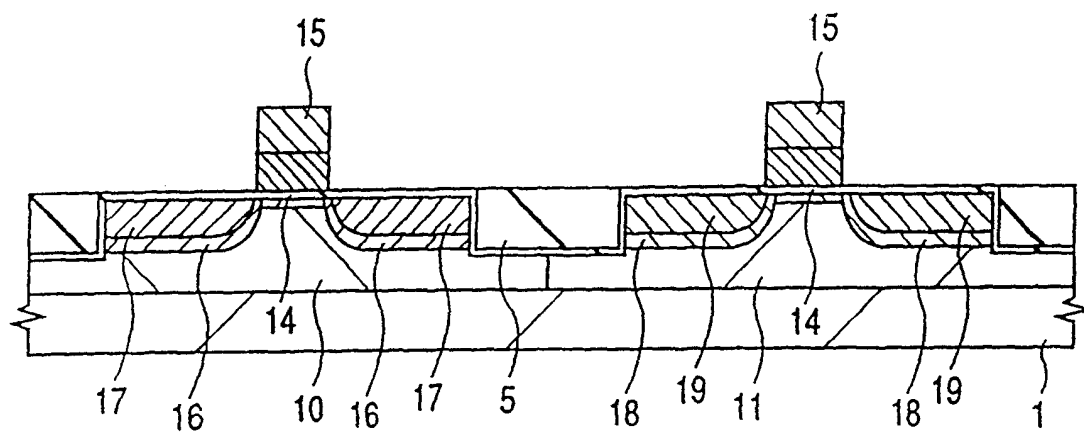


图 24

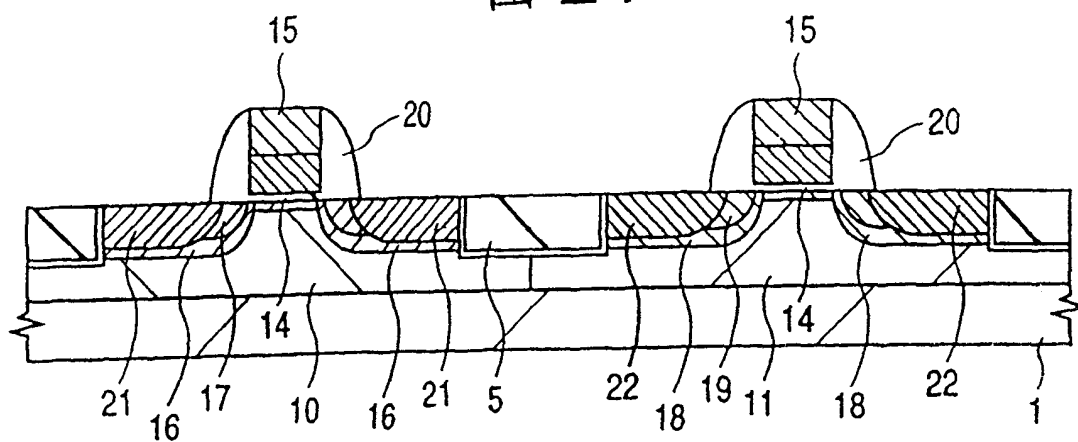


图 25

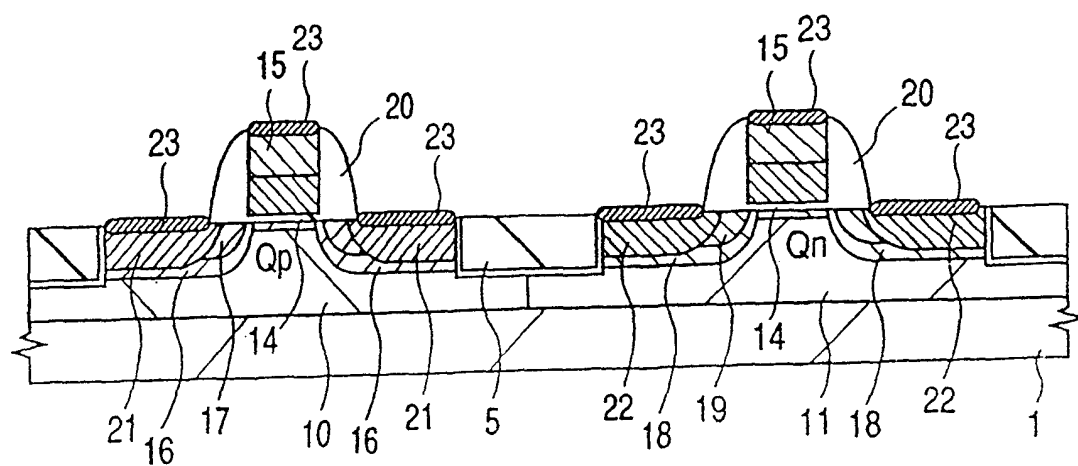


图 27

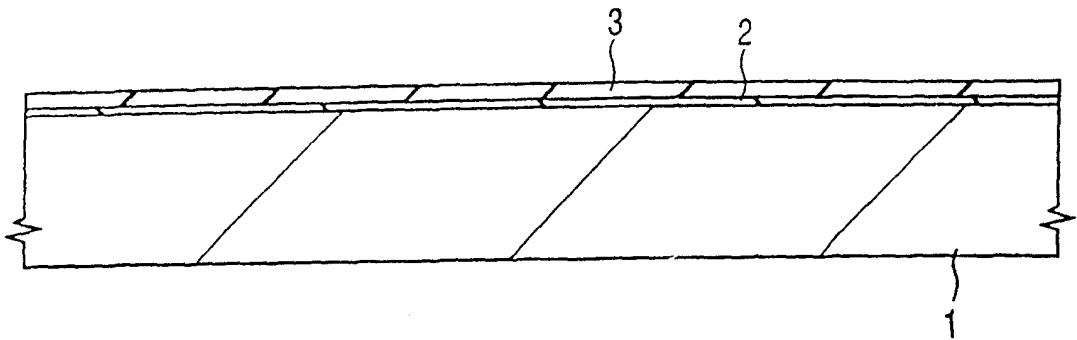


图 28

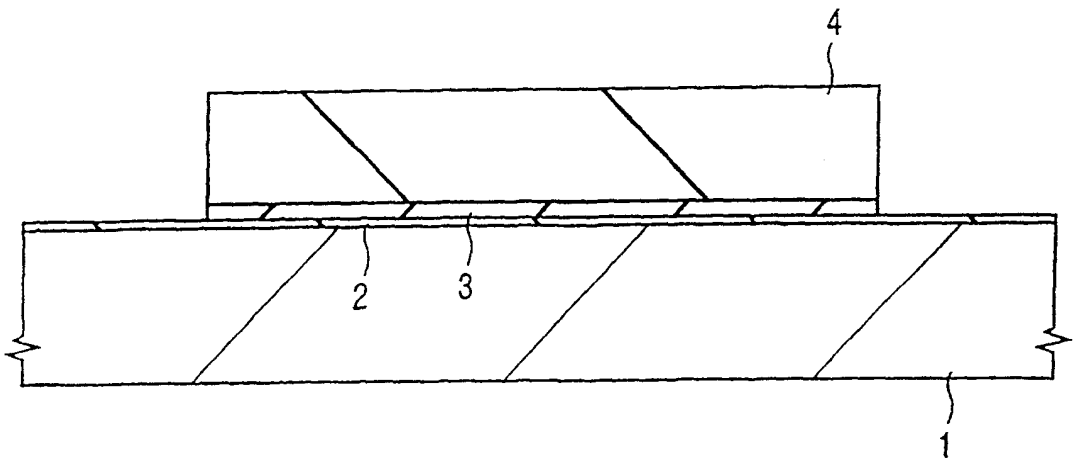


图 29

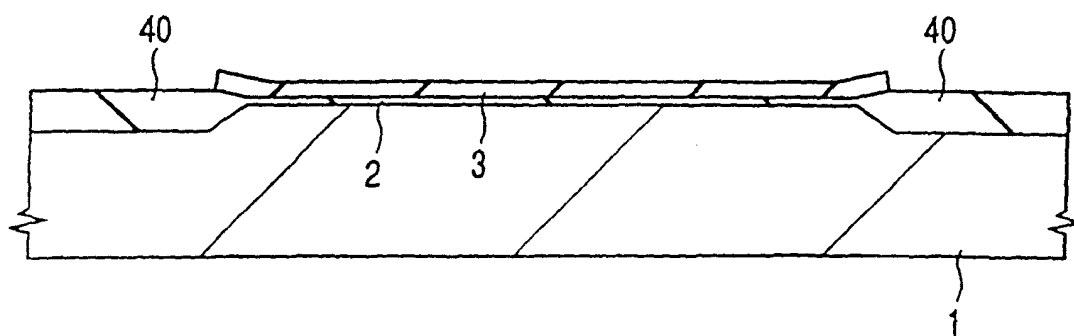


图 30

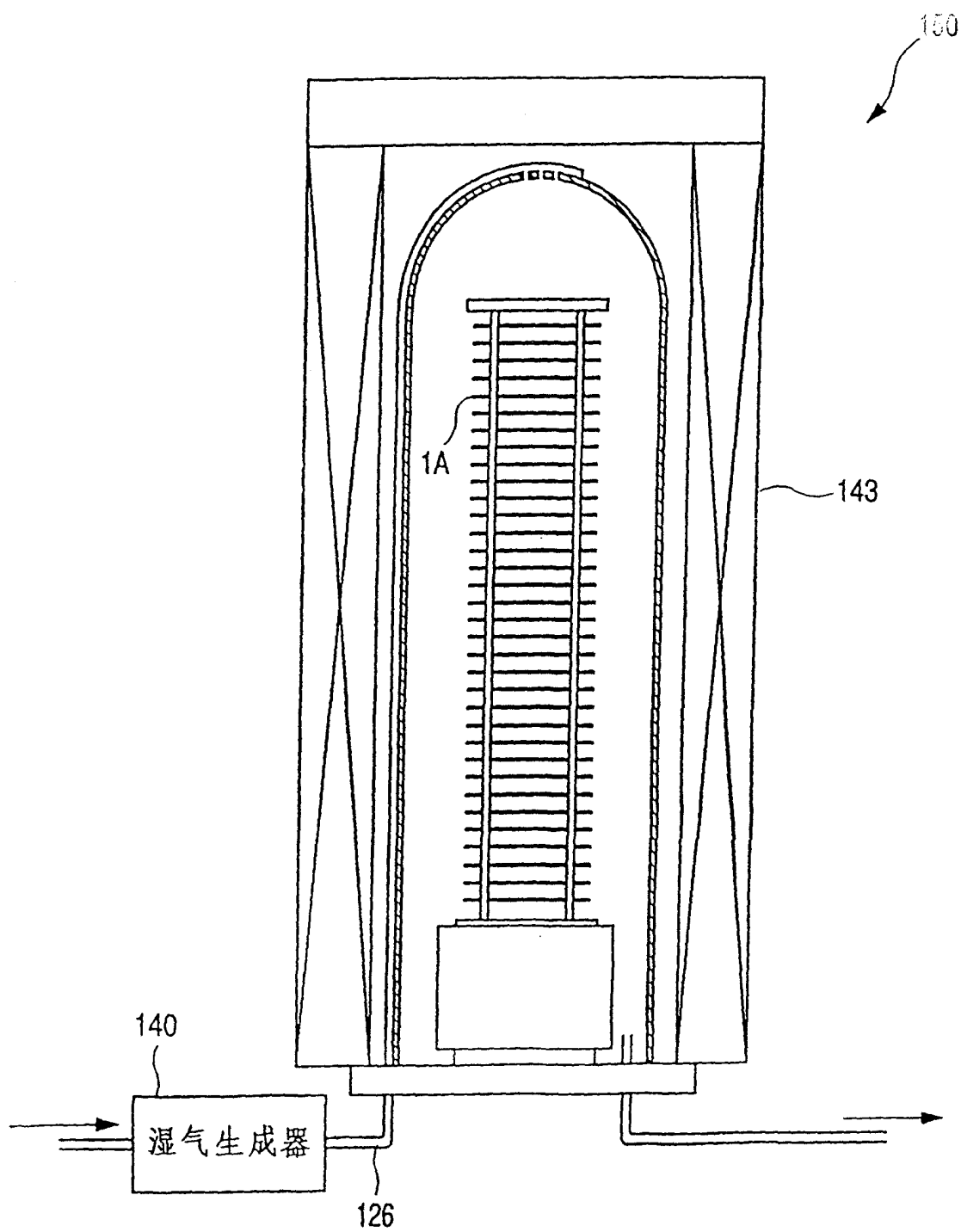


图31

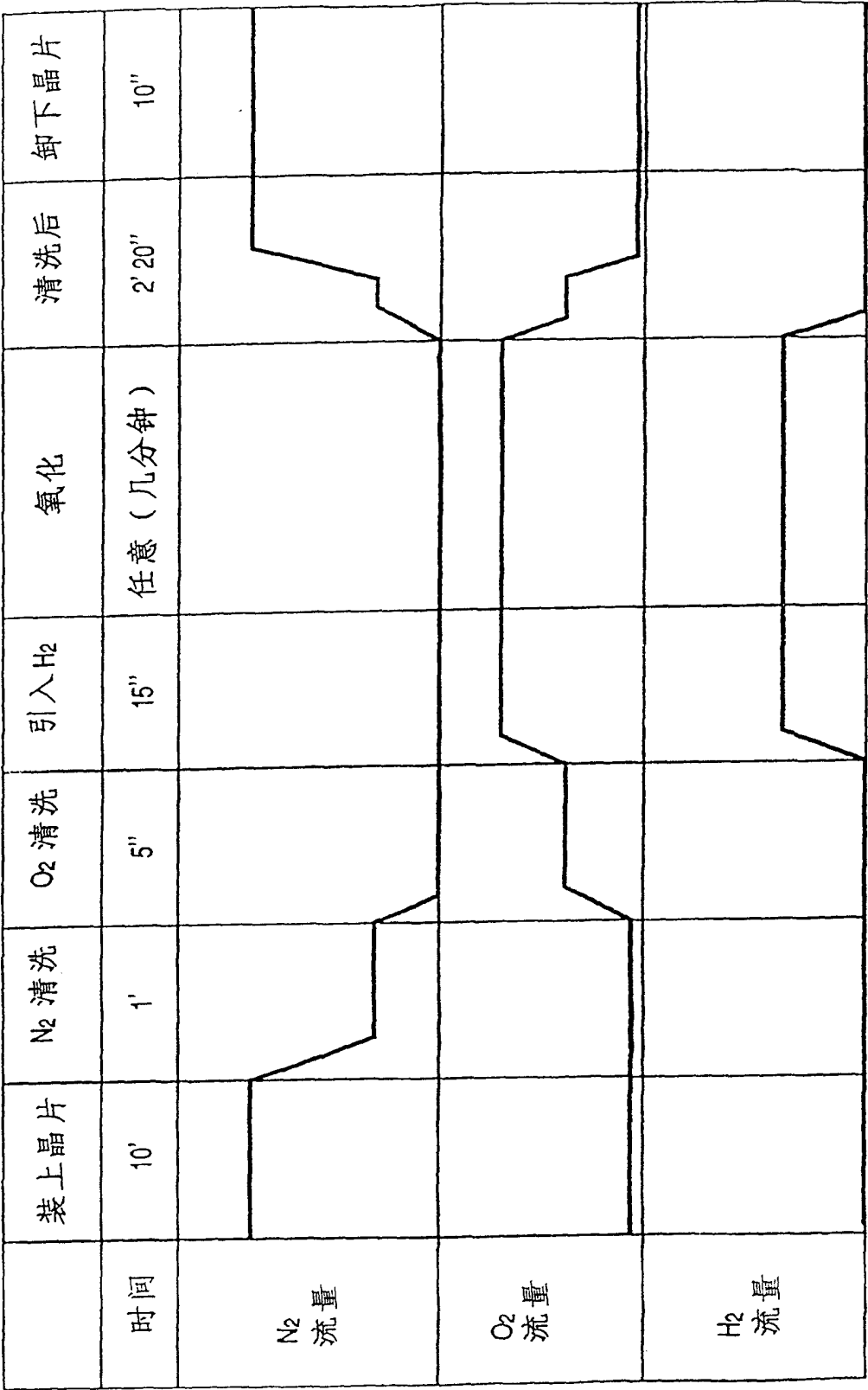


图 32

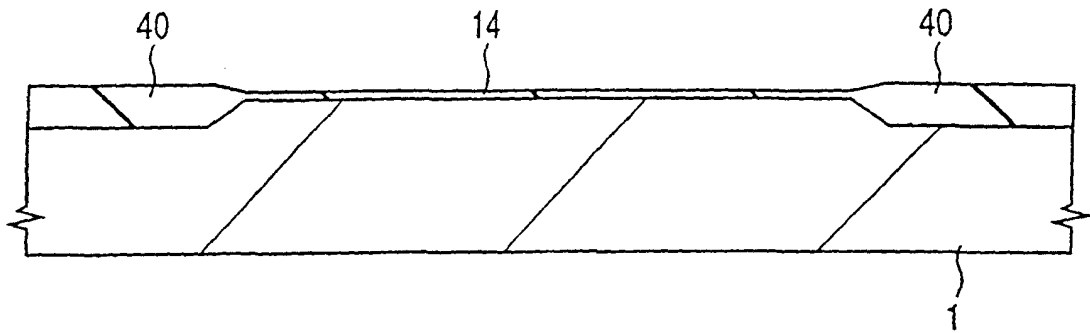


图 33

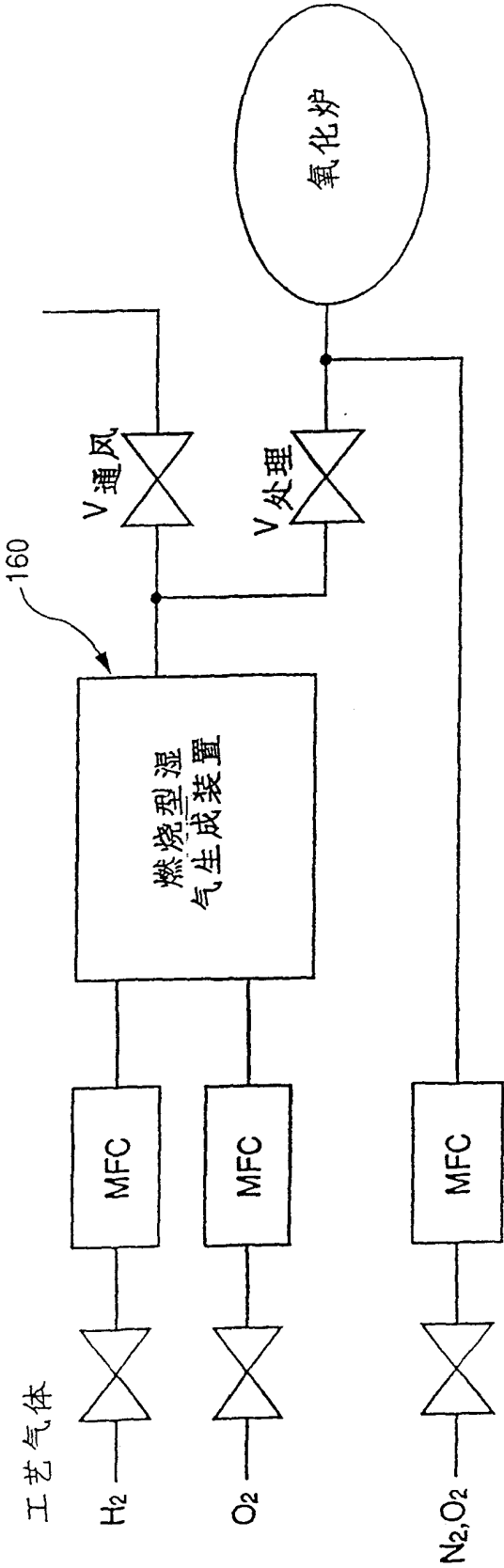


图 34

