400521

400521

申請日期	87、10、27
案號	87117792
類別	G11C 11/34

公告本

400521

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	同步型半導體記憶裝置
	英文	"SEMICONDUCTOR MEMORY" (日文：シンクロナス半導体メモリデバイス)
二、發明 ~~創作~~ 人	姓名	1.平林 修 2.川澄 篤
	國籍	1.2. 均日本
	住、居所	1.日本國神奈川縣横濱市港北區日吉本町4-14-1 東芝日吉寮B415 2.日本國神奈川縣横濱市榮區長尾台町252 生活藝術201號
三、申請人	姓名（名稱）	日商東芝股份有限公司
	國籍	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	西室 泰三

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

裝 訂 線

（由本局填寫）	
承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997年10月28日	特願平9-295431	☑有　□無主張優先權
日本	1998年6月8日	特願平10-159381	☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5）

，使叢發位址產生。叢發位址計數器109於內部命令信號Burst活化就活化。內部命令信號Burst為命令叢發動作的信號。叢發位址計數器109藉由遞增儲存於位址暫存器101的位址ADD之例如低位2位元，將1個位址ADD連續變換成4個叢發位址。

若為如上述的同步型靜態隨機存取記憶體，則分別根據從動作時鐘CK、/CK使其產生的輸出控制時鐘CK1、CK2、輸入控制時鐘CK3、CK4控制輸出轉移閘106-0、106-1、輸入暫存器111-0、111-1。藉此，可選擇DDR方式或SDR方式之任一方式。

然而，為了使時鐘CK1、CK2、CK3、CK4分別從動作時鐘CK、/CK產生，時鐘CK1、CK2、CK3、CK4從動作時鐘CK、/CK延遲。

例如輸出控制時鐘CK1、CK2延遲輸出控制時鐘產生電路107具有的延遲時間Td1。

因此，如圖4所示，資料之輸出定時對於動作時鐘CK、/CK延遲了延遲時間Td1部分。

然而，如圖4所示，輸出資料A4(最低有效位元A0=1)後，繼續輸出資料B1(最低有效位元A0=1)時，輸出控制時鐘CK2持續"H"電平。這種情況，資料B1之輸出定時對於動作時鐘CK、/CK沒有延遲延遲時間Td1部分。沒有資料B1之輸出定時延遲的部分，資料A4之輸出時間變短了。

此外，輸入控制時鐘CK3、CK4延遲輸入控制時鐘產生電路113具有的延遲時間Td2。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(1　)

發明之背景

本發明特別是關於一種雙資料速率(以下DDR)方式之同步型半導體記憶體，例如使用於靜態型隨機存取記憶體。

一般的同步型半導體記憶體，係使動作時鐘之上沿同步讀出或寫入資料。在本說明書中，將此種同步型半導體記憶體稱爲單資料速率(以下SDR)方式。SDR方式之同步型半導體記憶體每動作時鐘1周期，只一次讀出資料或只一次寫入資料。

對於這種SDR方式，近幾年DDR方式之同步型半導體記憶體受到注目。

DDR方式之同步型半導體記憶體不僅動作時鐘之上沿，而且使上沿、下沿雙方同步讀出或寫入資料。藉此，每動作時鐘1周期，二次讀出資料或二次寫入資料。因此，可將資料轉移速度提高到SDR方式的2倍，對提高每單位時間的資料轉移量有利。

此外，也嘗試了以下記憶體：使DDR方式及SDR方式雙方共存於一晶片，根據命令信號可選擇DDR方式或SDR方式之任一方式。此種記憶體，命令DDR方式時，以DDR方式讀寫資料，命令SDR方式時，以SDR方式讀寫資料。

圖1爲顯示可選擇DDR方式或SDR方式之任一方式之同步型靜態隨機存取記憶體的方塊圖。

如圖1所示，位址信號ADD輸入位址暫存器101。位址暫存器101與動作時鐘CK之上沿同步輸出所輸入的位址ADD。由位址暫存器101輸出的位址ADD輸入SRAM磁芯102，包

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6）

因此，如圖5所示，輸入暫存器111-0、111-1之輸出定時對於動作時鐘CK、/CK延遲了延遲時間Td2部分。

此外，如圖5所示，輸入資料A4(最低有效位元A0=1)後，繼續輸入資料B1(最低有效位元A0=1)時，1周期中2次需使輸入控制時鐘CK4從"L"電平成為"H"電平。因此，輸入暫存器111-1輸出資料A4的時間變短了。

這些情形，為了提高動作速度而提高動作時鐘CK、/CK之頻率的情況，讀出動作時難以充分得到資料之輸出時間，或者寫入動作時難以充分得到輸入暫存器111-0或111-1之輸出時間。

發明之概述

本發明之第一目的在於提供一種讀出動作時可充分得到資料之輸出時間之半導體積體電路裝置。

此外，第二目的在於提供一種寫入動作時可充分得到輸入暫存器之輸出時間之半導體積體電路裝置。

為了達成上述第一目的，關於本發明之半導體積體電路裝置具備第一輸出轉移電路：在第一定時轉移傳到第一、第二資料線之一方的第一輸出資料；第二輸出轉移電路：在和前述第一定時不同的第二定時轉移傳到第一、第二資料線之他方的第二輸出資料；及，資料線控制電路：可將前述第一資料線切換連接於前述第一、第二輸出轉移電路之任一電路，並且可將前述第二資料線切換連接於前述第一、第二輸出轉移電路之任一電路。

上述半導體積體電路裝置特別具備資料線控制電路：可

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (2　)

含於SRAM磁芯102的記憶胞(未圖示)中，與所輸入的位址ADD對應的一個連接於資料線BUS0或BUS1(SDR方式)。此外，DDR方式的情況，以所輸入的位址ADD1個指定2個記憶胞，所指定的2個記憶胞之一方連接於資料線BUS0，他方連接於資料線BUS1。又，本說明書係以位址ADD之最低有效位元AO決定將記憶胞連接於資料線BUS0或連接於資料線BUS1爲前提而加以說明。這在SDR方式、DDR方式之任一方式都不變。資料輸出電路103、資料輸入電路104連接於資料線BUS0、BUS1。

〔資料輸出電路103〕

資料輸出電路103含有輸出暫存器105-0、105-1、轉移閘106-0、106-1。

輸出暫存器105-0連接於資料線BUS0，輸出暫存器105-1連接於資料線BUS1。輸出暫存器105-0儲存讀出到資料線BUS0的資料，輸出暫存器105-1儲存讀出到資料線BUS1的資料。輸出暫存器105-0、105-1分別與動作時鐘CK之上沿同步輸出儲存的資料。

輸出轉移閘106-0連接於輸出暫存器105-0，輸出轉移閘106-1連接於連接於輸出暫存器105-1。輸出轉移閘106-0於輸出控制時鐘CK1爲"H"電平之間，輸出儲存於輸出暫存器105-0的資料，輸出轉移閘106-1於輸出控制時鐘CK2爲"H"電平之間，輸出儲存於輸出暫存器105-1的資料。輸出控制時鐘CK2爲和輸出控制時鐘CK1反相的時鐘。這些輸出控制時鐘CK1、CK2爲輸出控制時鐘產生電路107所產生。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7）

將第一資料線切換連接於第一、第二輸出轉移電路之任一電路，並且可將第二資料線切換連接於第一、第二輸出轉移電路之任一電路。

因此，無需按照所輸入的位址ADD切換控制第一、第二輸出轉移電路的輸出控制時鐘。去掉這種輸出控制時鐘，可解除使此輸出控制時鐘產生電路的延遲時間部分，資料輸出時間變短的情形。因此，讀出動作時，可得到充分的資料輸出時間。

此外，為了達成上述第二目的，關於本發明之半導體積體電路裝置具備第一輸入暫存器電路：在第一定時儲存第一輸入資料；第二輸入暫存器電路：在和前述第一定時不同的第二定時儲存第二輸入資料；及，資料線控制電路：可將前述第一輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線，並且可將前述第二輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線。

上述半導體積體電路裝置特別具備資料線控制電路：可將前述第一輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線，並且可將前述第二輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線。

因此，無需按照所輸入的位址ADD切換控制第一、第二輸入暫存器電路的輸入控制時鐘。去掉這種輸入控制時鐘，無需從第一輸入暫存器電路或第二輸入暫存器電路繼續輸出資料。因此，可充分得到第一、第二輸入暫存器之輸出時間。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(3　)

圖2顯示輸出控制時鐘產生電路107產生的輸出控制時鐘。

輸出控制時鐘產生電路107從動作時鐘CK及和此動作時鐘反相的反轉動作時鐘/CK使輸出控制時鐘CK1、CK2產生。產生電路107具有分頻電路108、多工器109、時鐘產生電路110。分頻電路108以動作時鐘CK的周期爲2倍，產生2倍周期的動作時鐘2·CK、2·/CK。多工器109按照內部命令信號Double/Single選擇動作時鐘CK、/CK或動作時鐘2·CK、2·/CK之任一時鐘。內部命令信號Double/Single爲命令DDR方式或SDR方式的信號。多工器109於命令DDR方式時，選擇動作時鐘CK、/CK，將動作時鐘CK、/CK供應給時鐘產生電路110。此外，選擇SDR方式時，選擇動作時鐘2·CK、2·/CK，將動作時鐘2·CK、2·/CK供應給時鐘產生電路110。時鐘產生電路110使輸出控制時鐘分別按照位址ADD之最低有效位元A0，如圖2所示產生CK1、CK2。位址ADD之最低有效位元A0決定與所輸入的位址對應的記憶胞連接於資料線BUS0或連接於資料線BUS1。

如此，輸出轉移閘106-0、106-1按照所輸入的位址ADD，爲輸出控制時鐘CK1、CK2所切換控制。

〔資料輸入電路104〕

資料輸入電路104含有輸入暫存器111-0、111-1、112-0、112-1。

輸入暫存器111-0於輸入控制時鐘CK3爲"H"電平之間，輸出儲存於本身的資料，輸入暫存器111-1於輸入控制時鐘CK4爲"H"電平之間，輸出儲存於本身的資料。這些輸入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(13)

被活化，從資料線BUS0、BUS1將資料放大而轉移到列選擇電路6。此外，寫入電路15-10、15-11寫入動作時，於位址A3為"1"時被活化，從資料線BUS0、BUS1將資料放大而轉移到列選擇電路6。

圖6所示之叢發位址計數器16於命令叢發動作時，使叢發位址產生。叢發位址計數器16於內部命令信號Bo活化就活化。內部命令信號Bo為命令叢發動作的信號。叢發位址計數器16藉由由位址暫存器1輸出的位址A0～A17中，例如使低位2位元之位址A0、A1規則變化，連續變換成4個叢發位址。

又，在線性模態時和交錯模態時，特別是叢發動作時，使叢發位址變化的規則性改變。

線性模態使記憶胞陣列4之全部記憶胞M一度成為活性狀態。例如參照圖7A及圖7C說明，物理位址1～16之全部記憶胞M一度成為活性狀態。

交錯模態不使記憶胞陣列4之全部記憶胞M全數成為活性狀態，而以各一半交互成為活性狀態。例如參照圖7A及圖7C說明，例如使位址A1之邏輯為"O"時所指定之記憶胞M(列編號1、2、5、6、9、10、13、14)和位址A1之邏輯為"1"時所指定之記憶胞M(列編號3、4、7、8、11、12、15、16)交互成為活性狀態。

〔SDR方式〕

(叢發動作/線性模態)

叢發位址計數器16使所輸入的位址A0～A17中低位2位

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

控制時鐘CK3、CK4爲輸入控制時鐘產生電路113所產生。圖3顯示輸入控制時鐘產生電路113產生的輸入控制時鐘。

輸入控制時鐘產生電路113從動作時鐘CK及和此動作時鐘反相的反轉動作時鐘/CK使輸入控制時鐘CK3、CK4產生。產生電路113具有定時調整電路114、115、多工器116。定時調整電路114產生與動作時鐘CK之上沿同步且具有比動作時鐘CK之脈衝寬度短的脈衝寬度的時鐘CK'。定時調整電路115產生與反轉動作時鐘/CK之上沿同步且具有比反轉動作時鐘/CK之脈衝寬度短的脈衝寬度的時鐘/CK'。多工器116按照上述內部命令信號Double/Single及位址ADD之最低有效位元A0選擇時鐘CK'或/CK'。多工器116於命令SDR方式時，不管位址ADD之最低有效位元A0，選擇時鐘CK'作爲輸入控制時鐘CK3、CK4。此外，命令DDR方式時，按照位址ADD之最低有效位元A0，將時鐘CK'選作輸入控制時鐘CK3、CK4之一方，將時鐘/CK'選作輸入控制時鐘CK3、CK4之他方。

輸入暫存器112-0儲存輸入暫存器111-0之輸出，輸入暫存器112-1儲存輸入暫存器111-1之輸出。輸入暫存器112-0連接於資料線BUS0，輸入暫存器112-1連接於資料線BUS1。輸入暫存器112-0、112-1分別與動作時鐘CK之上沿同步輸出儲存的資料。

如此，輸入暫存器111-0、111-1按照所輸入的位址ADD，爲輸入控制時鐘CK3、CK4所切換控制。

此外，圖1所示之叢發位址計數器117係命令叢發動作時

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 18）

器31u之輸出連接於寫入資料線控制器33之第一輸入端子35u，寫入暫存器31d之輸出連接於寫入資料線控制器33之第一輸入端子35d。

控制器33含有開關電路37-0、37-1、37-2、37-3。第一輸入端子35u連接於開關電路37-0之一端及開關電路37-2之一端，第二輸入端子35d連接於開關電路37-1之一端及開關電路37-3之一端。這些開關電路37-0～37-3分別為控制信號WBC所控制。開關電路37-0之他端及開關電路37-1之他端分別連接於控制器33之第一輸出端子38e。此外，開關電路37-2之他端及開關電路37-3之他端分別連接於控制器33之第二輸出端子38o。第一輸出端子38e連接於寫入暫存器32e之輸入，第二輸出端子38o連接於寫入暫存器32o之輸入。

寫入暫存器32e儲存輸出到第一輸出端子38e的寫入資料，寫入暫存器32o儲存輸出到第二輸出端子38o的寫入資料。寫入暫存器32e、32o分別與動作時鐘CK之上沿同步輸出儲存的寫入資料。寫入暫存器32e、32o之輸出分別連接於寫入資料線緩衝器40e、40o之輸入。

寫入資料線緩衝器40e例如寫入動作時被活化。然後，緩衝操作由寫入暫存器32e輸出的寫入資料，傳到資料線BUS0。同樣地，寫入資料線緩衝器40o例如寫入動作時被活化，緩衝操作由寫入暫存器32o輸出的寫入資料，傳到資料線BUS1。

〔控制系統電路〕

資料輸出電路17於讀出動作時被活化，資料輸入電路30

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5）

，使叢發位址產生。叢發位址計數器109於內部命令信號Burst活化就活化。內部命令信號Burst為命令叢發動作的信號。叢發位址計數器109藉由遞增儲存於位址暫存器101的位址ADD之例如低位2位元，將1個位址ADD連續變換成4個叢發位址。

若為如上述的同步型靜態隨機存取記憶體，則分別根據從動作時鐘CK、/CK使其產生的輸出控制時鐘CK1、CK2、輸入控制時鐘CK3、CK4控制輸出轉移閘106-0、106-1、輸入暫存器111-0、111-1。藉此，可選擇DDR方式或SDR方式之任一方式。

然而，為了使時鐘CK1、CK2、CK3、CK4分別從動作時鐘CK、/CK產生，時鐘CK1、CK2、CK3、CK4從動作時鐘CK、/CK延遲。

例如輸出控制時鐘CK1、CK2延遲輸出控制時鐘產生電路107具有的延遲時間Td1。

因此，如圖4所示，資料之輸出定時對於動作時鐘CK、/CK延遲了延遲時間Td1部分。

然而，如圖4所示，輸出資料A4(最低有效位元A0=1)後，繼續輸出資料B1(最低有效位元A0=1)時，輸出控制時鐘CK2持續"H"電平。這種情況，資料B1之輸出定時對於動作時鐘CK、/CK沒有延遲延遲時間Td1部分。沒有資料B1之輸出定時延遲的部分，資料A4之輸出時間變短了。

此外，輸入控制時鐘CK3、CK4延遲輸入控制時鐘產生電路113具有的延遲時間Td2。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(20)

26d活化。信號W、W'分別於寫入時，使寫入電路15-00、15-01、15-10、15-11、寫入資料線緩衝器40e、40o活化。此外，信號PRC供應給預充電電路44-0、44-1。預充電電路44-0回應信號PRC而將資料線BUS0預充電到VCC電平，預充電電路44-1回應信號PRC而將資料線BUS1預充電到VCC電平。

資料線控制電路43根據信號Ro/Wo、So/Do、位址A0，產生信號RBC、WBC。

信號RBC控制讀出資料線控制器18。特別是信號RBC以和驅動讀出暫存器19u、19d的定時不同的定時通/斷控制開關電路23-0～23-3。

信號WBC控制寫入資料線控制器33。特別是信號WBC以和驅動寫入暫存器32e、32o的定時不同的定時通/斷控制開關電路37-0～37-3。

以下，一面以線性、叢發方式時為例，一面說明關於第一實施形態之同步型靜態隨機存取記憶體之動作。

〔DDR讀出動作〕

圖9為顯示DDR讀出動作的定時圖。

如圖9所示，在周期1，將位址RA000取入晶片("000"使其分別與位址A2、A1、A0之邏輯對應)。叢發位址計數器16以位址RA000為起始位址，使位址A1、A0如圖8C所示地變化。藉此，產生叢發位址。

在周期1，產生叢發位址RA000、RA001(未圖示)。然後，從為叢發位址RA000所指定的記憶胞將資料RD000讀出到

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6）

因此，如圖5所示，輸入暫存器111-0、111-1之輸出定時對於動作時鐘CK、/CK延遲了延遲時間Td2部分。

此外，如圖5所示，輸入資料A4(最低有效位元A0=1)後，繼續輸入資料B1(最低有效位元A0=1)時，1周期中2次需使輸入控制時鐘CK4從"L"電平成為"H"電平。因此，輸入暫存器111-1輸出資料A4的時間變短了。

這些情形，為了提高動作速度而提高動作時鐘CK、/CK之頻率的情況，讀出動作時難以充分得到資料之輸出時間，或者寫入動作時難以充分得到輸入暫存器111-0或111-1之輸出時間。

發明之概述

本發明之第一目的在於提供一種讀出動作時可充分得到資料之輸出時間之半導體積體電路裝置。

此外，第二目的在於提供一種寫入動作時可充分得到輸入暫存器之輸出時間之半導體積體電路裝置。

為了達成上述第一目的，關於本發明之半導體積體電路裝置具備第一輸出轉移電路：在第一定時轉移傳到第一、第二資料線之一方的第一輸出資料；第二輸出轉移電路：在和前述第一定時不同的第二定時轉移傳到第一、第二資料線之他方的第二輸出資料；及，資料線控制電路：可將前述第一資料線切換連接於前述第一、第二輸出轉移電路之任一電路，並且可將前述第二資料線切換連接於前述第一、第二輸出轉移電路之任一電路。

上述半導體積體電路裝置特別具備資料線控制電路：可

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7）

將第一資料線切換連接於第一、第二輸出轉移電路之任一電路，並且可將第二資料線切換連接於第一、第二輸出轉移電路之任一電路。

因此，無需按照所輸入的位址ADD切換控制第一、第二輸出轉移電路的輸出控制時鐘。去掉這種輸出控制時鐘，可解除使此輸出控制時鐘產生電路的延遲時間部分，資料輸出時間變短的情形。因此，讀出動作時，可得到充分的資料輸出時間。

此外，為了達成上述第二目的，關於本發明之半導體積體電路裝置具備第一輸入暫存器電路：在第一定時儲存第一輸入資料；第二輸入暫存器電路：在和前述第一定時不同的第二定時儲存第二輸入資料；及，資料線控制電路：可將前述第一輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線，並且可將前述第二輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線。

上述半導體積體電路裝置特別具備資料線控制電路：可將前述第一輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線，並且可將前述第二輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線。

因此，無需按照所輸入的位址ADD切換控制第一、第二輸入暫存器電路的輸入控制時鐘。去掉這種輸入控制時鐘，無需從第一輸入暫存器電路或第二輸入暫存器電路繼續輸出資料。因此，可充分得到第一、第二輸入暫存器之輸出時間。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

若干圖之附圖之簡單說明

圖1爲顯示習知同步型靜態隨機存取記憶體的方塊圖。

圖2爲顯示輸出控制時鐘之圖。

圖3爲顯示輸入控制時鐘之圖。

圖4爲顯示習知同步型動態隨機存取記憶體之DDR讀出動作的定時圖。

圖5爲顯示習知同步型動態隨機存取記憶體之SDR讀出動作的定時圖。

圖6爲顯示關於本發明第一實施形態之同步型靜態隨機存取記憶體的方塊圖。

圖7A爲顯示靜態隨機存取記憶體磁芯之一電路例的電路圖。

圖7B爲顯示靜態型記憶胞之一電路例的電路圖。

圖7C爲顯示記憶胞之物理位址與邏輯位址的對應關係。

圖8A爲顯示叢發位址計數器產生之叢發位址的表格(SDR/線性模態時)。

圖8B爲顯示叢發位址計數器產生之叢發位址的表格(SDR/交錯模態時)。

圖8C爲顯示叢發位址計數器產生的叢發位址的表格(DDR/線性模態時)。

圖8D爲顯示叢發位址計數器產生的叢發位址的表格(DDR/交錯模態時)。

圖9爲顯示關於本發明第一實施形態之同步型動態隨機存取記憶體之DDR讀出動作的定時圖。

圖10A及圖10B爲分別顯示讀出資料線控制電路動作之圖

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

（DDR時）。

圖11爲顯示關於本發明第一實施形態之同步型動態隨機存取記憶體之SDR讀出動作的定時圖。

圖12A及圖12B爲分別顯示讀出資料線控制電路動作之圖（SDR時）。

圖13爲顯示關於本發明第一實施形態之同步型動態隨機存取記憶體之DDR寫入動作的定時圖。

圖14A及圖14B爲分別顯示寫入資料線控制電路動作之圖（DDR時）。

圖15爲顯示關於本發明第一實施形態之同步型動態隨機存取記憶體之SDR寫入動作的定時圖。

圖16爲顯示寫入資料線控制電路動作之圖（SDR時）。

圖17爲顯示讀出資料線控制電路之一電路例的電路圖。

圖18爲顯示讀出資料線控制電路之其他電路例的電路圖。

圖19A及19B爲分別顯示延遲寫入動作的定時圖。

圖20爲顯示關於本發明第二實施形態之同步型靜態隨機存取記憶體的方塊圖。

圖21A爲顯示預解碼器及多工器之一電路例的電路圖。

圖21B爲顯示位址位元A1、A0和預解碼位址位元（A1、A0）（A1、/A0）、（/A1、A0）（/A1、/A0）之關係之圖。

圖22A及22B爲顯示關於本發明第二實施形態之同步型靜態隨機存取記憶體動作的定時圖。

圖23A、23B、23C及23D爲顯示關於本發明第二實施形態之同步型靜態隨機存取記憶體動作的電路圖。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

圖24爲顯示圖20所示之位址一致/不一致比較電路之一電路例的電路圖。

圖25爲顯示關於本發明第三實施形態之同步型靜態隨機存取記憶體的方塊圖。

圖26爲顯示關於本發明第四實施形態之同步型靜態隨機存取記憶體的方塊圖。

發明之詳細說明

以下，參照圖面詳細說明本發明之實施形態。

〔第一實施形態〕

圖6爲顯示關於本發明第一實施形態之同步型靜態隨機存取記憶體的方塊圖。

如圖6所示，位址ADD輸入位址暫存器1。位址ADD例如由18位元之位址信號A0～A17構成。位址暫存器1與動作時鐘CK之上沿(UP edge)同步輸出所輸入的位址ADD。儲存於位址暫存器1的位址ADD輸入靜態隨機存取記憶體磁芯2之位址解碼器3。

位址解碼器3解譯位址信號A0～A17，使爲了選擇記憶胞陣列4之行的信號及爲了選擇記憶胞陣列4之列的信號產生。爲了選擇行的信號供應給行選擇電路5，爲了選擇列的信號供應給列選擇電路6及感測放大器&寫入電路7。列選擇電路6及感測放大器&寫入電路7構成資料轉移電路8，該資料轉移電路8係使記憶胞陣列4之記憶胞連接於資料線BUS0、資料線BUS1。圖7A顯示靜態隨機存取記憶體磁芯之一電路例。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

如圖7A所示，行選擇電路5按照爲了選擇由位址解碼器3輸出之行的信號選擇字元線WL，驅動所選擇的字元線WL。字元線WL延伸到記憶胞陣列4，在記憶胞陣列4內連接於靜態型記憶胞M。圖7B顯示靜態型記憶胞M之一電路例。

如圖7B所示，靜態型記憶胞M包括鎖定電路9：記憶資料；N通道型MOS電晶體10：串聯連接於鎖定電路9之正相節點N1和位元線BL之間；及，N通道型MOS電晶體/10：串聯連接於鎖定電路9之反相節點/N1和位元線/BL之間。字元線WL連接於電晶體10、/10之閘極。字元線WL之電位成爲"H"電平，電晶體10、/10都"接通"，電氣連接位元線BL和正相節點N1，同時電氣連接位元線/BL和反相節點/N1。藉此，電氣連接鎖定電路9和位元線對BL、/BL。鎖定電路9之一例係交叉耦合(cross couple)CMOS型鎖定電路：由感測驅動用N通道型MOS電晶體對11、/11及負載用P通道型MOS電晶體對12、/12構成。

這種靜態型記憶胞M與字元線WL和位元線對BL、/BL的電氣交點對應，配置成矩陣狀。

在關於此實施形態之裝置，配置成矩陣狀的靜態型記憶胞M在位址上分成連接於資料線BUS0的第一記憶胞群和連接於資料線BUS1的第二記憶胞群。圖7C顯示記憶胞之物理位址和邏輯位址之對應關係。

圖7C顯示18位元之位址A0～A17中低位4位元之位址A0～A3。這些位址A0～A3爲邏輯位址。4個邏輯位址A0～A3的組合有16種(2的4乘方)。因此，4個邏輯位址可從16個記

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
訂

五、發明說明（12）

憶胞中選擇1個記憶胞。爲了方便起見，分別將列編號1～16給與16個記憶胞。

如圖7A、圖7C所示，在關於第一實施形態之裝置，列編號1～16奇數的記憶胞連接於資料線BUS0，列編號1～16偶數的記憶胞連接於資料線BUS1。列編號是奇數或偶數，如圖7C所示，爲18位元之位址A0～A17中最低有效位元之位址A0之邏輯所決定。即，輸入位址解碼器3的位址A0～A17中，若位址A0爲"0"則連接於資料線BUS0，爲"1"則連接於資料線BUS1。

位元線對BL、/BL連接於列選擇電路6。列選擇電路6按照爲了選擇由位址解碼器3輸出之列的信號CSL1～CSL8選擇位元線對BL、/BL，將所選擇的位元線對BL、/BL連接於感測放大器&寫入電路7。解譯位址A0～A2，得到信號CSL1～CSL8。

列選擇電路6具有各位元線對BL、/BL所設的N通道型MOS電晶體對13、/13。信號CSL1～CSL8供應給N通道型MOS電晶體對13、/13之閘極。

感測放大器&寫入電路7具有感測放大器14-00、14-01、14-10、14-11、寫入電路15-00、15-01、15-10、15-11。感測放大器14-00、14-01讀出動作時，於位址A3爲"0"時被活化，將資料放大而轉移到資料線BUS0、BUS1。此外，感測放大器14-10、14-11讀出動作時，於位址A3爲"1"時被活化，將資料放大而轉移到資料線BUS0、BUS1。

寫入電路15-00、15-01寫入動作時，於位址A3爲"0"時

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(13)

被活化，從資料線BUS0、BUS1將資料放大而轉移到列選擇電路6。此外，寫入電路15-10、15-11寫入動作時，於位址A3為"1"時被活化，從資料線BUS0、BUS1將資料放大而轉移到列選擇電路6。

圖6所示之叢發位址計數器16於命令叢發動作時，使叢發位址產生。叢發位址計數器16於內部命令信號Bo活化就活化。內部命令信號Bo為命令叢發動作的信號。叢發位址計數器16藉由由位址暫存器1輸出的位址A0～A17中，例如使低位2位元之位址A0、A1規則變化，連續變換成4個叢發位址。

又，在線性模態時和交錯模態時，特別是叢發動作時，使叢發位址變化的規則性改變。

線性模態使記憶胞陣列4之全部記憶胞M一度成為活性狀態。例如參照圖7A及圖7C說明，物理位址1～16之全部記憶胞M一度成為活性狀態。

交錯模態不使記憶胞陣列4之全部記憶胞M全數成為活性狀態，而以各一半交互成為活性狀態。例如參照圖7A及圖7C說明，例如使位址A1之邏輯為"O"時所指定之記憶胞M(列編號1、2、5、6、9、10、13、14)和位址A1之邏輯為"1"時所指定之記憶胞M(列編號3、4、7、8、11、12、15、16)交互成為活性狀態。

〔SDR方式〕

(叢發動作/線性模態)

叢發位址計數器16使所輸入的位址A0～A17中低位2位

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

元之位址A1、A0如圖8A所示地變化。如圖8A所示，叢發起始位址之低位2位元(A1、A0)組合有(0、0)、(0、1)、(1、0)、(1、1)的4種。特別著眼於叢發起始位址爲(0、1)，說明位址A1、A0之變化。

叢發起始位址爲(0、1)，假設選擇圖7C所示之列編號爲"2"之記憶胞M。此時，叢發位址計數器16使位址A1、A0如(0、1)→(1、0)→(1、1)→(0、0)變化，以便按列編號"2"、"3"、"4"、"1"之順序選擇記憶胞M。

在線性模態，全部記憶胞在活性狀態。因此，叢發起始位址之低位2位元、位址A1、A0順序使其遞增即可。

(叢發動作/交錯模態)

叢發位址計數器16使所輸入的位址A0～A17中低位2位元之位址A1、A0如圖8B所示地變化。

特別著眼於叢發起始位址爲(0、1)，說明位址A1、A0之變化。

叢發起始位址爲(0、1)，假設選擇圖7C所示之列編號爲"2"之記憶胞M。此時，叢發位址計數器16使位址A1、A0如(0、1)→(0、0)→(1、1)-(1、0)變化，以便按列編號"2"、"1"、"4"、"3"之順序選擇記憶胞M。

在交錯模態，位址A1爲"0"、"1"，各一半交互記憶胞M成爲活性狀態。因此，位址A0使其交互變化，位址A1於位址A0每回到起始時的邏輯就使其變化即可。

〔DDR方式〕

(叢發動作/線性模態)

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明（15）

叢發位址計數器16使所輸入的位址A0～A17中低位2位元之位址A1、A0如圖8C所示地變化。

特別著眼於叢發起始位址爲(0、1)，說明位址A1、A0之變化。

叢發起始位址爲(0、1)，假設選擇圖7C所示之列編號爲"2"之記憶胞M。此時，叢發位址計數器16和SDR方式時同樣，使位址A1、A0如(0、1)→(1、0)→(1、1)→(0、0)變化，以便按列編號"2"、"3"、"4"、"1"之順序選擇記憶胞M。

(叢發動作/交錯模態)

叢發位址計數器16使所輸入的位址A0～A17中低位2位元之位址A1、A0如圖8D所示地變化。

特別著眼於叢發起始位址爲(0、1)，說明位址A1、A0之變化。

叢發起始位址爲(0、1)，假設選擇圖7C所示之列編號爲"2"之記憶胞M。此時，叢發位址計數器16和SDR方式時同樣，使位址A1、A0如(0、1)→(0、0)→(1、1)→(1、0)變化，以便按列編號"2"、"1"、"4"、"3"之順序選擇記憶胞M。

在上述6種動作，若位址A0爲"0"則所選擇之記憶胞M連接於資料線BUS0，爲"1"則連接於資料線BUS1。資料線BUS0、BUS1連接於資料輸出電路17及資料輸入電路30。

〔資料輸出電路17〕

如圖6所示，資料輸出電路17基本上含有讀出資料線控

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
訂

五、發明說明 (16)

制器18、讀出暫存器(輸出暫存器)19u、19d、輸出轉移閘20u、20d所構成。

資料線BUS0連接於控制器18之第一輸入端子21e，資料線BUS1連接於控制器18之第二輸入端子21o。

控制器18含有開關電路23-0、23-1、23-2、23-3。輸入端子21e連接於開關電路23-0之一端及開關電路23-2之一端，輸入端子21o連接於開關電路23-1之一端及開關電路23-3之一端。這些開關電路23-0～23-3分別爲控制信號RBC所控制。開關電路23-0之他端及開關電路23-1之他端分別連接於控制器18之第一輸出端子24u。此外，開關電路23-2之他端及開關電路23-3之他端分別連接於讀出資料線控制器18之第二輸出端子24d。第一輸出端子24u連接於讀出資料線感測放大器26u之輸入，第二輸出端子24d連接於讀出資料線感測放大器26d之輸入。

感測放大器26u例如讀出動作時被活化。然後，放大輸出到第一輸出端子24u的讀出資料，傳到讀出暫存器19u之輸入。同樣地，感測放大器26d例如讀出動作時被活化，放大輸出到第二輸出端子24d的讀出資料，傳到讀出暫存器19d之輸入。

讀出暫存器19u儲存透過感測放大器26u所輸出的讀出資料，讀出暫存器19d儲存透過感測放大器26d所輸出的讀出資料。讀出暫存器19u、19d分別與動作時鐘CK之上沿同步輸出儲存的讀出資料。讀出暫存器19u之輸出連接於輸出轉移閘20u之輸入，讀出暫存器19d之輸出連接於輸出轉移

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (17)

閘20d之輸入。

輸出轉移閘20u於動作時鐘CK爲"H"電平之間，輸出讀出暫存器19u輸出的讀出資料。輸出轉移閘20d於反轉動作時鐘/CK爲"H"電平之間，輸出讀出暫存器19d輸出的讀出資料。反轉動作時鐘/CK爲和動作時鐘CK反相的時鐘。動作時鐘CK一下降，反轉動作時鐘/CK就同時上升。藉此，在此實施形態，外觀上與動作時鐘CK之上沿及下沿雙方同步而輸出資料。因此，可與DDR方式對應。

動作時鐘CK及反轉動作時鐘/CK例如以設於晶片內的時鐘緩衝器27產生。時鐘緩衝器27從外部時鐘CK ext。產生動作時鐘CK及反轉動作時鐘/CK。

輸出轉移閘20u、20d各自之輸出連接於輸出緩衝器28之輸入。輸出緩衝器28之輸出連接於晶片之輸出端子29。

〔資料輸入電路30〕

資料輸入電路30基本上含有第一級寫入暫存器(第一級輸入暫存器)31u、31d、第二級寫入暫存器(第二級輸入暫存器)32e、32o、寫入資料線控制器33所構成。

輸出入端子29連接於輸入緩衝器34之輸入。輸入緩衝器34之輸出連接於寫入暫存器31u之輸入及寫入暫存器31d之輸入。寫入暫存器31u於動作時鐘CK爲"H"電平之間，輸出儲存於本身的寫入資料。寫入暫存器31d於反轉動作時鐘/CK爲"H"電平之間，輸出儲存於本身的寫入資料。藉此，在此實施形態，外觀上與動作時鐘CK之上沿及下沿雙方同步而輸入資料。因此，可與DDR方式對應。寫入暫存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 18）

器31u之輸出連接於寫入資料線控制器33之第一輸入端子35u，寫入暫存器31d之輸出連接於寫入資料線控制器33之第一輸入端子35d。

控制器33含有開關電路37-0、37-1、37-2、37-3。第一輸入端子35u連接於開關電路37-0之一端及開關電路37-2之一端，第二輸入端子35d連接於開關電路37-1之一端及開關電路37-3之一端。這些開關電路37-0～37-3分別為控制信號WBC所控制。開關電路37-0之他端及開關電路37-1之他端分別連接於控制器33之第一輸出端子38e。此外，開關電路37-2之他端及開關電路37-3之他端分別連接於控制器33之第二輸出端子38o。第一輸出端子38e連接於寫入暫存器32e之輸入，第二輸出端子38o連接於寫入暫存器32o之輸入。

寫入暫存器32e儲存輸出到第一輸出端子38e的寫入資料，寫入暫存器32o儲存輸出到第二輸出端子38o的寫入資料。寫入暫存器32e、32o分別與動作時鐘CK之上沿同步輸出儲存的寫入資料。寫入暫存器32e、32o之輸出分別連接於寫入資料線緩衝器40e、40o之輸入。

寫入資料線緩衝器40e例如寫入動作時被活化。然後，緩衝操作由寫入暫存器32e輸出的寫入資料，傳到資料線BUS0。同樣地，寫入資料線緩衝器40o例如寫入動作時被活化，緩衝操作由寫入暫存器32o輸出的寫入資料，傳到資料線BUS1。

〔控制系統電路〕

資料輸出電路17於讀出動作時被活化，資料輸入電路30

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (19)

於寫入動作時被活化。讀出或寫入爲命令READ/WRITE所決定。

關於此第一實施形態之同步型靜態隨機存取記憶體可與SDR方式、DDR方式雙方對應，可選擇SDR方式或DDR方式之任一方式。選擇SDR方式或選擇DDR方式，爲命令SINGLE/DOUBLE所決定。

此外，作爲位址輸入方式，除了正常方式之外，還有叢發方式。正常方式或叢發方式，爲命令BURST所決定。

再者，作爲記憶胞陣列之活性方式，有線性方式、交錯方式。選擇線性方式或選擇交錯方式，爲命令LINER/INTERLEAVE所決定。

這些命令分別輸入命令解碼器41。命令解碼器41解譯這些命令，使信號Ro/Wo、信號So/Do、信號Bo、信號Lo/Io。信號Ro/Wo指定讀出或寫入，特別供應給讀/寫控制電路42及滙流排控制電路43。信號So/Do指定SDR方式或DDR方式，特別供應給叢發位址計數器16及資料線控制電路43。信號Bo指定正常方式或叢發方式，特別供應給叢發位址計數器16。信號Lo/Io指定線性或交錯，特別供應給叢發位址計數器16。

叢發位址計數器16於根據信號Bo指定叢發方式時，根據信號So/Do、Lo/Io，特別如圖8A～8D所示，產生叢發位址。

讀/寫控制電路42根據信號Ro/Wo，產生信號R、R'、W、W'、PRC。信號R、R'分別於讀出時，使感測放大器14-00、14-01、14-10、14-11、讀出資料線感測放大器，26u、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(20)

26d活化。信號W、W'分別於寫入時，使寫入電路15-00、15-01、15-10、15-11、寫入資料線緩衝器40e、40o活化。此外，信號PRC供應給預充電電路44-0、44-1。預充電電路44-0回應信號PRC而將資料線BUS0預充電到VCC電平，預充電電路44-1回應信號PRC而將資料線BUS1預充電到VCC電平。

資料線控制電路43根據信號Ro/Wo、So/Do、位址A0，產生信號RBC、WBC。

信號RBC控制讀出資料線控制器18。特別是信號RBC以和驅動讀出暫存器19u、19d的定時不同的定時通/斷控制開關電路23-0～23-3。

信號WBC控制寫入資料線控制器33。特別是信號WBC以和驅動寫入暫存器32e、32o的定時不同的定時通/斷控制開關電路37-0～37-3。

以下，一面以線性、叢發方式時為例，一面說明關於第一實施形態之同步型靜態隨機存取記憶體之動作。

〔DDR讀出動作〕

圖9為顯示DDR讀出動作的定時圖。

如圖9所示，在周期1，將位址RA000取入晶片("000"使其分別與位址A2、A1、A0之邏輯對應)。叢發位址計數器16以位址RA000為起始位址，使位址A1、A0如圖8C所示地變化。藉此，產生叢發位址。

在周期1，產生叢發位址RA000、RA001(未圖示)。然後，從為叢發位址RA000所指定的記憶胞將資料RD000讀出到

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (21)

資料線BUS0。此外，從爲叢發位址RA001所指定的記憶胞將資料RD001讀出到資料線BUS1。

讀出資料線控制器18例如參照起始位址之最低有效位元A0，控制資料線BUS0、BUS1和讀出暫存器19u、19d之連接關係。圖10A顯示最低有效位元A0爲"0"時的讀出資料線控制器18的狀態。

如圖10A所示，最低有效位元A0爲"0"時，開關電路23-0接通，開關電路23-1斷開，開關電路23-2斷開，開關電路23-3接通。在此狀態，資料線BUS0連接於讀出暫存器19u，資料線BUS1連接於讀出暫存器19d。因此，讀出到資料線BUS0的資料RD000儲存於讀出暫存器19u，讀出到資料線BUS1的資料RD001儲存於讀出暫存器19d。

其次，在周期2，產生叢發位址RA010、RA011。然後，從爲叢發位址RA010所指定的記憶胞將資料RD010實質地平行輸出到資料線BUS0，從爲叢發位址RA011所指定的記憶胞將資料RD011實質地平行輸出到資料線BUS1。讀出到資料線BUS0的資料RD010儲存於讀出暫存器19u，讀出到資料線BUS1的資料RD011儲存於讀出暫存器19d。

此外，讀出暫存器19u、19d分別輸出先儲存的讀出資料RD000、RD001。藉此，透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出讀出資料RD000。接著，透過輸出轉移閘20d，與反轉動作時鐘/CK之上沿同步輸出讀出資料RD001。

其次，在周期3，讀出暫存器19u、19d分別輸出在周期2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (22)

儲存的讀出資料RD010、RD011。藉此，透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出讀出資料RD010。接著，透過輸出轉移閘20d，與反轉動作時鐘/CK之上沿同步輸出讀出資料RD011。

此外，在此周期3，將位址RA001取入晶片。位址RA000之最低有效位元A0爲"1"。叢發位址計數器16以位址RA001爲起始位址，使位址A1、A0如圖8C所示地變化。

在周期3，產生叢發位址RA001、RA010。然後，從爲叢發位址RA001所指定的記憶胞將資料RD001讀出到資料線BUS1。此外，從爲叢發位址RA010所指定的記憶胞將資料RD010讀出到資料線BUS0。圖10B顯示最低有效位元A0爲"1"時的讀出資料線控制器18的狀態。

如圖10B所示，最低有效位元A0爲"1"時，開關電路23-0斷開，開關電路23-1接通，開關電路23-2接通，開關電路23-3斷開。在此狀態，資料線BUS0連接於讀出暫存器19d，資料線BUS1連接於讀出暫存器19u。因此，讀出到資料線BUS0的資料RD010儲存於讀出暫存器19d，讀出到資料線BUS1的資料RD001儲存於讀出暫存器19u。

其次，在周期4，讀出暫存器19u、19d分別輸出在周期3儲存的資料RD001、RD010。透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出資料RD001。接著，透過輸出轉移閘20d，與反轉動作時鐘/CK之上沿同步輸出資料RD010。

此外，在周期4，產生叢發位址RA011、RA000。然後，從爲叢發位址RA011所指定的記憶胞將資料RD011輸出到資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (23)

料線BUS1，從爲叢發位址RA000所指定的記憶胞將資料RD000輸出到資料線BUS0。讀出到資料線BUS0的資料RD000儲存於讀出暫存器19d，讀出到資料線BUS1的資料RD011儲存於讀出暫存器19u。

其次，在周期5，讀出暫存器19u、19d分別輸出在周期4儲存的讀出資料RD011、RD000。藉此，透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出資料RD011。接著，透過輸出轉移閘20d，與反轉動作時鐘/CK之上沿同步輸出讀出資料RD000。

〔SDR讀出動作〕

圖11爲顯示SDR讀出動作的定時圖。

如圖11所示，在周期1，將位址RA000取入晶片。叢發位址計數器16以位址RA000爲起始位址，使位址A1、A0如圖8A所示地變化。

在周期1，產生叢發位址RA000。然後，從爲叢發位址RA000所指定的記憶胞將資料RD000輸出到資料線BUS0。圖12A顯示最低有效位元A0爲"0"時的讀出資料線控制器18的狀態。

如圖12A所示，最低有效位元A0爲"0"時，開關電路23-0接通，開關電路23-1斷開，開關電路23-2接通，開關電路23-3斷開。在此狀態，資料線BUS0連接於讀出暫存器19u。因此，讀出到資料線BUS0的資料RD000儲存於讀出暫存器19u。

其次，在周期2，讀出暫存器19u輸出在周期1儲存的資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (24)

料RD000。藉此，透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出讀出資料RD000。

此外，在周期2，產生叢發位址RA001。然後，從爲叢發位址RA001所指定的記憶胞將資料RD001輸出到資料線BUS1。圖12B顯示最低有效位元A0爲"1"時的讀出資料線控制器18的狀態。

如圖12B所示，最低有效位元A0爲"1"時，開關電路23-0斷開，開關電路23-1接通，開關電路23-2斷開，開關電路23-3接通。在此狀態，資料線BUS1連接於讀出暫存器19u。因此，讀出到資料線BUS1的資料RD001儲存於讀出暫存器19u。

其次，在周期3，讀出暫存器19u輸出在周期2儲存的資料RD001。藉此，透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出讀出資料RD001。

此外，在周期3，將位址RA001取入晶片。叢發位址計數器16以位址RA001爲起始位址，使位址A1、A0如圖8A所示地變化。

在周期3，產生叢發位址RA001。然後，從爲叢發位址RA001所指定的記憶胞將資料RD001輸出到資料線BUS1。此時，最低有效位元A0爲"1"，所以讀出資料線控制器18取圖12B的狀態。因此，資料線BUS1連接於讀出暫存器19u，資料RD001儲存於讀出暫存器19u。

其次，在周期4，讀出暫存器19u輸出在周期3儲存的資料RD001。藉此，透過輸出轉移閘20u，與動作時鐘CK之上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (25)

沿同步輸出讀出資料RD001。

此外，在周期4，產生叢發位址RA010。然後，從爲叢發位址RA010所指定的記憶胞將資料RD010輸出到資料線BUS0。此時，最低有效位元A0爲"0"，所以讀出資料線控制器18取圖12A的狀態。因此，資料線BUS0連接於讀出暫存器19u，資料RD010儲存於讀出暫存器19u。

其次，在周期5，讀出暫存器19u輸出在周期2儲存的資料RD010。藉此，透過輸出轉移閘20u，與動作時鐘CK之上沿同步輸出讀出資料RD010。

如此，在第一實施形態，具有讀出資料線控制器18：DDR方式或SDR方式，按照最低有效位元A0爲"0"或"1"，可切換資料線BUS0、BUS1和讀出暫存器19u、19d之連接狀態。藉此，在DDR方式、SDR方式之任一情況，都可按照位址產生順序讀出資料。例如在DDR方式時，按RA001→RA010→RA011→RA000之順序產生叢發位址時，可按RD001→RD010→RD011→RD000之順序輸出資料。

而且，輸出轉移閘20u、20d分別與動作時鐘CK、反轉動作時鐘/CK同步輸出資料。因此，如圖9、圖11所示，資料之輸出定時不會對於動作時鐘CK、/CK延遲。

因此，爲了使動作速度提高而提高動作時鐘CK之頻率，亦可得到充分的資料輸出時間。

〔DDR寫入動作〕

圖13爲顯示DDR寫入動作的定時圖。

如圖13所示，在周期1，將位址WA000取入晶片。叢發

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (26)

位址計數器16以位址WA000爲起始位址，使位址A1、A0如圖8C所示地變化。在周期1，產生叢發位址WA000、WA001。

其次，在周期2，第一級寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD000，第一級寫入暫存器31d與反轉動作時鐘/CK之上沿同步輸出資料WD001。

寫入資料線控制器33例如參照起始位址之最低有效位元A0，控制第一級寫入暫存器31u、31d和第二級寫入暫存器32e、32o之連接關係。圖14A顯示最低有效位元A0爲"0"時的寫入資料線控制器33的狀態。

如圖14A所示，最低有效位元A0爲"0"時，開關電路37-0接通，開關電路37-1斷開，開關電路37-2斷開，開關電路37-3接通。在此狀態，寫入暫存器31u連接於寫入暫存器32e，寫入暫存器31d連接於寫入暫存器32o。因此，寫入暫存器31u輸出的資料WD000儲存於寫入暫存器32e，寫入暫存器31d輸出的資料WD001儲存於寫入暫存器32o。

此外，在周期2，產生叢發位址WA010、WA011。

其次，在周期3，寫入暫存器32e、32o分別將在周期2儲存的資料WD000、WD001輸出到資料線BUS0、BUS1。然後，將資料WD000寫入與位址WA000對應的記憶胞，將資料WD001寫入與位址WA001對應的記憶胞。

寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD010，寫入暫存器31d與反轉動作時鐘/CK之上沿同步輸出資料WD011。寫入暫存器31u輸出的資料WD010儲存於寫入暫存器32e，寫入暫存器31d輸出的資料WD011儲存於寫

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (27)

入暫存器32o。

此外，在周期3，將位址WA001取入晶片。叢發位址計數器16以位址WA001爲起始位址，使位址A1、A0如圖8C所示地變化。在周期3，產生叢發位址WA001、WA010。

其次，在周期4，寫入暫存器32e、32o分別將在周期3儲存的資料WD010、WD011輸出到資料線BUS0、BUS1。然後，將資料WD000寫入與位址WA010對應的記憶胞，將資料WD001寫入與位址WA011對應的記憶胞。

此外，在周期4，寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD001，寫入暫存器31d與反轉動作時鐘/CK之上沿同步輸出資料WD010。圖14B顯示最低有效位元A0爲"1"時的寫入資料線控制器33的狀態。

如圖14B所示，最低有效位元A0爲"1"時，開關電路37-0斷開，開關電路37-1接通，開關電路37-2接通，開關電路37-3斷開。在此狀態，寫入暫存器31u連接於寫入暫存器32o，寫入暫存器31d連接於寫入暫存器32e。因此，寫入暫存器31u輸出的資料WD001儲存於寫入暫存器32o，寫入暫存器31u輸出的資料WD010儲存於寫入暫存器32e。

此外，在周期4，產生叢發位址WA011、WA000。

其次，在周期5，寫入暫存器32e、32o分別將在周期4儲存的資料WD010、WD001輸出的資料線BUS0、BUS1。然後，將資料WD010寫入與位址WA010對應的記憶胞，將資料WD001寫入與位址WA001對應的記憶胞。

此外，在周期5，寫入暫存器31u與動作時鐘CK之上沿

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (28)

同步輸出資料WD011，寫入暫存器31d與反轉動作時鐘/CK之上沿同步輸出資料WD000。寫入暫存器31u輸出的資料WO011儲存於寫入暫存器32o，寫入暫存器31u輸出的資料WD000儲存於寫入暫存器32e。

其次，在周期6，寫入暫存器32e、32o分別將在周期5儲存的資料WD000、WD011輸出到資料線BUS0、BUS1。然後，將資料WD000寫入與位址WA000對應的記憶胞，將資料WD011寫入與位址WA011對應的記憶胞。

〔SDR寫入動作〕

圖15爲顯示SDR寫入動作的定時圖。

如圖15所示，在周期1，將位址WA000取入晶片。叢發位址計數器16以位址WA000爲起始位址，使位址A1、A0如圖8A所示地變化。在周期1，產生叢發位址WA000。

其次，在周期2，寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD000。

寫入資料線控制器33於SDR寫入動作時，不管最低有效位元A0，將寫入暫存器31u連接於寫入暫存器32e、32o各自。圖16顯示SDR寫入動作時的寫入資料線控制器33的狀態。

如圖16A所示，開關電路37-0接通，開關電路37-1斷開，開關電路37-2接通，開關電路37-3斷開。因此，寫入暫存器31u輸出的資料WD000儲存於寫入暫存器32e、32o各自。

此外，在周期2，產生叢發位址WA001。

其次，在周期3，寫入暫存器32e、32o分別將在周期2儲存的資料WD000輸出到資料線BUS0、BUS1。然後，將資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (29)

WD000寫入與位址WA000對應的記憶胞。

此外，寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD001。寫入暫存器31u輸出的資料WD001儲存於寫入暫存器32e、32o各自。

此外，在周期3，將位址WA001取入晶片。叢發位址計數器16以位址WA001爲起始位址，使位址A1、A0如圖8C所示地變化。在周期3，產生叢發位址WA001。

其次，在周期4，寫入暫存器32e、32o分別將在周期3儲存的資料WD001輸出到資料線BUS0、BUS1。然後，將資料WD001寫入與位址WA001對應的記憶胞。

此外，在周期4，寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD001。寫入暫存器31u輸出的資料WD001儲存於寫入暫存器32e、32o各自。

此外，在周期4，產生叢發位址WA010。

其次，在周期5，寫入暫存器32e、32o分別將在周期4儲存的資料WD001輸出到資料線BUS0、BUS1。然後，將資料WD001寫入與位址WA001對應的記憶胞。

此外，在周期5，寫入暫存器31u與動作時鐘CK之上沿同步輸出資料WD010。寫入暫存器31u輸出的資料WD010儲存於寫入暫存器32e、32o。

其次，在周期6，寫入暫存器32e、32o分別將在周期5儲存的資料WD010輸出到資料線BUS0、BUS1。然後，將資料WD010寫入與位址WA010對應的記憶胞。

如此，在第一實施形態，具有寫入資料線控制器33：

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (30)

DDR方式或SDR方式，按照最低有效位元A0爲"0"或"1"，可切換寫入暫存器31u、31d和寫入暫存器32e、32o之連接狀態。藉此，在DDR方式、SDR方式之任一情況，亦可使資料之輸入順序和位址之產生順序分別對應而寫入資料。

而且，寫入暫存器31u、31d分別使其與動作時鐘CK、反轉動作時鐘/CK同步輸出資料。因此，不會像以往，寫入暫存器31u、31d之資料輸出時間變短等等。

因此，爲了使動作速度提高而提高動作時鐘CK之頻率，亦可充分得到寫入暫存器31u、31d之資料輸出時間。

〔資料線控制器〕

圖17爲顯示讀出資料線控制器18之一電路例的電路圖。

如圖17所示，在一電路例，資料線BUS0由互補資料線對BUS0、/BUS0構成，資料線BUS1由互補資料線對BUS1、/BUS1構成。資料線對BUS0、/BUS0連接於控制器18之第一輸入端子21e、/21e，資料線對BUS1、/BUS1連接於控制器18之第二輸入端子21o、/21o。

開關電路23-0～23-3分別由含有P通道型MOS電晶體對45-0～45-3、/45-0～/45-3之轉移閘電路構成。開關控制電路46-0控制電晶體對45-0、/45-0之接通/斷開狀態及電晶體對45-1、/45-1之接通/斷開狀態。此外，開關控制電路46-1控制電晶體對45-2、/45-2之接通/斷開狀態及電晶體對45-3、/45-3之接通/斷開狀態。

開關控制電路46-0含有第一、第二反相電路47-0、47-1、第一、第二反及(NAND)電路47-0、47-1。信號a供應

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (31)

給第一反相電路47-0。信號a於想使電晶體對45-0、/45-0接通時成爲"L"狀態。此外，信號b供應給第二反相電路47-1。信號b於想使電晶體對45-1、/45-1接通時成爲"L"狀態。

反轉信號/a及啓動信號SEN2供應給第一反及電路47-0。第一反及電路47-0於反轉信號/a、信號SEN2均爲"H"時，使電晶體對45-0、/45-0接通。反轉信號/b及啓動信號SEN2供應給第二反及電路47-1。第二反及電路47-1於反轉信號/b、信號SEN2均爲"H"時，使電晶體對45-1、/45-1接通。

開關控制電路46-1是和開關控制電路46-0同樣的電路。因此，開關控制電路46-1於信號c爲"L"、信號SEN2爲"H"時，使電晶體對45-2、/45-2接通，於信號d爲"L"、信號SEN2爲"H"時，使電晶體對45-3、/45-3接通。

又，信號a～d例如相當於信號RBC。

又，寫入資料線控制器33可由和圖17所示之讀出資料線控制器18同樣的電路構成。

〔讀出資料線感測放大器〕

此外，圖17顯示讀出資料線感測放大器26u、26d。讀出資料線感測放大器26u、26d分別含有CMOS(互補式金氧半導體)型鎖定電路。

感測放大器26u之正相節點48-0、反相節點/48-0分別透過轉移閘對49-0、/49-0連接於控制器18之第一輸出端子24u、/24u。轉移閘對49-0、/49-0分別由P通道型MOS電晶

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (32)

體構成。信號e供應給其閘極。信號e例如相當於信號R'。感測放大器26u於信號e爲"L"之間，連接於第一輸出端子24u、/24u。此外，正相/反相節點48-0、/48-0透過配線50、/50連接於讀出暫存器19u之輸入。再者，正相/反相節點48-0、/48-0透過P通道型MOS電晶體對51、/51連接於電源電位Vcc之供應端。電晶體對51、/51於預充電信號PR爲"L"之間，將正相／反相節點48-0、/48-0分別預充電到電源電位Vcc。此外，感測放大器26u之接地節點52透過N通道型MOS電晶體53連接於電路內接地電位Vss之供應端。電晶體53於感測啓動信號SEN1爲"H"之間，將電位Vss供應給接地節點52。

感測放大器26d是和感測放大器26u同樣的電路。

因此，感測放大器26d於信號SEN1爲"H"之間，成爲活性狀態。此外，於信號PR爲"L"之間，將其正相/反相節點48-1、/48-1預充電到電源電位Vcc。此外，於信號e爲"L"之間，其正相/反相節點48-1、/48-1透過轉移閘對49-1、/49-1連接於控制器18之第二輸出端子24d、/24d。

其次，說明上述讀出資料線感測放大器26u之動作。

讀出動作時，以信號e爲"L"電平，將輸出到第一輸出端子24u、/24u的資料轉移到感測放大器26u之正相/反相節點48-0、/48-0。轉移資料後，以信號e爲"H"電平，將正相/反相節點48-0、/48-0從第一輸出端子24u、/24u分離。信號e變成"H"，在大致同時，以信號SEN1爲"H"，放大所轉移的資料。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (33)

是這種讀出資料線感測放大器26u，就在將正相/反相節點48-0、/48-0從第一輸出端子24u、/24u，即資料線對BUS0、/BUS0、BUS1、/BUS1分離的狀態可放大資料。因此，放大資料時，由資料線BUS0、BUS1分離的部分，可縮小連接於正相節點48-0的電容及連接於反相節點/48-0的電容。

如此，放大資料時，縮小連接於正相/反相節點48-0、/48-0的電容，可使感測放大器26u、26d之放大動作速度提高。

又，感測放大器26d之動作和感測放大器26u同樣。

圖18爲顯示讀出資料線控制器18之其他電路例的電路圖。在圖18中，在和圖17共同的部分附上共同的參照符號。

其他電路例和圖17所示之電路之處，係去掉轉移閘對49-0、/49-0、49-1、/49-1，對讀出資料線控制器18直接連接於感測放大器26u、26d。

具體而言，如圖18所示，將正相節點48-0連接於電晶體45-0、電晶體45-1，將反相節點/48-0連接於電晶體/45-0、電晶體45-1。再者，將正相節點48-1連接於電晶體45-2、電晶體45-3，將反相節點/48-1連接於電晶體/45-2、電晶體/45-3。

若是這種其他電路例，無轉移閘對49-0、/49-0、49-1、/49-1延遲的部分，可縮短資料線對BUS0、BUS1到感測放大器26u、26d的資料轉移時間。

其次，說明關於其他電路例之讀出資料線控制器18之較

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (34)

佳動作一例。又，以下說明係設想DDR動作時，最低有效位元A0爲"0"的情況。這種情況，信號b、c均爲"H"，電晶體對45-1、/45-1、45-2、45-2爲斷開。

首先，以信號a、d爲"L"電平，使電晶體對45-0、/45-0、45-3、/45-3接通。藉此，將資料線對BUS0、/BUS0之資料轉移到正相/反相節點48-0、/48-0，將資料線對BUS1、/BUS1之資料轉移到正相/反相節點48-1、/48-1。轉移資料後，以信號a、d爲"H"電平，使電晶體對45-0、/45-0、45-3、/45-3斷開。藉此，正相/反相節點48-0、/48-0從資料線對BUS0、/BUS0分離，正相/反相節點48-1、/48-1從資料線對BUS1、/BUS1分離。

信號a、d變成"H"電平，在大致同時，以信號SEN1爲"H"，放大所轉移的資料。

若是這種較佳動作例，則放大資料時，可縮小連接於正相/反相節點48-0、/48-0、48-1、/48-1各自的電容，所以可使感測放大器26u、26d之放大動作速度提高。

又，圖18所示之電路比圖17所示之電路，連接於節點48-0、/48-0、48-1、/48-1的電晶體數增加。例如電晶體45-0、45-1、51連接於圖18所示之電路之節點48-0，比圖17所示之電路，特別是電晶體45-1多1個。因此，電晶體45-1之結電容(junction capacitance)在節點48-0作爲寄生電容增加。然而，電晶體45-1之結電容比資料線BUS0之配線電容，爲1/1000程度，很小。因此，即使連接於節點48-0、/48-0、48-1、/48-1的電晶體數增加，對放大動作速度的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (35)

影響亦可忽視。

〔第二實施形態〕

同步型靜態隨機存取記憶體在寫入動作，大多採用延遲寫入(late write)方式。圖13所示之DDR寫入動作、圖15所示之SDR寫入動作分別爲延遲寫入方式。茲就延遲寫入方式，參照圖19A加以說明。

如圖19A所示，在延遲寫入方式，在周期1將寫入位址WA00取入晶片。

其次，在周期2將寫入資料D00、D01取入晶片。

其次，在周期3將寫入資料D00、D01寫入靜態隨機存取記憶體磁芯2之記憶胞(磁芯寫入)。

又，圖19A所示之"WA01"係以"WA00"爲起始位址而使其產生的叢發位址。此外，"D00*、D01*"表示在寫入資料D00、D01以前，記憶胞記憶的資料。

在採用這種延遲寫入方式的同步型靜態隨機存取記憶體方面，最好施加爲了保持資料相關性(coherency)的對策。所謂資料相關性，係指從爲讀出位址所指定的記憶胞讀出資料時，此讀出資料整合成最新的寫入資料。讀出資料不整合成最新的寫入資料在資料處理上並不是最好。最好是讀出資料整合成最新的寫入資料。茲參照圖19B說明讀出資料不整合成最新的寫入資料的情況的一例。

如圖19B所示，假設在周期2將讀出位址RA00取入晶片。而且，假設此讀出位址RA00與在周期1所取入的寫入位址WA00一致。在周期2，未將與寫入位址WA00相應的寫入資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (36)

料D00、D01寫入記憶胞。

在這種情況下，在周期2從記憶胞讀出資料，所讀出的資料就成爲資料D00、D01寫入前的資料D00*、D01*，不整合成最新的寫入資料D00、D01。

此第二實施形態之目的，係提供一種可保持資料相關性之同步型半導體記憶體。

圖20爲顯示關於本發明第二實施形態之同步型靜態隨機存取記憶體的方塊圖。圖20所示之同步型靜態隨機存取記憶體和圖6所示之同步型靜態隨機存取記憶體基本上有同樣的結構。此外，在圖20中，在和圖6所示之同步型靜態隨機存取記憶體共同的部分附上共同的參照符號，以不同的部分爲中心加以說明。

如圖20所示，預解碼器60預解譯18位元之位址中之高位16位元。18位元之位址中，例如9位元爲列位址。分配列位址之低位2位元A1、A0作爲叢發位址。分配作爲叢發位址的低位2位元A1、A0輸入叢發位址計數器16。叢發位址計數器16和圖6所示之叢發位址計數器16同樣。

低位2位元輸入預解碼器61。此外，叢發位址計數器16之輸出輸入預解碼器62。預解碼器61之輸出及預解碼器62之輸出輸入多工器63。多工器63選擇預解碼器61之輸出、預解碼器62之輸出之任一輸出，輸入位址暫存器1'。圖21A顯示預解碼器61、62、多工器63之一電路例。

如圖21A所示，預解碼器61、62分別輸出預解碼位址(A1、A0)、(A1、/A0)、(/A1、A0)、(/A1、/A0)。圖21顯示

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明 (37)

低位2位元A1、A0和預解碼位址(A1、A0)、(A1、/A0)、(/A1、A0)、(/A1、/A0)之關係。多工器63選擇來自預解碼器61的預解碼位址或來自預解碼器62的預解碼位址，輸入位址暫存器1'。

位址暫存器1'之輸出輸入多工器64，同時輸入寫入位址暫存器65。

寫入位址暫存器65儲存寫入位址。寫入位址暫存器65含有第一級/第二線寫入位址暫存器66、67。而且，寫入模態時，位址暫存器1'之輸出輸入第一級寫入位址暫存器66。寫入位址暫存器66之輸出輸入第二級寫入位址暫存器67。寫入位址暫存器67之輸出輸入上述多工器64。

多工器64於讀出模態時，選擇位址暫存器1'之輸出，輸入靜態隨機存取記憶體磁芯2之位址解碼器3。此外，於寫入模態時，選擇寫入位址暫存器65之輸出，輸入靜態隨機存取記憶體磁芯2之位址解碼器3。

位址比較電路68於讀出位址儲存於位址暫存器1'時，比較此所儲存的讀出位址和儲存於寫入位址暫存器65的寫入位址。位址比較電路68含有第一級位址比較電路69、第二級位址比較電路70。比較電路69檢測讀出位址是否命中儲存於寫入位址暫存器66的寫入位址。比較電路70檢測讀出位址是否命中儲存於寫入位址暫存器67的寫入位址。

位址比較電路69由偶數位址比較電路71e、奇數位址比較電路71o構成，位址比較電路70由偶數位址比較電路72e、奇數位址比較電路72o構成。

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明 (38)

偶數位址比較電路71e、72e分別於最低有效位元A0之邏輯電平爲"0"時，檢測其他位址之邏輯電平是否全部一致。比較電路71e輸出檢測信號even 1-hit/miss，比較電路72e輸出檢測信號even 2-hit/miss。檢測信號even 1-hit/miss、even 2-hit/miss分別按照位址是否一致，取"H"或"L"之任一邏輯電平。又，在此實施形態，爲了方便起見，以"H"爲一致，以"L"爲不一致。

奇數位址比較電路71o、72o分別於最低有效位元A0之邏輯電平爲"1"時，檢測其他位址之邏輯電平是否全部一致。比較電路71o輸出檢測信號odd 1-hit/miss，比較電路72o輸出檢測信號odd 2-hit/miss。檢測信號odd 1-hit/miss、odd 2-hit/miss分別按照位址是否一致，取"H"或"L"之任一邏輯電平。又，在此實施形態，爲了方便起見，以"H"爲一致，以"L"爲不一致。

檢測信號even 1-hit/miss、even 2-hit/miss輸入或(OR)電路73e，信號odd 1-hit/miss、odd 2-hit/miss輸入或(OR)電路73o。

或(OR)電路73e無論檢測信號even 1-hit/miss、even 2-hit/miss之任何一個，於"H"時，都輸出成爲"H"電平的檢測信號even-hit/miss。同樣地，或(OR)電路73o無論檢測信號odd 1-hit/miss、odd 2-hit/miss之任何一個，於"H"時，都輸出成爲"H"電平的檢測信號odd 1-hit/miss。

檢測信號even 1-hit/miss、even 2-hit/miss、odd 1-hit/miss、odd 2-hit/miss分別供應給附有優先功能的多工器74，檢測信號even-hit/miss、odd-hit/miss分別供應給多工器75。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (39)

附有優先功能的多工器74使控制器33之輸出端子38e、寫入暫存器32e之輸出端子78e之任何一方連接於第二讀出資料線控制器18'之輸入端子21'e。此外，使控制器33之輸出端子38o、暫存器32o之輸出端子78o之任何一方連接於控制器18'之輸入端子21'o。

又，將輸出到輸出端子38e、78e的資料寫入記憶胞陣列之最低有效位元A0爲"0"的位址。是爲了將輸出端子38e、78e連接於資料線BUS0。同樣地，將輸出到輸出端子38o、78o的資料寫入記憶胞陣列之最低有效位元A0爲"1"的位址。是爲了將輸出端子38o、78o連接於資料線BUS1。

按照檢測信號even 1-hit/miss、even 2-hit/miss、odd 1-hit/ miss、odd 2-hit/miss之邏輯電平控制附有優先功能的多工器74。

若檢測信號even 1-hit/miss="H"，則將控制器33之輸出端子38e連接於輸入端子21'e。

若檢測信號odd 1-hit/miss="H"，則將控制器33之輸出端子38o連接於輸入端子21'o。

若檢測信號even 2-hit/miss="H"，則將寫入暫存器32e之輸出端子78e連接於輸入端子21'e。

若檢測信號odd 2-hit/miss="H"，則將寫入暫存器32o之輸出端子78o連接於輸入端子21'o。

第二讀出資料線控制器18'是和讀出資料線控制器18同樣的電路。根據控制信號RBC'，和讀出資料線控制器18同樣地控制控制器18'。控制器18'之第一輸出端子24'u連接於讀

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明 (40)

出暫存器19'u之輸入，其第二輸出端子24'd連接於讀出暫存器19'd之輸入。

讀出暫存器19'u儲存輸出到第一輸出端子24'u的資料，讀出暫存器19'd儲存輸出到第二輸出端子24'd的資料。讀出暫存器19'u、19'd分別與動作時鐘CK之上沿同步輸出儲存的讀出資料。讀出暫存器19'u、19'd之輸出輸入上述多工器75。

多工器75使讀出暫存器19u、19'd之輸出一方連接於輸出轉移閘20u之輸入。此外，使讀出暫存器19d、19'd之輸出一方連接於輸出轉移閘20d之輸入。

按檢測信號even-hit/miss、odd-hit/miss、最低有效位元A0各自之邏輯電平控制多工器75。茲將控制之一例記載於下。

若照檢測信號even-hit/miss爲"H"，則使讀出暫存器19'u之輸出連接於輸出轉移閘20u之輸入，若檢測信號even-hit/miss爲"L"，則使讀出暫存器19u之輸出連接於輸出轉移閘20u之輸入。

若檢測信號odd-hit/miss爲"H"，則使讀出暫存器19'd之輸出連接於輸出轉移閘20d之輸入，若檢測信號odd-hit/miss爲"L"，則使讀出暫存器19d之輸出連接於輸出轉移閘20d之輸入。

根據具有這種結構的同步型靜態隨機存取記憶體，則儲存於寫入暫存器31u、31d的寫入資料與儲存於寫入位址暫存器66的寫入位址對應，儲存於寫入暫存器32e、32o的寫入資料與儲存於寫入位址暫存器67的寫入位址對應。

因此，讀出位址命中寫入位址暫存器66之寫入位址時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (41)

讀出寫入暫存器31u、31d之資料，而命中寫入位址暫存器67之寫入位址時，讀出寫入暫存器32e、32o之資料。如此一來，可讀出寫入靜態隨機存取記憶體磁芯2之前的資料，可保持資料的相關性。

又，在第二實施形態，寫入位址暫存器66、67、寫入暫存器31u、32e、32o分別與寫入用動作時鐘CKW同步輸出儲存的資料。此外，寫入暫存器31d與寫入用反轉動作時鐘/CKW同步輸出儲存的資料。這些時鐘CKW、/CKW分別以圖20所示之寫入用時鐘緩衝器77產生。時鐘緩衝器77根據信號Wo，從外部時鐘CK ext。產生時鐘CKW、/CKW。

又，在第二實施形態，附有優先功能的多工器74配置於寫入資料線控制器33之輸出端子及寫入暫存器32e、32o之輸出端子附近，而多工器75配置於讀出資料線控制器18之輸出端子及讀出資料線控制器18'之輸出端子附近。這種配置可削減信號配線區域，是最理想的。

其次，說明關於第二實施形態之同步型靜態隨機存取記憶體可保持資料的相關性。

圖22A顯示讀出位址命中第二級寫入位址暫存器67之偶數/奇數位址雙方之例。又，假設寫入位址之最低有效位元A0爲"0"，寫入位址暫存器31u之資料輸出到第一輸出端子38e，暫存器31d之資料輸出到第二輸出端子38o。

如圖22A所示，在周期3，假設讀出位址RA000、RA001命中暫存器67之寫入位址WA000、WA001。藉此，檢測信號even 2-hit/miss、odd 2-hit/miss分別如圖23A所示，成爲"H"。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (42)

多工器74將輸出端子78e連接於控制器18'之輸入端子21'e，將輸出端子78o連接於控制器18'之輸入端子21'o。讀出位址之最低有效位元A0爲"0"。因此，控制器18'將輸入端子21'e之資料供應給讀出暫存器19'u，將輸入端子21'o之資料供應給讀出暫存器19'd。

此外，檢測信號even-hit/miss、odd-hit/miss也還是"H"。多工器75將讀出暫存器19'u之輸出供應給轉移閘20u之輸入，將讀出暫存器19'd之輸出供應給轉移閘20d之輸入。

如此一來，例如在周期4，讀出儲存於寫入暫存器32e、32o的資料(這些資料與讀出位址RA000、RA001對應)，可保持資料的相關性。

此外，圖22A顯示讀出位址命中第一級寫入位址暫存器66之偶數/奇數位址雙方之例。

如圖22A所示，在周期4，假設讀出位址RA010、RA011命中暫存器66之寫入位址WA010、WA011。藉此，檢測信號even 1-hit/miss、odd 1-hit/miss分別如圖23B所示，成爲"H"。多工器74將輸出端子38e連接於控制器18'之輸入端子21'e，將輸出端子38o連接於控制器18'之輸入端子21'o。讀出位址之最低有效位元A0爲"0"。因此，控制器18'將輸入端子21'e之資料供應給讀出暫存器19'u，將輸入端子21'o之資料供應給讀出暫存器19'd。

此外，檢測信號even-hit/miss、odd-hit/miss也還是"H"。多工器75將讀出暫存器19'u之輸出供應給轉移閘20u之輸入，將讀出暫存器19'd之輸出供應給轉移閘20d之輸入。

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (43)

如此一來，例如在周期5，讀出儲存於寫入暫存器31u、31d的資料(這些資料與讀出位址RA010、RA011對應)，可保持資料的相關性。

圖22B顯示讀出位址分別命中第一級寫入位址暫存器66之偶數位址及第二級寫入位址暫存器67之奇數位址之例。

如圖22B所示，在周期3，假設讀出位址RA001命中暫存器67之寫入位址WA001，讀出位址RA010命中暫存器66之寫入位址WA010。藉此，檢測信號odd 2-hit/miss、even 1-hit/miss分別如圖23C所示，成爲"H"。多工器74將輸出端子78o連接於控制器18'之輸入端子21'o，將輸出端子38e連接於控制器18'之輸入端子21'e。讀出位址之最低有效位元A0爲"1"。因此，控制器18'將輸入端子21'e之資料供應給讀出暫存器19'd，將輸入端子21'o之資料供應給讀出暫存器19'u。

此外，檢測信號even-hit/miss、odd-hit/miss也還是"H"。多工器75將讀出暫存器19'u之輸出供應給轉移閘20u之輸入，將讀出暫存器19'd之輸出供應給轉移閘20d之輸入。

如此一來，例如在周期4，讀出儲存於寫入暫存器32o、31u的資料(這些資料與讀出位址RA001、RA010對應)，可保持資料的相關性。

此外，圖22B顯示讀出位址分別命中第一級寫入位址暫存器66之奇數位址及第二級寫入位址暫存器67之偶數位址之例。

如圖22B所示，在周期4，假設讀出位址RA011命中暫存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (44)

器66之寫入位址WA011，讀出位址RA000命中暫存器67之寫入位址WA000。藉此，檢測信號even 2-hit/miss、odd 1-hit/miss分別如圖23D所示，成爲"H"。多工器74將輸出端子78e連接於控制器18'之輸入端子21'e，將輸出端子38o連接於控制器18'之輸入端子21'o。讀出位址之最低有效位元A0爲"1"。因此，控制器18'將輸入端子21'e之資料供應給讀出暫存器19'd，將輸入端子21'o之資料供應給讀出暫存器19'u。

此外，檢測信號even-hit/miss、odd-hit/miss也還是"H"。多工器75將讀出暫存器19'u之輸出供應給轉移閘20u之輸入，將讀出暫存器19'd之輸出供應給轉移閘20d之輸入。

如此一來，例如在周期5，讀出儲存於寫入暫存器31d、32e的資料(這些資料與讀出位址RA011、RA000對應)，可保持資料的相關性。

此外，讀出位址不命中位址暫存器66、67之位址雙方時，檢測信號even 1-hit/miss、odd 1-hit/miss、even 2-hit/miss、odd 2-hit/miss、even-hit/miss、odd-hit/miss全部成爲"L"。這種情況，多工器75將儲存於讀出暫存器19u、19d的資料分別供應給轉移閘20u、20d。

此外，第二實施形態之多工器75爲檢測信號even-hit/miss、odd-hit/miss所控制，但也可以再參照最低有效位元A0而被控制。

〔位址比較電路〕

圖24爲顯示位址暫存器1'、寫入位址暫存器65、位址比

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (45)

較電路68之一電路例的電路圖。又，在圖24，爲了簡化說明而例示位址爲2位元的情況。

如圖24所示，來自多工器63的所輸出的預解碼位址(A1、A0)、(A1、/A0)、(/A1、A0)、(/A1、/A0)供應給位址暫存器1'。多工器63如圖21A所示，具有多工電路MP×0～MP×3。多工器63於叢發位址計數器16動作時(例如叢發模態時)，選擇預解碼器62之預解碼位址，供應給位址暫存器1'。此外，上述以外時，多工器63選擇預解碼器61之預解碼位址，供應給位址暫存器1'。

位址暫存器1'與動作時鐘CK同步輸出所供應的預解碼位址(A1、A0)、(A1、/A0)、(/A1、A0)、(/A1、/A0)。位址暫存器1'含有與4個預解碼位址對應的暫存器REG0～REG3。暫存器REG0～REG3之輸出供應給比較電路CP0～CP7之第一輸入。比較電路CP0～CP7分別例如由互斥或(exclusive OR)電路構成。寫入位址暫存器66之暫存器REG4～REG7之輸出供應給比較電路CP0～CP3延遲之第二輸入。此外、寫入位址暫存器67之暫存器REG8～REG11之輸出供應給比較電路CP4～CP7之第二輸入。

比較電路CP0～CP3分別比較暫存器REG0～REG3之輸出和暫存器REG4～REG7之輸出。然後，比較電路CP0、CP2檢測偶數位址(A0=0)之一致/不一致。此外，比較電路CP1、CP3檢測奇數位址(A0=1)之一致/不一致。

同樣地，比較電路CP4～CP7分別比較暫存器REG0～REG3之輸出和暫存器REG8～REG11之輸出。然後，比較電

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (46)

路CP4、CP6檢測偶數位址(A0=0)之一致/不一致。此外，比較電路CP5、CP7檢測奇數位址(A0=1)之一致/不一致。

這種情況，偶數位址之一致/不一致狀態之檢測結果得到1個即可。因此，使比較電路CP0、CP2之輸出以反或(NOR)電路NOG1成爲1個。反或(NOR)電路NOG1輸出信號even 1-hit/miss。同樣地，奇數位址之一致/不一致狀態之檢測結果得到1個即可。因此，使比較電路CP1、CP3之輸出以反或(NOR)電路NOG2成爲1個。反或(NOR)電路NOG2輸出信號odd 1-hit/miss。此外，使比較電路CP4、CP6之輸出以反或(NOR)電路NOG3成爲1個。反或(NOR)電路NOG3輸出信號even 2-hit/miss。此外，使比較電路CP5、CP7之輸出以反或(NOR)電路NOG4成爲1個。反或(NOR)電路NOG4輸出信號odd 2-hit/miss。

其次，說明位址比較電路之一變形例。

此變形例係關於同步型靜態隨機存取記憶體只進行DDR動作及交錯模態的情況。

這種情況，如圖8D所示，連續的2個叢發位址只是(0、0)和(0、1)的組合及(1、0)和(1、1)的組合兩種。即，在1個時鐘周期，叢發位址A1爲"0"或"1"。因此，寫入位址和讀出位址之比較，除了最低有效位元A0之外亦可比較。

如此一來，圖24中所示的比較電路CP0～CP3中，可使比較電路CP0、CP1聚集成1個，使比較電路CP2、CP3聚集成1個。然後，可使各自的比較結果以1個反或(NOR)電路

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (47)

聚集，形成檢測信號odd 1-hit/miss。

根據這種結構，可分別省略比較電路CP0、CP1中的1個、比較電路CP2、CP3中的1個及反或(NOR)電路閘NOG1、NOG2中的1個。因此，可簡化位址比較電路68之電路結構。

〔第三實施形態〕

在第二實施形態具有第二讀出資料線控制器18'。因此，在第二實施形態設置控制器18'的部分，電路的圖案面積增大。電路圖案面積增大會引起晶片尺寸增大，最好加以抑制。

第三實施形態以抑制電路圖案面積增大爲目的。

圖25爲顯示關於第三實施形態之同步型靜態隨機存取記憶體結構的方塊圖。

如圖25所示，在第三實施形態，將來自靜態隨機存取記憶體磁芯2的輸出和附有優先功能的多工器74的輸出供應給多工器75。然後，將多工器75的輸出供應給讀出資料線控制器18。

根據這種第三實施形態，和第二實施形態比較，可省略第二讀出資料線控制器18'，可抑制電路圖案面積增大。

又，在第三實施形態，附有優先功能的多工器74配置於寫入資料線控制器33之輸出端子及寫入暫存器32e、32o之輸出端子附近，而多工器75配置於讀出資料線控制器18之輸入端子附近。這種配置爲了削減信號配線區域，是令人滿意的。

〔第四實施形態〕

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (48)

第四實施形態以更進一步抑制電路圖案面積增大爲目的。

圖26爲顯示關於第四實施形態之同步型靜態隨機存取記憶體結構的方塊圖。

如圖26所示，第四實施形態將來自靜態隨機存取記憶體磁芯2的輸出、寫入資料線控制器33的輸出及寫入暫存器32e、32o的輸出供應給多工器76。多工器76爲檢測信號even 1-hit/miss、odd 1-hit/miss、even 2-hit/miss、odd 2-hit/miss所控制。此多工器76的輸出供應給讀出資料線控制器18。

根據這種第四實施形態，和第三實施形態比較，可省略第二讀出資料線控制器18'、附有優先功能的多工器74，可更進一步抑制電路圖案面積增大。

以上，將本發明以可選擇DDR方式/SDR方式之任一方式的同步型靜態隨機存取記憶體爲例加以說明，但本發明亦可適用於只以DDR方式動作的同步型靜態隨機存取記憶體。此外，例示靜態隨機存取記憶體作爲記憶體，但記憶體亦可變更爲靜態隨機存取記憶體以外的例如動態隨機存取記憶體等。

此外，在上述實施形態，讀出資料線控制器18插入感測放大器26u、26d之前，寫入資料線控制器33插入寫入暫存器32e、32o之前。然而，控制器18插入讀出暫存器19u、19d之前即可。例如控制器18也可以插入感測放大器26u、26d之後。同樣地，控制器33插入寫入暫存器31u、31d之後即可。例如也可以插入寫入暫存器32e、32o之後。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：同步型半導體記憶裝置）

本發明揭示DDR (Double Data Rate；雙資料速率)方式之同步型半導體記憶裝置。此裝置具備記憶胞陣列：含有第一記憶胞群及第二記憶胞群；第一資料線及第二資料線；資料轉移電路：可將包含於前述第一記憶胞群的記憶胞平行連接於前述第一資料線及將包含於前述第二記憶胞群的記憶胞平行連接於前述第二資料線；第一輸出轉移電路：在動作時鐘之上沿轉移傳到第一、第二資料線之一方的第一輸出資料；第二輸出轉移電路：在前述動作時鐘之下沿轉移傳到第一、第二資料線之他方的第二輸出資料；及，資料線控制電路：可將前述第一資料線切換連接於前述第一、第二輸出轉移電路之任一電路，並且可將前述第二資料線切換連接於前述第一、第二輸出轉移電路之任一電路。

英文發明摘要（發明之名稱："SEMICONDUCTOR MEMORY"
(日文：シンクロナス半導体メモリデバイス)）

この発明は、ＤＤＲ方式のシンクロナス半導体メモリデバイスを開示する。このデバイスは、第１のメモリセル群および第２のメモリセル群を含むメモリセルアレイと、第１のデータ線および第２のデータ線と、前記第１のメモリセル群に含まれるメモリセルを前記第１のデータ線に、および前記第２のメモリセル群に含まれるメモリセルを前記第２のデータ線にパラレルに結合可能なデータ転送回路と、動作クロックのアップエッジで、第１、第２のデータ線の一方に伝えられた第１の出力データを転送する第１の出力トランスファ回路と、前記動作クロックのダウンエッジで、第１、第２のデータ線の他方に伝えられた第２の出力データを転送する第２の出力トランスファ回路と、前記第１のデータ線を前記第１、第２の出力トランスファ回路のいずれかに切り換え結合可能であり、かつ前記第２のデータ線を前記第１、第２の出力トランスファ回路のいずれかに切り換え結合可能なデータ線制御回路とを具備する。

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵在於：包含

記憶胞陣列：此記憶胞陣列含有至少第一記憶胞群及第二記憶胞群；

資料滙流排：此資料滙流排含有至少第一資料線及第二資料線；

資料轉移電路：此資料轉移電路可將包含於前述第一記憶胞群的記憶胞至少平行連接於前述第一資料線及將包含於前述第二記憶胞群的記憶胞至少平行連接於前述第二資料線；

資料輸出電路：此資料輸出電路含有至少第一輸出轉移電路、第二輸出轉移電路、讀出資料線控制電路；前述第一輸出轉移電路在第一定時轉移傳到前述第一、第二資料線之一方的第一輸出資料；前述第二輸出轉移電路在和前述第一定時不同的第二定時轉移傳到前述第一、第二資料線之他方的第二輸出資料；前述讀出資料線控制電路可將前述第一資料線切換連接於前述第一、第二輸出轉移電路之任一電路，並且可將前述第二資料線切換連接於前述第一、第二輸出轉移電路之任一電路者。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中前述資料輸出電路爲動作時鐘所控制，前述第一定時是前述動作時鐘之上沿及下沿之一方，前述第二定時是前述動作時鐘之上沿及下沿之他方。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

3. 如申請專利範圍第2項之半導體積體電路裝置，其中前述讀出資料線控制　電路按照前述第一、第二輸出資料之輸出順序，使前述第一資料線連接於前述第一、第二輸出轉移電路之一方，同時使前述第二資料線連接於前述第一、第二輸出轉移電路之他方。

4. 如申請專利範圍第3項之半導體積體電路裝置，其中前述第一、第二輸出資料之輸出順序爲輸入位址所決定。

5. 如申請專利範圍第4項之半導體積體電路裝置，其中前述輸入位址有多數位元，這些多數位元中指定前述第一記憶胞群或前述第二記憶胞群的位元決定前述第一、第二輸出資料之輸出順序。

6. 如申請專利範圍第5項之半導體積體電路裝置，其中前述第一、第二輸出資料之讀出方式是叢發讀出方式時，前述輸入位址是叢發起始位址。

7. 如申請專利範圍第5項之半導體積體電路裝置，其中前述第一、第二輸出資料之輸出方式是DDR方式。

8. 如申請專利範圍第2項之半導體積體電路裝置，其中前述讀出資料線控制電路按照前述第一、第二輸出資料之輸出順序，使前述第一資料線連接於前述第一、第二輸出轉移電路之至少一方後，使前述第二資料線連接於前述第一、第二輸出轉移電路之至少一方。

9. 如申請專利範圍第8項之半導體積體電路裝置，其中前

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述第一、第二輸出資料之輸出順序爲輸入位址所決定。

10. 如申請專利範圍第9項之半導體積體電路裝置，其中前述輸入位址有多數位元，這些多數位元中指定前述第一記憶胞群或前述第二記憶胞群的位元決定前述第一、第二輸出資料之輸出順序。

11. 如申請專利範圍第10項之半導體積體電路裝置，其中前述第一、第二輸出資料之讀出方式是叢發讀出方式時，前述輸入位址是叢發起始位址。

12. 如申請專利範圍第10項之半導體積體電路裝置，其中前述第一、第二輸出資料之輸出方式是SDR方式。

13. 一種半導體積體電路裝置，其特徵在於：包含

記憶胞陣列：此記憶胞陣列含有至少第一記憶胞群及第二記憶胞群；

資料滙流排：此資料滙流排含有至少第一資料線及第二資料線；

資料轉移電路：此資料轉移電路可將包含於前述第一記憶胞群的記憶胞至少平行連接於前述第一資料線及將包含於前述第二記憶胞群的記憶胞至少平行連接於前述第二資料線：

資料輸入電路：此資料輸入電路含有至少第一輸入暫存器電路、第二輸入暫存器電路、寫入資料線控制電路：前述第一輸入暫存器電路在第一定時儲存第一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

輸入資料；前述第二輸入暫存器電路在和前述第一定時不同的第二定時儲存第二輸入資料；前述寫入資料線控制電路可將前述第一輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線，並且可將前述第二輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線者。

14. 如申請專利範圍第13項之半導體積體電路裝置，其中前述資料輸入電路爲動作時鐘所控制，前述第一定時是前述動作時鐘之上沿及下沿之一方，前述第二定時是前述動作時鐘之上沿及下沿之他方。

15. 如申請專利範圍第14項之半導體積體電路裝置，其中前述寫入資料線控制電路按照輸入位址，使前述第一輸入暫存器電路連接於前述第一、第二資料線之一方，同時使前述第二輸入暫存器電路連接於前述第一、第二資料線之他方。

16. 如申請專利範圍第15項之半導體積體電路裝置，其中前述輸入位址有多數位元，這些多數位元中指定前述第一記憶胞群或前述第二記憶胞群的位元決定前述第一、第二輸入資料之輸出順序。

17. 如申請專利範圍第16項之半導體積體電路裝置，其中前述第一、第二輸入資料之寫入方式是叢發寫入方式時，前述輸入位址是叢發起始位址。

18. 如申請專利範圍第16項之半導體積體電路裝置，其中

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

六、申請專利範圍

前述第一、第二輸入資料之輸入方式是DDR方式。

19. 如申請專利範圍第14項之半導體積體電路裝置，其中前述寫入資料線控制電路使前述第一輸入暫存器電路連接於前述第一、第二資料線雙方時，使前述第二輸入暫存器電路從前述第一、第二資料線雙方分離。

20. 如申請專利範圍第19項之半導體積體電路裝置，其中前述第一、第二輸入資料之輸入方式是SDR方式。

21. 如申請專利範圍第1項之半導體積體電路裝置，其中更包含

資料輸入電路：此資料輸入電路含有至少第一輸入暫存器電路及第二輸入暫存器電路；前述第一輸入暫存器電路在第一定時儲存第一輸入資料；前述第二輸入暫存器電路在和前述第一定時不同的第二定時儲存第二輸入資料；

寫入資料線控制電路：此寫入資料線控制電路可將前述第一輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線，並且可將前述第二輸入暫存器電路切換連接於前述第一、第二資料線之任一資料線；

位址暫存器：儲存輸入位址；

寫入位址暫存器：前述所輸入的位址是寫入位址時，儲存此寫入位址；

比較電路：前述所輸入的位址是讀出位址時，比較

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

六、申請專利範圍

此讀出位址和前述寫入位址，檢測一致/不一致；及

多工器：此多工器於前述讀出位址和前述寫入位址一致時，將前述第一、第二輸入暫存器電路之輸出連接於前述第一、第二輸出轉移電路之任一電路。

22. 如申請專利範圍第21項之半導體積體電路裝置，其中前述比較電路具備偶數位址比較電路和奇數位址比較電路。

23. 如申請專利範圍第22項之半導體積體電路裝置，其中多工器於前述讀出位址和前述寫入位址在偶數位址一致時，選擇前述第一、第二輸入暫存器電路之輸出中之一方，於前述讀出位址和前述寫入位址在奇數位址一致時，選擇前述第一、第二輸入暫存器電路之輸出中之他方。

24. 如申請專利範圍第21項之半導體積體電路裝置，其中

前述資料寫入電路具備第三輸入暫存器：儲存前述寫入資料線控制電路之第一輸出；及，第四輸入暫存器：儲存前述寫入資料線控制電路之第二輸出；

前述寫入位址暫存器具備第一寫入位址暫存器：儲存與前述第一、第二輸入暫存器之資料對應的第一寫入位址；及，第二寫入位址暫存器：儲存與前述第三、第四輸入暫存器之資料對應的第二寫入位址；

前述比較電路具備第一比較電路：比較前述讀出位址和前述第一寫入位址；及，第二比較電路：比較前述讀出位址和前

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述第二寫入位址。

25. 如申請專利範圍第24項之半導體積體電路裝置，其中多工器於前述讀出位址和前述第一寫入位址一致時，選擇前述第一、第二輸入暫存器電路之輸出，於前述讀出位址和前述第二寫入位址一致時，選擇前述第三、第四輸入暫存器電路之輸出。

26. 如申請專利範圍第25項之半導體積體電路裝置，其中前述第一比較電路具備第一偶數位址比較電路和第一奇數位址比較電路，

前述第二比較電路具備第二偶數位址比較電路和第二奇數位址比較電路。

27. 如申請專利範圍第26項之半導體積體電路裝置，其中多工器

於前述讀出位址和前述第一寫入位址在偶數位址一致時，選擇前述第一、第二輸入暫存器電路之輸出中之一方，

於前述讀出位址和前述第一寫入位址在奇數位址一致時，選擇前述第一、第二輸入暫存器電路之輸出中之他方，

於前述讀出位址和前述第二寫入位址在偶數位址一致時，選擇前述第三、第四輸入暫存器電路之輸出中之一方，

於前述讀出位址和前述第二寫入位址在奇數位址一致

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

時，選擇前述第三、第四輸入暫存器電路之輸出中之他方。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

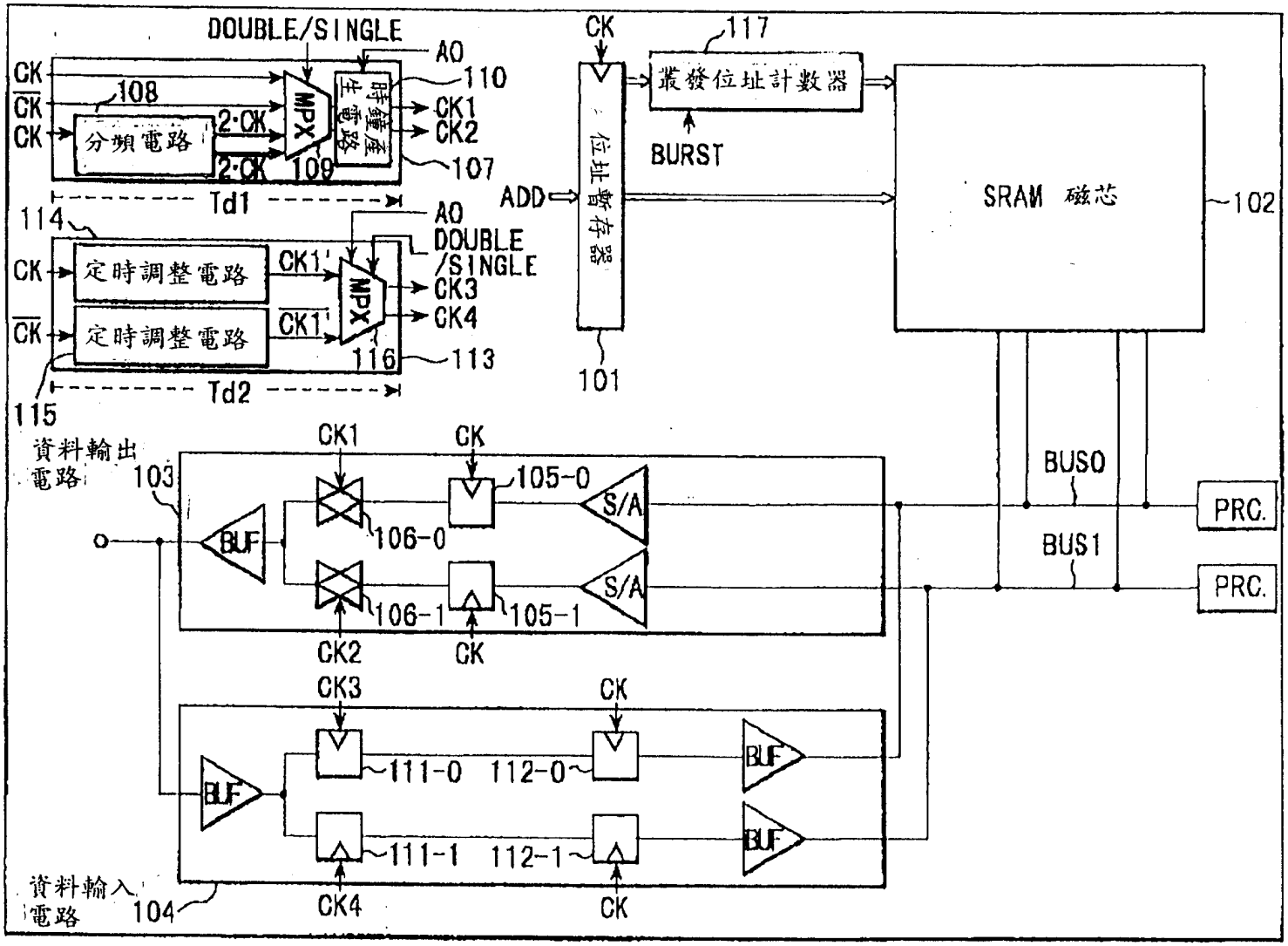

DOUBLE/SINGLE
AO
CK
108
分頻電路
2·CK
MPX
109
時鐘產生電路
110
CK1
CK2
107
Td1
114
定時調整電路
CK1'
MPX
CK3
CK4
116
113
Td2
115
CK
117
叢發位址計數器
BURST
位址暫存器
ADD
101
SRAM 磁芯
102
資料輸出電路
103
BUF
106-0
105-0
S/A
106-1
105-1
BUS0
BUS1
PRC.
CK3
111-0
112-0
111-1
112-1
資料輸入電路
104
CK4

圖 1

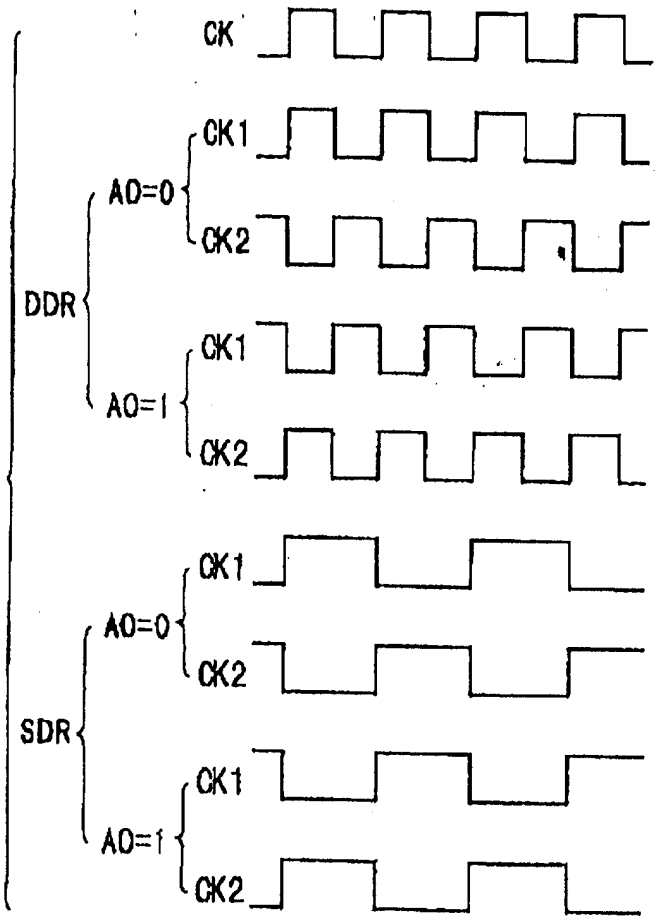

CK
DDR
AO=0
CK1
CK2
AO=1
CK1
CK2
SDR
AO=0
CK1
CK2
AO=1
CK1
CK2

圖 2

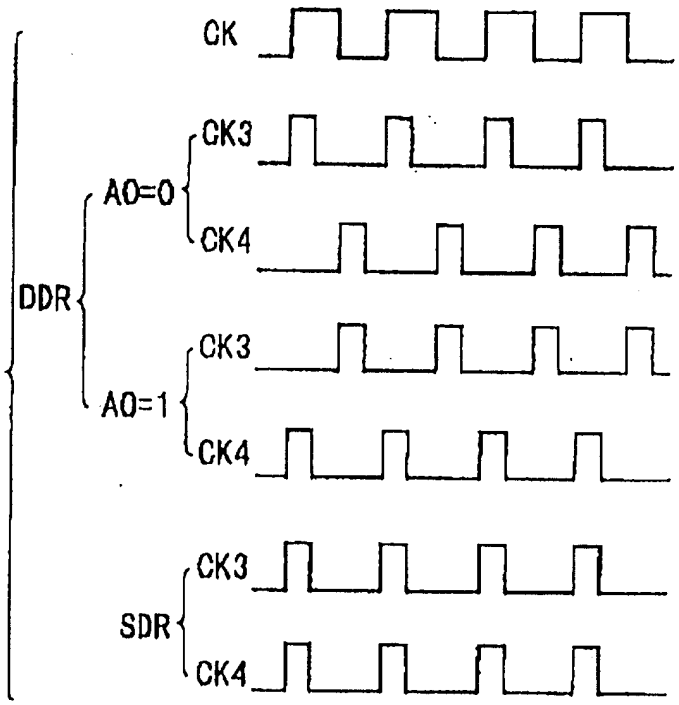

CK
DDR
AO=0
CK3
CK4
AO=1
CK3
CK4
SDR
CK3
CK4

圖 3

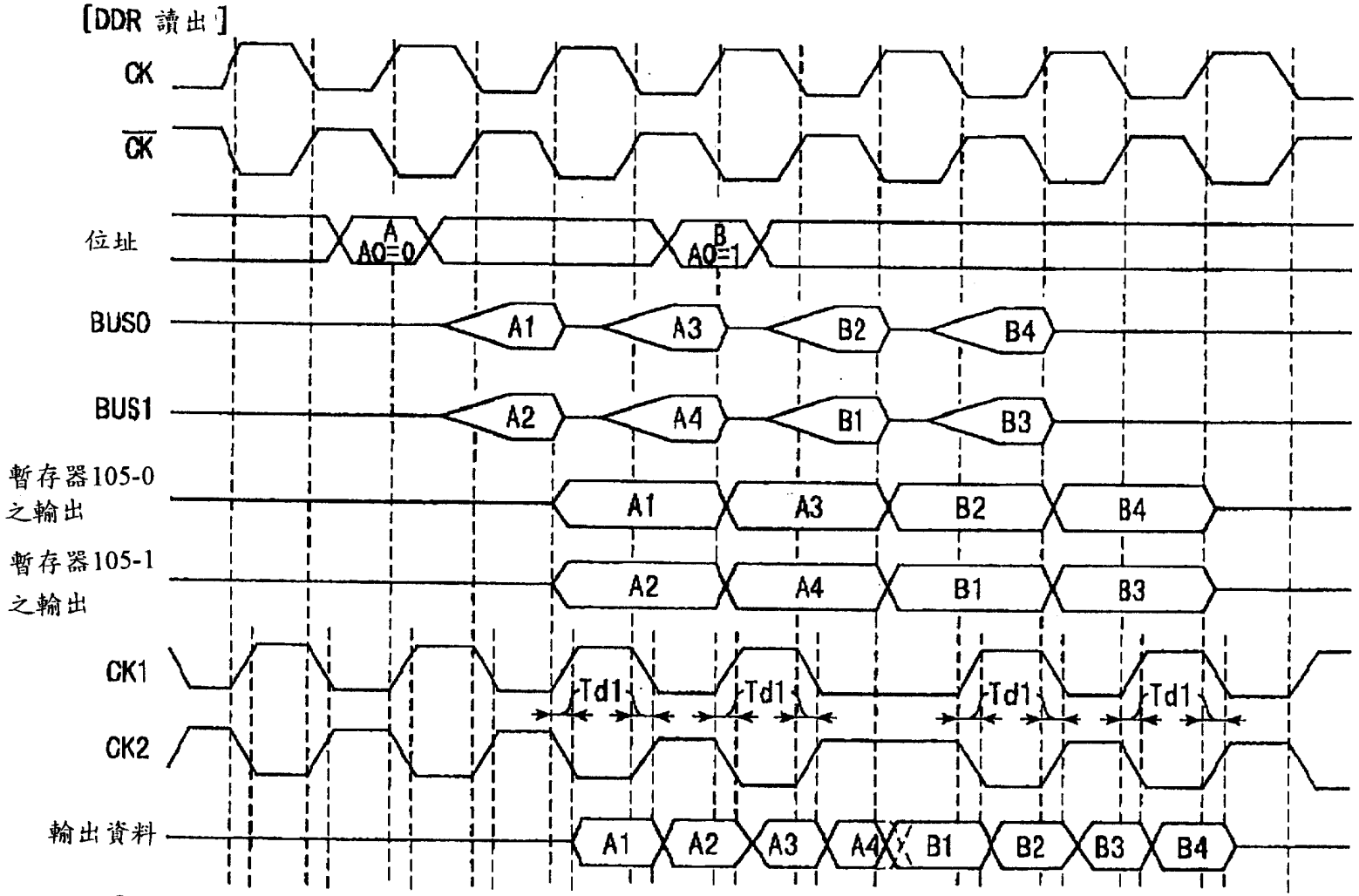

[DDR 讀出]
CK
$\overline{CK}$
位址
A
A0=0
B
A0=1
BUS0
A1
A3
B2
B4
BUS1
A2
A4
B1
B3
暫存器105-0之輸出
A1
A3
B2
B4
暫存器105-1之輸出
A2
A4
B1
B3
CK1
CK2
Td1
Td1
Td1
Td1
輸出資料
A1
A2
A3
A4
B1
B2
B3
B4

圖 4

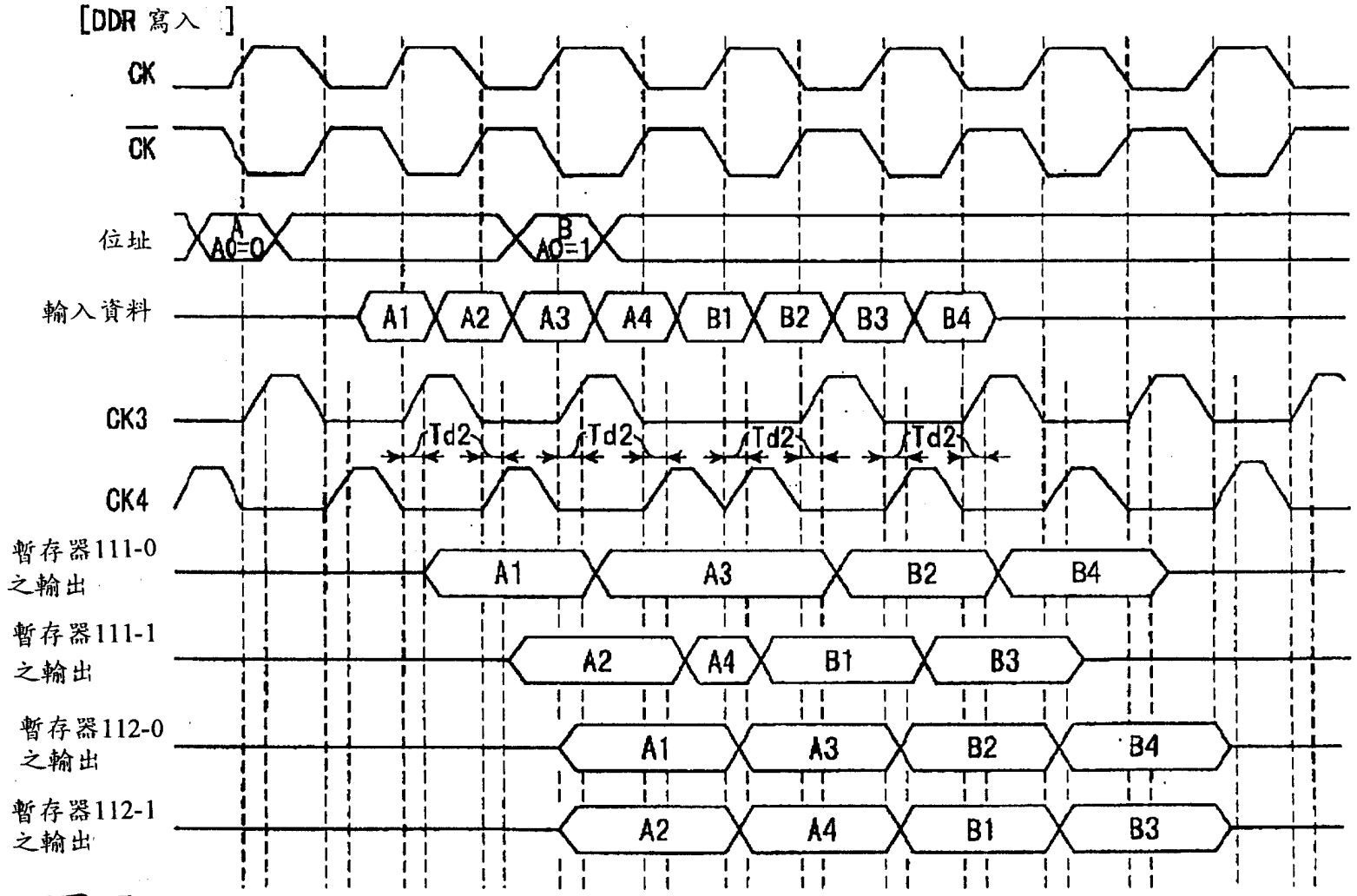

[DDR 寫入]
CK
$\overline{CK}$
位址
A
A0=0
B
A0=1
輸入資料
A1
A2
A3
A4
B1
B2
B3
B4
CK3
CK4
Td2
Td2
Td2
Td2
暫存器111-0之輸出
A1
A3
B2
B4
暫存器111-1之輸出
A2
A4
B1
B3
暫存器112-0之輸出
A1
A3
B2
B4
暫存器112-1之輸出
A2
A4
B1
B3

圖 5

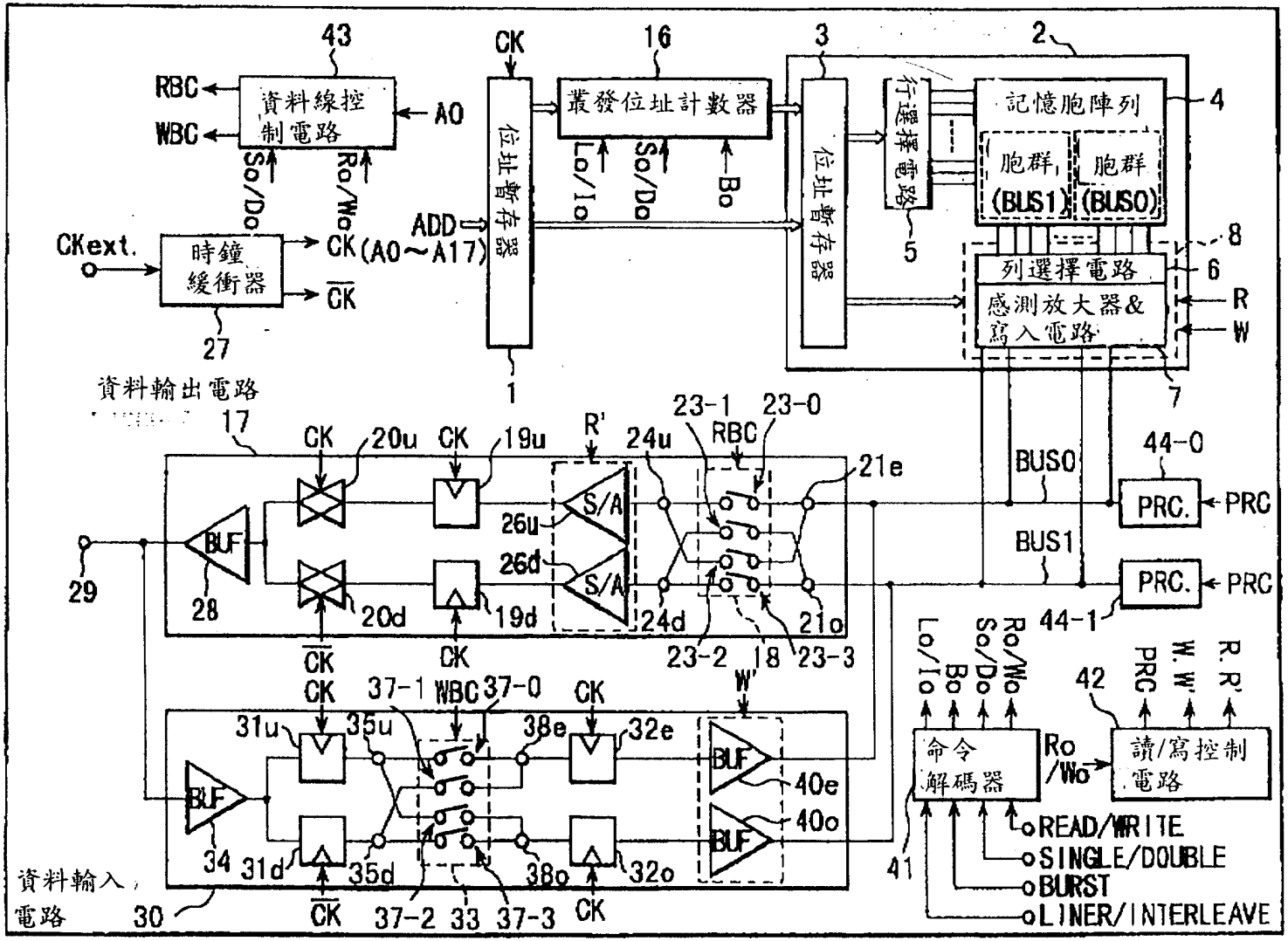

43
RBC
WBC
資料線控制電路
AO
So/Do
Ro/Wo
CKext.
時鐘緩衝器
CK (A0～A17)
CK
27
CK
16
叢發位址計數器
Lo/Io
So/Do
Bo
ADD
位址暫存器
1
3
位址暫存器
行選擇電路
5
2
記憶胞陣列
4
胞群 (BUS1)
胞群 (BUS0)
8
列選擇電路
6
感測放大器&寫入電路
R
W
7
資料輸出電路
17
CK
20u
CK
19u
R'
24u
23-1
RBC
23-0
21e
BUS0
44-0
PRC.
PRC
BUS1
PRC.
PRC
44-1
26u
26d
S/A
S/A
BUF
28
29
20d
19d
24d
21o
23-2
18
23-3
CK
CK
CK
CK
37-1
WBC
37-0
CK
W'
31u
35u
38e
32e
BUF
40e
40o
BUF
BUF
34
31d
35d
38o
32o
41
30
CK
37-2
33
37-3
CK
資料輸入電路
命令解碼器
Ro/Wo
讀/寫控制電路
42
PRC
W.W.
R.R.
Lo/Io
Bo
So/Do
Ro/Wo
READ/WRITE
SINGLE/DOUBLE
BURST
LINER/INTERLEAVE

圖 6

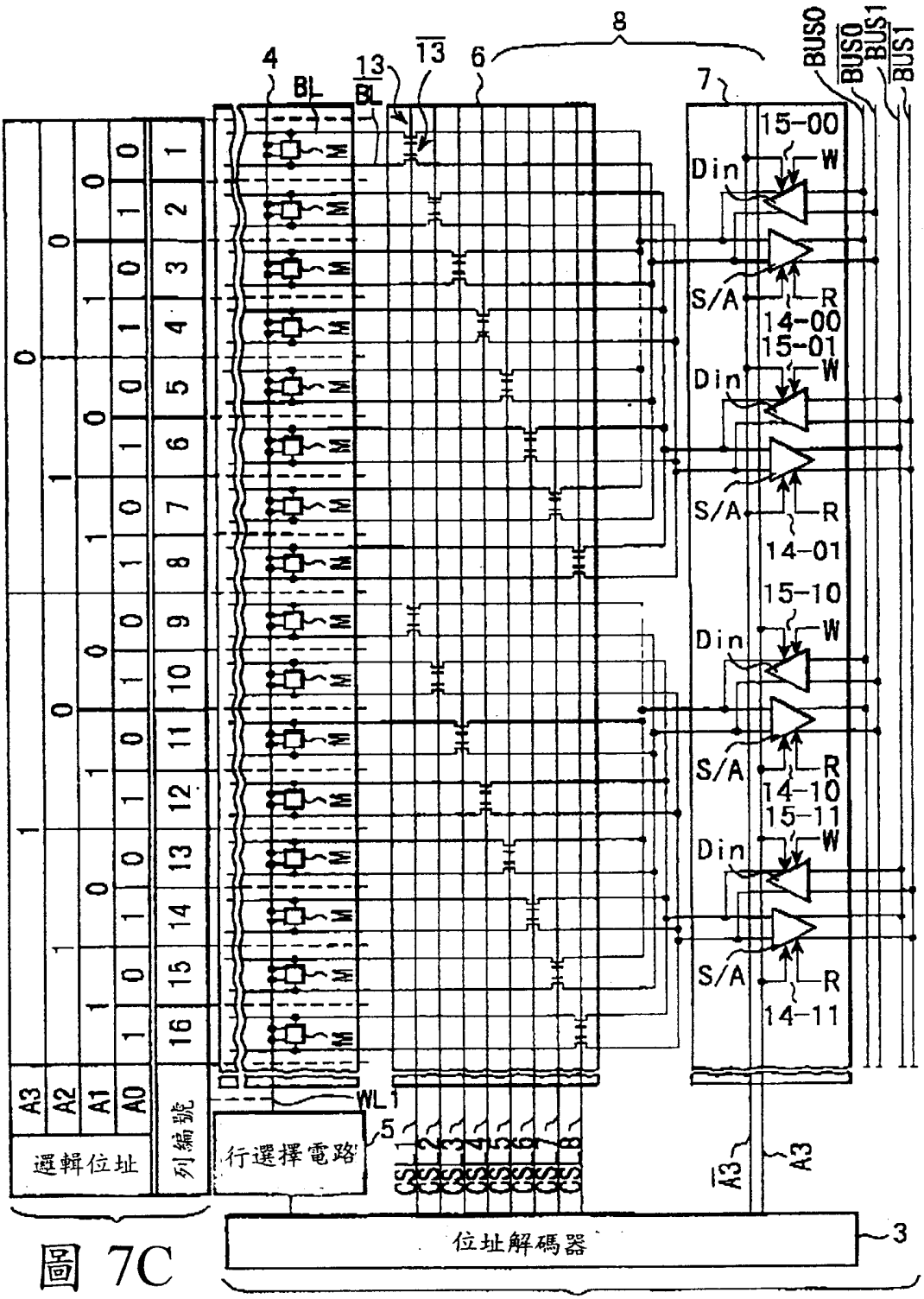
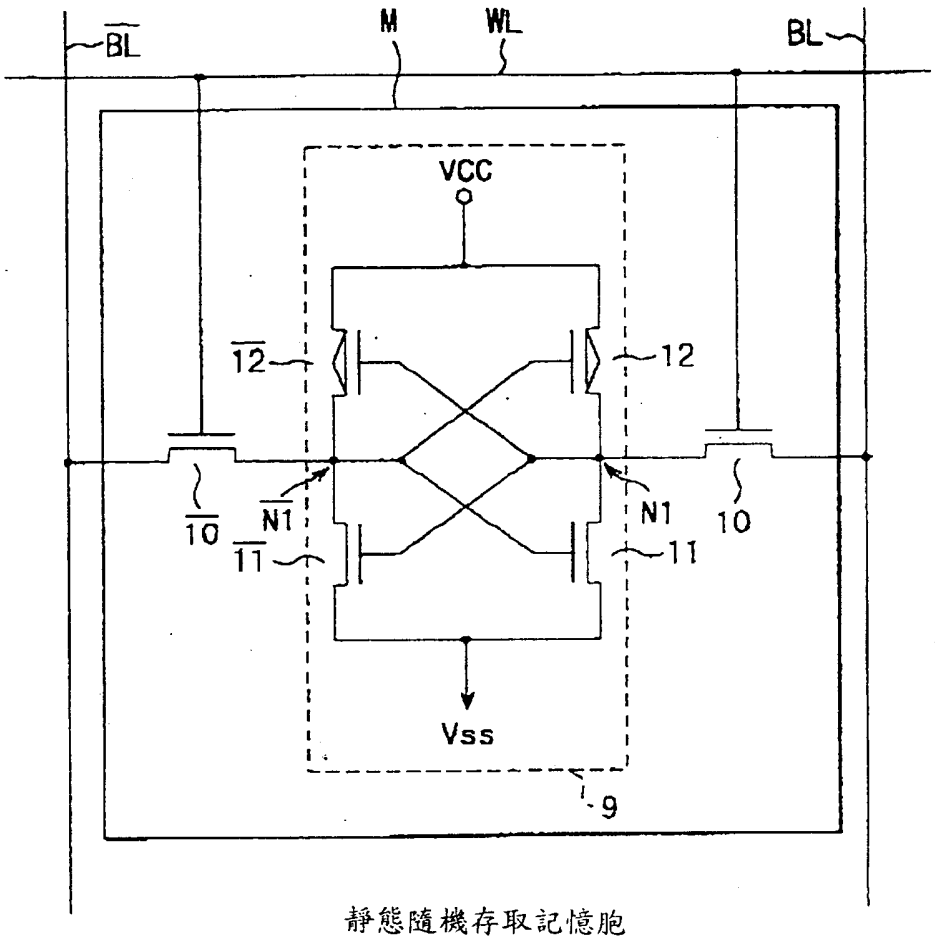

4
BL
13
BL
13
6
8
7
BUS0
BUS0
BUS1
BUS1
15-00
W
Din
S/A
R
14-00
15-01
W
Din
S/A
R
14-01
15-10
W
Din
S/A
R
14-10
15-11
W
Din
S/A
R
14-11
A3
A2
A1
A0
遲輯位址
列編號
WL1
5
行選擇電路
CSL
1
2
3
4
5
6
7
8
Ā3
A3
位址解碼器
3

圖 7C

圖 7A



靜態隨機存取記憶胞

圖 7B

圖 8A

線性模態 (SDR)

時鐘周期	1	2	3	4	5	···
(A1, A0)	(0, 0) → (0, 1) → (1, 0) → (1, 1) → (0, 0) → ···					
	(0, 1) → (1, 0) → (1, 1) → (0, 0) → (0, 1) → ···					
	(1, 0) → (1, 1) → (0, 0) → (0, 1) → (1, 0) → ···					
	(1, 1) → (0, 0) → (0, 1) → (1, 0) → (1, 1) → ···					

起始位址

圖 8B

交錯模態 (SDR)

時鐘周期	1	2	3	4	5	···
(A1, A0)	(0, 0) → (0, 1) → (1, 0) → (1, 1) → (0, 0) → ···					
	(0, 1) → (0, 0) → (1, 1) → (1, 0) → (0, 1) → ···					
	(1, 0) → (1, 1) → (0, 0) → (0, 1) → (1, 0) → ···					
	(1, 1) → (1, 0) → (0, 1) → (0, 0) → (1, 1) → ···					

起始位址

圖 8C

線性模態 (DDR)

時鐘周期	1	2	3	···
(A1, A0)	(0, 0) & (0, 1) → (1, 0) & (1, 1) → (0, 0) & (0, 1) → ···			
	(0, 1) & (1, 0) → (1, 1) & (0, 0) → (0, 1) & (1, 0) → ···			
	(1, 0) & (1, 1) → (0, 0) & (0, 1) → (1, 0) & (1, 1) → ···			
	(1, 1) & (0, 0) → (0, 1) & (1, 0) → (1, 1) & (0, 0) → ···			

起始位址

圖 8D

交錯模態 (DDR)

時鐘周期	1	2	3	···
(A1, A0)	(0, 0) & (0, 1) → (1, 0) & (1, 1) → (0, 0) & (0, 1) → ···			
	(0, 1) & (0, 0) → (1, 1) & (1, 0) → (0, 1) & (0, 0) → ···			
	(1, 0) & (1, 1) → (0, 0) & (0, 1) → (1, 0) & (1, 1) → ···			
	(1, 1) & (1, 0) → (0, 1) & (0, 0) → (1, 1) & (1, 0) → ···			

起始位址

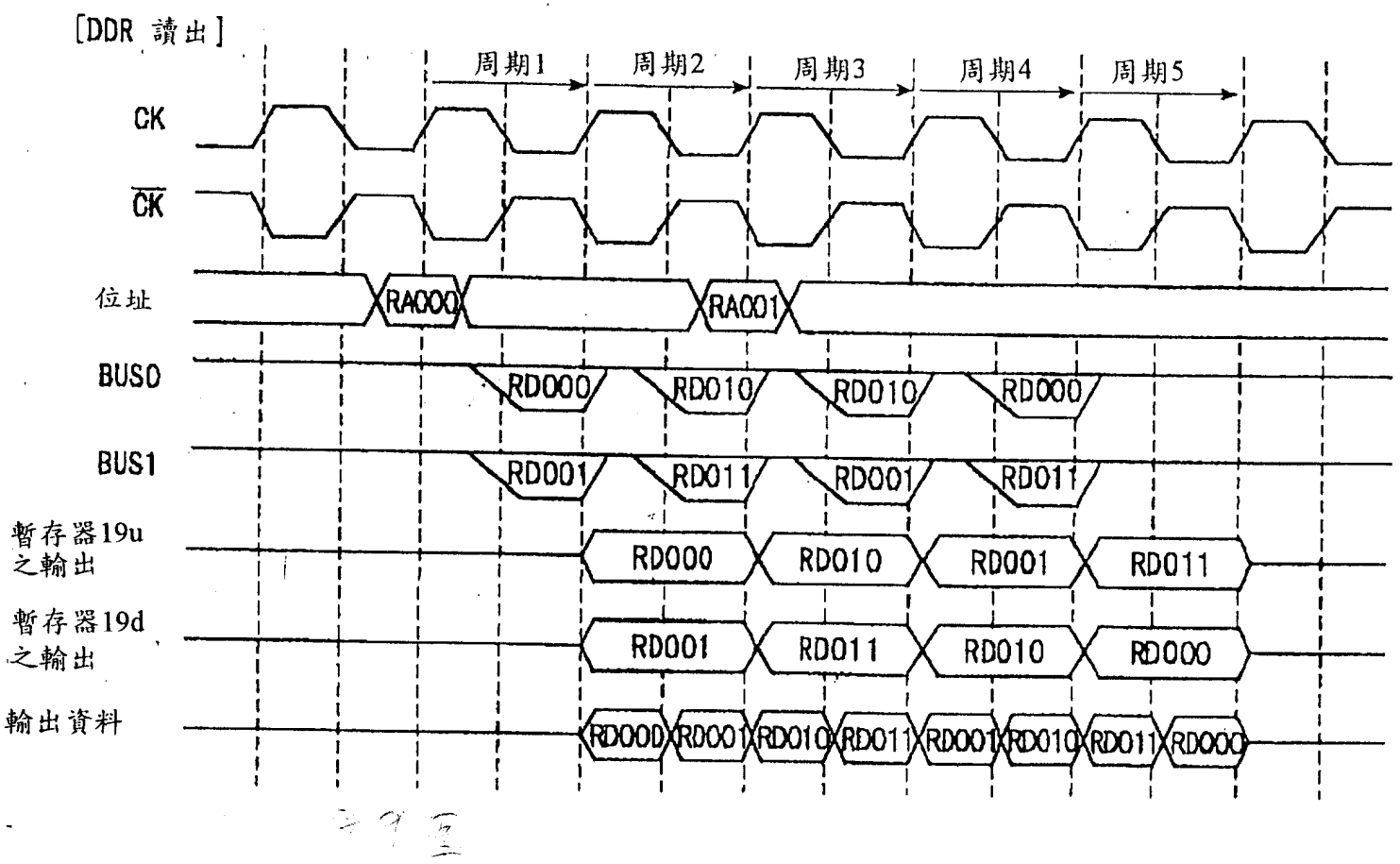

[DDR 讀出]
周期1
周期2
周期3
周期4
周期5
CK
CK
位址
RA000
RA001
BUS0
RD000
RD010
RD010
RD000
BUS1
RD001
RD011
RD001
RD011
暫存器19u之輸出
RD000
RD010
RD001
RD011
暫存器19d之輸出
RD001
RD011
RD010
RD000
輸出資料
RD000
RD001
RD010
RD011
RD001
RD010
RD011
RD000

圖 9

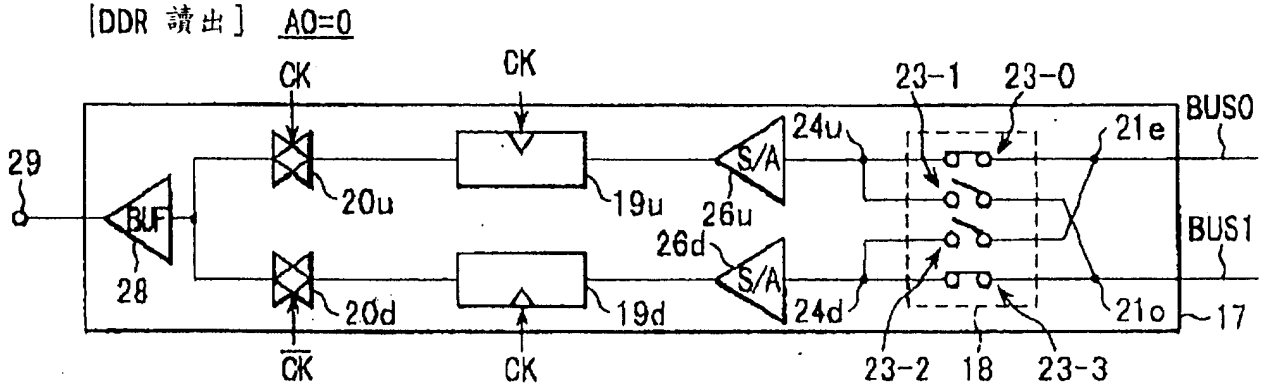

[DDR 讀出] A0=0
CK
CK
23-1
23-0
BUS0
BUS1
29
BUF
28
20u
19u
26u
S/A
24u
21e
26d
S/A
24d
20d
19d
21o
17
CK
CK
23-2
18
23-3

圖 10A

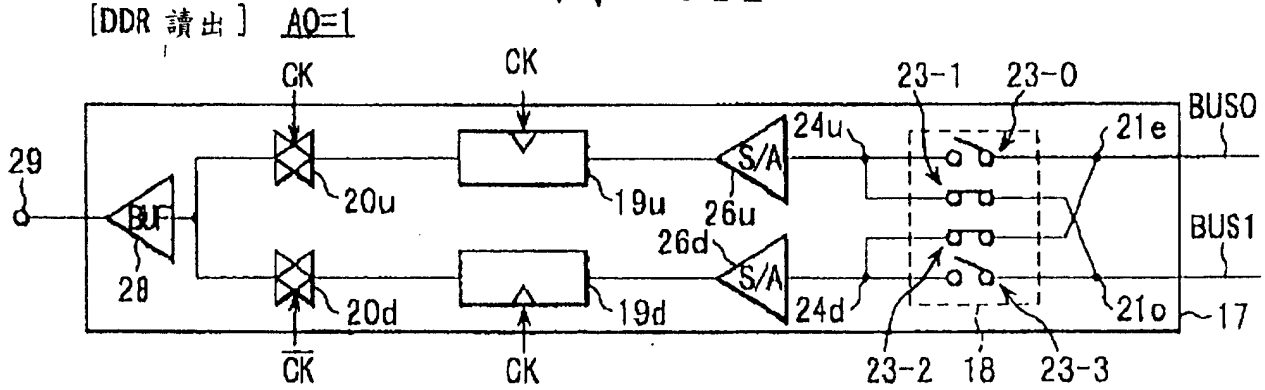

[DDR 讀出] A0=1
CK
CK
23-1
23-0
BUS0
BUS1
29
BUF
28
20u
19u
26u
S/A
24u
21e
26d
S/A
24d
20d
19d
21o
17
CK
CK
23-2
18
23-3

圖 10B

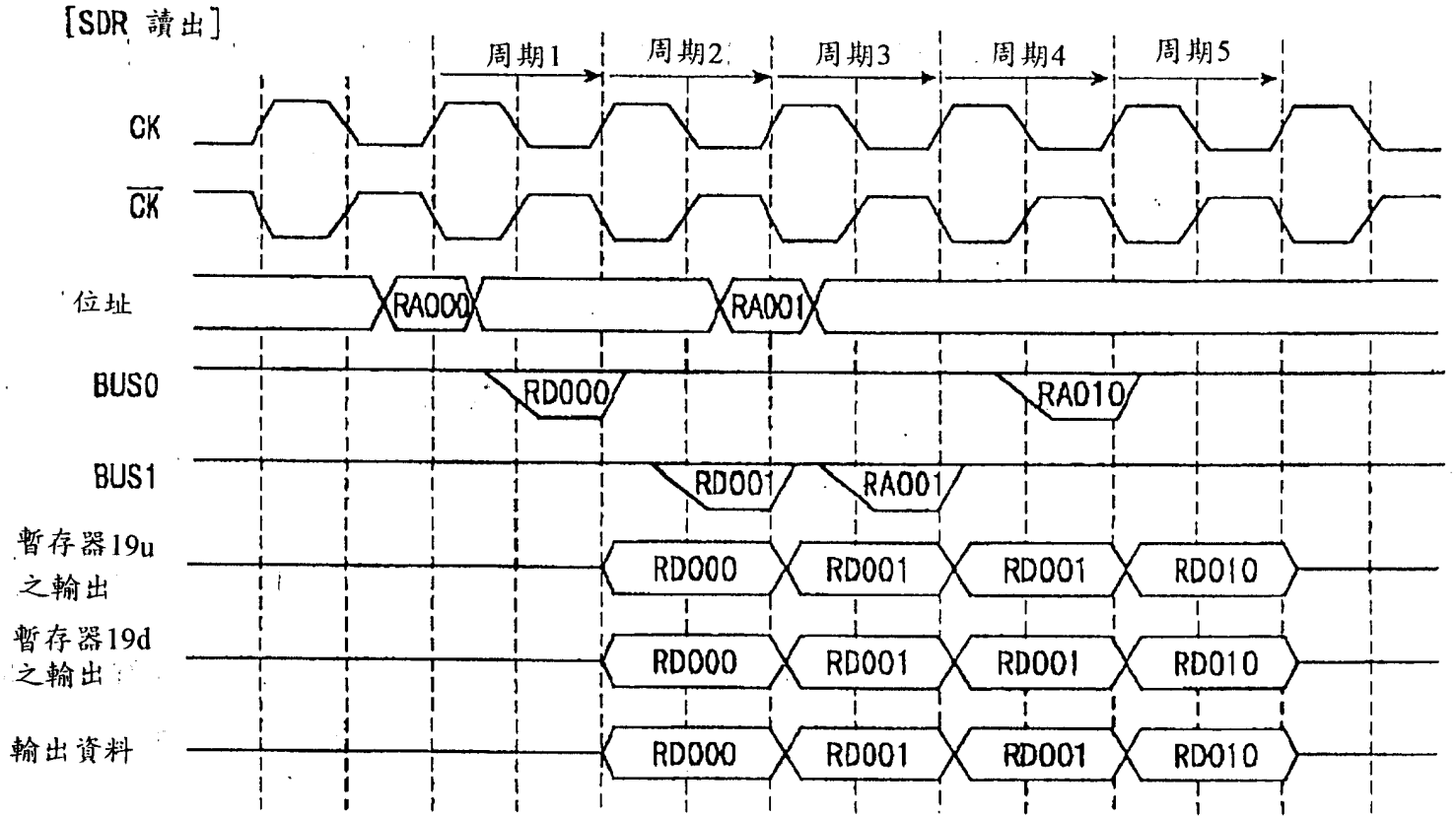

[SDR 讀出]
周期1
周期2
周期3
周期4
周期5
CK
$\overline{CK}$
位址
RA000
RA001
BUS0
RD000
RA010
BUS1
RD001
RA001
暫存器19u之輸出
RD000
RD001
RD001
RD010
暫存器19d之輸出
RD000
RD001
RD001
RD010
輸出資料
RD000
RD001
RD001
RD010

圖 11

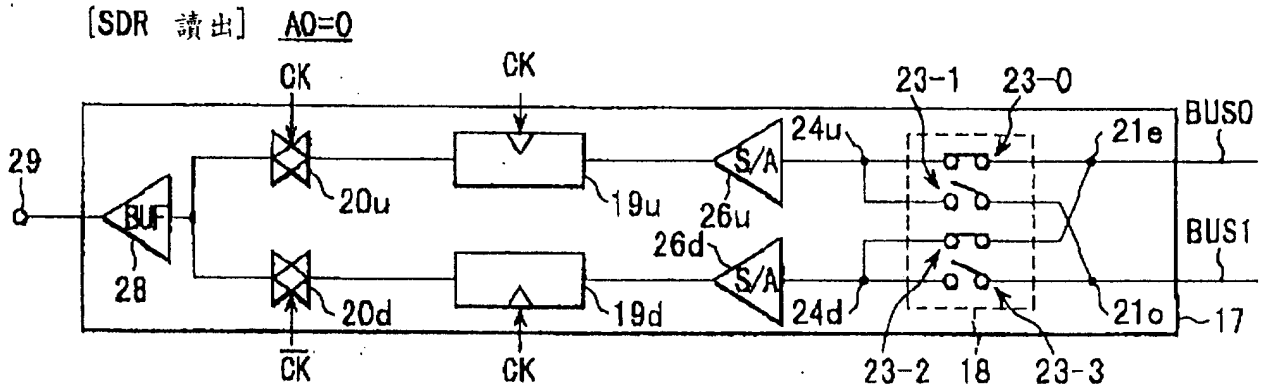

[SDR 讀出] A0=0
CK
CK
23-1
23-0
BUS0
29
BUF
28
20u
19u
26u
S/A
24u
21e
BUS1
26d
S/A
20d
19d
24d
21o
17
CK
CK
23-2
18
23-3

圖 12A

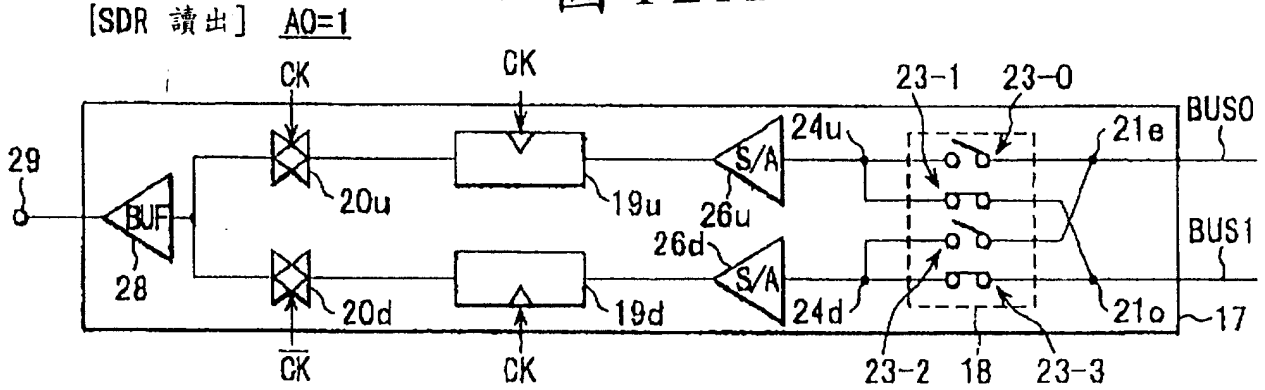

[SDR 讀出] A0=1
CK
CK
23-1
23-0
BUS0
29
BUF
28
20u
19u
26u
S/A
24u
21e
BUS1
26d
S/A
20d
19d
24d
21o
17
CK
CK
23-2
18
23-3

圖 12B

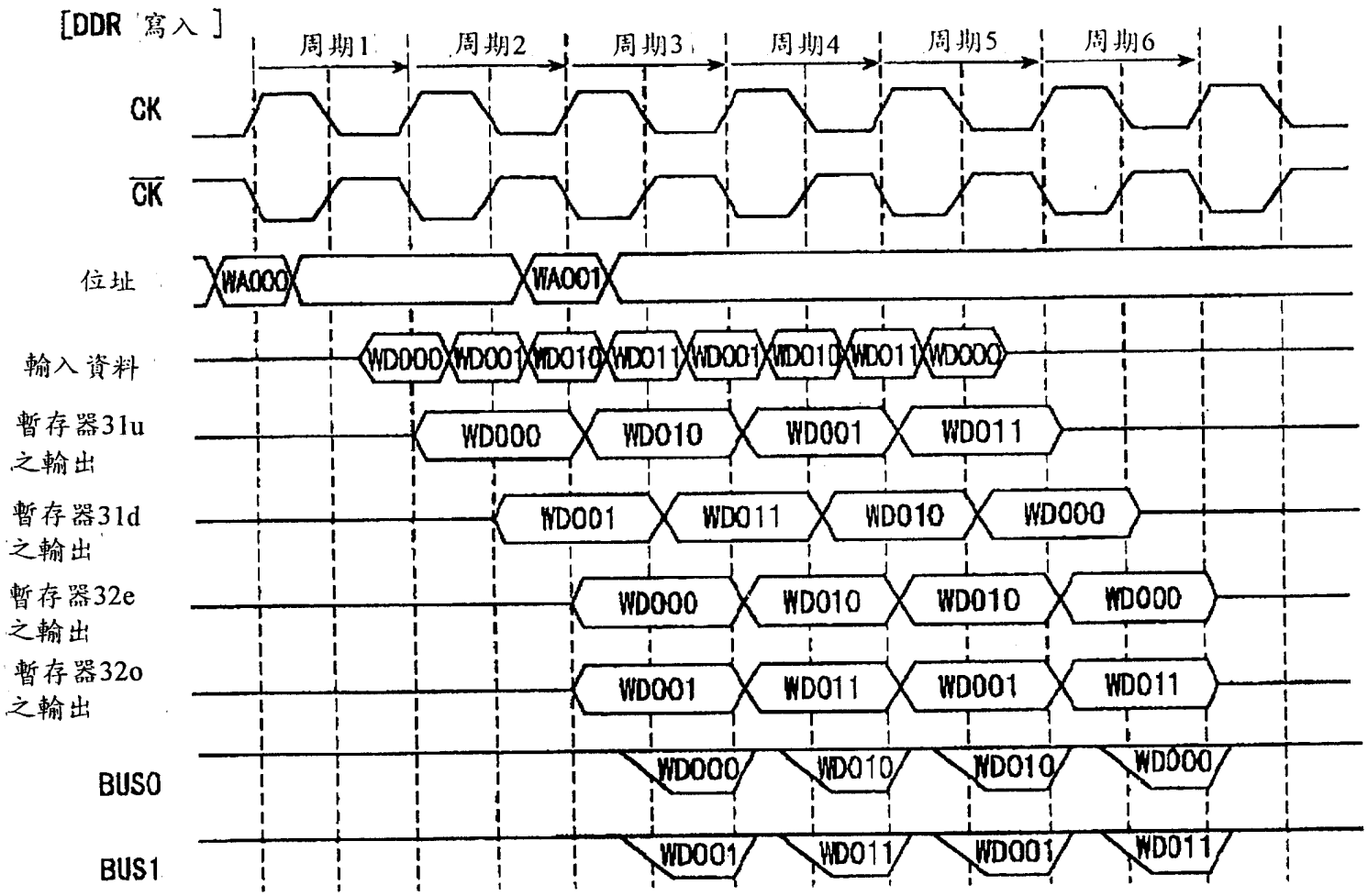

[DDR 寫入]
周期1
周期2
周期3
周期4
周期5
周期6
CK
CK
位址
WA000
WA001
輸入資料
WD000
WD001
WD010
WD011
WD001
WD010
WD011
WD000
暫存器31u之輸出
WD000
WD010
WD001
WD011
暫存器31d之輸出
WD001
WD011
WD010
WD000
暫存器32e之輸出
WD000
WD010
WD010
WD000
暫存器32o之輸出
WD001
WD011
WD001
WD011
BUS0
WD000
WD010
WD010
WD000
BUS1
WD001
WD011
WD001
WD011

圖 13

[DDR 寫入] A0=0

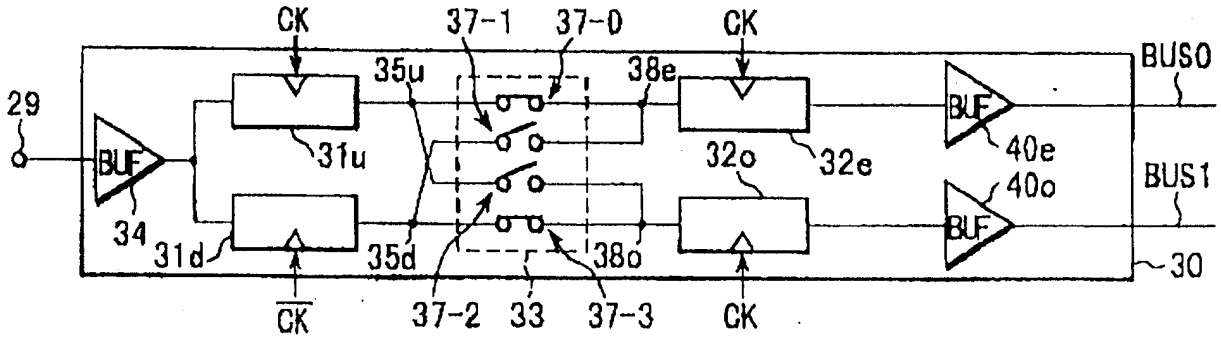


圖 14A

[DDR 寫入] A0=1

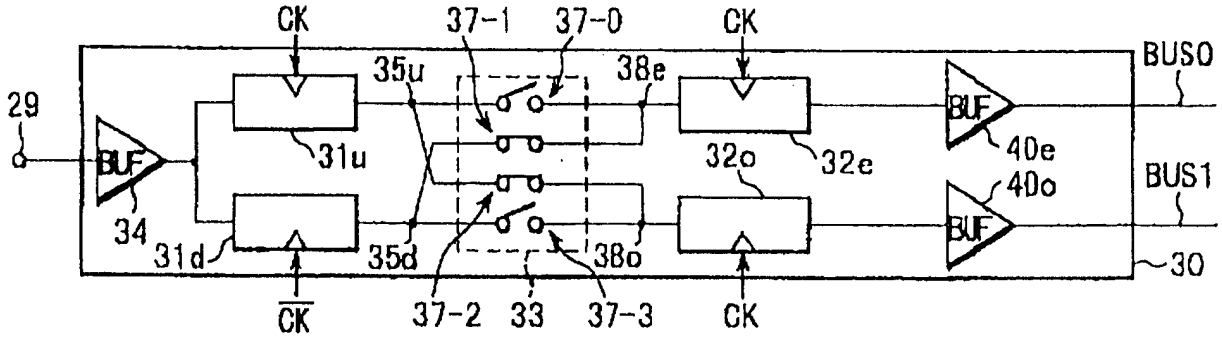


圖 14B

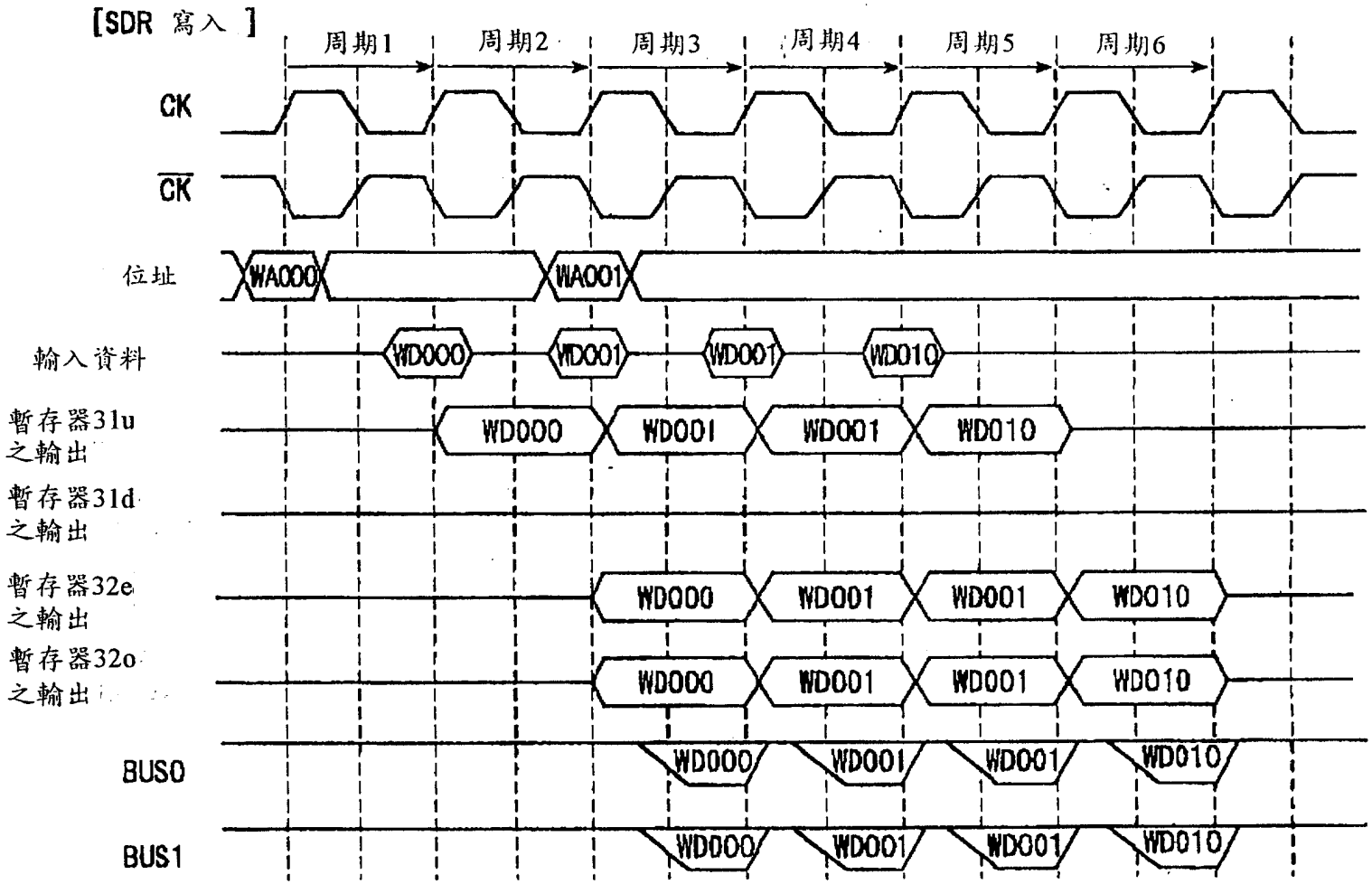

【SDR 寫入 】
周期1
周期2
周期3
周期4
周期5
周期6
CK
$\overline{CK}$
位址
WA000
WA001
輸入資料
WD000
WD001
WD001
WD010
暫存器31u之輸出
暫存器31d之輸出
暫存器32e之輸出
暫存器32o之輸出
BUS0
BUS1

圖 15

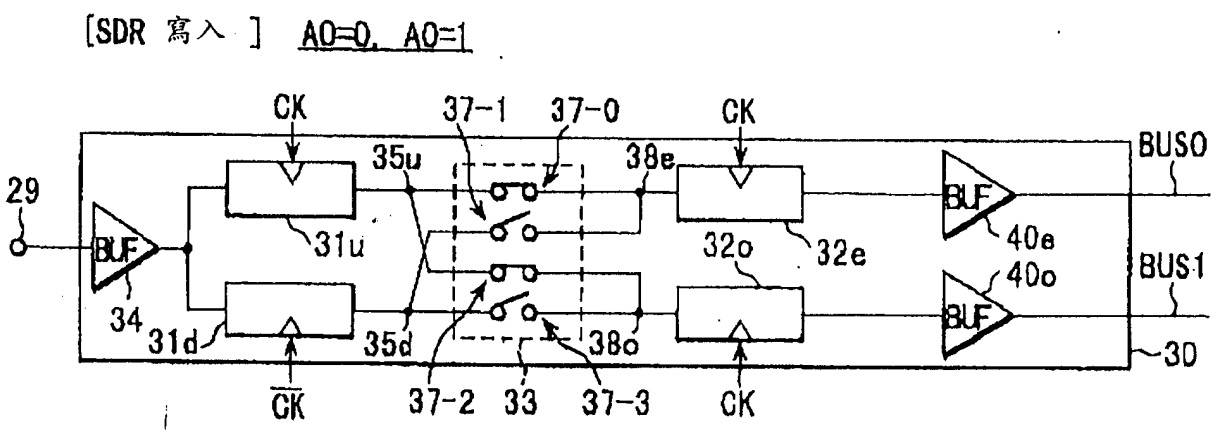

[SDR 寫入] A0=0, A0=1
CK
37-1
37-0
CK
35u
38e
BUS0
29
BUF
31u
32o
32e
BUF
40e
40o
BUS1
34
31d
35d
38o
BUF
30
CK
37-2
33
37-3
CK

圖 16

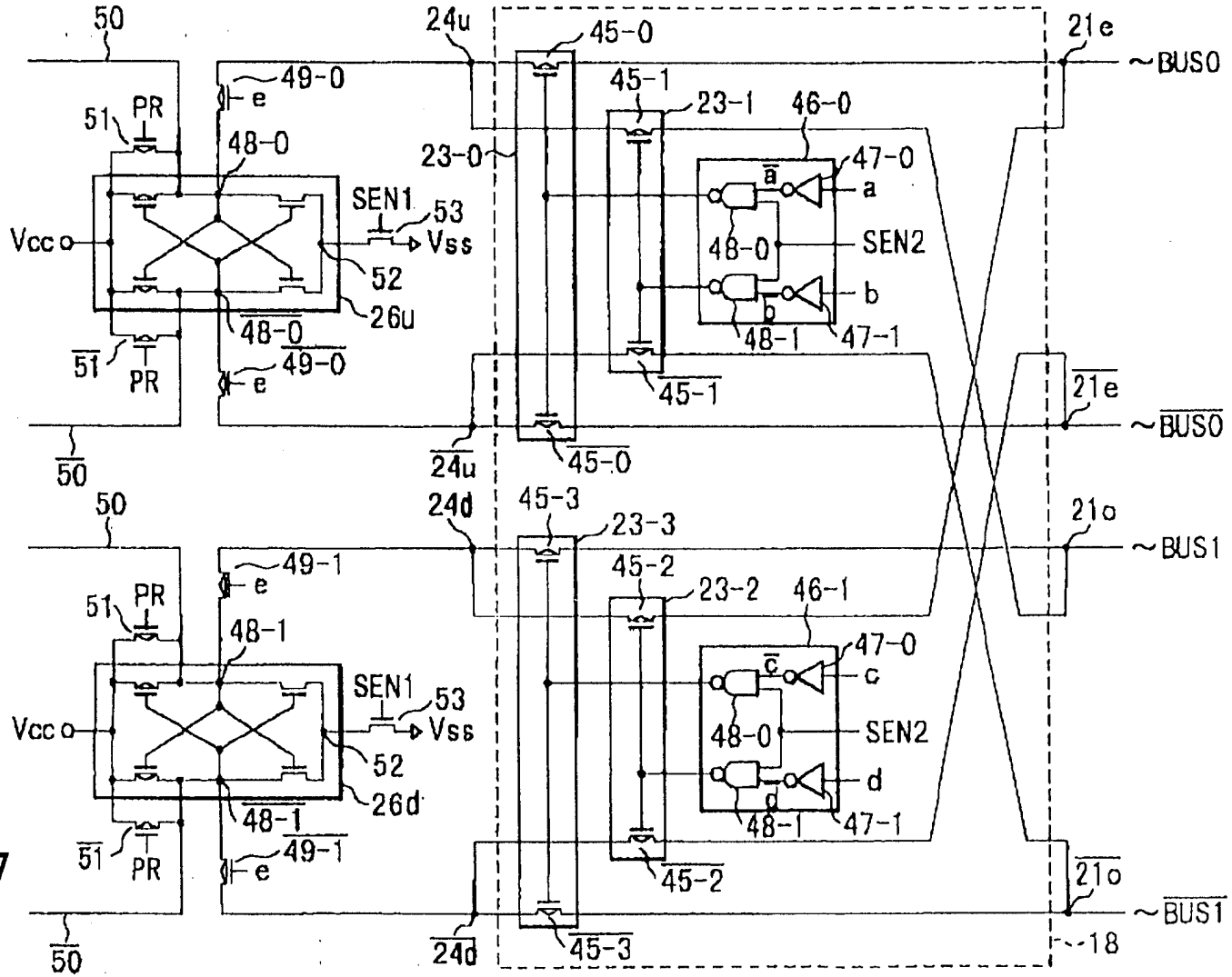

50
24u
45-0
21e
~BUS0
49-0
e
45-1
23-1
46-0
51
PR
48-0
23-0
47-0
a
SEN1
53
Vss
Vcc
48-0
SEN2
52
b
26u
48-1
47-1
45-1
21e
~BUS0
45-0
24u
50
24d
45-3
23-3
21o
~BUS1
49-1
e
45-2
23-2
46-1
51
PR
48-1
47-0
c
SEN1
53
Vss
Vcc
48-0
SEN2
52
d
26d
48-1
47-1
45-2
21o
~BUS1
45-3
24d
18

圖 17

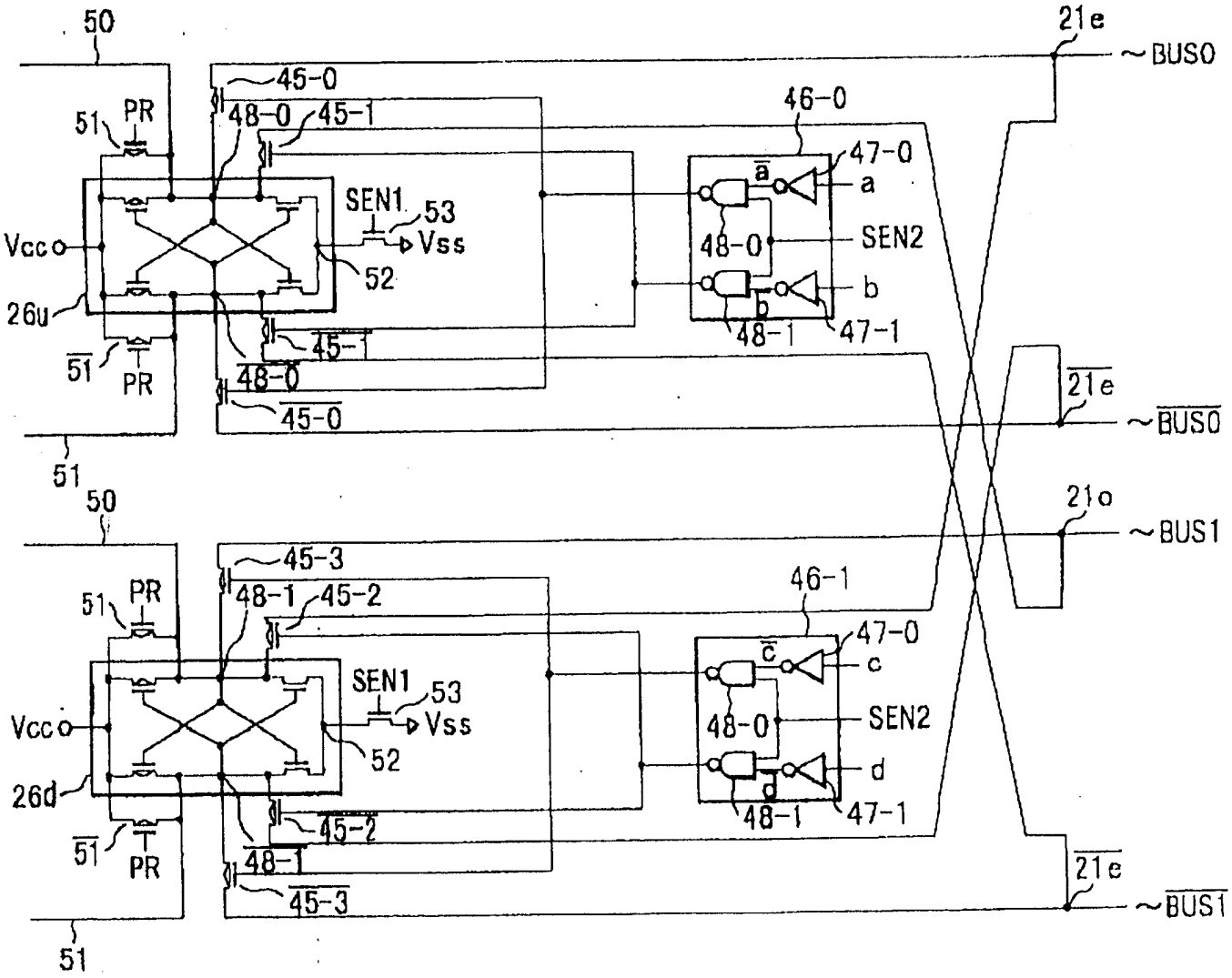

50
51
PR
45-0
48-0
45-1
SEN1
53
Vss
Vcc
52
26u
45-1
48-0
45-0
46-0
47-0
a
SEN2
b
48-1
47-1
21e
BUS0
BUS0
21o
BUS1
50
45-3
48-1
45-2
46-1
c
d
26d
48-1
45-3
BUS1

圖 18

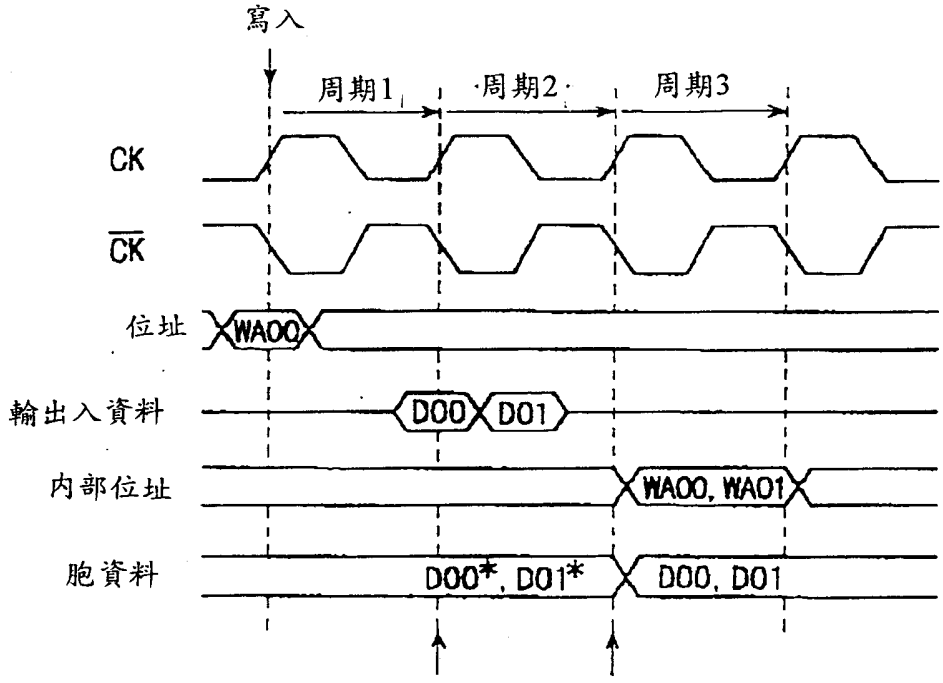

寫入
周期1
周期2
周期3
CK
$\overline{CK}$
位址
WA00
輸出入資料
D00
D01
內部位址
WA00, WA01
胞資料
D00*, D01*
D00, D01
資料輸入
磁芯寫入

圖 19A

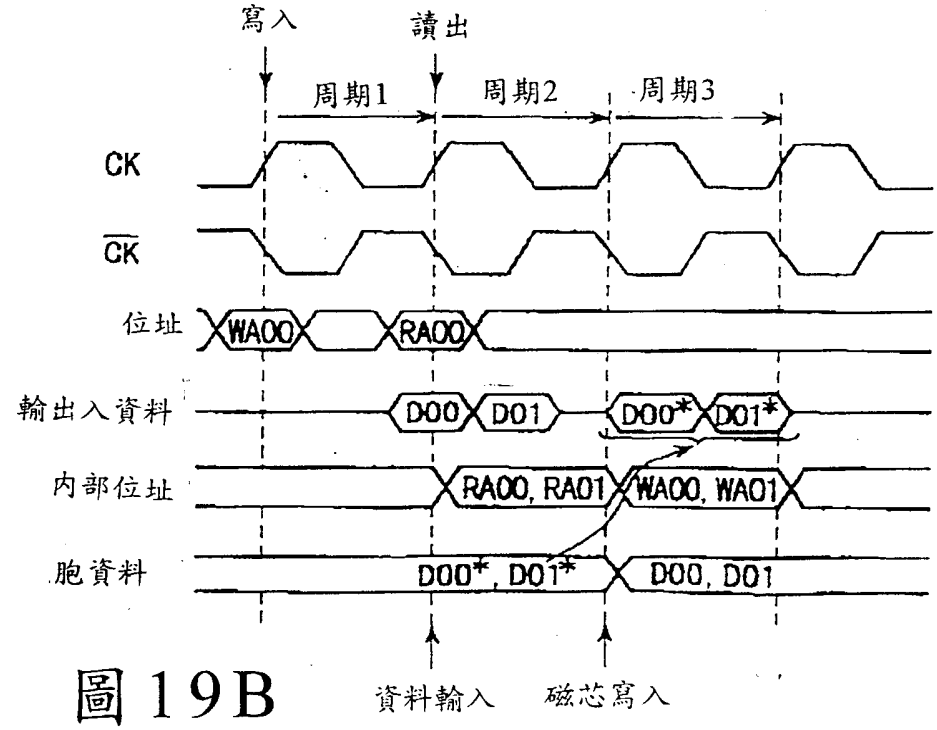
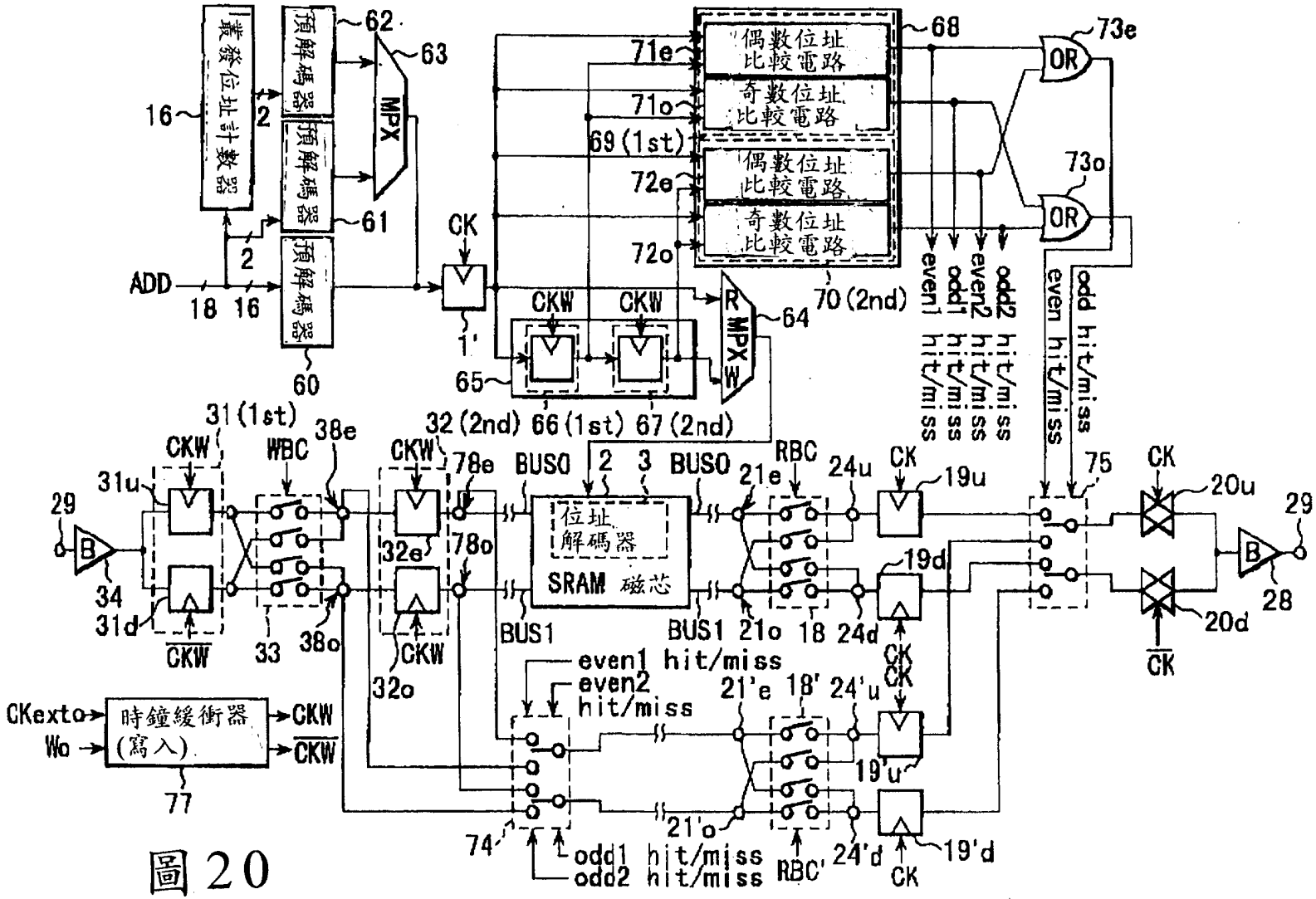

寫入
讀出
周期1
周期2
周期3
CK
$\overline{CK}$
位址
WA00
RA00
輸出入資料
D00
D01
D00*
D01*
內部位址
RA00, RA01
WA00, WA01
胞資料
D00*, D01*
D00, D01
資料輸入
磁芯寫入

圖 19B



叢發位址計數器
預解碼器
預解碼器
預解碼器
MPX
ADD
CK
CKW
CKW
R
MPX
W
偶數位址比較電路
奇數位址比較電路
偶數位址比較電路
奇數位址比較電路
OR
OR
even1 hit/miss
odd1 hit/miss
even2 hit/miss
odd2 hit/miss
even hit/miss
odd hit/miss
位址解碼器
SRAM 磁芯
BUS0
BUS1
RBC
RBC'
WBC
CKW
CKW
CKW
CKW
CK
CK
CK
CK
CK
CK
CK
CK
CKext
Wo
時鐘緩衝器(寫入)
CKW
CKW
even1 hit/miss
even2 hit/miss
odd1 hit/miss
odd2 hit/miss

圖20

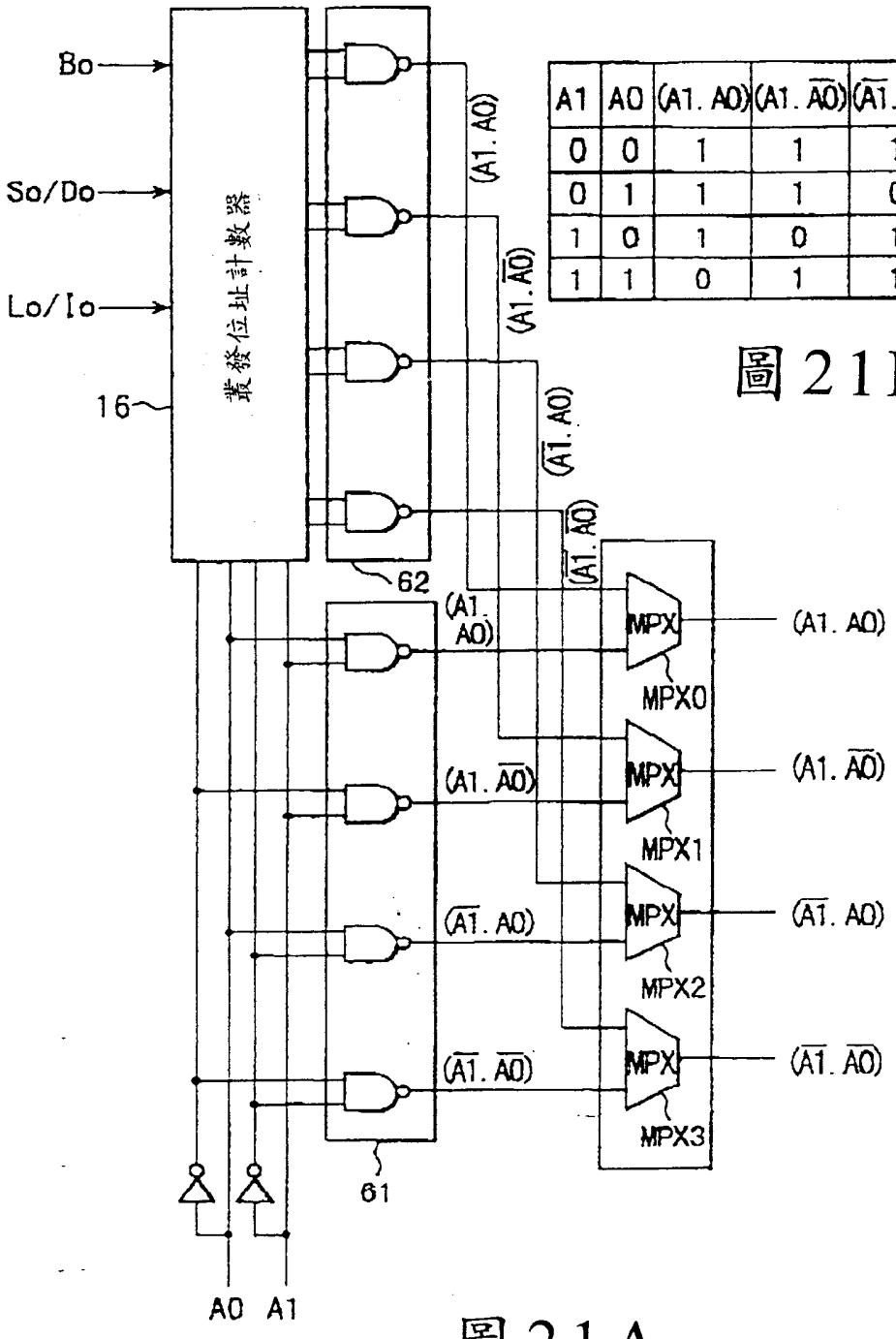


圖 21A

A1	A0	(A1. A0)	(A1. $\overline{A0}$)	($\overline{A1}$. A0)	($\overline{A1}$. $\overline{A0}$)
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

圖 21B

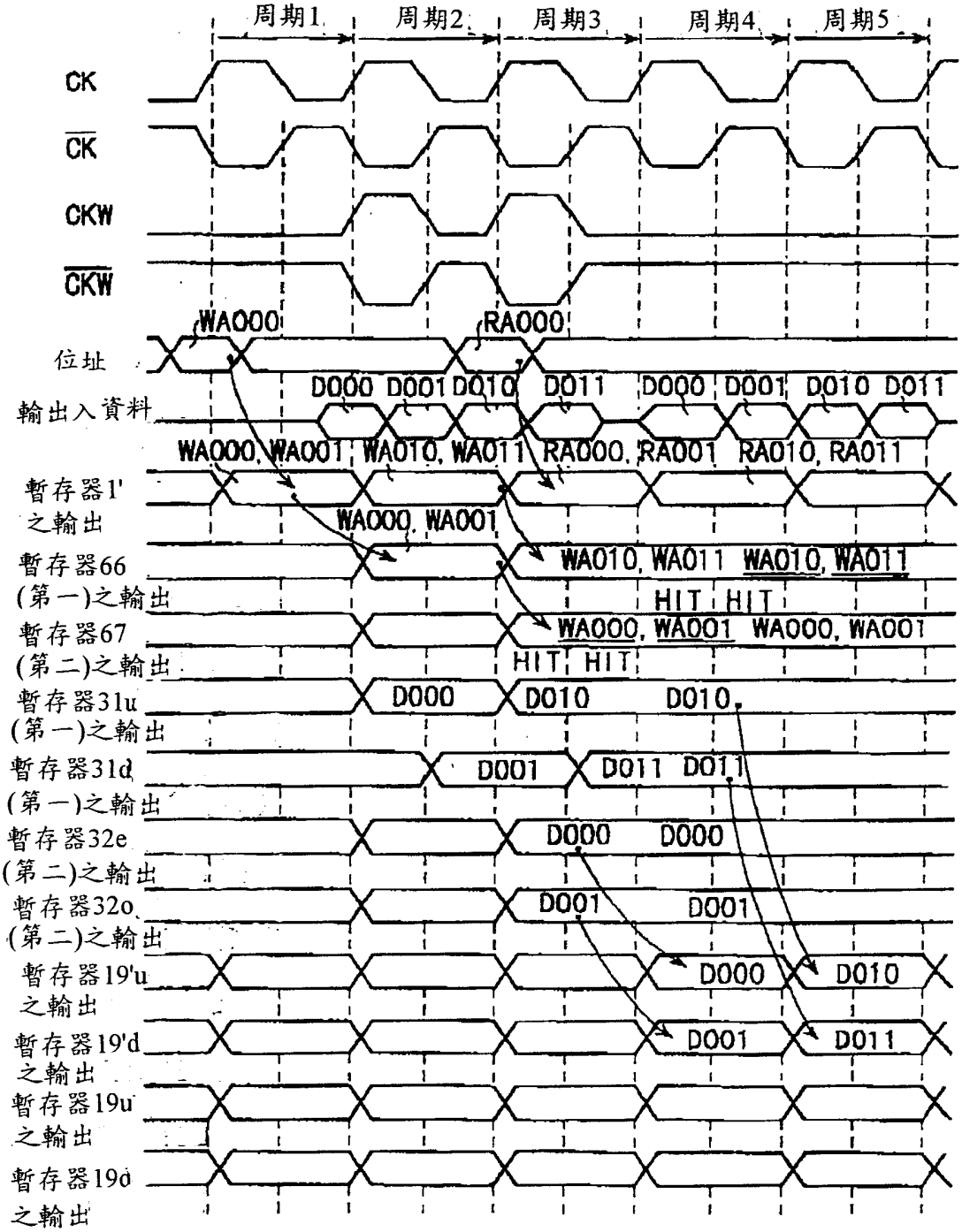

周期1
周期2
周期3
周期4
周期5
CK
$\overline{CK}$
CKW
$\overline{CKW}$
WA000
RA000
位址
D000 D001 D010 D011 D000 D001 D010 D011
輸出入資料
WA000, WA001 WA010, WA011 RA000, RA001 RA010, RA011
暫存器1'之輸出
WA000, WA001
暫存器66(第一)之輸出
WA010, WA011 WA010, WA011
HIT HIT
暫存器67(第二)之輸出
WA000, WA001 WA000, WA001
HIT HIT
暫存器31u(第一)之輸出
D000 D010 D010
暫存器31d(第一)之輸出
D001 D011 D011
暫存器32e(第二)之輸出
D000 D000
暫存器32o(第二)之輸出
D001 D001
暫存器19'u之輸出
D000 D010
暫存器19'd之輸出
D001 D011
暫存器19u之輸出
暫存器19d之輸出

圖22A

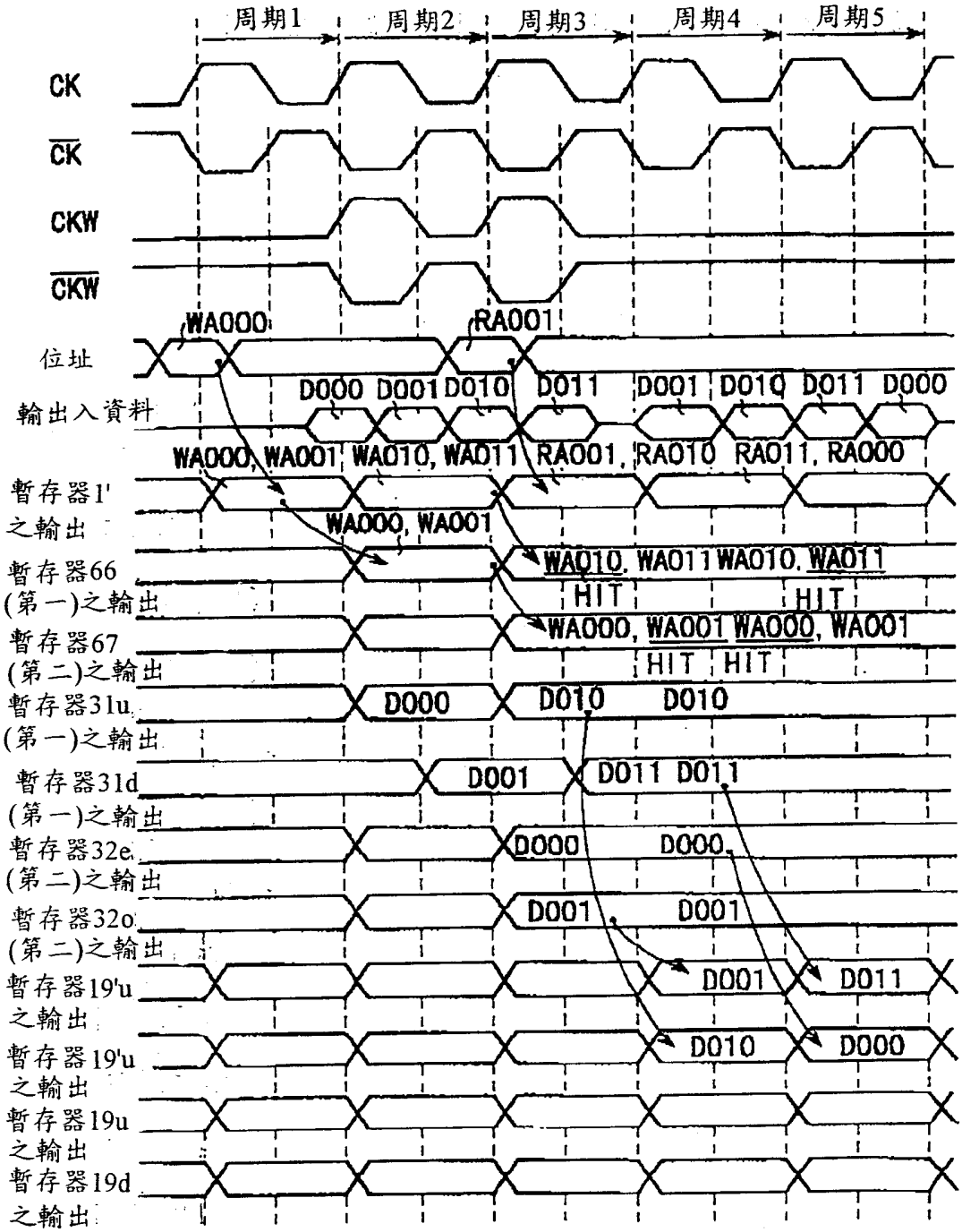
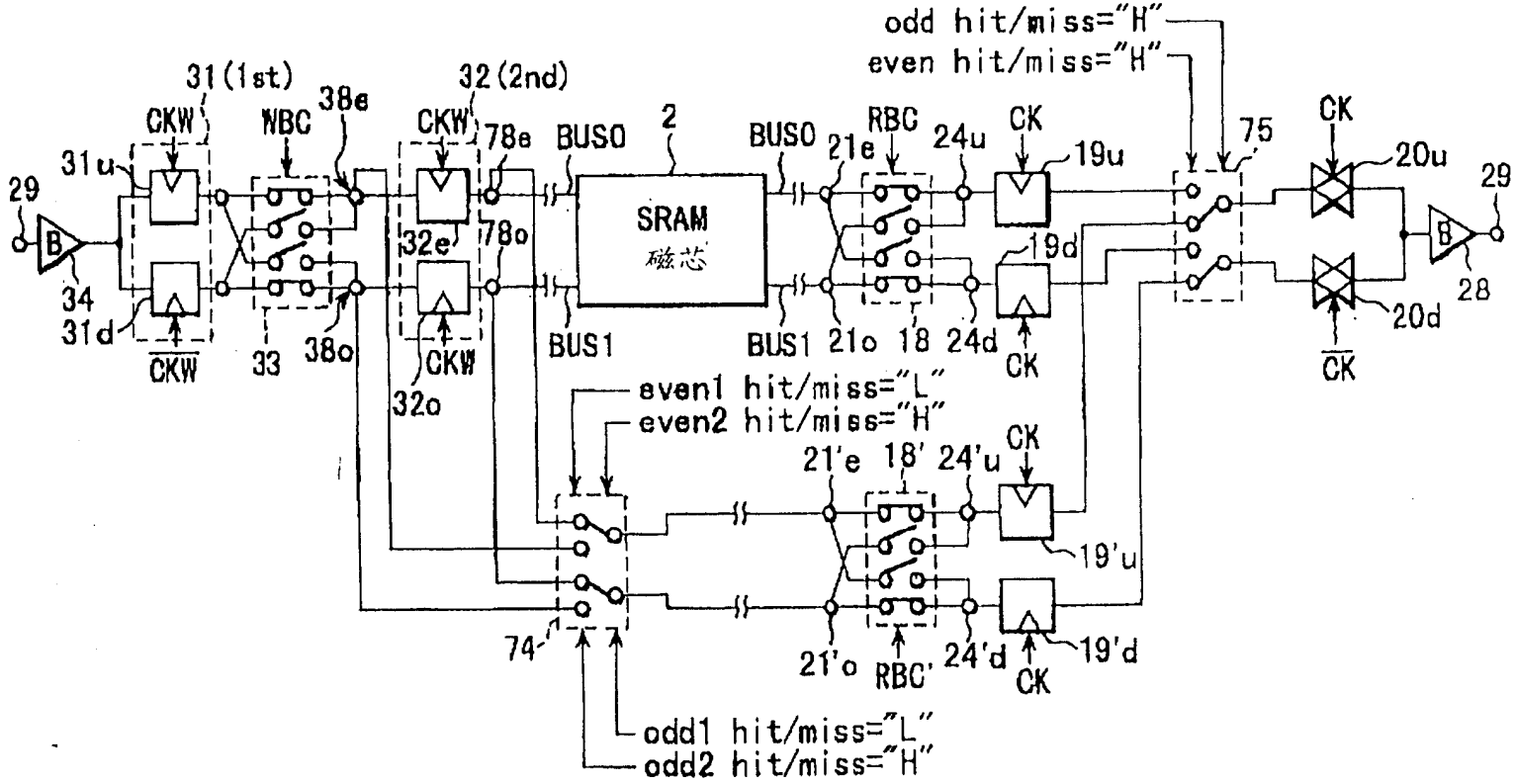

周期1
周期2
周期3
周期4
周期5
CK
CK
CKW
CKW
位址
WA000
RA001
輸出入資料
D000 D001 D010 D011 D001 D010 D011 D000
WA000, WA001 WA010, WA011 RA001, RA010 RA011, RA000
暫存器1'之輸出
WA000, WA001
暫存器66(第一)之輸出
WA010, WA011 WA010, WA011
HIT HIT
暫存器67(第二)之輸出
WA000, WA001 WA000, WA001
HIT HIT
暫存器31u(第一)之輸出
D000 D010 D010
暫存器31d(第一)之輸出
D001 D011 D011
暫存器32e(第二)之輸出
D000 D000
暫存器32o(第二)之輸出
D001 D001
暫存器19'u之輸出
D001 D011
暫存器19'u之輸出
D010 D000
暫存器19u之輸出
暫存器19d之輸出

圖 22B



odd hit/miss="H"
even hit/miss="H"
31(1st)
32(2nd)
CKW
WBC
38e
78e
BUS0
2
SRAM
磁芯
RBC
24u
CK
19u
75
20u
29
31u
31d
34
33
38o
32e
78o
32o
BUS1
21e
21o
18
24d
19d
20d
28
even1 hit/miss="L"
even2 hit/miss="H"
21'e
18'
24'u
19'u
74
21'o
RBC'
24'd
19'd
odd1 hit/miss="L"
odd2 hit/miss="H"

圖23A

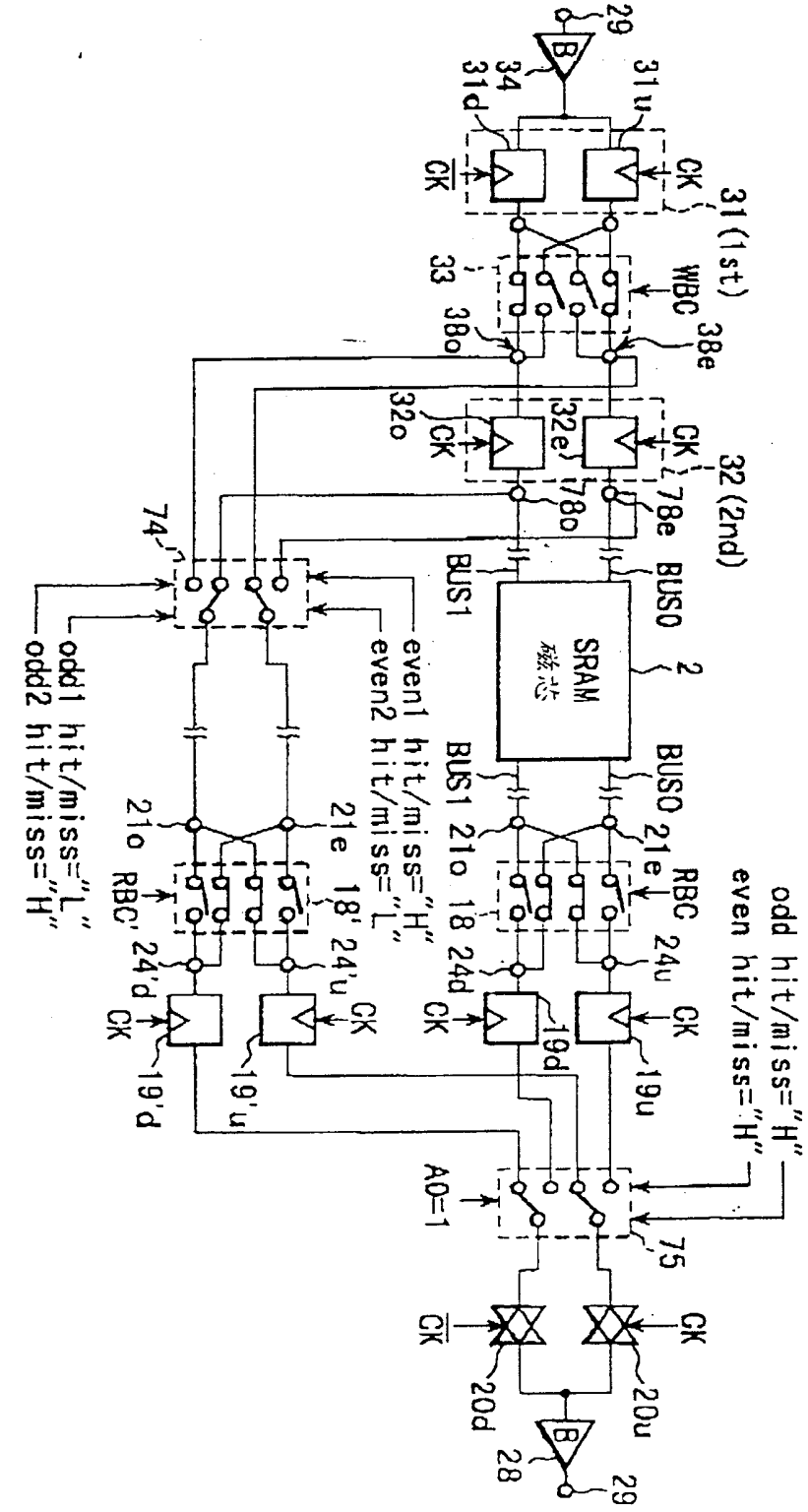

29
B
34
31u
31d
CK
CK
31 (1st)
WBC
33
38e
38o
32e
32o
32 (2nd)
78e
78o
74
BUS1
BUS0
SRAM
磁芯
2
odd hit/miss="H"
even hit/miss="H"
even1 hit/miss="H"
even2 hit/miss="L"
odd1 hit/miss="L"
odd2 hit/miss="H"
21e
21o
18
18'
RBC
24u
24d
24'u
24'd
19u
19d
19'u
19'd
AO=1
75
20u
20d
28

圖 2 3 B

400521

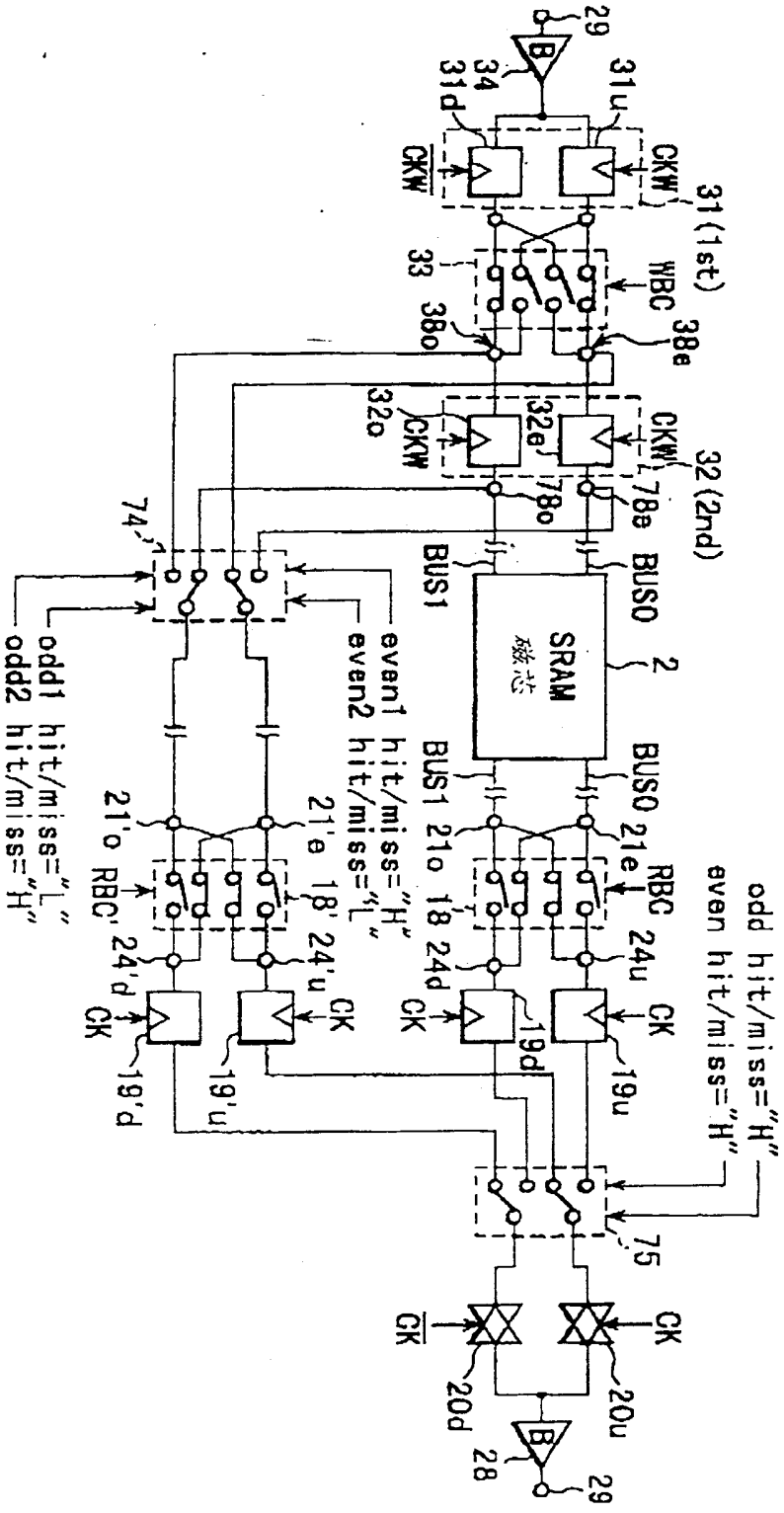

29
34
31u
31d
CKW
CKW
31 (1st)
33
WBC
38e
38o
32o
32e
32 (2nd)
78e
78o
74'
BUS1
BUS0
SRAM
磁芯
2
odd1 hit/miss="L"
odd2 hit/miss="H"
even1 hit/miss="H"
even2 hit/miss="L"
21'o
RBC'
24'd
CK
19'd
21'e
18'
24'u
19'u
BUS1
21o
18
24d
19d
BUS0
21e
RBC
24u
19u
odd hit/miss="H"
even hit/miss="H"
75
CK
CK
20d
20u
28
29

圖 23C

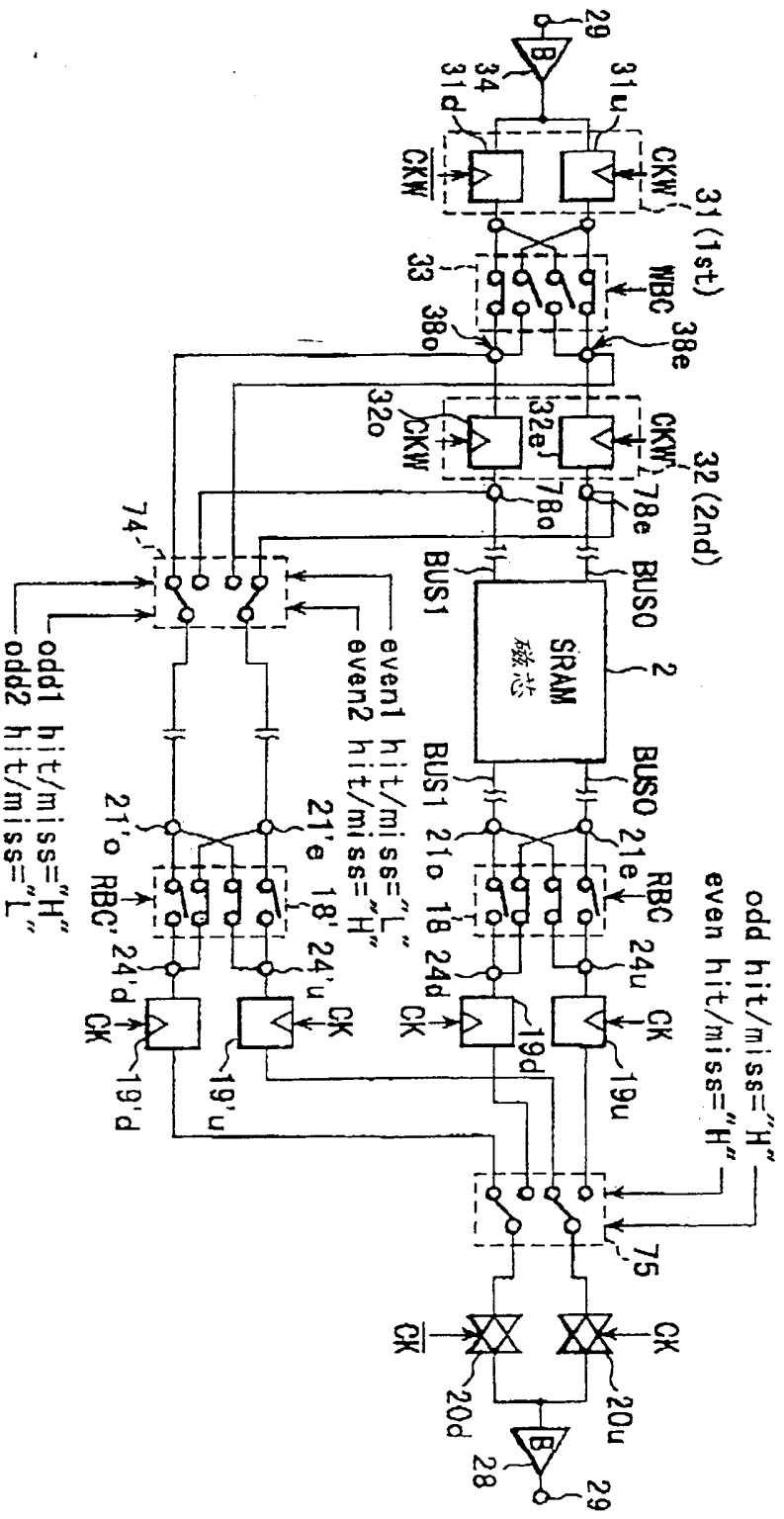

29
34
31d
31u
CKW
31 (1st)
33
WBC
38e
38o
32o
32e
32 (2nd)
78e
78o
74
BUS1
BUS0
SRAM
磁芯
2
odd hit/miss="H"
even hit/miss="H"
even1 hit/miss="L"
even2 hit/miss="H"
odd1 hit/miss="H"
odd2 hit/miss="L"
21'o
21'e
RBC'
18'
24'u
24'd
CK
19'u
19'd
21o
21e
RBC
18
24u
24d
19u
19d
75
20d
20u
28
29

圖 23D

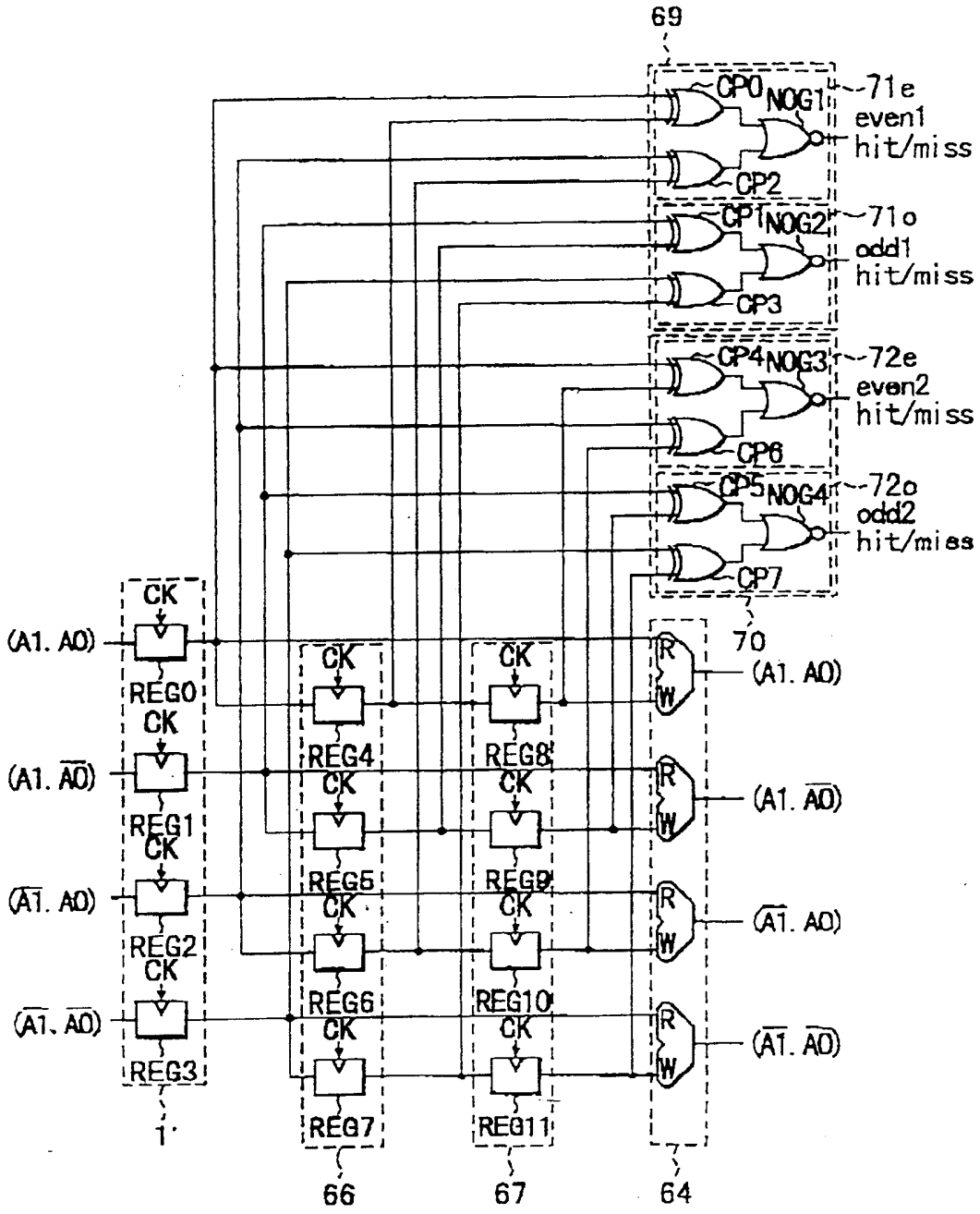

69
CP0
NOG1
71e
even1
hit/miss
CP2
CP1
NOG2
71o
odd1
hit/miss
CP3
CP4
NOG3
72e
even2
hit/miss
CP6
CP5
NOG4
72o
odd2
hit/miss
CP7
70
CK
(A1. A0)
REG0
(A1. $\overline{A0}$)
REG1
($\overline{A1}$. A0)
REG2
($\overline{A1}$. $\overline{A0}$)
REG3
1
REG4
REG5
REG6
REG7
66
REG8
REG9
REG10
REG11
67
R
W
64

圖 24

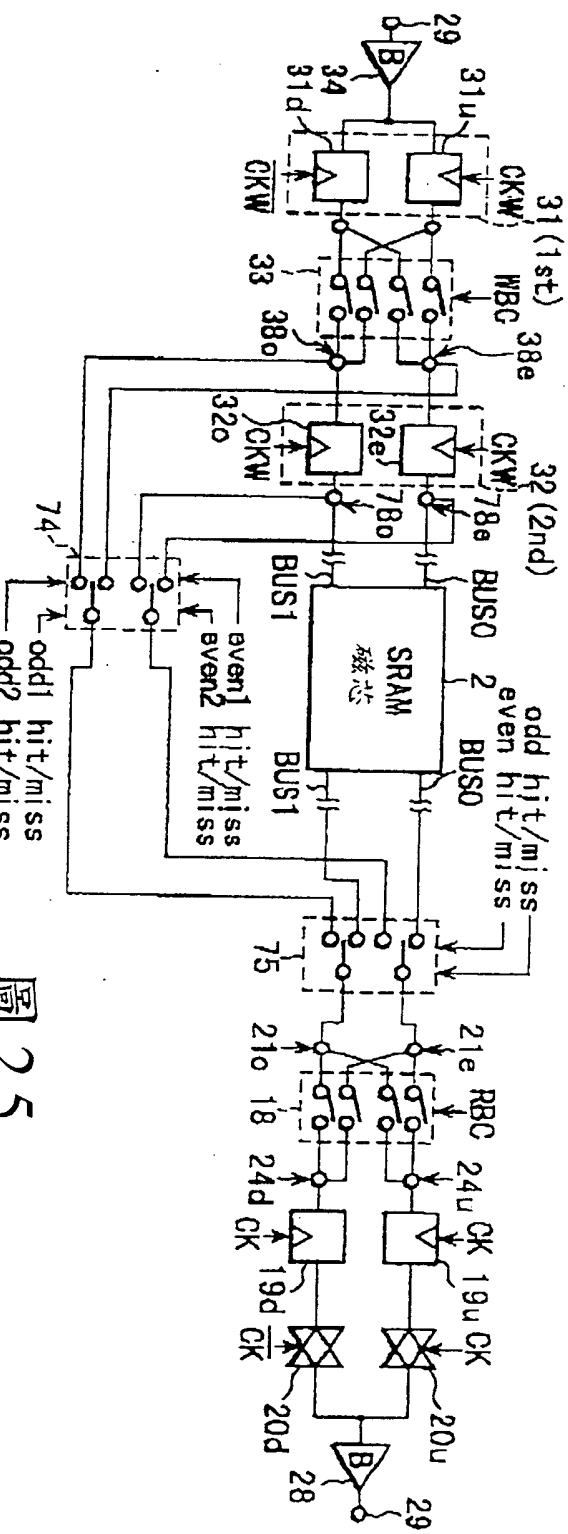

29
31u
34
31d
CKW
31 (1st)
WBC
38e
33
38o
32o
32e
32 (2nd)
78e
78o
74
BUS1
BUS0
SRAM
磁芯
2
odd1 hit/miss
even1 hit/miss
odd2 hit/miss
even2 hit/miss
75
21o
21e
RBC
18
24d
24u
CK
19d
19u
20d
20u
28

圖 25

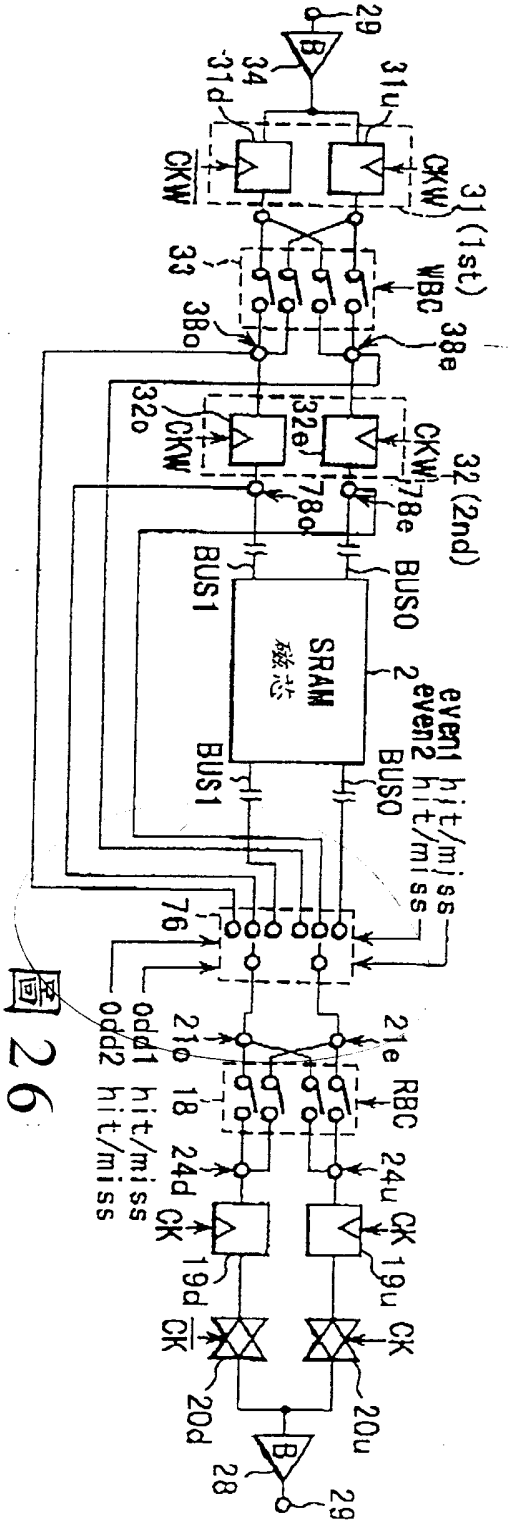

29
31u
34
31d
CKW
31 (1st)
WBC
38e
33
38o
32o
32e
32 (2nd)
78e
78o
BUS1
BUS0
SRAM
磁芯
2
even1 hit/miss
even2 hit/miss
76
odd1 hit/miss
odd2 hit/miss
21o
21e
RBC
18
24d
24u
CK
19d
19u
20d
20u
28

圖 26