

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03F 3/45 (2006.01)

H03F 3/70 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200780017123.4

[43] 公开日 2009年5月27日

[11] 公开号 CN 101443997A

[22] 申请日 2007.5.21

[21] 申请号 200780017123.4

[30] 优先权

[32] 2006.11.30 [33] JP [31] 323901/2006

[86] 国际申请 PCT/JP2007/060353 2007.5.21

[87] 国际公布 WO2008/065762 日 2008.6.5

[85] 进入国家阶段日期 2008.11.11

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 小林智史 中塚淳二

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

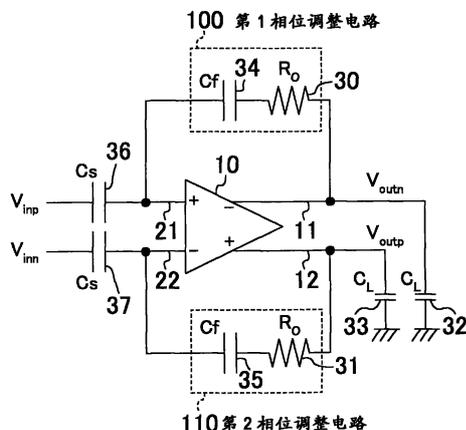
权利要求书 3 页 说明书 14 页 附图 9 页

## [54] 发明名称

运算放大器

## [57] 摘要

在运算放大器中，在运算放大器(运算放大级)(10)的输入输出之间设置了具有负反馈连接的反馈电容(34)和与该反馈电容(34)串联连接的电阻元件(电阻部)(30)的相位调整电路(100)。另外，在运算放大器(10)的输出侧连接有负载电容(负载部)(32)，利用来自运算放大器(10)的输出信号而被驱动。当负载电容(32、33)中的电容值增大、该运算放大器的相位余量相对于最佳值过大时，增加电阻元件(30)的电阻值( $R_o$ )，将运算放大器的相位余量调整为最佳值的范围来实现高速的稳定特性。因此，提供一种在一级运算放大器中也可以应用的相位调整电路，进而做成为可提高运算放大器自身的特性来调整相位余量，从而在瞬态响应发生了劣化的情况下也可实现高速的稳定特性。



1. 一种运算放大器，其特征在于，包括：  
运算放大级，对信号进行放大；  
采样电容，与上述运算放大级的输入侧连接；  
负载部，利用上述运算放大级的输出信号而被驱动；以及  
相位调整电路，位于上述运算放大级的输出侧与上述运算放大级的输入侧之间，具有负反馈连接的反馈电容，  
上述相位调整电路具有与上述反馈电容串联连接的电阻部。
2. 根据权利要求1所述的运算放大器，其特征在于，  
上述电阻部配置在上述运算放大级的输出侧与上述反馈电容之间。
3. 根据权利要求1所述的运算放大器，其特征在于，  
上述电阻部配置在上述反馈电容与上述运算放大级的输入侧之间。
4. 根据权利要求2所述的运算放大器，其特征在于，  
上述负载部连接在上述电阻部与上述反馈电容之间。
5. 根据权利要求1所述的运算放大器，其特征在于，  
上述电阻部配置在上述运算放大级的输出侧与上述反馈电容之间、和上述反馈电容与上述运算放大级的输入侧之间的至少一处。
6. 根据权利要求1~5中任意一项所述的运算放大器，其特征在于，  
上述运算放大级的输入侧具有正相输入端子以及反相输入端子，  
上述运算放大级的输出侧具有正相输出端子以及反相输出端子，  
上述相位调整电路包括第一相位调整电路和的第二相位调整电路，上述第一相位调整电路位于上述反相输出端子与上述正相输入端子之间，具有负反馈连接的反馈电容和与该负反馈电容串联连接的电阻部；上述第二相位调整电路位于上述正相输出端子与上述反相输入端子之间，具有负反馈连接的反馈电容和与该反馈电容串联连接的电

阻部。

7. 根据权利要求 1~5 中任意一项所述的运算放大器，其特征在于，

上述运算放大级的输入侧具有正相输入端子以及反相输入端子，  
上述运算放大级的输出侧具有输出端子，

上述相位调整电路配置在上述输出端子与上述反相输入端子之间。

8. 根据权利要求 1~7 中任意一项所述的运算放大器，其特征在于，

上述电阻部具有晶体管，

上述电阻部的电阻值为上述晶体管的导通电阻。

9. 根据权利要求 1~8 中任意一项所述的运算放大器，其特征在于，

上述电阻部是其电阻值变化的可变电阻部。

10. 根据权利要求 9 所述的运算放大器，其特征在于，

上述可变电阻部具有电阻值不同的多个电阻元件和开关，通过切换上述开关变更上述多个电阻元件的组合，而使其电阻值变化。

11. 根据权利要求 9 所述的运算放大器，其特征在于，

上述可变电阻部具有导通电阻不同的多个开关，通过切换上述多个开关变更它们的组合，而使其电阻值变化。

12. 根据权利要求 10 或 11 所述的运算放大器，其特征在于，

上述开关是 MOS 开关，通过使上述 MOS 开关的导通电阻改变来使上述可变电阻部的电阻值变化。

13. 根据权利要求 12 所述的运算放大器，其特征在于，

上述 MOS 开关的导通电阻根据 MOS 晶体管的栅极电压值而发生变化，

上述可变电阻部的电阻值根据上述栅极电压值的变化而发生变化。

14. 根据权利要求 12 所述的运算放大器，其特征在于，

上述 MOS 开关的导通电阻根据 MOS 晶体管的背栅电压值而发生变化，

上述可变电阻部的电阻值根据上述背栅电压值的变化而发生变化。

15. 根据权利要求 1~9 中任意一项所述的运算放大器，其特征在于，

上述电阻部由双极型晶体管构成。

## 运算放大器

### 技术领域

本发明涉及驱动负载部的运算放大器。

### 背景技术

以往，在驱动负载部的负反馈运算放大器、例如开关电容放大器中，存在由于反馈增益的变化、负载部内的负载元件的温度变化或替换，与运算放大器的输出侧连接的负载部的电容值发生变化而使系统变得不稳定这样的课题。因此，进行了使电路余量（margin）增大、考虑了确保系统安全性的最差条件的设计，但其结果，存在电路的高速性损失、或者功耗增加这样的问题。

作为其改善对策，例如如专利文献1所记载那样，已知如下的技术：在运算放大器具有的第一级运算放大级与第二级运算放大级之间，新设置具有相位补偿用电容以及相位补偿用电阻的相位调整电路，使得能够从外部变更上述相位补偿用电容的电容值和上述相位补偿用电阻的电阻值来调整运算放大器的相位余量。在该技术中，通过调整相位余量来确保最佳的相位余量，防止运算放大器的输出的振铃（ringing）或振荡，通过提高运算放大器自身的特性来实现高速化。

另外，以往，例如如专利文献2所记载那样，已知如下的技术：在负载部内新设置与运算放大器所驱动的负载部内的负载元件对应的电阻元件，在由于替换负载元件而使负载部的电容值发生变化的情况下，通过调整该电阻元件的电阻值来实现高速化。在该技术中，调整上述电阻元件的电阻值，以使负反馈给运算放大器的反馈级的时间常数与上述运算放大器所驱动的负载部的时间常数相等，从而使该运算放大器的响应速度最佳化，能够发挥运算放大器自身所具有的特性，从而实现高速化。

专利文献 1: 日本特开 2004 - 120564 号公报

专利文献 2: 日本特开 2002 - 190721 号公报

## 发明内容

通常, 具有两个极点的运算放大器的传递函数  $A_o$  用下面的式 (1) 来表示。

式 (1):

$$A_o(s) = \frac{A}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})}$$

在上述的式 (1) 中,  $A$  为运算放大器的直流增益, 运算放大器的相位余量是由作为主极点的  $\omega_{p1}$  与作为第二极点的  $\omega_{p2}$  的位置关系来决定的。具体而言, 上述主极点  $\omega_{p1}$  与上述第二极点  $\omega_{p2}$  的位置越近, 相位余量越减少, 上述主极点  $\omega_{p1}$  与上述第二极点  $\omega_{p2}$  的位置越远, 相位余量越增加。

图 17 示出应用了上述专利文献 1 所记载的技术的以往的两级运算放大器的整体结构的电路图。

在该图中, 两级运算放大器 1700 包括第一级运算放大级 150、第二级运算放大级 160 和相位调整电路 170。上述相位调整电路 170 配置在上述第一级运算放大级 150 与上述第二级运算放大级 160 之间, 在其内部具有相位补偿用电容 171 和相位补偿用电阻 172。

在具有以上述图 17 为代表的相位调整电路的运算放大器中, 传递函数  $A_o$  用以下的式 (2) 来表示, 在传递函数中具有零点  $\omega_z$ 。

式 (2):

$$A_o(s) = \frac{A(1 + s/\omega_z)}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})}$$

众所周知, 在上述的式 (2) 中, 运算放大器的相位余量是由极点  $\omega_{p1}$ 、 $\omega_{p2}$  与零点  $\omega_z$  的位置关系来决定的。

以阶跃响应为代表的运算放大器的瞬态响应通常由该运算放大器的相位余量来决定, 其相位余量的最佳值的范围为  $45^\circ \sim 60^\circ$ 。当运算

放大器的相位余量在上述范围以下时，在瞬态响应中发生振铃（ringing）或过冲（overshoot），瞬态响应的稳定时间（settling time）变慢。另外，当相位余量在上述范围以上时，虽然在瞬态响应中过冲没有产生，但瞬态响应为过阻尼，成为稳定时间变慢的主要原因。因此，在运算放大器的设计中，优选考虑到制造偏差的影响、振荡的可能性等原因，将相位余量的值确保在  $60^\circ$  以上来进行设计。

在上述专利文献 1 所记载的技术中，为了抵消其制造工艺的变动，做成为可从外部变更相位补偿用电容的电容值或相位补偿用电阻的电阻值，从而在制造出运算放大器之后将零点  $\omega_z$  最佳化为最难以引起振荡的值来调整相位余量。

以往，在为图 18 的套筒式级联型（Telescopic cascade type）的一级运算放大器的情况下，假设是理想的一级运算放大器，则在其传递函数中仅包含主极点  $\omega_{p1}$ ，其相位不会超过  $90^\circ$ ，相位余量总是为  $90^\circ$  以上。另外，在实际的运算放大器中，即使包含了第二极点  $\omega_{p2}$ ，该第二极点  $\omega_{p2}$  也是由寄生电容产生的寄生极点，或者产生在距离原点非常远的位置。进而，在一级运算放大器中，与一级运算放大器连接的负载部的电容值越大，主极点  $\omega_{p1}$  越靠近原点侧，通过使主极点  $\omega_{p1}$  与第二极点  $\omega_{p2}$  的位置远离来保证系统的稳定性。这样，以往在瞬态响应中不会发生振铃或过冲，所以在一级运算放大器中未设置相位调整电路。

但是，如上所述，一级运算放大器的相位余量根据该一级运算放大器所驱动负载部的电容值而发生变化，所以在负载部的电容值过大的情况下，存在相位余量相对于最佳值而变得过大，瞬态响应的速度劣化而使稳定时间变慢这样的课题。

因此，考虑到采用专利文献 1 所记载的技术来调整一级运算放大器的相位余量，但在上述专利文献 1 所记载的技术中，以应用于多级运算放大器为前提，在第一级运算放大级 150 与第二级运算放大级 160 之间设置相位调整电路 170，无法将该电路结构挪用到一级运算放大器。

另一方面，在专利文献2所记载的技术中，通过使运算放大器的响应速度最佳化来实现高速化，而并非通过提高该运算放大器自身的特性而将相位余量设定为最佳值。另外，为了保证由负载部的电容值变动而引起的稳定性的影响，需要在负载部内还具有发挥与相位补偿用电阻同样的作用的电阻元件，在运算放大器所驱动负载部中不能使用通用的元件，具有该负载部的运算放大器的用途将会非常受限。

本发明是着眼于上述课题而完成的，其目的在于提供一种一级运算放大器也能够应用的相位调整电路，而且，通过做成为可提高运算放大器自身的特性来调整相位余量，即使在瞬态响应发生了劣化的情况下也能实现高速的稳定特性。

为了达到上述目的，在本发明中，在具有放大信号的运算放大级的运算放大器中，在上述运算放大级的输入输出之间新设置具有负反馈连接的反馈电容和与上述反馈电容串联连接的电阻部的相位调整电路，形成可通过调整上述电阻部的电阻值来调整运算放大器的相位余量的结构。

具体而言，本发明的运算放大器的特征在于，包括：运算放大级，对信号进行放大；采样电容，与上述运算放大级的输入侧连接；负载部，利用上述运算放大级的输出信号而被驱动；以及相位调整电路，位于上述运算放大级的输出侧与上述运算放大级的输入侧之间，具有负反馈连接的反馈电容，其中，上述相位调整电路具有与上述负反馈电容串联连接的电阻部。

本发明的特征在于，在上述运算放大器中，上述电阻部配置在上述运算放大级的输出侧与上述反馈电容之间。

本发明的特征在于，在上述运算放大器中，上述电阻部配置在上述反馈电容与上述运算放大级的输入侧之间。

本发明的特征在于，在上述运算放大器中，上述负载部连接在上述电阻部与上述反馈电容之间。

本发明的特征在于，在上述运算放大器中，上述电阻部配置在上述运算放大级的输出侧与上述反馈电容之间、和上述反馈电容与上述

运算放大级的输入侧之间的至少一处。

本发明的特征在于，在上述运算放大器中，上述运算放大级的输入侧具有正相输入端子以及反相输入端子，上述运算放大级的输出侧具有正相输出端子以及反相输出端子，上述相位调整电路包括第一相位调整电路和的第二相位调整电路，上述第一相位调整电路位于上述反相输出端子与上述正相输入端子之间，具有负反馈连接的反馈电容和与该负反馈电容串联连接的电阻部；上述第二相位调整电路位于上述正相输出端子与上述反相输入端子之间，具有负反馈连接的反馈电容和与该反馈电容串联连接的电阻部。

本发明的特征在于，在上述运算放大器中，上述运算放大级的输入侧具有正相输入端子以及反相输入端子，上述运算放大级的输出侧具有输出端子，上述相位调整电路配置在上述输出端子与上述反相输入端子之间。

本发明的特征在于，在上述运算放大器中，上述电阻部具有晶体管，上述电阻部的电阻值为上述晶体管的导通电阻。

本发明在上述运算放大器中，其特征位于，上述电阻部是其电阻值变化的可变电阻部。

本发明的特征在于，在上述运算放大器中，上述可变电阻部具有电阻值不同的多个电阻元件和开关，通过切换上述开关来变更上述多个电阻元件的组合，从而使其电阻值变化。

本发明的特征在于，在上述运算放大器中，上述可变电阻部具有导通电阻不同的多个开关，通过切换上述多个开关来变更它们的组合，从而使其电阻值变化。

本发明的特征在于，在上述运算放大器中，上述开关是 MOS 开关，通过使上述 MOS 开关的导通电阻改变来使上述可变电阻部的电阻值变化。

本发明的特征在于，在上述运算放大器中，上述 MOS 开关的导通电阻根据 MOS 晶体管的栅极电压值而发生变化，上述可变电阻部的电阻值根据上述栅极电压值的变化而发生变化。

本发明的特征在于，在上述运算放大器中，上述 MOS 开关的导通电阻根据 MOS 晶体管的背栅电压值而发生变化，上述可变电阻部的电压值根据上述背栅电压值的变化而发生变化。

本发明的特征在于，在上述运算放大器中，上述电阻部由双极型晶体管构成。

如上所述，在本发明中，在运算放大级的输入输出之间设置有串联连接有反馈电容和电阻部的相位调整电路，所以即使是仅具有一级的运算放大级的一级运算放大器，也可以调整相位，并且在运算放大器所驱动负载部的电容值增大、相位余量过量地增加时，可通过增大相位调整电路内的电阻部的电阻值来减少相位余量并调整在最佳值的范围内。

如上所述，根据本发明，在运算放大级的输入输出之间设置了串联连接有反馈电容和电阻部的相位调整电路，并利用该相位调整电路将运算放大器的相位余量调整在最佳值的范围内，所以即使在瞬态响应劣化的情况下，也能够实现高速的稳定特性。

#### 附图说明

图 1 是示出本发明第一实施方式的运算放大器中的整体结构的电路图。

图 2 是示出本发明第一实施方式的运算放大器中的反馈环的切断的图。

图 3 是示出本发明第一实施方式的运算放大器中的小信号等效电路的整体结构的电路图。

图 4 是本发明第一实施方式的运算放大器的变形例。

图 5 是本发明第一实施方式的运算放大器的另一变形例。

图 6 是示出以往的全差动式的折叠 (folded) 型的一级运算放大器的电路结构的电路图。

图 7 是示出本发明的具有单端型的运算放大级的运算放大器的整体结构的电路图。

图 8 是本发明的具有单端型的运算放大级的运算放大器的变形例。

图 9 是示出以往的单端输出型的套筒式级联类型的一级运算放大器的电路结构的电路图。

图 10 是示出以往的单端输出型的折叠型的一级运算放大器的电路结构的电路图。

图 11 是示出本发明的第二实施方式的运算放大器中的整体结构的电路图。

图 12 是本发明的第二实施方式的运算放大器的变形例。

图 13 是本发明的第二实施方式的运算放大器的另一变形例。

图 14 是示出本发明的第三实施方式的运算放大器中的整体结构的电路图。

图 15 是本发明的第三实施方式的运算放大器的变形例。

图 16 是示出本发明的其他运算放大器的整体结构的电路图。

图 17 是示出以往的具有相位调整电路的两级运算放大器的整体结构的电路图。

图 18 是示出以往的全差动型的套筒式级联型的一级运算放大器的电路结构的电路图。

### 标号说明

- 10 运算放大器 (运算放大级)
- 11 反相输出端子
- 12 正相输出端子
- 21 正相输入端子
- 22 反相输入端子
- 30、31 电阻元件 (电阻部)
- 32、33 负载电容 (负载部)
- 34、35 反馈电容
- 36、37 采样电容

100、110 相位调整电路

$C_f$  反馈电容的电容值

$C_s$  采样电容的电容值

$C_L$  负载电容的电容值

$R_o$  电阻元件的电阻值

$g_m$  运算放大器的互导值

$r_o$  运算放大器内的电阻元件的电阻值

400、401、403、404、405、406 可变电阻部

402 栅极电压控制电路

407 基板控制电路

410 电阻选择信号

### 具体实施方式

以下，根据附图对本发明的实施方式的运算放大器进行说明。

(第一实施方式)

图 1 是示出本发明的第一实施方式的运算放大器的整体结构的电路图。

在该图中，10 是全差动型的运算放大器（运算放大级），上述运算放大器 10 在其输入侧具有正相输入端子 21 以及反相输入端子 22，并且在其输出侧具有正相输出端子 12 以及反相输出端子 11。在上述运算放大器 10 的输入侧连接有采样电容 36、37，在输出侧连接有负载电容（负载部）32、33，利用来自上述运算放大器 10 的输出信号来进行驱动。

在上述运算放大器 10 的反相输出端子 11 与正相输入端子 21 之间，设置具有负反馈连接的反馈电容 34 和与该反馈电容 34 串联连接的电阻元件（电阻部）30 的第一相位调整电路 100。另外，在上述运算放大器 10 的正相输出端子 12 与反相输入端子 22 之间，设置具有负反馈连接的反馈电容 35 和与该反馈电容 35 串联连接的电阻元件（电阻部）31 的第二相位调整电路 110。

在此，为了讨论上述运算放大器的稳定性而求出开环传递函数。此时，设上述运算放大器 10 由图 18 所示的通常的全差动型运算放大器即套筒式级联型的一级运算放大器构成。

在图 1 中，如图 2 所示那样，在运算放大器 10 的输入侧的断点  $\alpha$ 、 $\beta$  处，切断由第一相位调整电路 100、第二相位调整电路 110 构成的两个反馈环，从而可使用图 3 的小信号等效电路表示图 1 的运算放大器。

在图 3 的小信号等效电路中，开环传递系数“ $A_1 = V_{loop}/V_x$ ”用以下的式 (3) 来表示。此外，在以下的式子中， $C_s$  为采样电容的电容值， $C_L$  为负载电容的电容值， $C_f$  为反馈电容的电容值， $R_o$  为电阻元件的电阻值。另外， $r_o$  为运算放大器 10 内的电阻元件的电阻值， $g_m$  为运算放大器 10 的互导值。

式 (3)：

$$A_1(s) = \frac{C_f}{C_s + C_f} \cdot \frac{-g_m r_o}{(1 + s(CR_o + Cr_o + C_L r_o) + s^2 C_L CR_o r_o)}, \quad C = \frac{C_s C_f}{C_s + C_f}$$

在上述式 (3) 中，通常  $r_o \gg R_o$ ，所以可以将式 (3) 近似为以下的式 (4)。

式 (4)：

$$A_1(s) = \frac{C_f}{C_s + C_f} \cdot \frac{-g_m r_o}{(1 + s(Cr_o + C_L r_o) + s^2 C_L CR_o r_o)}$$

另外，如果将具有两个极点  $\omega_{p1}$ 、 $\omega_{p2}$  的运算放大器的开环传递函数广义化，则可以用以下的式 (5) 来表示。

式 (5)：

$$A_1(s) = \frac{C_f}{C_s + C_f} \cdot \frac{-g_m r_o}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})}$$

在上述式 (5) 中，一级运算放大器的主极点  $\omega_{p1}$  与第二极点  $\omega_{p2}$  的关系为  $\omega_{p2} \gg \omega_{p1}$ ，所以可以将式 (5) 近似为式 (6)。

式 (6)：

$$A_1(s) = \frac{C_f}{C_s + C_f} \cdot \frac{-g_m r_o}{1 + s/\omega_{p1} + s^2/\omega_{p1}\omega_{p2}}$$

在此，如果对根据图 3 的小信号等效电路计算出的式 (4) 和广义化而得到的式 (6) 进行比较，则如以下的式 (7) 所示，可以得到图 3 的小信号等效电路的主极点  $\omega_{p1}$  的值和第二极点  $\omega_{p2}$  的值。

式 (7)：

$$\omega_{p1} = \frac{1}{r_o(C_L + C)}, \quad \omega_{p2} = \frac{1}{R_o \left( \frac{C_L C}{C_L + C} \right)}$$

在上述式 (7) 中，当  $r_o \gg R_o$  时， $\omega_{p2} \gg \omega_{p1}$  成立，所以表示出式 (4) 的有效性。

在此，如果在式 (5) 中代入式 (7) 的  $\omega_{p1}$ 、 $\omega_{p2}$  的值，则可以用以下的式 (8) 表示本实施方式的运算放大器的开环传递函数。

式 (8)：

$$A_1(s) = \frac{C_f}{C_s + C_f} \cdot \frac{-g_m r_o}{(1 + sr_o(C_L + C)) \left( 1 + sR_o \left( \frac{C_L C}{C_L + C} \right) \right)}$$

另外，在未设置相位调整电路时的开环传递函数 A 中，在上述式 (8) 中  $R_o = 0$ ，用以下的式 (9) 来表示。

式 (9)：

$$A_1(s) = \frac{C_f}{C_s + C_f} \cdot \frac{-g_m r_o}{(1 + sr_o(C_L + C))}$$

如果对上述式 (8) 与式 (9) 进行比较，则通过在相位调整电路内设置电阻元件，由于该电阻元件的电阻值  $R_o$  而在运算放大器的开环传递函数中产生第二极点  $\omega_{p2}$ ，运算放大器的相位余量减少。

如上所述，在图 1 所示的本实施方式的运算放大器中，通过在具有由运算放大器 10 构成的一级的运算放大级的运算放大器的内部设置第一以及第二相位调整电路 100、110 而使负载电路 32、33 中的电

容值  $C_L$  增大, 从而导致相位余量相对于最佳值而成为过量, 在上述这样的情况下, 通过增加上述各相位调整电路 100、110 的电阻元件 30、31 的电阻值  $R_0$  来调整第二极点  $\omega_{p2}$  的位置, 将运算放大器的相位余量调整在最佳值的范围内。

此外, 在本实施方式中, 在运算放大器 10 的输出侧与反馈电容 34、35 之间配置电阻元件 30、31, 即使如图 4 所示在反馈电容 34、35 与运算放大器 10 的输入侧之间配置有电阻元件 30、31 的情况下, 也能够将运算放大器的相位余量调整在最佳值的范围内。另外, 如图 5 所示, 也可以在电阻元件 30、31 与反馈电容 34、35 之间设置负载电容 32、33。

进而, 在上述说明中, 将运算放大级 10 作为图 18 的全差动型的套筒式级联型的运算放大器进行了说明, 但也可以将本发明应用于其他类型的运算放大器、例如图 6 所示的折叠型的一级运算放大器。

此外, 如图 7 和图 8 所示, 运算放大器 10 也可以是单端输出型的, 即使在该运算放大器 10 的输出侧的输出端子 12 与输入侧的反相输入端子 22 之间设置有负反馈连接的相位调整电路 100 的情况下, 也能够将运算放大器的相位余量调整在最佳值的范围内。作为单端输出型的运算放大器, 例如有图 9、图 10 所示的套筒式级联型的运算放大器、折叠型的运算放大器。

此外, 即使在运算放大级 10 中具有两级以上的运算放大级的情况下, 也能够将运算放大器的相位余量调整在最佳值的范围内。

此外, 在本实施方式的运算放大器中, 也可以由晶体管构成相位调整电路内的电阻部, 并根据该晶体管的导通电阻来设定上述电阻部中的电阻值, 上述晶体管也可以是双极晶体管。

此外, 上述开环传递函数为本实施方式的代表性的函数, 根据本发明中应用的运算放大级, 该传递函数采用多种形式, 但对于本领域技术人员来说这些显而易见的改变都包含在本发明中。

#### (第二实施方式)

图 11 是示出本发明的第二实施方式的运算放大器的整体结构的

电路图。

与上述的图 7 的运算放大器的不同点仅在于，在运算放大器 10 的输入输出之间与负反馈连接的反馈电容 35 串联连接的电阻部是可改变其电阻值的可变电阻部 400。对于其他结构，与图 7 的运算放大器相同，所以省略其说明。

在该图中，400 为可变电阻部，在其内部具有电阻值各不相同的三个电阻元件  $R_{11}$ 、 $R_{12}$ 、 $R_{13}$  和与上述各电阻元件  $R_{11} \sim R_{13}$  对应的三个 MOS 开关（开关） $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ 。上述三个 MOS 开关  $M_{11} \sim M_{13}$  根据来自外部的电阻选择信号（未图示）来切换这三个开关  $M_{11} \sim M_{13}$  的导通截止。通过该切换来变更上述三个电阻元件  $R_{11} \sim R_{13}$  的组合，使上述可变电阻部 400 的电阻值发生变化。

如上所述，在本实施方式中，通过使相位调整电路内的电阻部成为可改变电阻值的可变电阻部，能够使用电路仿真（simulation）的结果灵活地调整该可变电阻部的电阻值。另外，也可以在制造出运算放大器之后，使用示波器等观测输出波形，并且将电阻值调整为不会引起过冲的最佳值。进而，也可以根据负载部的电容值、或运算放大器的输出波形来自动地调整，以使瞬态响应为最佳。此外，在运算放大器的驱动中其内部的负载部的电容值发生变化的情况下，也可以根据其电容值进行控制，以使电阻值自动地变化。因此，根据本实施方式的运算放大器，与第一实施方式的运算放大器相比，能够更灵活地将运算放大器的相位余量调整为最佳值。

当然，MOS 开关  $M_{11}$ 、 $M_{12}$ 、 $M_{13}$  也可以是 NMOS、PMOS、CMOS、双极型等有源元件。

此外，例如，如图 12 所示，也可以在可变电阻部 401 的内部具有尺寸不同的多个 MOS 开关元件  $M_{21}$ 、 $M_{22}$ 、 $M_{23}$ ，使用这些导通电阻来代替电阻元件的电阻值。

而且，例如，如图 13 所示，也可以在可变电阻部 403 的内部设置一个 MOS 开关  $M_{12}$  和栅极电压控制电路 402，利用来自外部的电阻选择信号 401 来调整从上述栅极电压控制电路 402 向上述 MOS 开关  $M_{12}$

供给的栅极电压，从而改变上述 MOS 开关  $M_{12}$  的导通电阻。在此，作为改变栅极电压的栅极电压控制电路 402，由自举电路等升压电路、或使电阻选择信号变化为模拟电压值并输出的 DA 转换器构成。此外，对栅极电压控制电路 402 的输出电压进行控制，以使在要降低可变电阻部 403 的电阻值的情况下，提高 MOS 开关  $M_{12}$  的栅极源极间电压，相反在要提高电阻值的情况下，减少对栅极源极间施加的电压。另外，也可以调整上述 MOS 开关  $M_{12}$  的背栅 (back gate) 电压来改变上述 MOS 开关  $M_{12}$  的导通电阻。

### (第三实施方式)

图 14 是示出本发明的第三实施方式的运算放大器的整体结构的电路图。

与图 11 所示的第二实施方式的运算放大器的不同点仅在于，在可变电阻部 404 的内部具有各个电阻值不同的三个电阻元件  $R_{11}$ 、 $R_{12}$ 、 $R_{13}$ 、与上述各电阻元件  $R_{11}$ 、 $R_{12}$ 、 $R_{13}$  对应的三个 MOS 开关 (开关)  $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ 、以及对上述各 MOS 开关  $M_{11}$ 、 $M_{12}$ 、 $M_{13}$  的导通电阻进行控制的栅极电压控制电路 402。对于其他结构，与图 11 的实施方式的运算放大器相同，所以省略其说明。

在该图中，首先，通过使三个 MOS 开关  $M_{11} \sim M_{13}$  导通截止，变更电阻值不同的三个电阻元件  $R_{11} \sim R_{13}$  的组合，从而变更可变电阻部 404 的电阻值来调整相位余量。

之后，利用栅电压控制电路 402，变更上述三个 MOS 开关  $M_{11} \sim M_{13}$  的导通电阻，进行相位余量的进一步微调。

如上所述，在本实施方式中，并用了电阻值不同的三个电阻元件  $R_{11} \sim R_{13}$  的组合的相位调整和变更三个 MOS 开关  $M_{11} \sim M_{13}$  的导通电阻的相位调整，所以能够进一步灵活地调整运算放大器的相位余量。

此外，如图 15 所示，也可以是仅调整各个 MOS 开关  $M_{11} \sim M_{13}$  的导通电阻来调整相位余量的结构，也可以在先变更上述 MOS 开关  $M_{11} \sim M_{13}$  的组合而调整了可变电阻部 405 的电阻值之后，变更上述各个 MOS 开关  $M_{11} \sim M_{13}$  的导通电阻来进行相位余量的进一步微调。

如上所述，在本发明中，在运算放大级的输入输出之间设置有相位调整电路，所以即使是仅具有一级的运算放大级的一级运算放大器，也可以具有相位调整电路，并且在运算放大器所驱动负载部的电容值增大而使相位余量过量增加时，通过增大相位调整电路内的电阻部的电阻值，能够减少相位余量而调整为最佳值的范围。因此，即使在运算放大器的瞬态响应劣化的情况下，也能够实现高速的稳定特性。

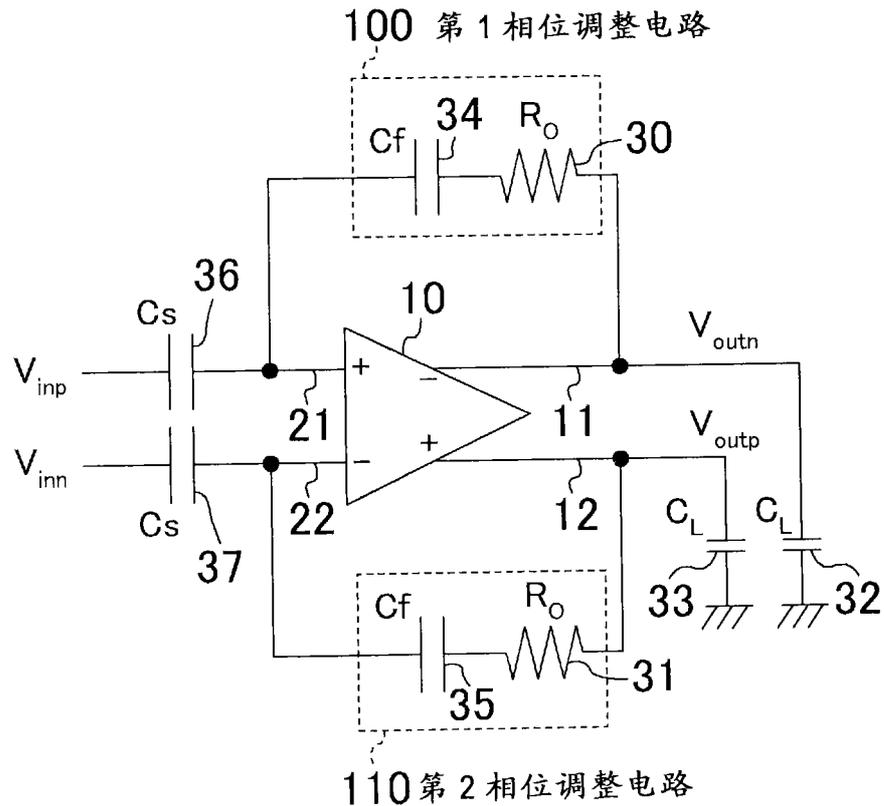
此外，在上述实施方式中，对在相位调整电路的内部中具有 1 个电阻部的运算放大器进行了说明，但电阻部也可以设置多个，还可以将每个电阻部的电阻值分别设定为固定或可变。

另外，在上述实施方式中，利用栅电压控制电路变更了 MOS 开关的导通电阻，但也可以是如图 16 所示那样的在可变电阻部 406 内部设置基板控制电路 407，利用各个 MOS 开关  $M_{31} \sim M_{33}$  的基底偏置效应来改变它们的导通电阻。

而且，在本实施方式中，对仅具有一级的运算放大级的一级运算放大器进行了说明，但本发明也可以在具有两级的运算放大级的两级运算放大器中应用。

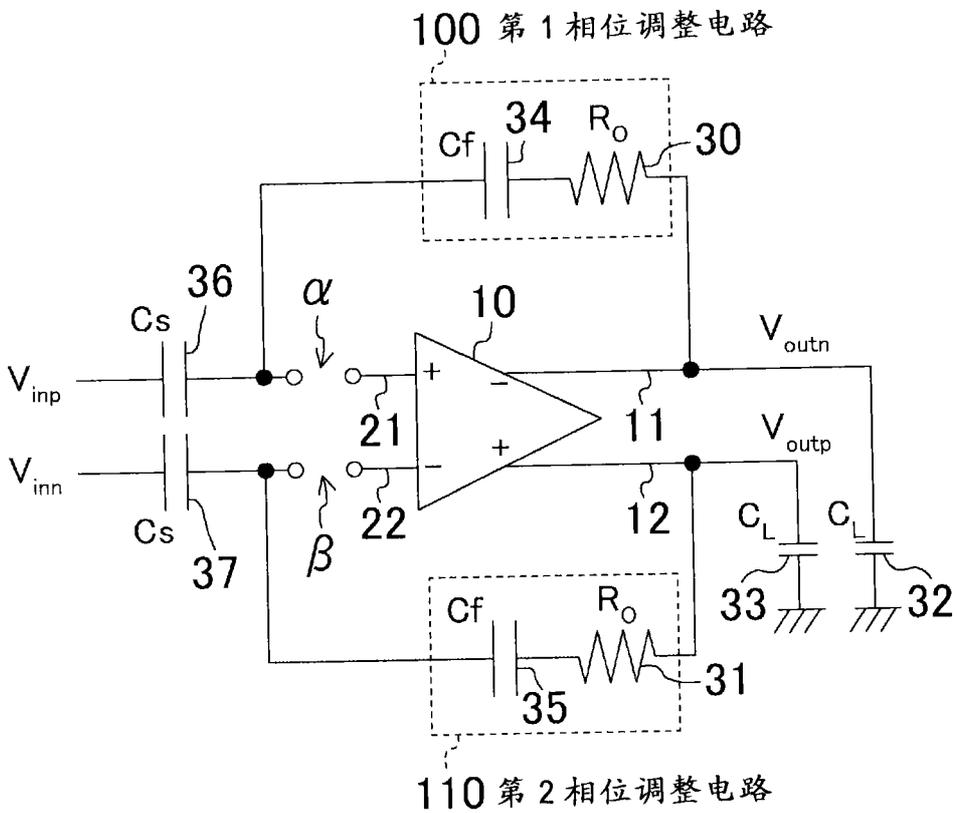
#### 产业上的可利用性

如上所述，在本发明中，即使是仅具有一级的运算放大级的一级运算放大器，也能够利用相位调整电路将运算放大器的相位余量调整在最佳值的范围内来实现高速的稳定特性，所以特别是作为以开关电容器放大器为代表的驱动负载部的运算放大器、或模拟前端、流水线式模拟数字转换器等复合信号集成电路中构成的运算放大器等是有用的。



110 第2相位调整电路

图 1



110 第2相位调整电路

图 2

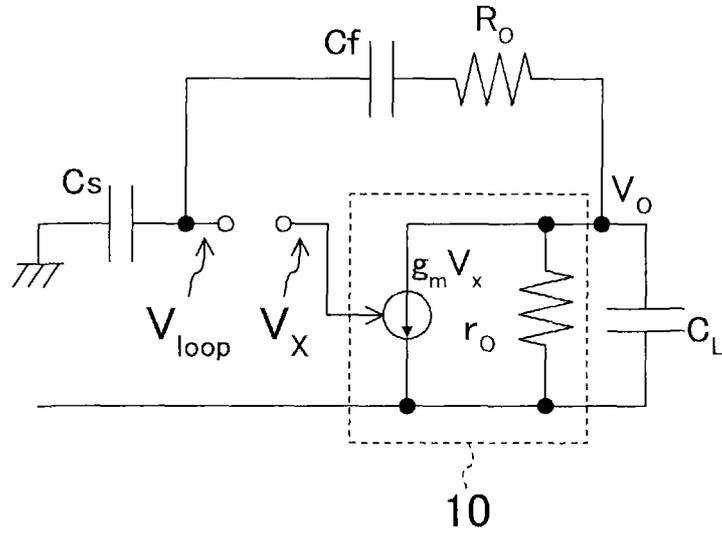
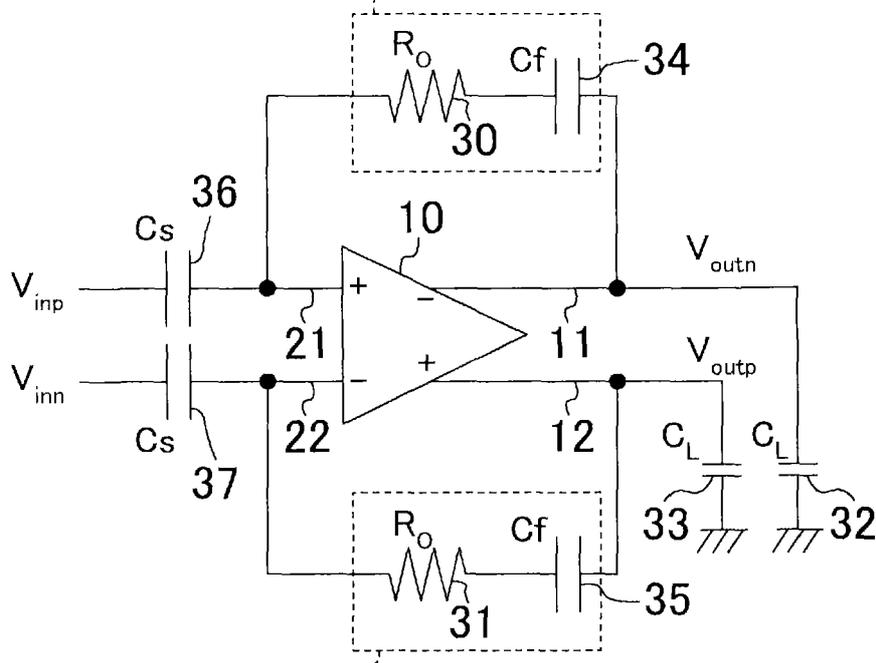


图 3

100 第 1 相位调整电路



110 第 2 相位调整电路

图 4

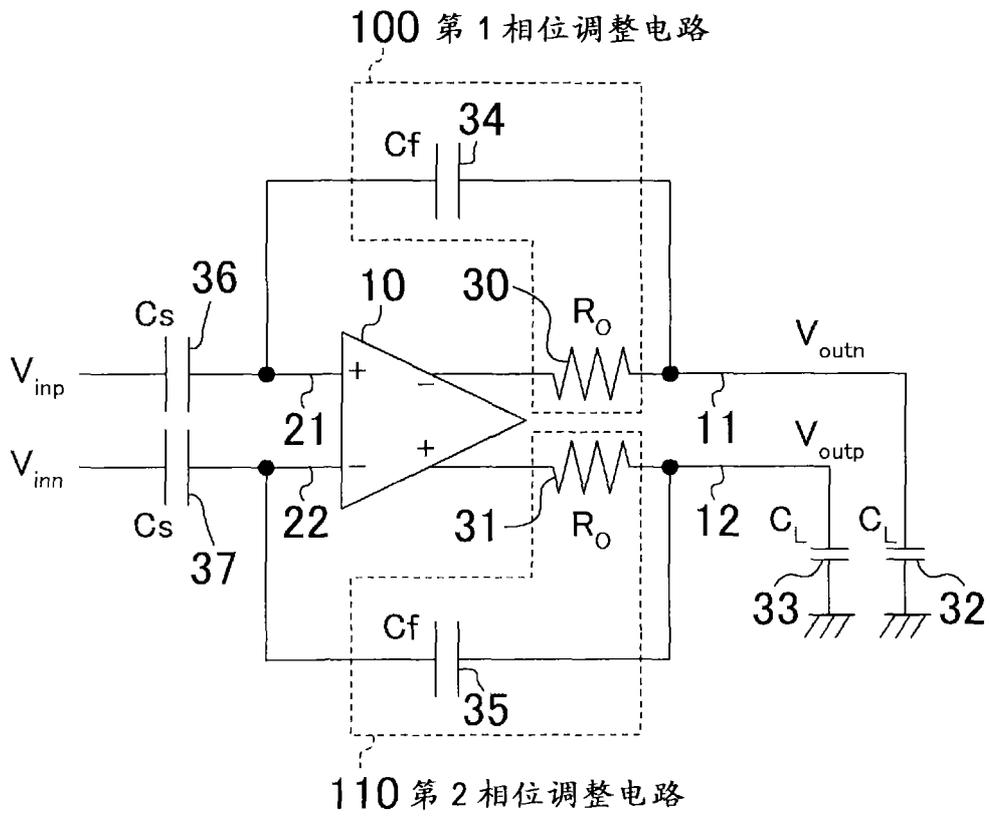


图 5

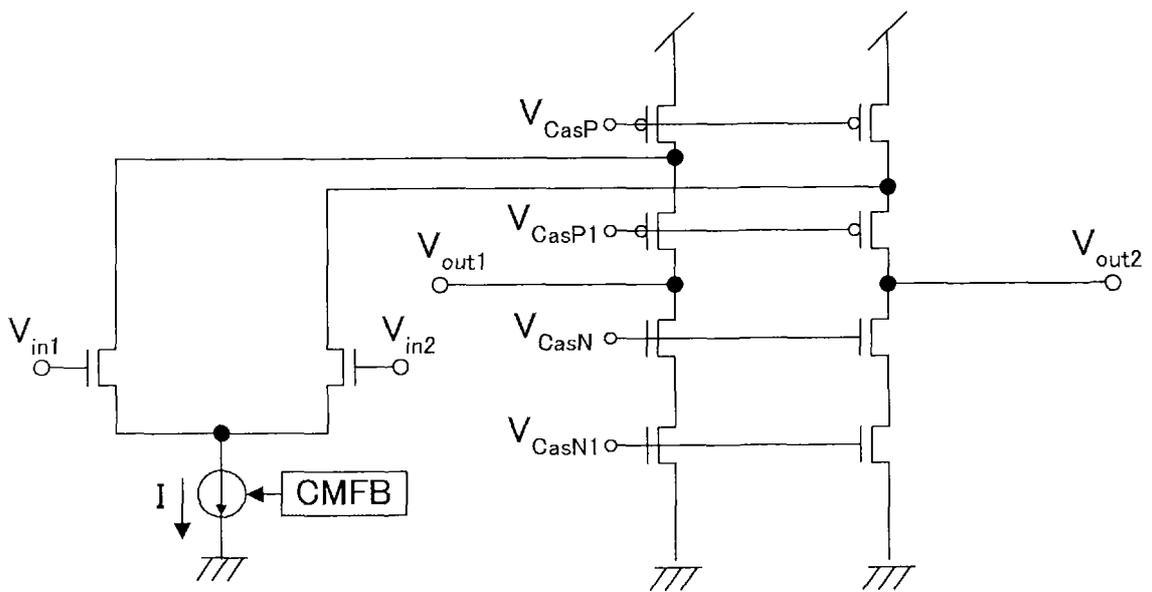


图 6

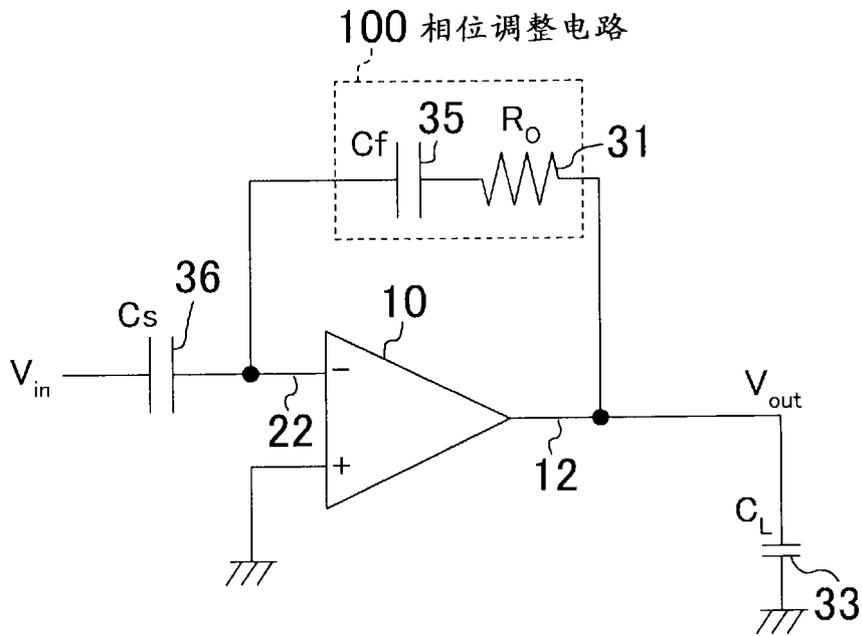


图 7

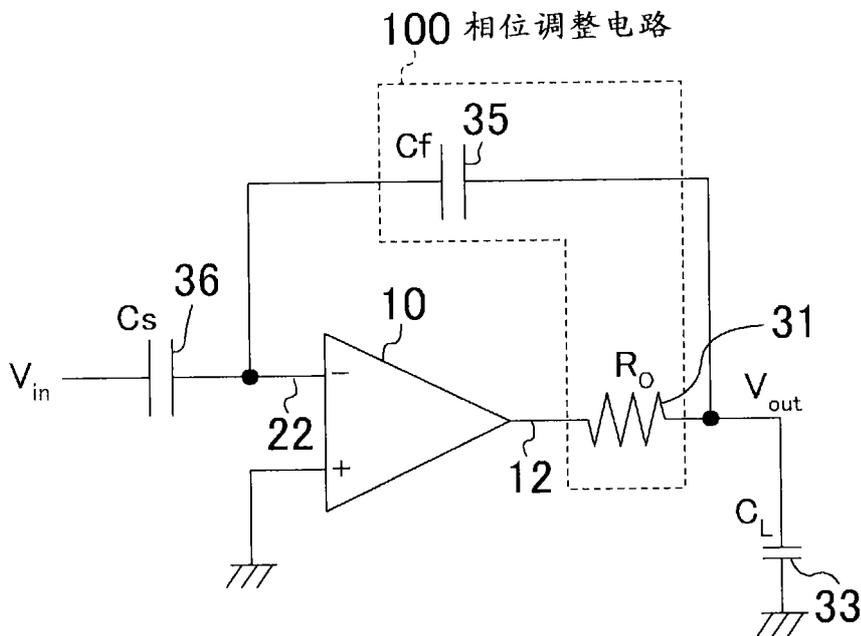


图 8

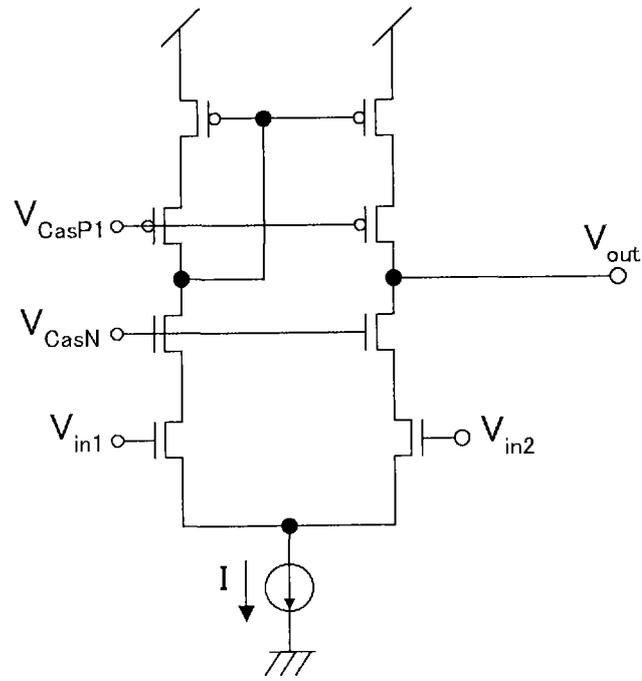


图 9

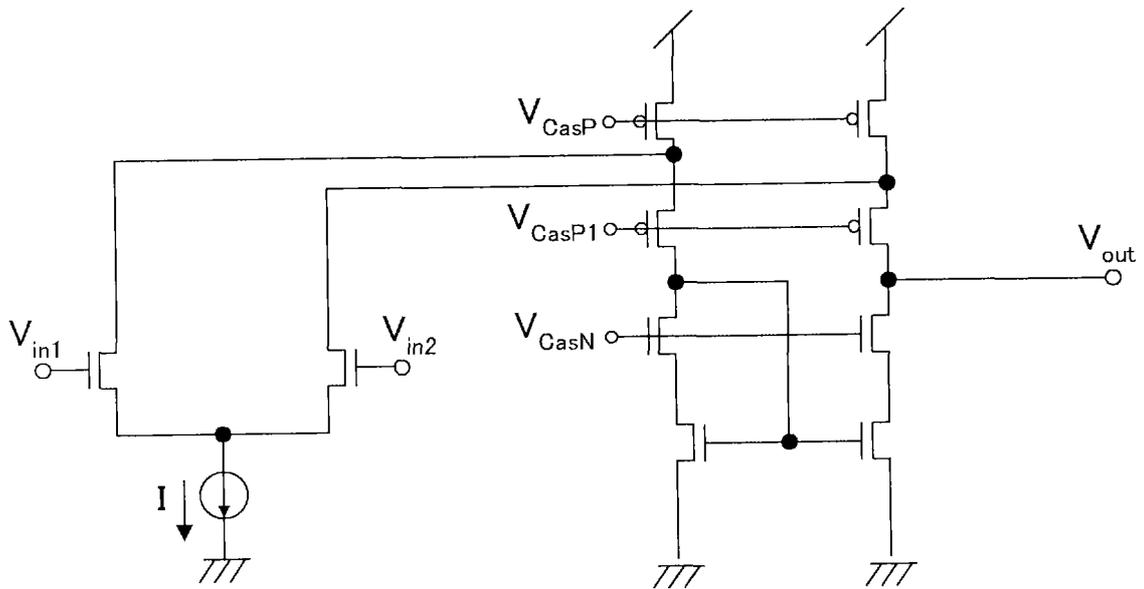
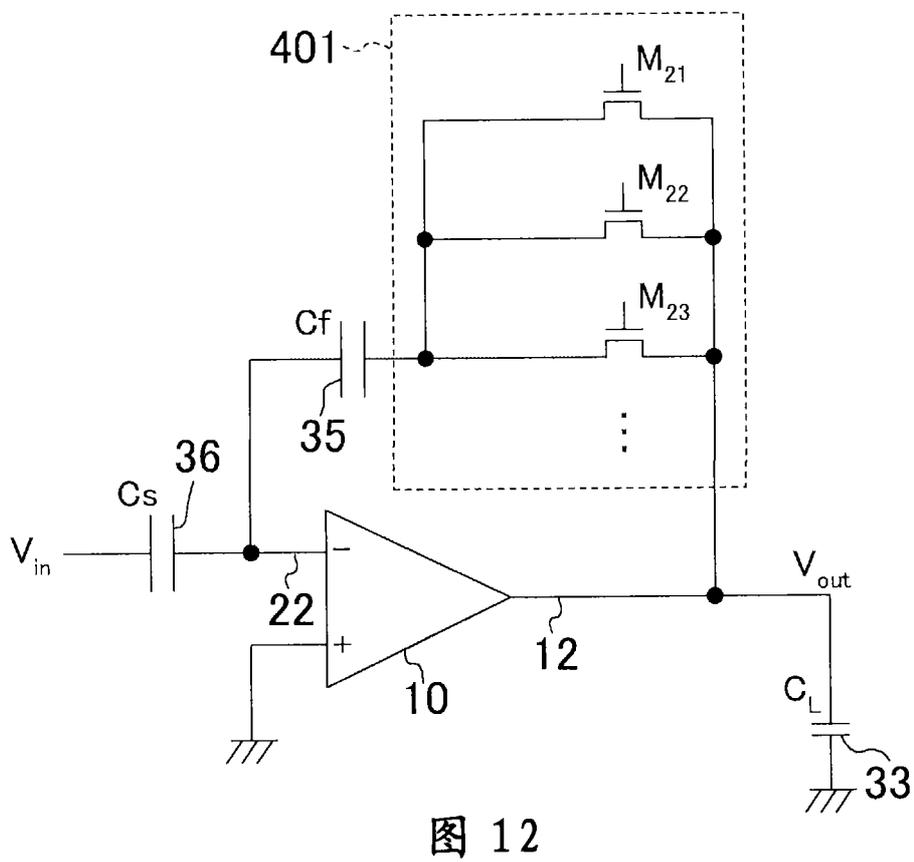
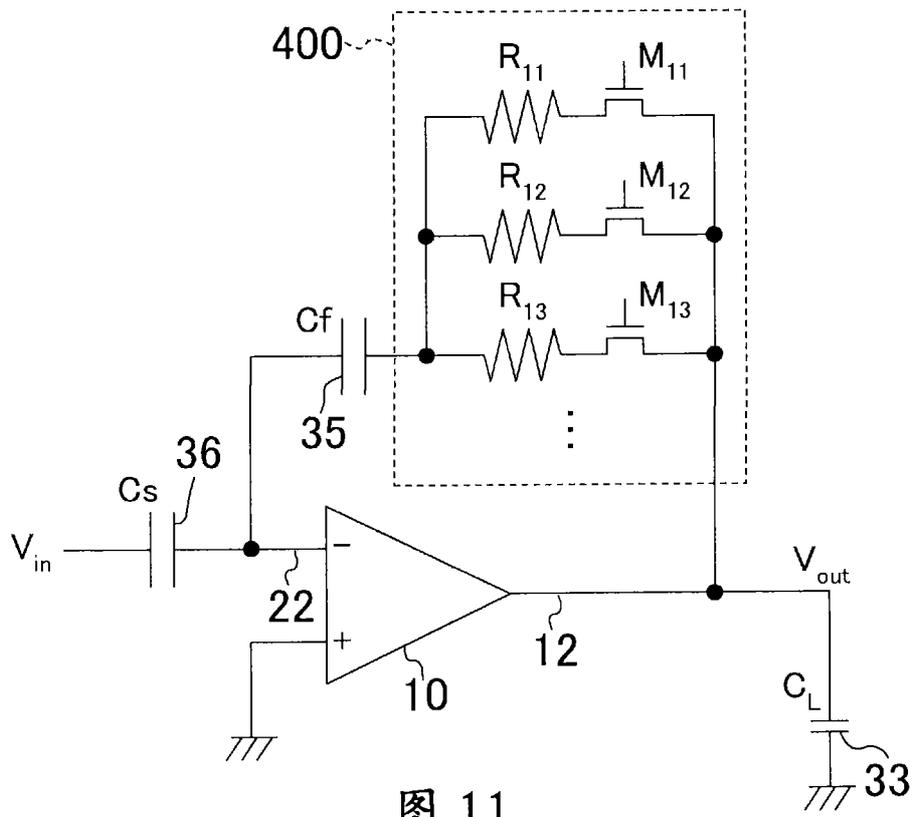


图 10



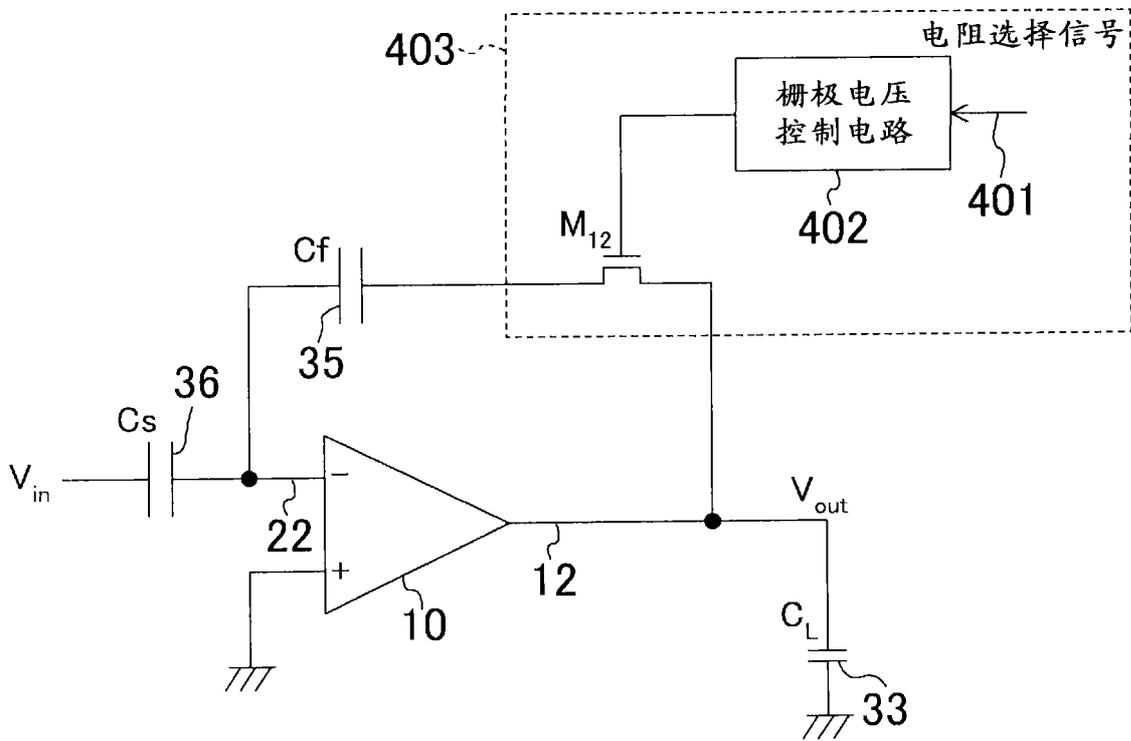


图 13

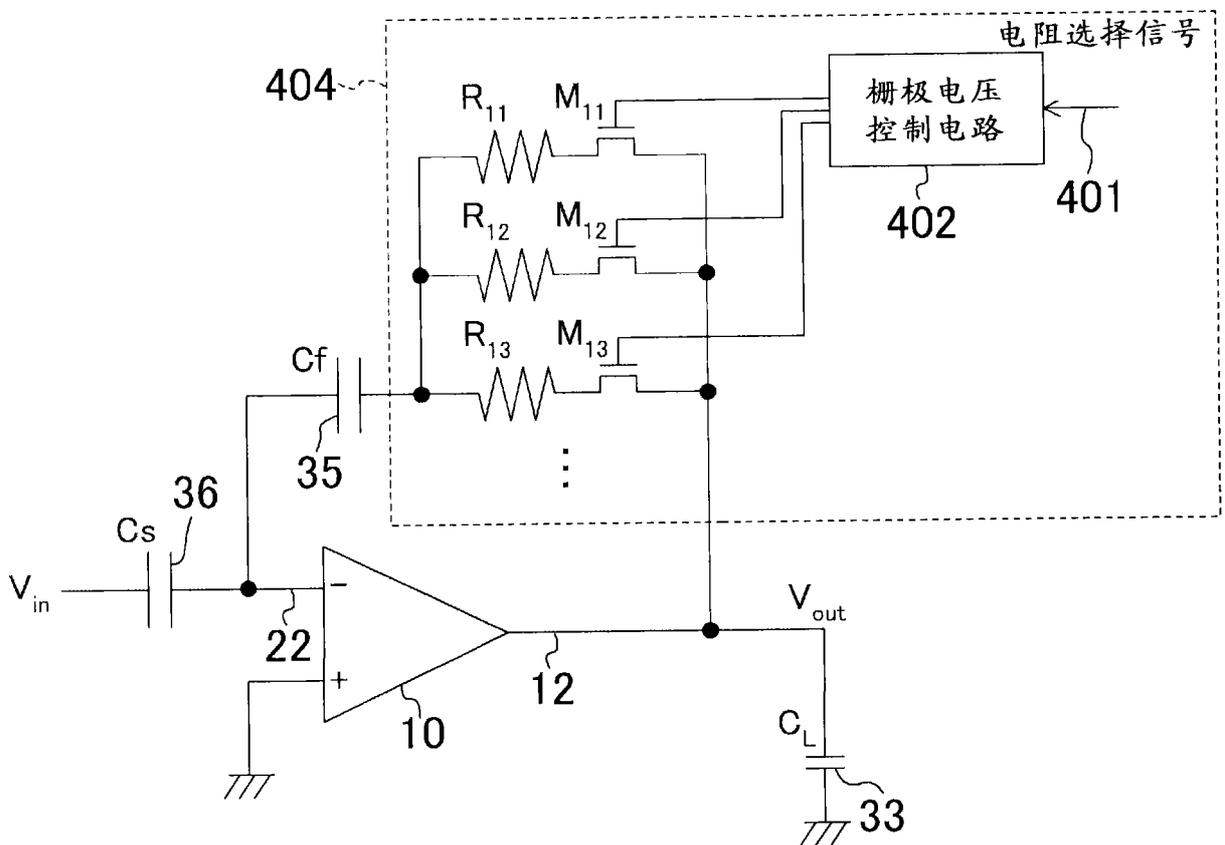


图 14

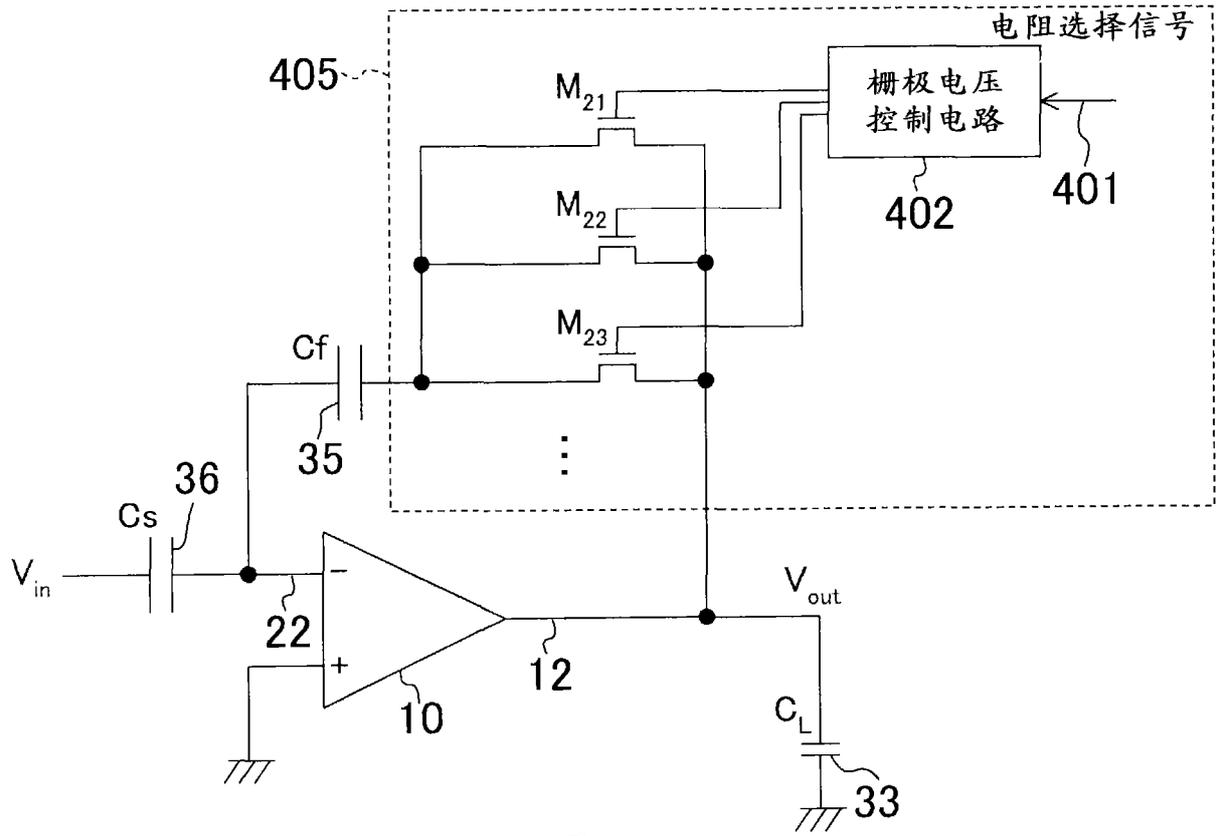


图 15

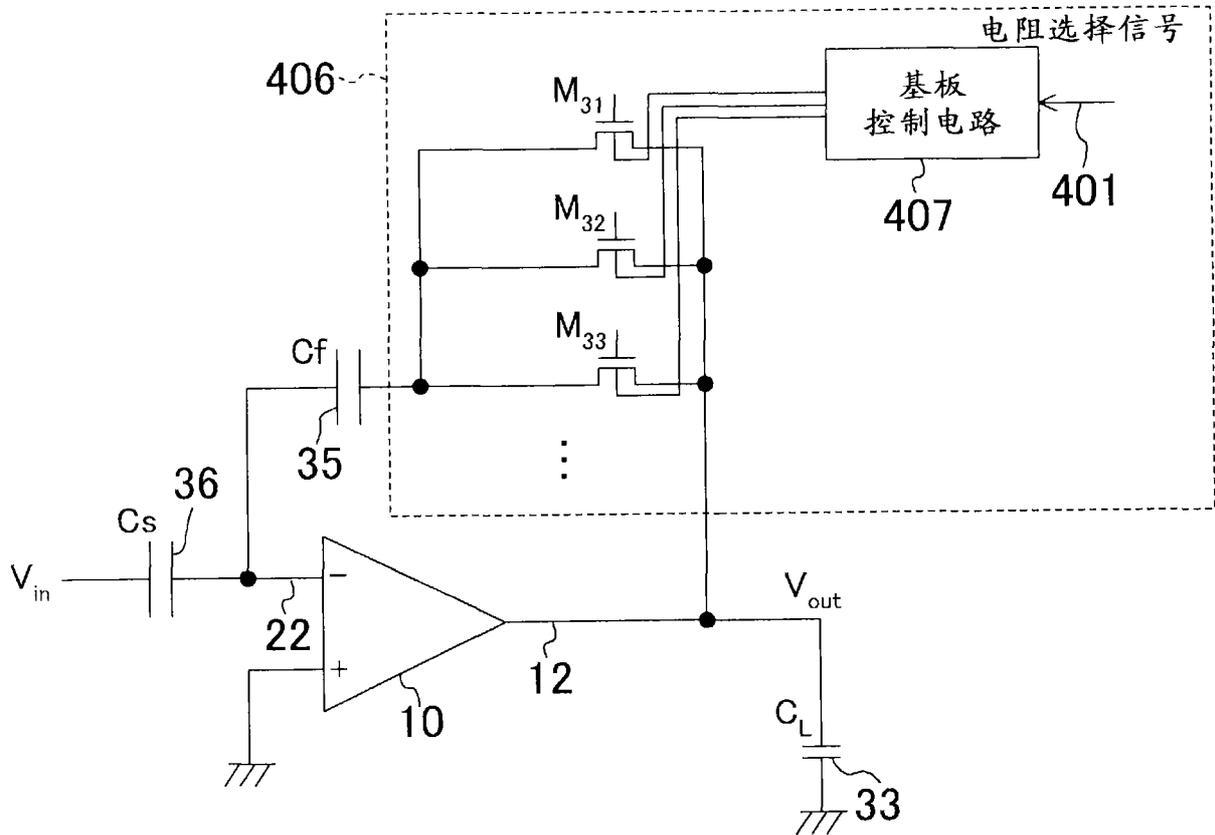


图 16

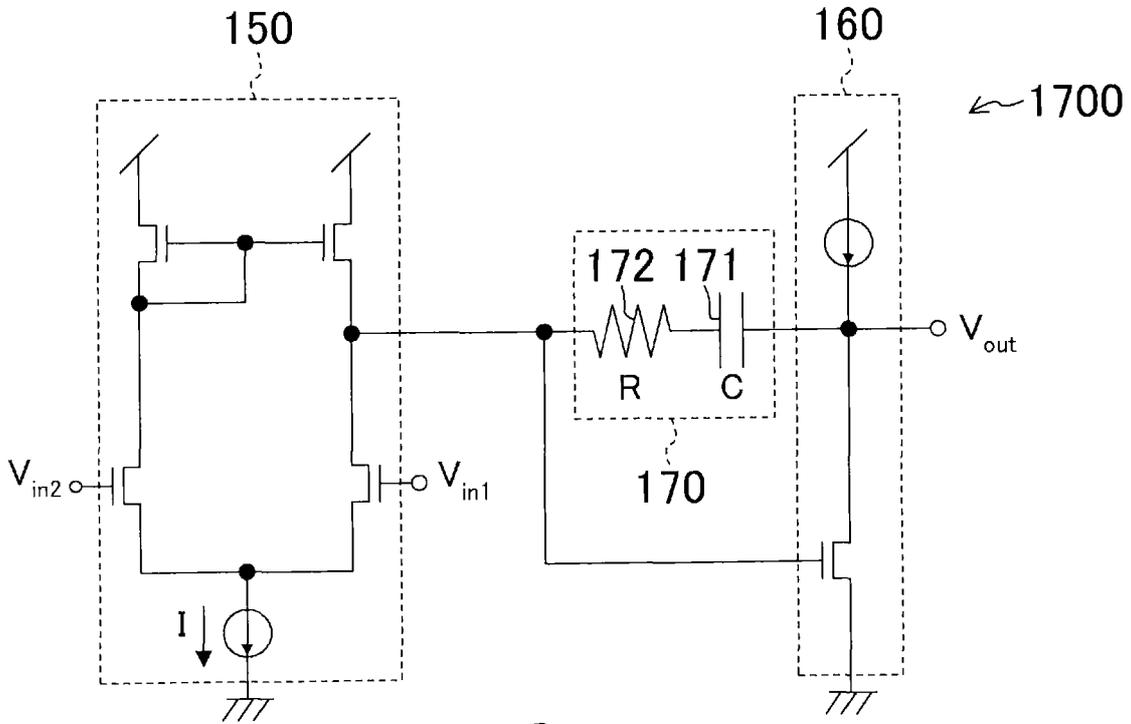


图 17

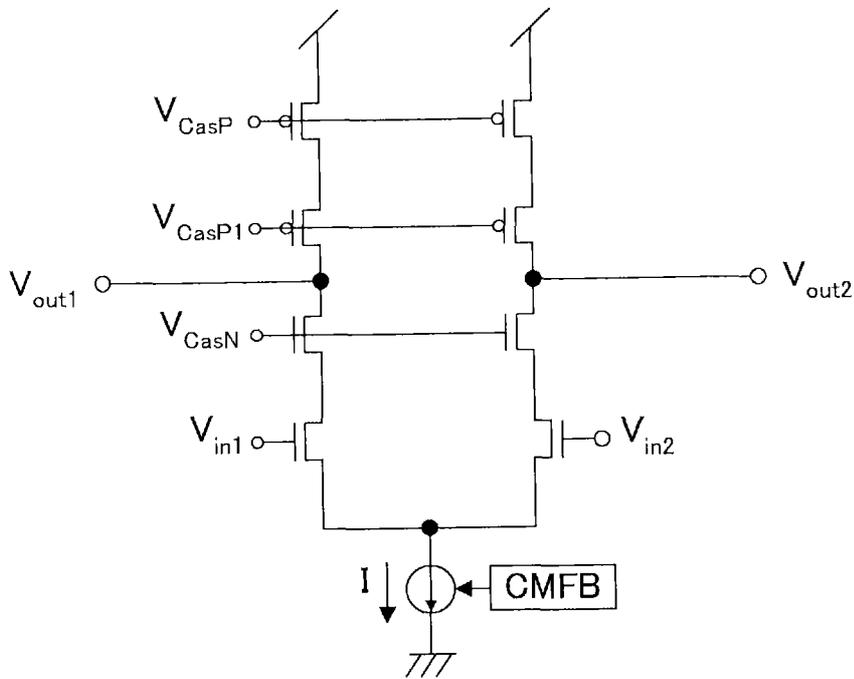


图 18