

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年3月8日(2012.3.8)

【公表番号】特表2011-503905(P2011-503905A)

【公表日】平成23年1月27日(2011.1.27)

【年通号数】公開・登録公報2011-004

【出願番号】特願2010-534250(P2010-534250)

【国際特許分類】

H 01 L	21/8247	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
G 11 C	16/04	(2006.01)
G 11 C	16/02	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	27/112	(2006.01)
H 01 L	21/8246	(2006.01)
H 01 L	27/10	(2006.01)

【F I】

H 01 L	29/78	3 7 1
G 11 C	17/00	6 2 1 A
G 11 C	17/00	6 4 1
G 11 C	17/00	6 2 5
H 01 L	27/10	4 3 4
H 01 L	27/10	4 3 3
H 01 L	27/10	4 6 1

【手続補正書】

【提出日】平成24年1月20日(2012.1.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に位置し、少なくとも一つの論理ゲート又は揮発性メモリと関連するトランジスタデバイス用のゲートとして使用される材料から成る浮遊ゲートと、

ソース領域と、

ドレイン領域と、

前記ソース領域と前記ドレイン領域とを結合するnチャネルと

を備え、

前記ドレイン領域は、前記ドレイン領域に印加されるデバイス用プログラム供給電圧と、前記浮遊ゲートと前記ドレイン領域との間にある容量結合によって前記浮遊ゲートに付与できるように前記ゲートの大部分に重なり、

さらに前記デバイスは、1ビットを超える情報を前記プログラム供給電圧によって保存できるように構成される、基板上に位置するプログラマブル多状態不揮発性デバイス。

【請求項2】

前記デバイスは、読み取り操作中に前記ドレイン領域の一部のみが読み取り電圧を受信するように構成される、請求項1に記載のプログラマブルデバイス。

【請求項 3】

前記デバイスは、前記デバイス内に保存された情報量を変化させるためのプログラム操作中に、前記ドレイン領域の一部或いは全部にバイアスをかけることができるよう構成される、請求項 1 に記載のプログラマブルデバイス。

【請求項 4】

前記浮遊ゲートは消去可能である、請求項 1 に記載のプログラマブルデバイス。

【請求項 5】

前記デバイスは再プログラムできる、請求項 4 に記載のプログラマブルデバイス。

【請求項 6】

前記浮遊ゲートは前記ソース領域に印加される消去電圧によって消去可能である、請求項 4 に記載のプログラマブルデバイス。

【請求項 7】

前記デバイスは、集積回路において別個の各論理回路及び / 又は各メモリ回路に組み込まれたプログラム可能なアレイの一部である、請求項 1 に記載のプログラマブルデバイス。

【請求項 8】

前記デバイスは、データ暗号化回路、リファレンス調整 (reference trimming) 回路、製造 ID、又はセキュリティ ID のうちの少なくとも一つと関連する、請求項 7 に記載のプログラマブルデバイス。

【請求項 9】

前記容量結合は前記基板に位置する第 1 トレンチで行われる、請求項 1 に記載のプログラマブルデバイス。

【請求項 10】

前記基板における一組の第 2 トレンチは組込み型 DRAM として使用される、請求項 9 に記載のプログラマブルデバイス。

【請求項 11】

一对のラッチの配列に結合された第 2 プログラマブルデバイスをさらに有し、データやその補数が前記一对のラッチに保存される、請求項 1 に記載のプログラマブルデバイス。

【請求項 12】

前記デバイスは、前記浮遊ゲートの閾値電圧を決定する時間に従って調整される前記ドレイン領域に印加されるバイアス電圧によって読み取られるように構成される、請求項 1 に記載のプログラマブルデバイス。

【請求項 13】

前記デバイスは、可変プログラム供給電圧によってマルチレベル状態にプログラムされる、請求項 1 に記載のプログラマブルデバイス。

【請求項 14】

電荷蓄積位置としての機能を果たす各不純物を有し、基板上に位置する他の各非プログラマブルデバイス用の絶縁層として利用される材料から成る浮遊ゲートと、

ソース領域と、

第 1 ドレイン領域及び第 2 ドレイン領域から成るドレイン領域と、

を備え、

前記ドレイン領域は、前記ドレイン領域に印加されるデバイス用プログラム供給電圧を、前記浮遊ゲートと前記ドレイン領域との間に有する容量結合によって前記浮遊ゲートに付与できるように前記ゲートの大部分に重なり、

さらに、前記デバイスは、複数ビットのデータが前記プログラム供給電圧によって書き込みできるように構成される、基板上に位置するマルチレベルプログラマブルデバイス。

【請求項 15】

基板上に位置し、少なくとも一つの論理ゲート又は揮発性メモリと関連するトランジスタデバイス用の相互接続ゲート及び / 又は別のゲートが共用する材料から成る浮遊ゲートと、

ソース領域と、

前記浮遊ゲートの一部分に重なり、少なくとも第1ドレイン領域及び第2選択可能ドレイン領域を有するドレイン領域と
を備え、

前記ドレイン領域と前記浮遊ゲートとの間の可変容量結合は、前記第1ドレイン領域及び前記第2ドレイン領域にそれぞれ適用される一つ以上の選択信号によって実現でき、

前記可変容量結合によって、前記第1ドレイン領域及び前記第2ドレイン領域からの可変量のチャネル熱電子に前記浮遊ゲートの閾値を恒久的に変更させ、OTPデバイス内にマルチピットデータを保存させる、基板上に位置するマルチレベルワンタイムプログラマブル(MOTP)デバイス。

【請求項16】

シリコン基板上にゲート、n型不純物ソース、及びn型不純物ドレインを有するマルチレベルプログラマブルメモリデバイスであって、

n型チャネルを備え、

前記n型不純物ドレインは、前記n型不純物ドレインに印加される可変プログラム供給電圧を、前記ゲートと前記n型不純物ドレインとの間にある容量結合によって前記ゲートに付与し、マルチレベル論理状態を前記デバイス内に保存できるように前記ゲートの大部分に重なり、

前記ゲートは、前記デバイスが前記可変プログラム供給電圧によって前記ゲート上に蓄積された電荷量によって画定されるマルチレベルプログラム状態にあるように浮遊ゲートとしての機能に適応し、

さらに、前記浮遊ゲート上の前記電荷は、前記デバイスが再プログラム可能となるよう消去できる、マルチレベルプログラマブルメモリデバイス。

【請求項17】

シリコン基板上にゲート、n型不純物ソース、及びn型不純物ドレインを有するマルチレベルワンタイムプログラマブル(MOTP)メモリセルであって、

n型チャネルを備え、

前記n型不純物ドレインは、前記n型不純物ドレインに印加される電圧を容量結合によって前記ゲートに付与できるように前記ゲートの可変部分に重なるように構成され、

前記ゲートは、前記MOTPセルが前記ゲートの荷電状態によって画定されるプログラム状態にあるように構成され、前記荷電状態は複数のビットのデータに対応する、マルチレベルワンタイムプログラマブルメモリセル。

【請求項18】

基板上に位置し、少なくとも一つの論理ゲート又は揮発性メモリと関連するトランジスタデバイス用のゲートとして使用される材料から成る浮遊ゲートと、

ソース領域と、

第1ドレイン領域及び少なくとも一つの別の第2ドレイン領域から成るドレイン領域とを備え、

前記ドレイン領域は、前記ドレイン領域に印加されるデバイス用プログラム供給電圧を、前記浮遊ゲートと前記ドレイン領域との間にある容量結合によって前記浮遊ゲートに付与できるように前記ゲートの大部分に重なり、

さらに、前記デバイスは、前記第1ドレイン領域及び前記第2ドレイン領域のうち複数の異なる領域がプログラム及び読み取り作業中にそれぞれ前記ゲートに結合できるように構成される、基板上に位置するプログラマブル不揮発性デバイス。

【請求項19】

前記デバイスはnチャネルである、請求項18に記載のプログラマブルデバイス。

【請求項20】

前記デバイスはpチャネルである、請求項18に記載のプログラマブルデバイス。

【請求項21】

前記デバイスは、プログラム操作中に前記第1ドレイン領域及び前記第2領域のうちい

ずれか一方、或いは両方にバイアスをかけ、或いはいずれにもかけないように構成され、また、前記第1領域及び前記第2領域のうち一つだけが読み取り操作中にバイアスをかけられるように構成される、請求項1_8に記載のプログラマブルデバイス。

【請求項22】

前記デバイスは、プログラム操作中に前記第1ドレイン領域及び前記第2領域のいずれにもバイアスがかからないように、あるいは両方にバイアスがかかるように構成され、また、消去操作中に前記第1領域及び前記第2領域のうち一方に或いは両方にバイアスがかかるように構成される、請求項1_8に記載のプログラマブルデバイス。

【請求項23】

前記デバイスは、プログラム操作中に前記第1ドレイン領域及び前記第2領域のうちいずれか一方、あるいは両方にバイアスかけ、或いはいずれにもかけないように構成され、また、読み取り操作中に前記第1領域及び前記第2領域はのうちいずれか一方或いは両方にバイアスをかけられるように構成される、請求項1_8に記載のプログラマブルデバイス。

【請求項24】

前記デバイスは、前記第1ドレイン領域及び前記第2領域の前記ゲートに対する結合を変更することによって、プログラム操作、読み取り操作及び／又は消去操作のうち少なくとも一つを操作中に変更できるように構成される、請求項1_8に記載のプログラマブルデバイス。

【請求項25】

前記浮遊ゲートは消去可能である、請求項1_8に記載のプログラマブルデバイス。

【請求項26】

前記デバイスは再プログラムできる、請求項2_5に記載のプログラマブルデバイス。

【請求項27】

前記浮遊ゲートは、前記ソース領域に印加される消去電圧によって消去可能である、請求項2_5に記載のプログラマブルデバイス。

【請求項28】

前記デバイスは、集積回路において別個の各論理回路及び／又は各メモリ回路に組み込まれたプログラム可能なアレイの一部である、請求項1_8に記載のプログラマブルデバイス。

【請求項29】

前記デバイスは、データ暗号化回路、リファレンス調整(reference trimming)回路、製造ID、及び／又はセキュリティIDのうちの一つと関連する、請求項2_8に記載のプログラマブルデバイス。

【請求項30】

前記容量結合は前記基板に位置する第1トレンチで行われる、請求項1_8に記載のプログラマブルデバイス。

【請求項31】

前記基板における一組の第2トレンチは組込み型DRAMとして使用される、請求項3_0に記載のプログラマブルデバイス。

【請求項32】

一対のラッチの配列に結合された第2プログラマブルデバイスをさらに有し、データやその補数が前記一対のラッチに保存される、請求項1_8に記載のプログラマブルデバイス。

【請求項33】

前記デバイスは、前記第1ドレイン領域及び／又は前記浮遊ゲートの閾値電圧の閾値電圧を決定する時間に従って調整される前記少なくとも一つの別の第2ドレイン領域のうちの一つに印加されるバイアス電圧によって読み取られるように構成される、請求項1_8に記載のプログラマブルデバイス。

【請求項34】

前記浮遊ゲートはマルチレベル構造である、請求項1_8に記載のプログラマブルデバイ

ス。

【請求項 3 5】

前記デバイスは薄膜トランジスタの一部である、請求項1 8に記載のプログラマブルデバイス。

【請求項 3 6】

前記浮遊ゲートは非平面構造内に配置される、請求項1 8に記載のプログラマブルデバイス。

【請求項 3 7】

前記浮遊ゲートは分配され、電荷蓄積位置としての機能を果たす各不純物を有する、請求項1 8に記載のプログラマブルデバイス。

【請求項 3 8】

電荷蓄積位置としての機能を果たす各不純物を有し、基板上に位置する他の各非プログラマブルデバイス用の絶縁層として利用される材料から成る浮遊ゲートと、

ソース領域と、

ドレイン領域と

を備え、

前記ドレイン領域は、前記ドレイン領域に印加されるデバイス用プログラム供給電圧を、前記浮遊ゲートと前記ドレイン領域との間にある容量結合によって前記浮遊ゲートに付与できるように前記ゲートの大部分に重なり、

さらに、前記デバイスは、プログラム操作中に、可変プログラム供給電圧を前記ゲートに結合できるように構成される、基板上に位置するプログラマブルデバイス。

【請求項 3 9】

基板上に位置し、少なくとも一つの論理ゲート又は揮発性メモリと関連するトランジスタデバイス用の相互接続ゲート及びノア別のゲートが共用する材料から成る浮遊ゲートと、

ソース領域と、

前記浮遊ゲートの一部分に重なり、少なくとも第1ドレイン領域と第2選択可能ドレイン領域とを有するドレイン領域と

を備え、

前記ドレイン領域と前記浮遊ゲートとの間の可変容量結合は、前記第1ドレイン領域と前記第2ドレイン領域とにそれぞれ適用される一つ以上の選択信号によって実現可能であり、

前記可変容量結合によって、前記第1ドレイン領域と前記第2ドレイン領域から可変量のチャネル熱電子が、前記浮遊ゲートの閾値を恒久的に変更し、前記OTPデバイスにデータを保存する、基板上に位置するワンタイムプログラマブル(OTP)デバイス。

【請求項 4 0】

少なくとも一つの他の追加論理デバイス又は非OTPメモリデバイスと共にシリコン基板上に組み込まれるワンタイムプログラマブル(OTP)メモリデバイスであって、

a . 浮遊ゲートに容量的に結合されるドレイン領域を有し、

b . 前記OTPメモリデバイスの任意及びすべての領域と各構造とは、前記少なくとも一つの他の追加論理デバイス又は非OTPメモリデバイスの各構成要素として使用される各対応領域及び構造から単に由来し、

c . 前記浮遊ゲートと前記ドレイン領域との間の容量結合の量は、少なくとも一つの異なるプログラム、消去、又は読み取りの操作中に変化させることができることを特徴とするメモリデバイス。

【請求項 4 1】

少なくとも一つの他の追加論理デバイス及びノア別メモリデバイスと共にシリコン基板上に組み込まれるマルチレベルワンタイムプログラマブル(MOTP)メモリセルであって、

- a . 浮遊ゲートに容量的に結合されるドレイン領域を有し、
- b . 前記MOTPメモリセルの任意及びすべての領域と各構造は、前記少なくとも一つの他の追加論理デバイス又は非MOTPメモリデバイスの各構成要素として使用される各対応領域及び構造から単に由来し、
- c . 前記浮遊ゲートと前記ドレイン領域との間の容量結合の量は、单一MOTPメモリセル内に複数ビットのデータを保存するためのプログラム操作中に変更できることを特徴とするメモリセル。