

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200910127913.9

H01L 27/105 (2006.01)
H01L 29/423 (2006.01)
H01L 21/8239 (2006.01)
H01L 21/28 (2006.01)

[43] 公开日 2009年9月30日

[11] 公开号 CN 101546772A

[22] 申请日 2009.3.25

[21] 申请号 200910127913.9

[30] 优先权

[32] 2008.3.25 [33] JP [31] 2008-078632

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 井上显

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 孙志湧 穆德骏

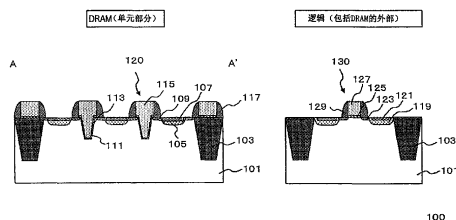
权利要求书 3 页 说明书 15 页 附图 7 页

[54] 发明名称

包括电容器元件的半导体器件及其制造方法

[57] 摘要

本发明提供一种包括电容器元件的半导体器件及其制造方法。在半导体器件中，存储区域和逻辑区域提供在一个硅衬底上。沟槽提供在存储区域中的硅衬底中，存储单元晶体管提供在存储区域中并且逻辑晶体管提供在逻辑区域中。存储单元晶体管包括由金属材料构成的第一栅极电极。所述第一栅极电极被提供成掩埋在沟槽中并且突出到沟槽的外部。逻辑晶体管包括由与构成第一栅极电极的金属材料相同的材料构成的第二栅极电极。



1. 一种半导体器件，其具有在衬底上形成的存储区域和逻辑区域，其中，

在所述存储区域中的所述衬底中设置有沟槽凹进部，

在所述存储区域中设置有第一晶体管，以及在所述逻辑区域中设置有第二晶体管，

所述第一晶体管包括由金属材料构成的第一栅极电极，

所述第一栅极电极被设置成掩埋在所述凹进部中并且突出到所述凹进部的外部，以及

所述第二晶体管包括由与构成所述第一栅极电极的金属材料相同的材料构成的第二栅极电极。

2. 根据权利要求1所述的半导体器件，

其中，所述存储区域包括存储单元区域和外围电路区域，其中，在所述存储单元区域中设置有所述第一晶体管，所述外围电路区域被设置在所述存储单元区域的外部并且包括第三晶体管，以及

其中，构成所述第三晶体管的第三栅极电极在栅极长度方向上具有与所述第二栅极电极的横截面结构相同的横截面结构。

3. 根据权利要求1所述的半导体器件，其中，

在所述凹进部的外部，所述第一栅极电极在所述衬底的表面方向上突出。

4. 根据权利要求1所述的半导体器件，其中，

所述第一栅极电极和所述第二栅极电极中的每个包括钨膜。

5. 根据权利要求1所述的半导体器件，

其中，在相对于所述存储区域中的所述第一栅极电极的横向上，在所述衬底中设置有第一杂质扩散区域，并且，在相对于所述逻辑区

域中的所述第二栅极电极的横向上，在所述衬底中设置有第二杂质扩散区域，以及

其中，在所述第一杂质扩散区域和所述第二杂质扩散区域中的每个的上部中设置有硅化物层。

6. 一种制造半导体器件的方法，包括：

在衬底的元件形成面上形成构成存储区域的第一晶体管和构成逻辑区域的第二晶体管，

其中，形成第一晶体管和第二晶体管包括：

在所述存储区域中选择性地去除所述衬底的预定区域以形成沟槽凹进部；

在整个的所述存储区域和所述逻辑区域，在所述衬底的上部中形成金属膜以掩埋所述凹进部；

将所述金属膜加工成预定的形状，由此在所述存储区域中形成第一栅极电极以及在所述逻辑区域中形成第二栅极电极；以及

将杂质注入到所述衬底的表面的附近，由此在相对于所述第一栅极电极的横向上形成第一杂质扩散区域，以及在相对于所述第二栅极电极的横向上形成第二杂质扩散区域，以及

其中，形成第一栅极电极和第二栅极电极包括：在所述存储区域中，将所述第一栅极电极形成为掩埋在所述存储区域中并且突出到的所述凹进部的外部。

7. 根据权利要求 6 所述的制造半导体器件的方法，包括：

在形成第一栅极电极和第二栅极电极之后，形成第一杂质扩散区域和第二杂质扩散区域。

8. 根据权利要求 6 所述的制造半导体器件的方法，

其中，形成第一晶体管和第二晶体管的所述步骤进一步包括：

在所述存储区域中，在所述衬底的上部中形成第一牺牲栅极电极，以及在所述逻辑区域中，在所述衬底的上部中形成第二牺牲栅极电极；

形成分别覆盖所述第一牺牲栅极电极的侧壁和所述第二牺牲栅极电极的侧壁的第一侧壁绝缘膜和第二侧壁绝缘膜；

在所述衬底的所述元件形成面上，形成覆盖所述第一侧壁绝缘膜和所述第二侧壁绝缘膜的绝缘膜；以及

在形成覆盖所述第一侧壁绝缘膜和所述第二侧壁绝缘膜的绝缘膜之后，选择性地去除所述第一牺牲栅极电极和所述第二牺牲栅极电极，以由此暴露所述衬底的所述元件形成面，

其中，在形成所述第一牺牲栅极电极和所述第二牺牲栅极电极之后并且在所述形成绝缘膜之前，执行形成所述第一杂质扩散区域和所述第二杂质扩散区域，以及，

其中，在所述选择性地去除所述第一牺牲栅极电极和所述第二牺牲栅极电极之后，执行形成所述沟槽凹进部。

9. 根据权利要求 6 所述的制造半导体器件的方法，

其中，所述金属膜是钨膜。

包括电容器元件的半导体器件及其制造方法

本申请以日本专利申请No.2008-078632为基础，其内容通过引用结合于此。

技术领域

本发明涉及一种半导体器件及其制造方法。具体地，涉及一种包括电容器元件的半导体器件。

背景技术

当要在半导体器件的一个半导体衬底上形成存储区域和逻辑区域时，如日本特开专利公布No. 2002-261256、2007-134674和2007-123551中所公开地，在使字线（栅极电极）更小的同时考虑将沟槽栅极型栅极电极结构应用到半导体器件以确保沟道长度。

在日本特开专利公布No.2002-261256中公开的器件中，使用多晶硅膜作为DRAM（动态随机存取存储器）区域和逻辑区域中的字线。此外，仅在DRAM区域中形成沟槽，DRAM区域中的字线形成在沟槽内，并且DRAM区域的上表面后退到衬底上表面的内部。

日本特开专利公布No.2007-134674公开了一种在存储区域中包括的存储单元区域中形成N型沟槽栅极晶体管的方法和分别在N型和P型外围电路区域中形成N型和P型平面晶体管的方法。具体地，在N型和P型外围电路区域中形成未掺杂的硅膜作为栅极绝缘膜上的导电保护膜，并且在该保护膜上形成氮化硅膜。利用氮化硅膜作为掩模，在存储单元区域中形成栅极沟槽并且在沟槽内包括的整个表面上形成掺杂磷的非晶硅膜。利用氮化硅膜作为掩模，执行化学机械抛光（CMP）和回蚀刻，因而使掺杂磷的非晶硅膜掩埋到栅极沟槽中。此后，在整

个表面上形成未掺杂的非晶硅膜，将硼离子选择性地注入到P型外围电路区域中，并且将磷离子选择性地注入到存储区域和N型外围电路区域中。

如可以看到的，根据上述方法，保护膜提供在氮化硅膜下方的栅极绝缘膜上，该氮化硅膜用作用于在P型和N型外围电路区域中形成栅极沟槽的掩模层。在形成栅极沟槽之后，将掺杂杂质的非晶硅膜形成到栅极沟槽中而不去除掩模层，然后去除形成栅极沟槽的掩模层。根据日本特开专利公布No.2007-134674，在掺杂的非晶硅膜被形成为掩埋到栅极沟槽中之后去除掩模层。因此，可以预先形成保护膜以防止损伤栅极绝缘膜。还可以适当地设置每个栅极电极硅层的内部杂质浓度，而不损伤外围电路区域中的栅极绝缘膜。

日本特开专利公布No.2007-123551公开了关于用于在存储区域和外围电路区域中形成的晶体管的栅极绝缘膜的以下技术。由于将要形成在外围电路区域中的晶体管工作在低电压下，所以需要使外围电路区域中的栅极氧化物膜薄。另一方面，由于升高的电压施加到将要形成在存储区域中的晶体管，所以需要确保高耐压，也就是说，需要使存储区域中的栅极绝缘膜厚。

为了满足需要，日本特开专利公布No.2007-123551公开了一种方法，该方法形成用作外围电路区域中的半导体衬底上的平面晶体管栅极绝缘膜的薄氧化物膜，在存储区域中形成栅极沟槽，同时用非晶硅膜覆盖薄氧化物膜以及在栅极沟槽的内壁上形成比外围电路区域中的栅极绝缘膜厚的栅极绝缘膜。利用日本特开专利公布No.2007-123551中公开的方法，由于非晶硅膜用作防止栅极绝缘膜生长的保护膜，所以可以提供厚的栅极绝缘膜，同时在外围电路区域中提供薄的栅极绝缘膜。

此外，尽管技术领域不同，但是日本特开专利公布No.2005-

285980公开了一种涉及具有凹进部结构的晶体管的技术。具体地，日本特开专利公布No.2005-285980公开了一种具有抬高的源极-漏极结构的MOS（金属氧化物半导体）场效应晶体管（FET）（MOSFET）。在该MOSFET中，在半导体衬底中掩埋了由诸如钨的金属制成的栅极电极，因而提供了凹进部结构。

然而，根据本发明的发明人的研究，具有在半导体衬底上形成的存储区域和逻辑区域的传统半导体器件有以下要解决的问题，以便稳定地形成优良的晶体管作为每个存储区域和逻辑区域中的晶体管。

也就是说，根据日本特开专利公布No.2002-261256、2007-134674和2007-123551，用于每个区域中的晶体管的栅极电极由多晶硅形成。为此，如以上参考日本特开专利公布No.2007-134674已经所述的，需要在蚀刻栅极之后通过离子注入多晶硅来形成 N^+ 多晶硅和 P^+ 多晶硅，以便分别在N型和P型外围电路区域中形成导电型的栅极电极。此外，如果在存储区域中形成沟槽，则沟槽的上部中的多晶硅基本上制作得厚，因为并未公知同时在存储区域以及其他部分（例如逻辑区域中的扩散层和栅极）中形成多晶硅的离子注入方法。为此，该方法的程序是这样的，在去除沟槽外部的多晶硅之后，再次形成多晶硅。这使得制造步骤复杂并且留下了提高晶体管制造的稳定性的更多空间。具体地，由于完成的沟槽深度的不规则性，离子注入剂量在深度方向上也是不规则的。结果，不利地出现了诸如杂质穿透栅极绝缘膜以及栅极电极的耗尽这样的问题。而且，由于对于 P^+ 多晶硅和 N^+ 多晶硅分开进行离子注入，所以步骤数目增加，制造稳定性差，并且不能确保足够高的工艺再现性和批量生产。随着按比例缩小和高集成发展，这些问题变得更明显。

发明内容

在一个实施例中，提供了一种半导体器件，所述半导体器件具有在衬底上形成的存储区域和逻辑区域，

其中沟槽凹进部提供在存储区域中的衬底中，
第一晶体管提供在存储区域中并且第二晶体管提供在逻辑区域中，
第一晶体管包括由金属材料构成的第一栅极电极，
第一栅极电极被提供成掩埋在凹进部中并且突出到凹进部的外部，以及
第二晶体管包括由与构成第一电极的金属材料相同的材料构成的第二栅极电极。

在另一实施例中，提供了一种制造半导体器件的方法，包括：
在衬底的元件形成面上形成构成存储区域的第一晶体管和构成逻辑区域的第二晶体管，

其中形成第一晶体管和第二晶体管，包括：
选择性地去除存储区域中的衬底的预定区域以形成沟槽凹进部；
在遍及存储区域和逻辑区域的衬底的上部中形成金属膜以掩埋该凹进部；

将金属膜加工成预定的形状，由此在存储区域中形成第一栅极电极以及在逻辑区域中形成第二栅极电极；以及

将杂质注入到衬底表面的附近，由此相对于第一栅极电极横向地形成的第一杂质扩散区域和相对于第二栅极电极横向地形成第二杂质扩散区域，以及

其中形成第一栅极电极和第二栅极电极包括将第一栅极电极形成成为掩埋在存储区域中并且突出到存储区域中的凹进部外部。

根据本发明的实施例，第一栅极电极和第二栅极电极由相同的金属材料制成并且该存储区域被配置成使得第一栅极电极被提供成掩埋在沟槽凹进部中并且突出到凹进部的外部。为此，即使分别在存储区域和逻辑区域中要形成预定导电类型的晶体管，也可以增强各个区域中的晶体管的性能。

在本发明中，由金属材料（金属膜）制成的膜指的是由除了多晶硅之外的材料制成的膜。该膜的具体示例包括由诸如钨（W）膜的金属和诸如TiN膜的金属氮化物膜制成的膜。

如上所述，根据本发明，能够稳定地形成性能优良的晶体管，作为具有在衬底上形成的存储区域和逻辑区域的半导体器件的每个区域中的晶体管。

附图说明

结合附图，从下面对某些优选实施例进行的说明，本发明的以上和其他目的、优点和特征将更加显而易见，其中：

图1是示出根据本发明实施例的半导体器件构造的横截面图；

图2是示出图1所示的半导体器件的存储区域的构造的平面图；

图3A至3D是示出图1所示的半导体器件的制造步骤的横截面图；

图4A至4C是示出图1所示的半导体器件的存储区域的制造步骤的平面图；

图5是示出根据本发明另一实施例的半导体器件的构造的横截面图；

图6A至6C是示出图5所示的半导体器件的制造步骤的横截面图；
以及

图7A至7C是示出图5所示的半导体器件的制造步骤的横截面图。

具体实施方式

现在在此参考示例性实施例来描述本发明。本领域技术人员将认识到，许多可替换实施例可以利用本发明的教导来完成并且本发明不限制于为了说明目的而说明的实施例。

在下文将参考附图来描述本发明的实施例。在所有的附图中，共同的组成元件由相同的附图标记来表示且不再重复描述。

(第一实施例)

图1是示出根据本发明第一实施例的半导体器件构造的横截面图。图2是示出图1所示的半导体器件100的存储区域(DRAM(单元部分))的构造的平面图。图1的左图对应于沿着图2的线A-A'截取的横截面图。在图1所示的两个横截面图中,左图是在与存储区域的字线垂直的方向(栅极长度方向)上的横截面图,而右图是在栅极长度方向上的逻辑区域的横截面图。在图3A至3D和5至7C的每一个中也示出这两种类型的横截面图。

图1所示的半导体器件100是具有在衬底上形成的存储区域(DRAM(单元部分))和逻辑区域的器件。半导体器件100是嵌入式DRAM器件。第一晶体管(存储单元晶体管)120提供在存储区域中,而第二晶体管(逻辑晶体管)130提供在逻辑区域中。

存储区域可以包括提供存储单元晶体管120的存储单元区域以及提供在存储单元区域的外部并且包括第三晶体管的外围电路区域。存储区域的外围电路包括例如解码器、读出放大器、I/O电路等。在该情况下,构成每个第三晶体管的第三栅极电极在栅极长度方向上具有与在逻辑区域中提供的每个逻辑晶体管130的第二栅极电极127相同的横截面结构。

在半导体器件100的存储区域中,在衬底(诸如硅衬底101的半导体衬底)中形成沟槽凹进部(沟槽)111。每个存储单元晶体管120包括由金属材料制成的第一栅极电极115。第一栅极电极115被提供成掩埋在每个沟槽111中且突出到沟槽111的外部。

此外,每个存储单元晶体管120包括在硅衬底101和第一栅极电极115之间提供的第一栅极绝缘膜113,以及在第一栅极电极115两侧上提供的低浓度杂质扩散区域(延伸区域)109和高浓度杂质扩散区域(源-漏区)105。源-漏区105和延伸区域109仅形成在比沟槽111窄很多

的区域中，由此充分地确保每个存储单元晶体管120的沟道长度。在形成每个源—漏区105的形成区域中，将硅衬底101的上部硅化成硅化物层107。

每个逻辑晶体管130包括由与第一栅极电极115相同的材料制成的第二栅极电极127。在该实施例中，第一栅极电极115和第二栅极电极127中的每个由钨（W）膜（上层）和TiN膜（下层（衬底侧））的多层体构成。要注意，相对于钨膜和栅极绝缘膜以及高k栅极绝缘膜之间的阻挡层，TiN膜用作功函数金属。沟槽111形成在各个电极形成区域中，并且栅极电极膜不必是钨膜和TiN膜的多层膜。栅极电极膜可以是金属膜和金属氮化物膜等的组合。在图1中，逻辑区域130中的第二栅极电极127中的每个没有被掩埋在沟槽中，而是平面栅极电极。

此外，每个逻辑晶体管130包括在硅衬底101和第二栅极电极127之间提供的第二栅极绝缘膜125，以及在第二栅极电极127两侧上的硅衬底101中提供的低浓度杂质扩散区域（延伸区域）123和高浓度杂质扩散区域（源—漏区）119。在形成每个源—漏区119的形成区域中，将硅衬底101的上部硅化成硅化物层121。

要注意，第一栅极电极113和第二栅极电极125可由相同材料或不同的材料制成。

参考图3A至3D和4A至4C，将说明半导体器件100的制造方法。图3A至3D是示出半导体器件100的制造步骤的横截面图。图4A至4C是示出半导体器件100的存储区域的制造步骤的平面图。

根据该实施例的半导体器件100的制造方法包括以下步骤。

步骤11：在硅衬底101的元件形成面上形成构成存储区域的存储单元晶体管120和构成逻辑区域的逻辑晶体管130。

步骤11具体地包括以下步骤。

步骤12：在硅衬底101上选择性地去除预定区域，以及在存储区域中形成沟槽凹进部（沟槽）111；

步骤13：在遍及存储区域和逻辑区域的硅衬底101的上部中形成金属膜（钨膜）133以掩埋沟槽111；

步骤14：将金属膜133加工成预定形状以在存储区域中形成第一栅极电极115以及在逻辑区域中形成第二栅极电极127；以及

步骤15：将杂质引入到硅衬底101的表面的附近，以在第一栅极电极115的两侧上形成第一杂质扩散区域（源-漏区）105以及在第二栅极电极127的两侧上形成第二杂质扩散区域（源-漏区）119。

在这些过程中，在形成第一栅极电极115和第二栅极电极127的步骤14中，第一栅极电极115被形成为掩埋在存储区域中的沟槽111中并且突出到沟槽111的外部。此外，在该实施例中，在形成第一栅极电极115和第二栅极电极127的步骤14之后，执行形成源-漏区105和119的步骤15。现在将更具体地描述制造半导体器件100的方法。

首先，如图3A和4A所示，例如，通过STI（浅沟槽隔离）分别在硅衬底101的元件形成面的预定位置处形成元件隔离区103。此外，在存储区域中形成第一栅极电极115的区域中选择性地去除硅衬底101，由此形成沟槽凹进部（沟槽）111（图3B和4B）。

接下来，在其中形成沟槽111的硅衬底101的元件形成面上全部形成高介电常数膜131之后，TiN膜（未示出）被形成为掩埋沟槽111并且在TiN膜上形成钨膜133（图3C）。

高介电常数膜131是在后来的步骤中加工成栅极绝缘膜的膜。由于高介电常数膜131是比氧化硅介电常数高的膜，所以可以使用所谓的高k膜作为高介电常数膜131。高介电常数膜131可以由具有相对的介电常

数为6或更高的材料构成。具体地，高介电常数膜131可以由包含选自Hf和Zr构成的组中的一种或多种金属元素的材料来形成，并且高介电常数膜131可以被形成为包含这些金属元素中的至少一种的氧化物膜、硅化物膜等。

此外，通过例如化学气相沉积（CVD）或原子层沉积（ALD）来形成钨膜133。

制造覆盖其中形成第一栅极电极115和第二栅极电极127的区域的掩模。将钨膜133、TiN膜（未示出）和高介电常数膜131加工成预定的形状。在存储区域中形成第一栅极电极115（图4C）和第一栅极绝缘膜113的多层体并且在逻辑区域中形成第二栅极电极127和第二栅极绝缘膜125的多层体。

其后，在分别形成存储单元晶体管120和逻辑晶体管130的区域中将预定导电的杂质离子注入到硅衬底101中，由此形成延伸区域109和123（图3D）。在硅衬底101的元件形成面上全部形成诸如氧化硅膜的绝缘膜并且将其加工成预定的形状，由此分别在第一栅极电极115的两侧和第二栅极电极127的两侧上形成侧壁绝缘膜117和129。接下来，通过离子注入使源-漏区105和源-漏区119形成为分别比延伸区域109和123深并且比沟槽111浅的高浓度杂质扩散区域。

通过这些过程，获得图1所示的半导体器件100。可替代地，可进一步形成预定元件和/或可在硅衬底101的上部中形成互连层和绝缘夹层。

将说明该实施例的作用和优点。

在该实施例中，第一栅极电极115的材料与第二栅极电极127的材料相同，也就是说，该材料是金属（钨）。由于由钨膜形成的第一栅

极电极115掩埋在沟槽111中，所以可以减小存储单元晶体管120的单元尺寸。即使存储单元晶体管120的单元尺寸小，也能够充分地确保有效的沟道长度。因此，可以抑制存储单元晶体管120中的泄漏电流（诸如截止电流（IOFF）或结泄漏电流）的增加。此外，可以提高存储单元晶体管120的保持特性。为此，即使存储区域和逻辑区域形成在一个硅衬底101上，也可以确保存储单元晶体管120和逻辑晶体管130具有优良的性能。该作用和优点在构造上很显著，其中每个第一栅极电极115的底表面位于源-漏区105内部的硅衬底101中。

在日本特开专利公布No.2005-285980中，描述了金属栅极凹进部结构。然而，利用日本特开专利公布No.2005-285980中描述的这种构造，如果减小每个晶体管的栅极长度，则必须增加沟道剂量（channel dose）来处理短沟道。这会导致晶体管的IOFF或结泄漏电流增加。根据该实施例，通过比较，即使与日本特开专利公布No.2005-285980相似减小栅极宽度，也可以通过凹进部结构增加有效沟道长度，由此使得能够减小沟道剂量。因而，可以减小结泄漏电流，可以提高保持特性，并且可以减小由杂质浓度波动产生的阈值不规则性，由此实现了高的性能和高的可靠性。

此外，在该实施例中，第一栅极电极115在沟槽111的硅衬底外部的表面方向上突出，并且第一栅极电极115的边缘部分覆盖沟槽111的开口。通过使第一栅极电极115突出，可以保护沟槽（尤其是沟槽侧壁）中的栅极绝缘膜避免在加工栅极电极期间暴露到栅极蚀刻气体或在去除抗蚀剂期间暴露到等离子体中。由此可以提高制造稳定性和晶体管可靠性。因此，可以进一步增强第一栅极电极115的制造稳定性。

此外，在该实施例中，可以在同一步骤中将第一栅极电极115和第二栅极电极127加工成栅极电极形状，并且第一栅极电极115距硅衬底101的表面的高度可以制作成与第二栅极电极127相同。因此，可以抑制在存储区域和逻辑区域之间形成台阶部分，并且由此在形成比栅极

电极115和127更靠上的层时提高了制造稳定性。

而且，在该实施例中，在逻辑区域中提供的源-漏区119的上部中提供硅化物层121。此外，在存储区域中提供的源-漏区105的上部中提供硅化物层107。由此可以更有效地减小存储单元晶体管120的源-漏区105的上部中的电阻并且进一步提高存储单元晶体管120的特性。

下面将主要描述与第一实施例的不同之处。

（第二实施例）

图5是示出根据本发明第二实施例的半导体器件100的构造的横截面图。半导体器件100的基本结构与根据第一实施例的半导体器件100（图1和2）相似，但与半导体器件100不同之处在于，存储区域和逻辑区域中的晶体管的栅极绝缘膜提供在从硅衬底101和栅极电极的底部之间的区域到栅极电极和侧壁绝缘膜的侧表面之间的区域的范围中。

也就是说，第一栅极绝缘膜135和第二栅极绝缘膜137提供在半导体器件110中，代替分别在半导体器件100中提供的第一栅极绝缘膜113和第二栅极绝缘膜125。第一栅极绝缘膜135的上端与第一栅极电极115的上表面一致，并且第二栅极绝缘膜137的上端与第二栅极电极127的上表面一致。在该实施例中，与第一实施例相似，第一栅极电极115的上表面与第二栅极电极127的上表面齐平。氧化硅膜139提供在硅衬底101的元件形成面上。氧化硅膜139的上表面与第一栅极电极115和第二栅极电极127的上表面齐平。第一栅极电极115和第二栅极电极127掩埋在氧化硅膜139中。

接下来，将描述半导体器件101的制造方法。在该实施例中，不同于第一实施例，在形成第一栅极电极115和第二栅极电极127的步骤14之前执行形成源-漏区105和源-漏区119的步骤15。

此外，在该实施例中，在硅衬底101上形成在随后的步骤将要去除的虚拟栅极电极结构以及形成源-漏区105和119之后，用绝缘膜覆盖硅衬底101的元件形成面的整个表面。利用绝缘膜作为掩模，去除虚拟栅极电极结构并且在其中去除虚拟栅极电极结构的区域中形成沟槽111。

在该实施例中，形成存储单元晶体管120和逻辑晶体管130的步骤11包括以下步骤。

步骤16：在存储区域中的硅衬底101的上表面上形成第一牺牲栅极电极（第一虚拟栅极电极）143以及在逻辑区域中的硅衬底101的上表面上形成第二牺牲栅极电极（第二虚拟栅极电极）153；

步骤17：在硅衬底101上分别形成覆盖第一虚拟栅极绝缘膜141和第二虚拟栅极绝缘膜151的侧壁的第一侧壁绝缘膜117和第二侧壁绝缘膜（多个侧壁绝缘膜）129；

步骤18：在硅衬底101的元件形成面上形成覆盖侧壁绝缘膜117和129的绝缘膜（氧化硅膜）139；以及

步骤19：在形成氧化硅膜139的步骤18之后选择性地去除第一虚拟栅极电极143和第二虚拟栅极电极153，由此暴露硅衬底101的元件形成面。

此外，在该实施例中，在形成第一虚拟栅极电极143和第二虚拟栅极电极153的步骤16之后以及在形成氧化硅膜139的步骤18之前，执行形成源-漏区105和源-漏区119的步骤15。此外，在选择性地去除第一虚拟栅极电极143和第二虚拟栅极电极153的步骤19之后执行形成沟槽111的步骤12。

参考图6A至6C和7A至7C，将进一步描述半导体器件110的制造方法。图6A至6C和7A至7C是示出半导体器件110的制造步骤的横截面图。

首先，与第一实施例相似，分别在存储区域和逻辑区域中的硅衬

底101的元件形成面的预定位置处形成元件隔离区103（图6A）。接下来，分别在存储区域中的预定位置处形成每个包括第一虚拟栅极绝缘膜141和一个第一虚拟栅极电极143的第一虚拟电极结构。另外，分别在逻辑区域中的预定位置处形成每个包括第二虚拟栅极绝缘膜151和一个第二虚拟栅极电极153的第二虚拟电极结构。

第一虚拟栅极绝缘膜141和第二虚拟栅极绝缘膜151在同一步骤中形成并且由相同的材料制成。此外，第一虚拟栅极电极143和第二虚拟栅极电极153在同一步骤中形成并且由相同的材料制成。这些第一虚拟绝缘膜141和第二虚拟绝缘膜151以及第一虚拟栅极电极143和第二虚拟栅极电极153的材料不限制于特定材料。第一虚拟绝缘膜141和第二虚拟绝缘膜151的材料的示例包括氧化硅和高介电常数材料。第一虚拟栅极电极143和第二虚拟栅极电极153的材料的示例包括氮化硅（用于上层）和非晶硅（用于下层（衬底侧））。

与根据第一实施例参考图3D和图1进行的上述描述的方法相似，延伸区域109形成在存储区域中并且延伸区域123形成在逻辑区域中。诸如氧化硅膜的绝缘膜形成在硅衬底101的整个表面上且被加工成预定的形状，由此形成覆盖第一和第二虚拟电极结构的侧壁的侧壁绝缘膜117和覆盖第二虚拟栅极电极153的侧壁的侧壁绝缘膜129。其后，在存储区域中形成源-漏区105以及在逻辑区域中形成源-漏区119。接下来，硅衬底101的元件形成面被硅化以形成硅化物层107和121（图6B）。

在硅衬底101的整个表面上形成覆盖侧壁绝缘膜117和129以及氮化硅膜145的氧化硅膜139之后，执行CMP或干法蚀刻，由此在虚拟栅极的上部上暴露氮化硅膜145的表面（图6C）。在该情况下，使用氮化硅膜145以用作虚拟栅极图案的蚀刻掩模，以用以防止虚拟栅极上的硅化反应以及在氧化硅膜139上执行CMP或干法蚀刻期间用作停止膜。在该实施例中，借助示例使用氮化硅膜。可替代地，只要膜具有上述功能的膜特性，可使用由其他材料制成的膜。

接下来，通过蚀刻去除存储区域中掩埋在绝缘膜中的氮化硅膜145、第一虚拟栅极电极143和第一虚拟栅极绝缘膜141，由此暴露硅衬底101的表面并且形成开口155（图7A）。在对氧化硅膜139有高选择性的条件下执行该蚀刻。此时，在逻辑区域中还去除氮化硅膜145、第二虚拟栅极电极153和第二虚拟栅极绝缘膜151，由此暴露硅衬底101的表面并且形成开口157（图7A）。

在逻辑区域中，在形成覆盖开口157的掩模（未示出）之后，利用氧化硅膜139作为掩模来选择性地蚀刻硅衬底101。由此在开口155的底部处形成沟槽111（图7B）。在图7B所示的示例中，沟槽111被形成为比在栅极长度方向上的横截面图中的开口155窄。此外，沟槽111被形成为在栅极长度方向上的横截面图中从硅衬底101的表面向沟槽111的内部变窄。

在去除覆盖开口157的掩模（未示出）之后，在硅衬底101的整个表面上顺序形成高介电常数膜147、TiN膜（未示出）和金属膜（钨膜）149（图7C）。高介电常数膜147被形成为覆盖由存储区域中的沟槽111和开口155构成的凹进部的内壁以及覆盖逻辑区域中的开口157的内壁。

其后，去除在开口155和157外部形成的钨膜149、TiN膜（未示出）和高介电常数膜147，由此形成存储区域和逻辑区域中的栅极电极结构。通过这些过程，获得图5所示的半导体器件110。

该实施例显示出与第一实施例相似的作用和优点。

此外，在该实施例中，在用氧化硅膜139覆盖其中形成虚拟栅极电极结构的硅衬底101之后，去除虚拟栅极电极结构并且形成与氧化硅膜139自对准的沟槽111。为此，即使第一栅极电极115的栅极长度小，也

可以进一步提高第一栅极电极115的加工稳定性和尺寸可控性。

迄今为止已描述了本发明的实施例。然而，为了说明的目的给出了本发明的实施例，并且对于本发明可以采用各种其他的构造。

在迄今为止所述的实施例中，已示出第一栅极电极和第二栅极电极在栅极长度方向上的横截面形状不同的情形。可替代地，第一栅极电极和第二栅极电极在栅极长度方向上的横截面形状可以相同。在可替代方案中，在存储区域中形成沟槽111的步骤中，在硅衬底101的用于在逻辑区域中形成第二栅极电极127的区域中可以形成沟槽，以在这些沟槽中掩埋第二栅极电极。

在这些实施例中，已示出了在存储区域中形成DRAM的示例。然而，将要在存储区域中形成的存储器的类型不限制于DRAM，但是例如可在存储区域中形成SRAM（静态随机存取存储器）。

显然，本发明不限制于上述实施例，并且在不脱离本发明的范围和精神的情况下可以进行修改和改变。

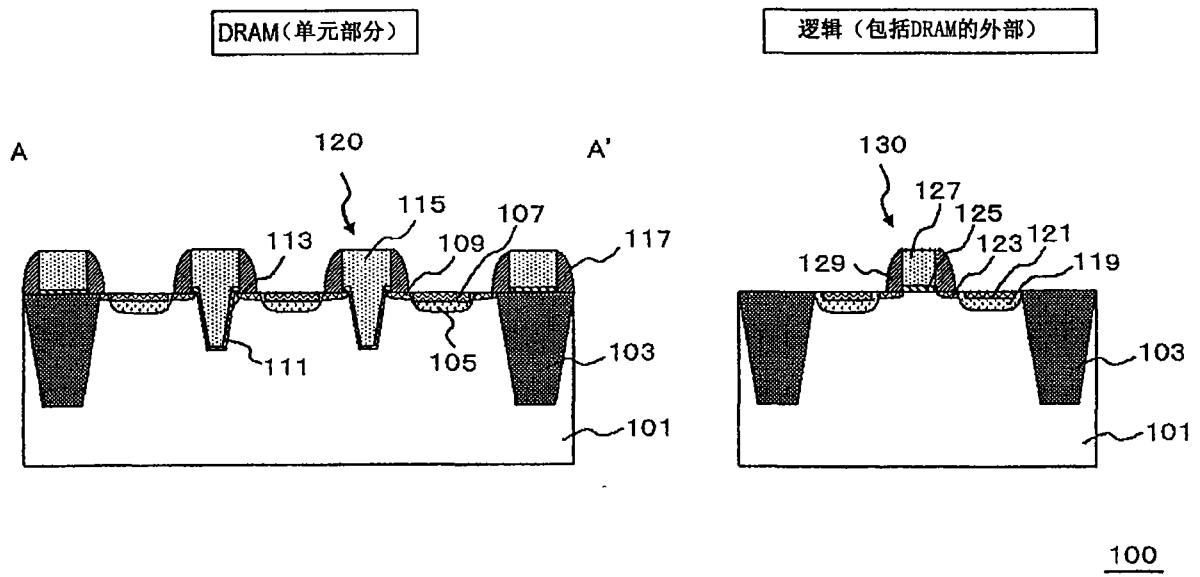


图1

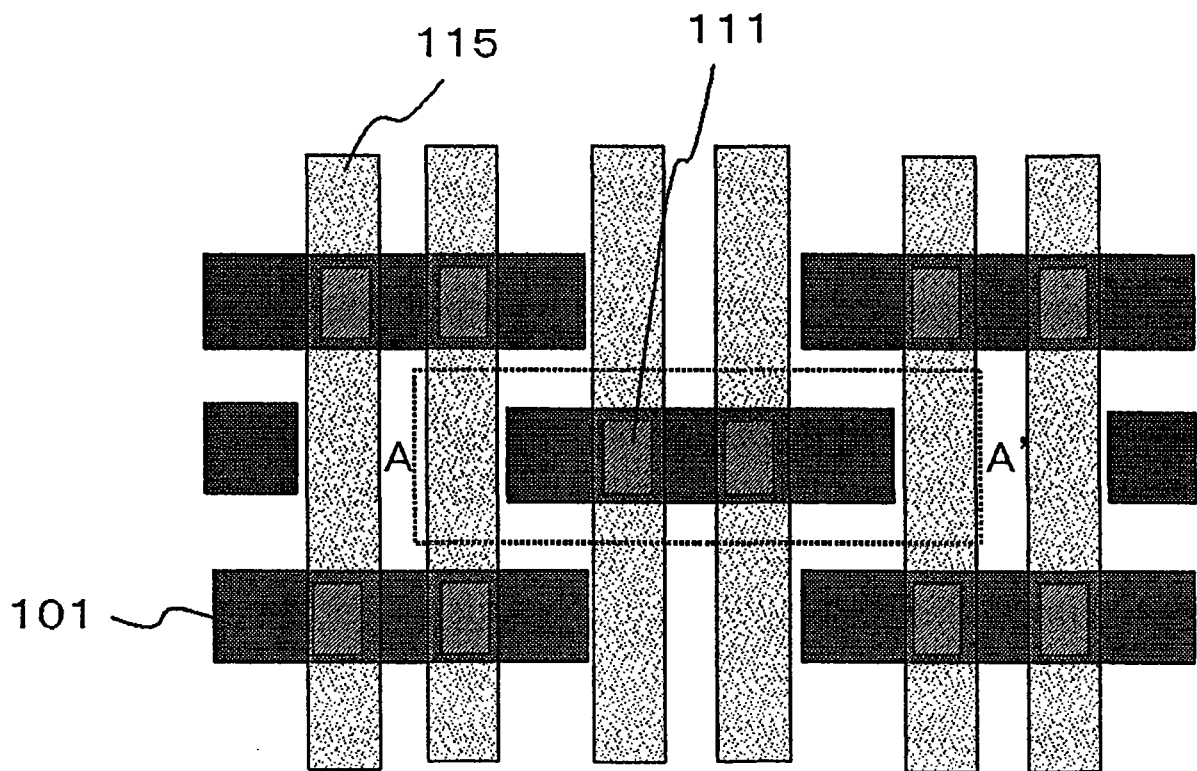


图2

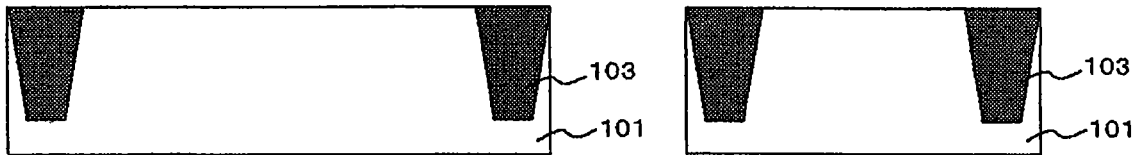


图3A

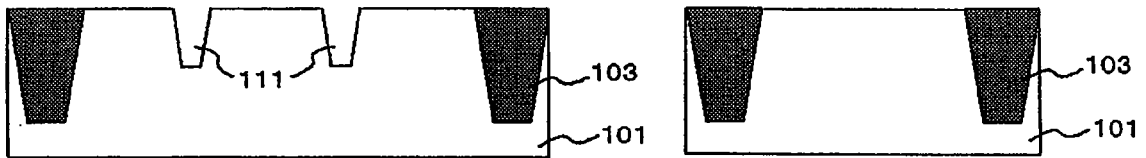


图3B

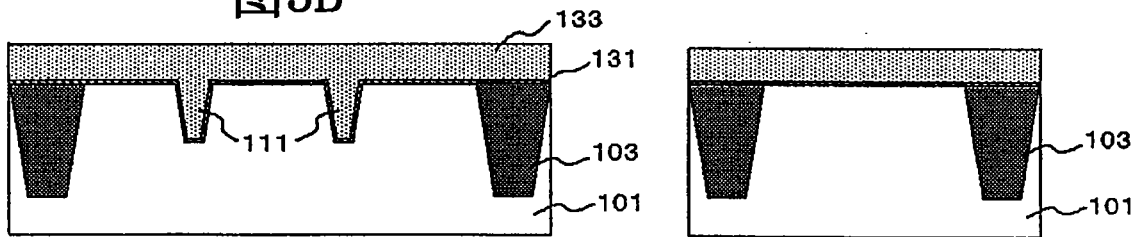


图3C

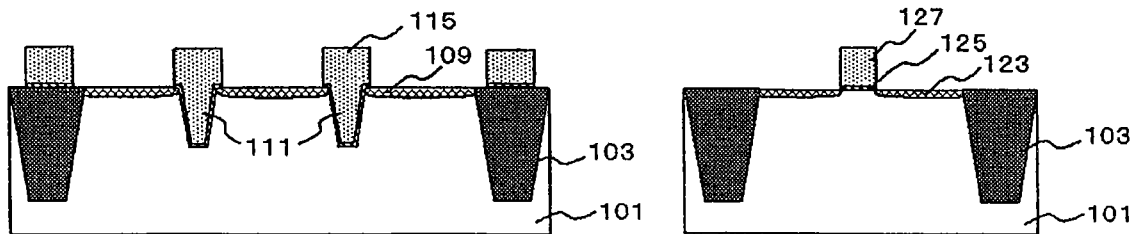


图3D

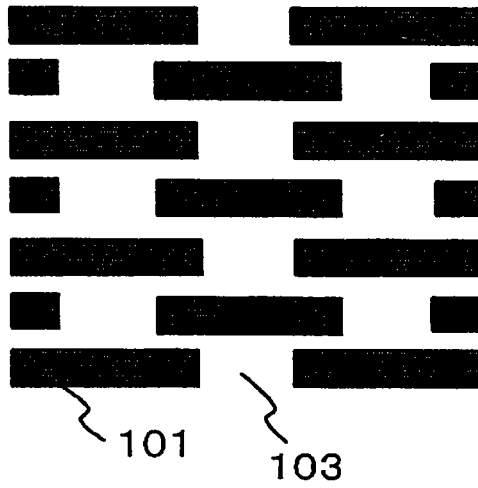


图4A

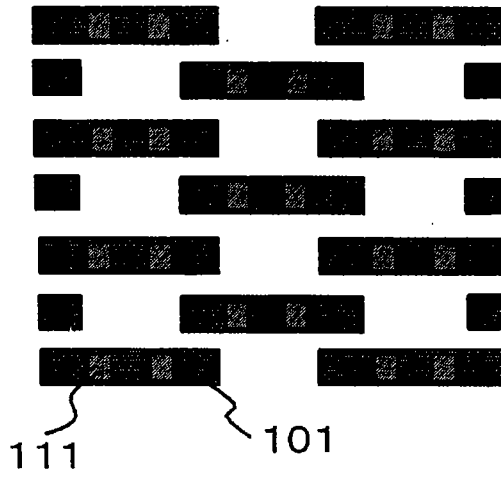


图4B

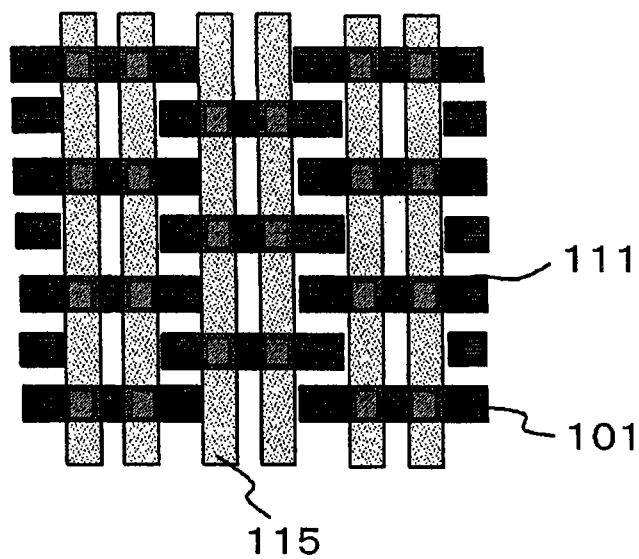


图4C

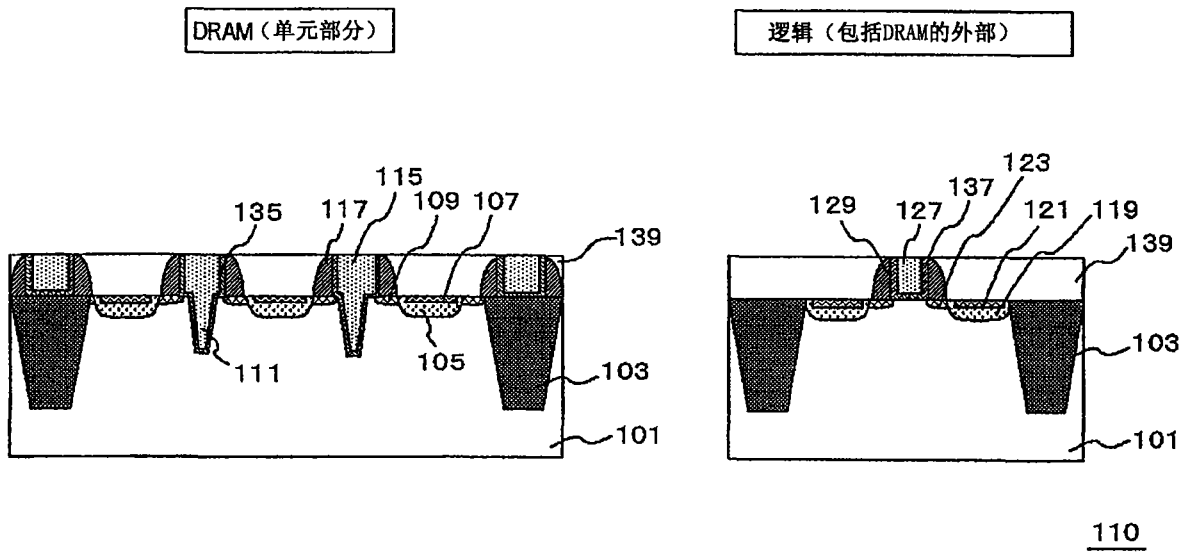


图5

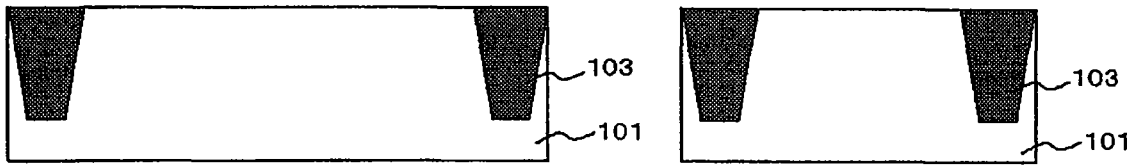


图6A

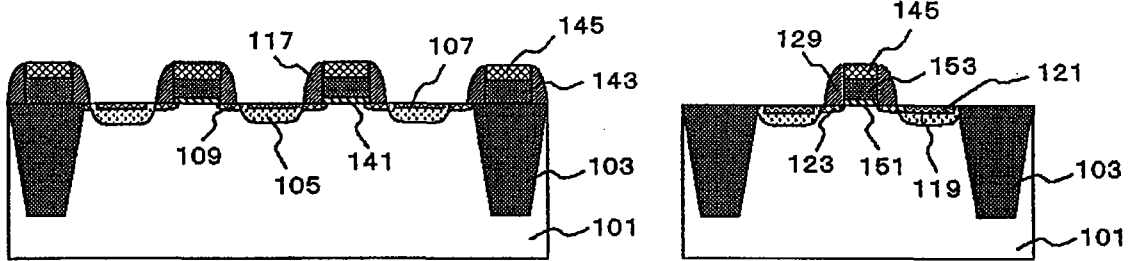


图6B

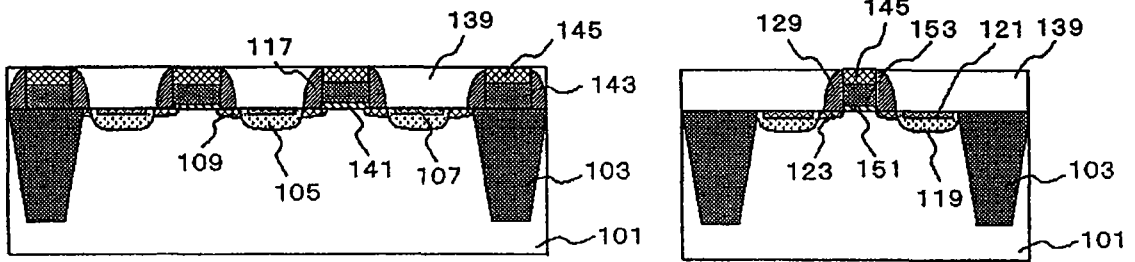


图6C

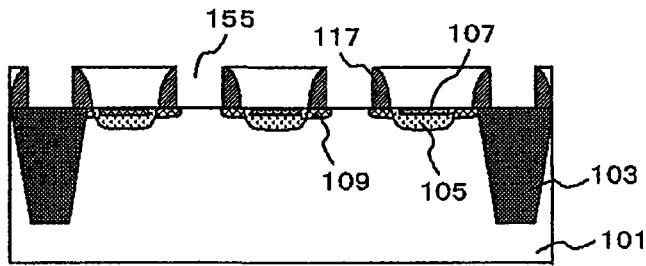


图7A

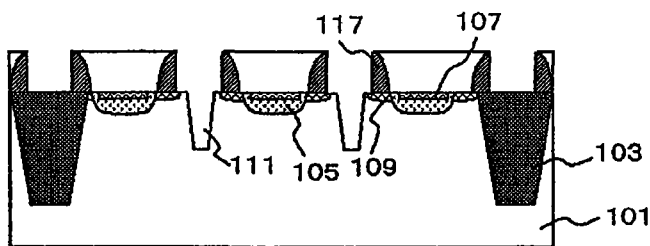
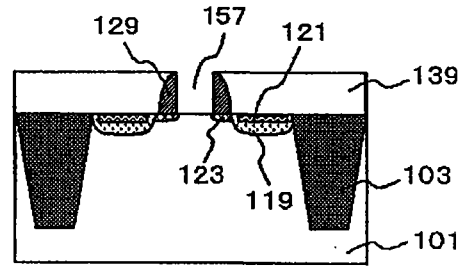


图7B

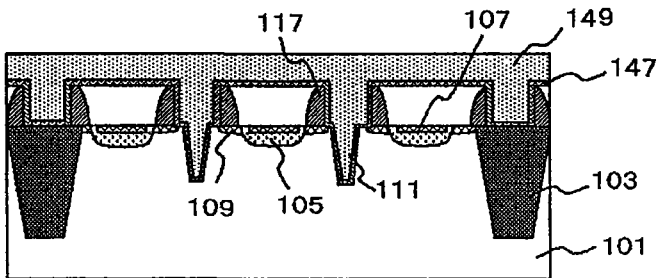
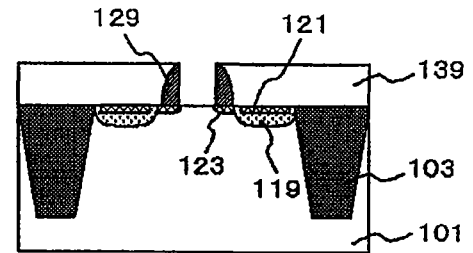


图7C

