

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成19年12月27日(2007.12.27)

【公表番号】特表2007-514268(P2007-514268A)
【公表日】平成19年5月31日(2007.5.31)
【年通号数】公開・登録公報2007-020
【出願番号】特願2006-545648(P2006-545648)
【国際特許分類】

G 1 1 C 17/18 (2006.01)

【F I】

G 1 1 C 17/00 3 0 6 Z

【手続補正書】

【提出日】平成19年11月12日(2007.11.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

非アクティブなメモリアクセス期間の間、複数のビットラインを放電すること、
前記複数のビットラインのうちの選択した1つに充電パルスを印加すること、
前記充電パルスを印加することの後に、前記複数のビットラインのうちの前記選択した1つと基準ラインとの間の電圧差を検出することに先立って遅延時間の間待機することであって、前記複数のビットラインのうちの前記選択した1つが、選択された1つのメモリビットセルに記憶された値に対応する電圧レベルに引き上げられるのに十分な前記遅延時間の間待機すること、
を備える、方法。

【請求項2】

非アクティブなメモリアクセス期間の間、複数のビットラインを放電すること、
前記複数のビットラインのうちの選択した1つに充電パルスを印加すること、
前記充電パルスを印加することの後に、前記複数のビットラインのうちの前記選択した1つと基準ラインとの間の電圧差を検出することに先立って遅延時間の間待機することであって、前記基準ラインが基準電圧に引き上げられるのに十分な前記遅延時間の間待機すること、
を備える、方法。

【請求項3】

メモリアレイであって、
複数のビットラインと、
複数の放電トランジスタであって、前記複数の放電トランジスタの各々は、前記複数のビットラインのうちの対応する1つのビットラインに1対1で接続され、前記複数の放電トランジスタは、非アクティブなメモリアクセス期間の間、前記複数のビットラインを放電して論理ローにするように構成され、前記複数の放電トランジスタのうちの選択された1つの放電トランジスタが、アクティブなメモリアクセス期間の間、前記複数のビットラインのうちの選択された1つのビットラインの放電を停止するように構成されている、前記複数の放電トランジスタと、
マルチプレクサとして構成された複数のパスゲートトランジスタであって、前記複数のパスゲートトランジスタの各々は、前記複数のビットラインのうちの対応する1つのビッ

トラインに1対1で接続され、前記複数のパスゲートトランジスタは、前記複数のビットラインのうちの1つを検出ノードとして選択するように構成されている、前記複数のパスゲートトランジスタと、

前記検出ノードに接続されたプルアップトランジスタであって、前記プルアップトランジスタは、前記アクティブなメモリアクセス期間に入り次第、前記検出ノードに充電パルスを供給するように構成されている、前記プルアップトランジスタと、
を備える、メモリアレイ。

【請求項4】

回路設計ツールであって、

回路設計に含まれるメモリユニットのサイズをユーザが選択し得るコンパイル可能なメモリユニットを備え、

前記コンパイル可能なメモリユニットは、前記メモリユニットのサイズに基づき、遅延期間及びパルス幅を計算し、前記メモリユニットを作成するように構成された一組の命令を含み、

前記メモリユニットは、
複数のビットラインと、

複数の放電トランジスタであって、前記複数の放電トランジスタの各々は、前記複数のビットラインのうちの対応する1つのビットラインに1対1で接続され、前記複数の放電トランジスタは、非アクティブなメモリアクセス期間の間、前記複数のビットラインを放電して論理ローにするように構成され、前記複数の放電トランジスタのうちの選択された1つの放電トランジスタが、アクティブなメモリアクセス期間の間、前記複数のビットラインのうちの選択された1つのビットラインの放電を停止するように構成されている、前記複数の放電トランジスタと、

マルチプレクサとして構成された複数のパスゲートトランジスタであって、前記複数のパスゲートトランジスタの各々は、前記複数のビットラインのうちの対応する1つのビットラインに1対1で接続され、前記複数のパスゲートトランジスタは、前記複数のビットラインのうちの1つを検出ノードとして選択するように構成されている、前記複数のパスゲートトランジスタと、

前記検出ノードに接続されたプルアップトランジスタであって、前記プルアップトランジスタは、前記アクティブなメモリアクセス期間に入り次第、前記検出ノードに前記パルス幅を有する充電パルスを供給するように構成されている、前記プルアップトランジスタと、

を含む、回路設計ツール。

【請求項5】

回路設計ツールであって、

回路設計に含まれるメモリユニットのサイズをユーザが選択し得るコンパイル可能なメモリユニットを備え、

前記コンパイル可能なメモリユニットは、前記メモリユニットのサイズに基づき、遅延期間及びパルス幅を計算し、前記メモリユニットを提供するように構成された一組の命令を含み、

前記メモリユニットは、非アクティブなメモリアクセス期間の間、複数のビットラインを放電し、前記複数のビットラインのうちの選択した1つに充電パルスを印加し、前記複数のビットラインのうちの前記選択した1つと基準ラインとの間の電圧差を検出するように構成され、

前記充電パルスは、前記パルス幅の幅を有し、

前記検出は、前記充電パルスの後に前記遅延期間遅れて起こる、
回路設計ツール。