



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I517260 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：100136091

(22)申請日：中華民國 100 (2011) 年 10 月 05 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/31 (2006.01)

(30)優先權：2010/10/14 日本

2010-231372

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：溝口隆文 MIZOGUCHI, TAKAFUMI (JP)；白石康次郎 SHIRAISHI, KOJIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6143640

US 2007/0210344A1

US 2009/0212296A1

US 2009/0224249A1

US 2010/0187535A1

審查人員：莊敏宏

申請專利範圍項數：48 項 圖式數：17 共 73 頁

(54)名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

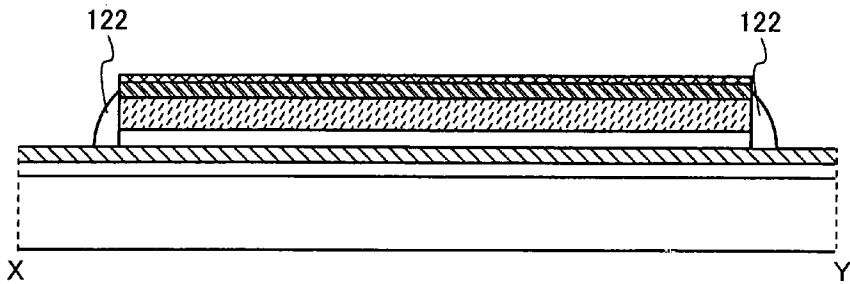
(57)摘要

本發明的一個方式的目的是在於提供一種半導體裝置的製造方法，其中成為半導體層的部分不暴露於水分等並且減少掩模數量。例如，形成第一導電膜、第一絕緣膜、半導體膜、第二導電膜及掩模膜。藉由加工掩模膜形成第一掩模層。使用第一掩模層對第一絕緣膜、半導體膜及第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使第一導電膜的表面露出。形成覆蓋薄膜疊層體的側面的側壁絕緣層。對第一導電膜進行側面蝕刻而形成第一電極層。形成第二掩模層。使用第二掩模層形成第二電極層。

Provided is a method for manufacturing a semiconductor device so as not expose a semiconductor layer to moisture and the number of masks is reduced. For example, a first conductive film, a first insulating film, a semiconductor film, a second conductive film, and a mask film are formed. The first mask film is processed to form a first mask layer. Dry etching is performed on the first insulating film, the semiconductor film, and the second conductive film with the use of the first mask layer to form a thin film stack body, so that a surface of the first conductive film is at least exposed. Sidewall insulating layers covering side surfaces of the thin film stack body are formed. The first conductive film is side-etched to form a first electrode. A second electrode layer is formed with the second mask layer.

指定代表圖：

圖 2B



符號簡單說明：  
122 . . . 側壁絕緣層

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100136091

※申請日：100 年 10 月 05 日

※IPC 分類：H01L 21/336 · 2006.01

一、發明名稱：(中文／英文)

H01L 21/31 · 2006.01

半導體裝置的製造方法

Method for manufacturing semiconductor device

## 二、中文發明摘要：

本發明的一個方式的目的是在於提供一種半導體裝置的製造方法，其中成為半導體層的部分不暴露於水分等並且減少掩模數量。例如，形成第一導電膜、第一絕緣膜、半導體膜、第二導電膜及掩模膜。藉由加工掩模膜形成第一掩模層。使用第一掩模層對第一絕緣膜、半導體膜及第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使第一導電膜的表面露出。形成覆蓋薄膜疊層體的側面的側壁絕緣層。對第一導電膜進行側面蝕刻而形成第一電極層。形成第二掩模層。使用第二掩模層形成第二電極層。

### 三、英文發明摘要：

Provided is a method for manufacturing a semiconductor device so as not expose a semiconductor layer to moisture and the number of masks is reduced. For example, a first conductive film, a first insulating film, a semiconductor film, a second conductive film, and a mask film are formed. The first mask film is processed to form a first mask layer. Dry etching is performed on the first insulating film, the semiconductor film, and the second conductive film with the use of the first mask layer to form a thin film stack body, so that a surface of the first conductive film is at least exposed. Sidewall insulating layers covering side surfaces of the thin film stack body are formed. The first conductive film is side-etched to form a first electrode. A second electrode layer is formed with the second mask layer.

四、指定代表圖：

(一) 本案指定代表圖為：第 2B 圖。

(二) 本代表圖之元件符號簡單說明：

122：側壁絕緣層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法。注意，在本說明書中，半導體裝置是指半導體元件本身或者包括半導體元件的裝置。作為這種半導體元件，例如可以舉出電晶體（薄膜電晶體等）。此外，液晶顯示裝置等顯示裝置也包括在半導體裝置的範疇中。

### 【先前技術】

近年來，半導體裝置在人類的生活中必不可少。包括在這種半導體裝置中的薄膜電晶體等半導體元件藉由在基板上形成半導體膜等的薄膜並利用光刻法等將該薄膜加工成所希望的形狀而製造。這種製造方法例如應用於有源矩陣型液晶顯示裝置（例如，液晶電視裝置）。

當製造以有源矩陣型液晶顯示裝置為代表的半導體裝置時，一般利用光刻法。在生產性的觀點來看，被要求減少光刻法中使用的光掩模的數量。例如，在專利文獻1至專利文獻4中公開了可以減少光掩模的數量的技術。

作為設置在薄膜電晶體中的半導體層的材料，廣泛地使用矽。然而，近年來，正在積極地展開對作為半導體層的材料使用氧化物半導體的薄膜電晶體的研究開發。然而，已知在使用氧化物半導體的薄膜電晶體中，若水分混入到半導體層中，則載子濃度發生大幅度的變化（例如，專利文獻5及專利文獻6）。此外，還已知在使用氧化物半導

體以外的半導體的薄膜電晶體中，若水分混入半導體層中，則其特性發生變化（例如，專利文獻7）。

[專利文獻1] 日本專利申請公開第2009-158941號公報

[專利文獻2] 日本專利申請公開第2009-239272號公報

[專利文獻3] 日本專利申請公開第2009-239276號公報

[專利文獻4] 日本專利申請公開第2010-199570號公報

[專利文獻5] 日本專利申請公開第2010-182818號公報

[專利文獻6] 日本專利申請公開第2010-182819號公報

[專利文獻7] 日本專利申請公開第2005-55660號公報

根據所述專利文獻1至專利文獻4所公開的技術，可以減少光掩模的數量。但是，例如，由於當形成源極電極及汲極電極時使用抗蝕劑掩模，所以需要在形成源極電極及汲極電極之後去除抗蝕劑掩模。一般使用抗蝕劑剝離液去除抗蝕劑掩模，但是，當採用該方法時，藉由加工而露出的層暴露於抗蝕劑剝離液。另一方面，例如也可以藉由利用氧電漿的乾法製程去除抗蝕劑掩模，但是有可能產生抗蝕劑殘留物。

水分一旦混入到半導體層中，就難以去除該水分。作

為去除所混入的水分的方法的一例，可以舉出對水分混入到其中的半導體層進行的加熱處理。但是，例如在將半導體層設置在玻璃基板上的情況下，對可以加熱的溫度有限制，而加熱處理需要較長時間。由此，這成為降低處理量的原因之一。

### 【發明內容】

本發明的一個方式的目的是在於提供一種半導體裝置的製造方法，其中成為半導體層的部分的整個表面不暴露於水分等，並且可以減少用於光刻法的光掩模的數量。尤其是，本發明的一個方式的目的是在於提供一種半導體裝置的製造方法，其中成為半導體層的部分的整個表面不暴露於剝離抗蝕劑掩模時的剝離液，並且可以減少用於光刻法的光掩模的數量。

本發明的一個方式提供一種半導體裝置的製造方法，其中藉由封閉成為半導體層的部分而可以以成為半導體層的部分不接觸於藥液（例如，抗蝕劑剝離液）的方式製造所述半導體裝置，並且可以減少掩模數量。

本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：按順序形成第一導電膜、第一絕緣膜、半導體膜、第二導電膜以及掩模膜；在所述掩模膜上形成第一抗蝕劑掩模；使用所述第一抗蝕劑掩模加工所述掩模膜而形成第一掩模層；使用藥液（例如，抗蝕劑剝離液）去除所述第一抗蝕劑掩模；使用所述第一掩模層對所述第一絕

緣膜、所述半導體膜及所述第二導電膜進行乾蝕刻而形成薄膜疊層體並至少使所述第一導電膜的表面露出，從而形成覆蓋所述薄膜疊層體的側面的側壁絕緣層；對所述第一導電膜進行側面蝕刻而形成第一電極層，在所述薄膜疊層體上的所述第一掩模層（或者在去除該第一掩模層後形成的所述薄膜疊層體上的另一個掩模膜）上形成第二抗蝕劑掩模，使用所述第二抗蝕劑掩模加工所述第一掩模層或所述另一個掩模膜而形成第二掩模層；使用藥液（例如，抗蝕劑剝離液）去除所述第二抗蝕劑掩模；以及使用所述第二掩模層加工所述薄膜疊層體的上部而形成第二電極層。在去除所述第一抗蝕劑掩模或所述第二抗蝕劑掩模之後進行使所述半導體膜露出的製程。

另外，在本說明書中，第一電極層至少構成閘極電極，還可以構成閘極佈線。並且，第二電極層構成源極電極及汲極電極，還可以構成源極佈線。

注意，在本說明書中，“膜”是指以在後面被加工為前提且大致均勻地形成在被形成面上的。“層”是指藉由加工膜而得到的或者大致均勻地形成在被形成面上且不需要在後面被加工的。

注意，在本說明書中，“回蝕刻處理”是如下蝕刻製程：對形成在整個面上的膜進行各向異性高的蝕刻（例如，乾蝕刻）直到使所述形成在整個面上的膜的被形成面的一部分露出。

另外，在上述結構的本發明的一個方式中，也可以藉

由乾法製程去除第一抗蝕劑掩模及第二抗蝕劑掩模。在該製程後進行洗滌製程較佳。

此外，在上述結構的本發明的一個方式中，也可以使用藥液去除第一抗蝕劑掩模及第二抗蝕劑掩模中的一個並且藉由乾法製程去除其中的另一個。

根據本發明的一個方式，能夠不使成為半導體層的部分的整個表面暴露於水分等並且減少用於光刻法的光掩模的數量而製造半導體裝置。尤其是，根據本發明的一個方式，能夠不使成為半導體層的部分的整個表面暴露於剝離抗蝕劑掩模時的剝離液並且減少用於光刻法的光掩模的數量而製造半導體裝置。

根據本發明的一個方式，能夠不產生抗蝕劑殘留物，不使成為半導體層的部分的整個表面暴露於水分並且減少用於光刻法的光刻膜的數量而製造半導體裝置。

## 【實施方式】

下面，參照圖式詳細說明本發明的實施方式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。另外，有時在俯視圖中沒有圖示絕緣膜及絕緣層。

## 實施方式 1

在本實施方式中，參照圖式說明本發明的一個方式的半導體裝置的製造方法。

本實施方式所說明的本發明的一個方式的半導體裝置的製造方法之一包括如下步驟：按順序層疊形成第一導電膜、第一絕緣膜、半導體膜、第二導電膜及掩模膜；在所述掩模膜上形成第一抗蝕劑掩模；使用所述第一抗蝕劑掩模對所述掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；使用抗蝕劑剝離液去除所述第一抗蝕劑掩模；使用所述第一掩模層對所述第一絕緣膜、所述半導體膜及所述第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使所述第一導電膜的表面露出；以覆蓋所述第一掩模層及所述薄膜疊層體的方式形成第二絕緣膜；藉由對所述第二絕緣膜進行回蝕刻處理，以至少覆蓋所述薄膜疊層體所具有的半導體區的整個側面的方式形成側壁絕緣層；對所述第一導電膜的一部分進行伴隨側面蝕刻的濕蝕刻或乾蝕刻而形成第一電極層；在所述第一掩模層上形成第二抗蝕劑掩模；使用所述第二抗蝕劑掩模對所述第一掩模層進行乾蝕刻或濕蝕刻而形成第二掩模層；使用抗蝕劑剝離液去除所述第二抗蝕劑掩模；以及使用所述第二掩模層對所述薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

或者，在本發明的一個方式的半導體裝置的製造方法中，所述第二掩模層也可以不是藉由加工第一掩模層而形成的。此時，也可以在形成所述薄膜疊層體後去除所述第

一掩模層，在形成所述側壁絕緣層後形成第二掩模膜，並且加工所述第二掩模膜而形成第二掩模層。因此，本實施方式所說明的本發明的一個方式的半導體裝置的製造方法之一包括如下步驟：按順序層疊形成第一導電膜、第一絕緣膜、半導體膜、第二導電膜及第一掩模膜；在所述第一掩模膜上形成第一抗蝕劑掩模；使用所述第一抗蝕劑掩模對所述第一掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；使用抗蝕劑剝離液去除所述第一抗蝕劑掩模；使用所述第一掩模層對所述第一絕緣膜、所述半導體膜及所述第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使所述第一導電膜的表面露出；藉由乾蝕刻去除所述第一掩模層；以覆蓋所述薄膜疊層體的方式形成第二絕緣膜；藉由對所述第二絕緣膜進行回蝕刻處理，以至少覆蓋所述薄膜疊層體所具有的半導體區的整個側面的方式形成側壁絕緣層；對所述第一導電膜的一部分進行伴隨側面蝕刻的濕蝕刻或乾蝕刻而形成第一電極層；至少在所述薄膜疊層體上形成第二掩模膜；在所述第二掩模膜上形成第二抗蝕劑掩模；使用所述第二抗蝕劑掩模對所述第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；使用抗蝕劑剝離液去除所述第二抗蝕劑掩模；以及使用所述第二掩模層對所述薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

或者，在本發明的一個方式的半導體裝置的製造方法中，也可以當形成所述側壁絕緣層時去除所述第一掩模層。因此，本實施方式所說明的本發明的一個方式的半導體

裝置的製造方法之一包括如下步驟：按順序層疊形成第一導電膜、第一絕緣膜、半導體膜、第二導電膜及第一掩模膜；在所述第一掩模膜上形成第一抗蝕劑掩模；使用所述第一抗蝕劑掩模對所述第一掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；使用抗蝕劑剝離液去除所述第一抗蝕劑掩模；使用所述第一掩模層對所述第一絕緣膜、所述半導體膜及所述第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使所述第一導電膜的表面露出；以覆蓋所述第一掩模層及所述薄膜疊層體的方式形成第二絕緣膜；藉由對所述第二絕緣膜進行回蝕刻處理，以至少覆蓋所述薄膜疊層體所具有的半導體區的整個側面的方式形成側壁絕緣層，並且去除第一掩模層；對所述第一導電膜的一部分進行伴隨側面蝕刻的濕蝕刻或乾蝕刻而形成第一電極層；至少在所述第二導電層上形成第二掩模膜；在所述第二掩模膜上形成第二抗蝕劑掩模；使用所述第二抗蝕劑掩模對所述第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；使用抗蝕劑剝離液去除所述第二抗蝕劑掩模；以及使用所述第二掩模層對所述薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

另外，在上述結構的半導體裝置的製造方法中，也可以在形成第二抗蝕劑掩模之後且形成第二掩模層之前形成第一電極層。或者，也可以在形成第二掩模層之後且使用剝離液去除第二抗蝕劑掩模之前形成第一電極層。或者，也可以在使用剝離液去除第二抗蝕劑掩模之後形成第一電

極層。

首先，在基板 100 上形成基底絕緣層 102、第一導電膜 104、第一絕緣膜 106、半導體膜 108、第二導電膜 110 及掩模膜 112。這些膜既可以是單層，又可以是層疊多個層而成的疊層膜。並且，在掩模膜 112 上形成第一抗蝕劑掩模 114（圖 1A、圖 6）。

基板 100 是絕緣基板。作為基板 100，例如可以使用玻璃基板、石英基板、陶瓷基板或具有可承受本製造製程的處理溫度的耐熱性的塑膠基板等。在基板 100 是玻璃基板的情況下，可以使用從第一代（例如  $320\text{ mm} \times 400\text{ mm}$ ）到第十代（例如  $2950\text{ mm} \times 3400\text{ mm}$ ）的基板，但是，不侷限於此。

基底絕緣層 102 為了防止如下情況的發生而設置：基板 100 被蝕刻；以及在基板 100 包含鹼金屬等的情況下，鹼金屬侵入到半導體膜中。例如，可以使用氮化矽形成基底絕緣層 102。另外，如果不需要，就可以不形成基底絕緣層 102。

第一導電膜 104 例如可以利用濺射法或 CVD 法（包括電漿 CVD 法或熱 CVD 法等）等而形成。作為第一導電膜 104 的材料，例如可以舉出金屬膜或添加有一種導電類型的雜質元素的半導體膜等。或者，也可以利用噴墨法等形成第一導電膜 104。另外，第一導電膜 104 既可以由單層形成，又可以由多個層的疊層形成。例如，可以採用將 Al 層夾在 Ti 層和 Ti 層之間或在 Mo 層和 Mo 層之間的三層的疊層

結構。

第一絕緣膜106例如可以利用濺射法或CVD法（包括電漿CVD法或熱CVD法等）等且使用絕緣材料（例如，氮化矽、氮氧化矽、氧氮化矽或氧化矽等）而形成。另外，第一絕緣膜106既可以由單層形成，又可以由多個層的疊層形成。

另外，“氮氧化矽”是指在其組成中氮含量多於氧含量的矽，較佳的是，當使用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）及氫前方散射法（HFS：Hydrogen Forward Scattering）測量時，作為組成範圍包含：5原子%至30原子%的氧；20原子%至55原子%的氮；25原子%至35原子%的矽；以及10原子%至30原子%的氫。

另外，“氧氮化矽”是指在其組成中氧含量多於氮含量的矽，較佳的是，當使用RBS及HFS測量時，作為組成範圍包含：50原子%至70原子%的氧；0.5原子%至15原子%的氮；25原子%至35原子%的矽；以及0.1原子%至10原子%的氫。

注意，當將構成氧氮化矽或氮氧化矽的原子的總計設定為100原子%時，氮、氧、矽及氫的含有比率包括在上述範圍內。

半導體膜108只要是半導體膜即可，它既可以是單層，又可以具有層疊有多個層的疊層結構。作為半導體膜108，例如可以舉出氧化物半導體膜或矽膜。

在半導體膜 108 是氧化物半導體膜的情況下，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體；二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體；In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等。此外，氧化物半導體膜也可以包含  $\text{SiO}_2$ 。在此，例如，In-Ga-Zn-O 類氧化物半導體膜是指包含 In、Ga 或 Zn 的氧化物半導體膜，對其化學計量比沒有特別的限制。此外，In-Ga-Zn-O 類氧化物半導體膜也可以包含 In、Ga、Zn 以外的元素。

在半導體膜 108 是氧化物半導體膜的情況下，例如可以使用以化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的氧化物半導體。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，可以舉出 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。或者，氧化物半導體膜也可以包含氧化矽。

此外，作為用來藉由濺射法形成氧化物半導體膜的靶材，例如使用其組成比為  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [莫耳數比] 的氧化物靶材。但是，不侷限於該靶材的材料及

組成，例如也可以使用組成比為  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [莫耳數比] 的氧化物靶材。

在此，在半導體膜 108 是藉由濺射法形成的氧化物半導體膜時，可以在稀有氣體（例如，Ar）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下形成半導體膜 108。

此外，氧化物靶材的填充率為 90% 以上且 100% 以下，較佳為 95% 以上且 99.9% 以下。如此，藉由使用填充率高的氧化物靶材，能夠形成緻密的氧化物半導體膜。

在半導體膜 108 是氧化物半導體膜的情況下，較佳的是，使用氧化矽形成接觸於半導體膜 108 的第一閘極絕緣膜 106，也使用氧化矽形成後面形成的側壁絕緣層 122，並且以能夠進行氧化物半導體膜的脫水化或脫氫化的條件進行加熱處理。像這樣，即使在進行加熱處理的情況下，由於氧化物半導體膜不暴露於水分，所以加熱處理時間也可以比現有技術短。

或者，作為半導體膜 108，也可以使用矽膜。作為矽膜可以使用非晶矽膜。或者，也可以使用在載子遷移率高的矽膜上設置有載子遷移率低的矽膜的疊層矽膜。

作為載子遷移率高的矽膜，可以舉出晶體矽膜。作為晶體矽，例如可以舉出微晶矽。在此，“微晶矽”是指具有非晶體和晶體結構（包括單晶、多晶）的中間結構的矽。微晶矽是如下一種矽：具有在自由能方面很穩定的第三狀態並具有短程有序及晶格畸變的晶體矽，並且晶粒的直徑為 2nm 以上且 200nm 以下、較佳為 10nm 以上且 80nm 以下

、更佳為 20nm 以上且 50nm 以下的柱狀或針狀晶粒沿相對於基板表面的法線方向生長。因此，有時在柱狀或針狀晶粒的介面中形成晶界。另外，這裏的晶粒的直徑表示晶粒在平行於基板表面的面中的最大直徑。此外，晶粒包括非晶矽區及可以視為單晶的微小晶體的雛晶。另外，晶粒有時包括孿晶。

微晶矽的拉曼光譜峰值比顯示單晶矽的  $520\text{cm}^{-1}$  更向低波數一側移動。換言之，微晶矽的拉曼光譜峰值位於顯示單晶矽的  $520\text{cm}^{-1}$  和顯示非晶矽的  $480\text{cm}^{-1}$  之間。此外，使其包含至少 1 原子 % 或其以上的氫或鹵族，以便終止不飽和鍵（懸空鍵；dangling bond）較佳。再者，藉由使其包含如 He、Ar、Kr 或 Ne 等的稀有氣體元素來進一步促進晶格畸變，而能夠獲得穩定性提高的優異的微晶矽。

作為載子遷移率低的矽膜，可以使用非晶矽膜。但是，使用如下矽膜較佳：具有非晶矽及微小矽晶粒，並且與現有的非晶矽膜相比，藉由恆定光電流方法（CPM：Constant Photocurrent Method）或光致發光光譜測量所測量的 Urbach 邊緣的能階小且缺陷吸收光譜量少。與現有的非晶矽膜相比，這種矽膜是缺陷少且在價電子帶的帶端（遷移率端）中的能階的尾部（下擺部）的傾斜率陡峭的秩序性高的矽膜。

載子遷移率低的矽膜也可以包含鹵族或氮。在載子遷移率低的矽膜包含氮時，氮也可以以 NH 基或  $\text{NH}_2$  基的形式存在。

另外，這裏，載子遷移率高的矽膜和載子遷移率低的矽膜的介面區具有微晶半導體區及填充在該微晶半導體區之間的非晶半導體區。明確而言，載子遷移率高的矽膜和載子遷移率低的矽膜的介面區由從載子遷移率高的矽膜以錐形狀延伸的微晶半導體區及與載子遷移率低的矽膜相同的“包含非晶半導體的區域”形成。

當在源極電極及汲極電極與載子遷移率高的矽膜之間設置載子遷移率低的矽膜時，能夠降低電晶體的截止電流。此外，由於上述介面區具有以錐形狀延伸的微晶矽區，所以能夠降低縱方向（膜的生長方向）上的電阻，而能夠增加電晶體的導通電流。就是說，與使用現有的非晶矽的情況相比，能夠充分降低截止電流而且抑制導通電流的降低，從而能夠提高電晶體的開關特性。

另外，微晶矽區從載子遷移率高的矽膜的表面向膜厚度方向生長，但是在原料氣體中，對於沉積性氣體（例如，矽烷）的氫流量小時（即，稀釋比率低時），或者包含氮的原料氣體的濃度高時，微晶矽區中的晶體生長受到抑制，晶粒成為錐形，從而藉由沉積而形成的矽的大部分成為非晶矽。

第二導電膜110例如可以利用濺射法或CVD法（包括電漿CVD法或熱CVD法等）等而形成。或者，也可以利用噴墨法等形成第二導電膜110。另外，第二導電膜110既可以由單層形成，又可以由多個層的疊層形成。例如，可以採用在Ti層上設置有Al層的雙層的疊層結構。

掩模膜 112 可以使用藉由後面的第一蝕刻製程及第三蝕刻製程不被蝕刻（不容易被蝕刻）的材料形成。作為掩模膜 112，例如可以使用氧化矽膜或氮化矽膜等的絕緣膜。或者，作為掩模膜 112，例如可以使用金屬膜。在使用金屬膜的情況下，可以將它用作電極層的一部分。

第一抗蝕劑掩模 114 藉由在將抗蝕劑材料塗敷在掩模膜 112 上之後利用光刻法進行加工而形成。

接著，使用第一抗蝕劑掩模 114 對掩模膜 112 進行乾蝕刻或濕蝕刻而形成第一掩模層 116（圖 1B）。在本實施方式中，將該製程稱為第一蝕刻製程。

在此，可以以第二導電膜 110 的蝕刻速度小且掩模膜 112 的蝕刻速度大的條件進行第一蝕刻製程。換言之，可以以掩模膜 112 的蝕刻選擇比高於第二導電膜 110 的蝕刻選擇比的條件進行第一蝕刻製程。

接著，使用抗蝕劑剝離液去除第一抗蝕劑掩模 114（圖 1C、圖 7）。

接著，使用第一掩模層 116 對第二導電膜 110、半導體膜 108 及第一絕緣膜 106 進行乾蝕刻而形成薄膜疊層體 118（圖 1D、圖 8）。在本實施方式中，將該製程稱為第二蝕刻製程。

在此，可以以第一掩模層 116 的蝕刻速度小且第二導電膜 110、半導體膜 108 及第一絕緣膜 106 的蝕刻速度大的條件進行第二蝕刻製程。換言之，可以以第二導電膜 110、半導體膜 108 及第一絕緣膜 106 的蝕刻選擇比高於第一掩

模層 116 的蝕刻選擇比的條件進行第二蝕刻製程。另外，由於在第二蝕刻製程中蝕刻多種膜，所以第二蝕刻製程藉由多個步驟（例如，兩個步驟或三個步驟）來實施較佳。

例如，第二蝕刻製程可以藉由使用  $\text{Cl}_2$  氣體、 $\text{CF}_4$  氣體、 $\text{O}_2$  氣體的混合氣體進行蝕刻的第一製程、使用  $\text{Cl}_2$  氣體進行蝕刻的第二製程以及使用  $\text{CHF}_3$  氣體進行蝕刻的第三製程來實施。

在此，也可以去除第一掩模層 116。作為去除第一掩模層 116 的方法，採用不使水分接觸於薄膜疊層體 118 所具有的半導體區的方法（例如，乾蝕刻處理）。

接著，以覆蓋薄膜疊層體 118 的方式藉由濺射法或 CVD 法（包括電漿 CVD 法或熱 CVD 法等）等形成側壁絕緣膜 120（圖 2A）。

另外，使用與第一絕緣膜 106 相同的材料形成側壁絕緣膜 120 較佳。這是為了提高薄膜疊層體 118 與後面形成的側壁絕緣層 122 之間的緊密性。

或者，也可以在形成側壁絕緣膜 120 後進行加熱處理。這是為了提高薄膜疊層體 118 與後面形成的側壁絕緣層 122 之間的緊密性。

接著，藉由對側壁絕緣膜 120 進行回蝕刻處理而以至少覆蓋薄膜疊層體 118 所具有的半導體區的整個側面的方式形成側壁絕緣層 122（圖 2B）。這裏，進行回蝕刻處理直到第一掩模層 116 或薄膜疊層體 118 所具有的導電區露出。

接著，對第一導電膜104的一部分進行伴隨側面蝕刻的濕蝕刻或乾蝕刻而形成第一電極層124（圖2C、圖9）。

在形成第一電極層124的蝕刻製程中，第一導電膜104需要受到側面蝕刻，而基底絕緣層102及側壁絕緣層122不被蝕刻，並且在薄膜疊層體118的導電區（由第二導電膜110形成的區域）露出的情況下，該區域不被蝕刻。因此，例如，可以形成Al膜或Mo膜作為第一導電膜104，形成Ti膜或W膜作為第二導電膜110，並且使用含有硝酸、醋酸及磷酸的藥液作為蝕刻劑。或者，可以形成Mo膜作為第一導電膜104，形成Ti膜、Al膜或W膜作為第二導電膜110，並且使用含有過氧化氫水的藥液作為蝕刻劑。

接著，在第一掩模層116上形成第二抗蝕劑掩模126（圖2D、圖10）。

第二抗蝕劑掩模126藉由在將抗蝕劑材料塗敷在第一掩模層116上之後利用光刻法進行加工而形成。

或者，在藉由到此為止的製程去除了第一掩模層116的情況下，至少在薄膜疊層體118上形成第二掩模膜（未圖示），並且在該第二掩模膜上形成第二抗蝕劑掩模126。

接著，使用第二抗蝕劑掩模126對第一掩模層116或第二掩模膜（未圖示）進行乾蝕刻或濕蝕刻而形成第二掩模層128。在本實施方式中，將該製程稱為第三蝕刻製程（圖3A、圖11）。

在此，可以至少以第二導電膜110、側壁絕緣層122及

第一絕緣膜106的蝕刻速度小且掩模膜112的蝕刻速度大的條件進行第三蝕刻製程。換言之，可以以掩模膜112的蝕刻選擇比高於第二導電膜110、側壁絕緣層122及第一絕緣膜106的蝕刻選擇比的條件進行第三蝕刻製程。

接著，使用抗蝕劑剝離液去除第二抗蝕劑掩模126（圖3B、圖12）。

接著，使用第二掩模層128對薄膜疊層體118所具有的導電區進行乾蝕刻而形成第二電極層130。在本實施方式中，將該製程稱為第四蝕刻製程（圖3C、圖13）。另外，藉由該製程，薄膜疊層體118的不與第二電極層130重疊的部分的半導體區的上部被蝕刻而形成半導體層132。

在此，可以以半導體膜108的蝕刻速度小且第二導電膜110的蝕刻速度大的條件進行第四蝕刻製程。換言之，可以以第二導電膜110的蝕刻選擇比高於半導體膜108的蝕刻選擇比的條件進行第四蝕刻製程。

另外，雖然未圖示，但是也可以在該製程後去除第二掩模層128。作為去除第二掩模層128的方法，採用不使水分接觸於薄膜疊層體118所具有的半導體區的方法（例如，乾蝕刻處理）。

在以上說明的半導體裝置的製造方法中，需要注意各種薄膜的材料與用於蝕刻製程的氣體或蝕刻劑的組合。

例如，在半導體膜108是In-Ga-Zn-O類氧化物半導體膜，第二導電膜110是Ti膜，並且掩模膜112是氧化鋁膜的情況下，作為蝕刻劑，在第一蝕刻製程及第三蝕刻製程中

可以使用混合磷酸、醋酸、硝酸、純水（作為一例，體積比為85：5：5：5）的藥液，在第二蝕刻製程中可以使用Cl類氣體，並且在第四蝕刻製程中可以使用F類氣體。或者，第四蝕刻製程也可以藉由使用Cl類氣體的蝕刻及使用F類氣體的蝕刻的兩個步驟來進行。

或者，在半導體膜108是In-Ga-Zn-O類氧化物半導體膜，第二導電膜110是Ti膜，並且掩模膜112是氧化矽膜的情況下，在第一蝕刻製程及第三蝕刻製程中可以使用氫氟酸作為蝕刻劑。此時，在第二蝕刻製程中可以使用Cl類氣體，並且在第四蝕刻製程中可以使用F類氣體。或者，第四蝕刻製程也可以藉由使用Cl類氣體的蝕刻及使用F類氣體的蝕刻的兩個步驟來進行。

另外，作為Cl類氣體，可以舉出 $\text{CCl}_4$ 氣體、 $\text{SiCl}_4$ 氣體、 $\text{BCl}_3$ 氣體以及 $\text{Cl}_2$ 氣體。尤其使用 $\text{BCl}_3$ 氣體和 $\text{Cl}_2$ 氣體的混合氣體較佳。

另外，作為F類氣體，可以舉出 $\text{CF}_4$ 氣體、 $\text{SF}_6$ 氣體、 $\text{NF}_3$ 氣體、 $\text{CBrF}_3$ 氣體、 $\text{CF}_3\text{SO}_3\text{H}$ 氣體以及 $\text{C}_3\text{F}_8$ 氣體。尤其使用 $\text{SF}_6$ 氣體較佳。

另外，側壁絕緣層122也可以具有疊層結構。此時，作為與薄膜疊層體118的側面接觸的內側的側壁絕緣層，例如可以藉由濺射法或CVD法（包括電漿CVD法或熱CVD法等）形成氧化矽層、氮氧化矽層、氮化矽層或氮化矽層，並且作為外側的側壁絕緣層，例如可以藉由濺射法或CVD法（包括電漿CVD法或熱CVD法等）形成氧化矽層、

氮化矽層、氮氧化矽層或氮化矽層。較佳的是，例如藉由濺射法形成氧化矽層作為內側的側壁絕緣層，並且藉由電漿CVD法形成氮化矽層作為外側的側壁絕緣層。這樣能夠減少薄膜疊層體118的半導體區中的含氫量，並且，能夠形成不容易使氫及水分侵入到薄膜疊層體118的半導體區中的阻擋性高的側壁絕緣層。再者，在將氧化物半導體膜用作半導體膜108的情況下，藉由將氧化矽層用於接觸於氧化物半導體層的部分，而能夠對氧化物半導體層供應氧。

接著，以覆蓋如上那樣製造的半導體裝置的方式形成保護絕緣膜134（圖3D）。

可以與第一絕緣膜106同樣地，使用絕緣材料形成保護絕緣膜134。另外，保護絕緣膜134既可以由單層形成，又可以由多個層的疊層形成。在此，例如可以使用氮化矽或氧化鋁形成保護絕緣膜134。

接著，在保護絕緣膜134上形成第三抗蝕劑掩模136（圖4A），並且在保護絕緣膜134的與第二電極層130重疊的部分形成開口部138（圖4B）。然後，去除第三抗蝕劑掩模136（圖4C）。另外，雖然未圖示，但是在第二掩模層128由導電材料形成的情況下，也可以當形成開口部138時不去除第二掩模層128。

另外，在第二掩模層128在形成保護絕緣膜134之前被去除的情況下，能夠減少形成開口部138時的蝕刻量。

接著，以藉由開口部138與第二電極層130連接的方式

在保護絕緣膜134上選擇性地形成像素電極層144（圖5C）。在本實施方式中，作為一例，在保護絕緣膜134上形成第三導電膜140（圖4D），並且在第三導電膜140上形成第四抗蝕劑掩模142（圖5A）。並且，藉由蝕刻第三導電膜140，形成像素電極層144（圖5B）。然後，去除第四抗蝕劑掩模142（圖5C、圖14）。

然而，不侷限於此，也可以以藉由開口部138與第二電極層130連接的方式在保護絕緣膜134上藉由噴墨法選擇性地形成像素電極層144。

第三導電膜140可以是透明導電膜。透明導電膜可以使用包含具有透光性的導電高分子（也稱為導電聚合物）的導電組成物而形成。較佳的是，在使用導電組成物形成的透明導電膜中，薄層電阻為 $10000\Omega/\square$ 以下，並且波長為550nm時的透光率為70%以上。此外，包含在導電組成物中的導電高分子的電阻率較佳為 $0.1\Omega\cdot\text{cm}$ 以下。

另外，作為導電高分子，可以使用所謂的 $\pi$ 電子共軛導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者苯胺、吡咯及噻吩中的兩種以上的共聚物或其衍生物等。

透明導電膜例如也可以使用包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下記載為ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等而形成。

如上所說明，可以例如將本實施方式所說明的半導體

裝置應用於液晶顯示裝置的像素電晶體。然而，不侷限於此，也可以將本實施方式的製造方法應用於EL顯示裝置的製造方法。

## 實施方式 2

作為本發明的一個方式的半導體裝置，可以舉出電子紙。電子紙可以用於用來顯示資訊的所有領域的電子裝置。例如，電子紙能夠應用到電子書閱讀器（電子書）、招貼、數字標牌、PID（Public Information Display：公眾資訊顯示器）、諸如火車等交通工具中的車廂廣告、諸如信用卡等各種卡的顯示等。圖15示出電子裝置的一例。

圖15示出電子書閱讀器的一例。例如，電子書閱讀器200由兩個外殼，即外殼201及外殼203構成。外殼201及外殼203由軸部211形成為一體，且可以以該軸部211為軸進行開閉動作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

外殼201組裝有顯示部205及光電轉換裝置206，而外殼203組裝有顯示部207及光電轉換裝置208。顯示部205及顯示部207的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右側的顯示部（圖15中的顯示部205）中顯示文章，而在左側的顯示部（圖15中的顯示部207）中顯示影像。

此外，在圖15中示出外殼201具備操作部等的例子。

例如，在外殼 201 中，具備電源開關 221、操作鍵 223、揚聲器 225 等。利用操作鍵 223 可以翻頁。另外，也可以採用在與外殼的顯示部同一個面上具備鍵盤、指向裝置等的結構。此外，也可以採用在外殼的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及各種電纜如 USB 電纜等連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 200 也可以具有電子詞典的功能。

此外，電子書閱讀器 200 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

藉由採用實施方式 1 所說明的半導體裝置的製造方法，能夠以不使設置在半導體裝置中的成為半導體層的部分的整個表面暴露於水分等的方式藉由簡單的製程製造本實施方式的半導體裝置。

### 實施方式 3

作為本發明的一個方式的半導體裝置，除了電子紙以外，還可以舉出各種各樣的電子裝置（包括遊戲機）。作為電子裝置，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數碼攝像機、數碼相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、移動資訊終端、聲音再現裝置、彈子機等大型遊戲機等。

圖 16A 示出電視裝置的一例。在電視裝置 300 中，外

殼 301 組裝有顯示部 303。利用顯示部 303 可以顯示影像。此外，在此示出使用支架 305 支撐外殼 301 的結構。

可以藉由利用外殼 301 所具備的操作開關或另行提供的遙控操作機 310 進行電視裝置 300 的操作。藉由利用遙控操作機 310 所具備的操作鍵 309，可以進行頻道及音量的操作，並可以對在顯示部 303 上顯示的影像進行操作。此外，也可以採用在遙控操作機 310 中設置顯示從該遙控操作機 310 輸出的資訊的顯示部 307 的結構。

另外，電視裝置 300 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到利用有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 16B 示出數碼相框的一例。例如，在數碼相框 320 中，外殼 321 組裝有顯示部 323。顯示部 323 可以顯示各種影像，例如藉由顯示使用數位相機等拍攝的影像資料，可以發揮與一般的相框同樣的功能。

另外，數碼相框 320 採用具備操作部、外部連接用端子（USB 端子、可以與諸如 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。上述零部件可以組裝到與顯示部同一個面上，但是藉由將它們設置在側面或背面上可以提高設計性，所以是較佳的。例如，可以對數碼相框的記錄媒體插入部插入儲存有使用數位相機拍攝的影像資料的記憶體並提取影像資料，然後將所提取的影像

資料顯示於顯示部 323。

此外，數碼相框 320 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式提取所希望的影像資料並進行顯示的結構。

圖 17 是示出可攜式電腦的一例的立體圖。

圖 17 所示的可攜式電腦可以使連接上部外殼 341 與下部外殼 342 的鉸鏈裝置成為關閉狀態來使具有顯示部 343 的上部外殼 341 與具有鍵盤 344 的下部外殼 342 成為重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，使鉸鏈裝置成為打開狀態，而可以看著顯示部 343 進行輸入操作。

此外，下部外殼 342 除了鍵盤 344 之外還包括進行輸入操作的指向裝置 346。此外，當顯示部 343 為觸屏輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。此外，下部外殼 342 還包括 CPU、硬碟等的計算功能部。此外，下部外殼 342 還具有外部連接埠 345，該外部連接埠 345 用來插入其他的裝置，例如符合 USB 的通信標準的通信電纜。

上部外殼 341 還具有藉由滑動到上部外殼 341 內部而可以收納的顯示部 347，因此可以實現寬顯示畫面。此外，使用者可以調節可以收納的顯示部 347 的畫面的方向。此外，當可以收納的顯示部 347 為觸屏輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

作為顯示部 343 或可以收納的顯示部 347，使用如液晶

顯示面板、諸如有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。

此外，圖17所示的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部。此外，使用者可以在使連接上部外殼341與下部外殼342的鉸鏈裝置處於關閉狀態的狀態下滑動顯示部347而使其整個面露出並調整畫面角度來觀看電視廣播。此時，由於使鉸鏈裝置成為關閉狀態而不使顯示部343進行顯示，並且僅啟動只顯示電視廣播的電路，所以可以將耗電量控制為最少，這對於電池容量有限的可攜式電腦而言是十分有利的。

藉由採用實施方式1所說明的半導體裝置的製造方法，能夠以不使設置在半導體裝置中的成為半導體層的部分的整個表面暴露於水分等的方式藉由簡單的製程製造本實施方式的半導體裝置。

#### 【圖式簡單說明】

在圖式中：

圖1A至1D是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖2A至2D是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖3A至3D是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖4A至4D是說明本發明的一個方式的半導體裝置的

製造方法的剖面圖；

圖 5A 至 5C 是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 6 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 7 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 8 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 9 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 10 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 11 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 12 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 13 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 14 是說明本發明的一個方式的半導體裝置的製造方法的俯視圖；

圖 15 是說明本發明的一個方式的半導體裝置的圖；

圖 16A 及 16B 是說明本發明的一個方式的半導體裝置的圖；

圖 17 是說明本發明的一個方式的半導體裝置的圖。

本發明的選擇圖為圖 2。

【主要元件符號說明】

100：基板  
 102：基底絕緣層  
 104：第一導電膜  
 106：第一絕緣膜  
 108：半導體膜  
 110：第二導電膜  
 112：掩模膜  
 114：第一抗蝕劑掩模  
 116：第一掩模層  
 118：薄膜疊層體  
 120：側壁絕緣膜  
 122：側壁絕緣層  
 124：第一電極層  
 126：第二抗蝕劑掩模  
 128：第二掩模層  
 130：第二電極層  
 132：半導體層  
 134：保護絕緣膜  
 136：第三抗蝕劑掩模  
 138：開口部

140：第三導電膜

142：第四抗蝕劑掩模

144：像素電極層

200：電子書閱讀器

201：外殼

203：外殼

205：顯示部

206：光電轉換裝置

207：顯示部

208：光電轉換裝置

211：軸部

221：電源開關

223：操作鍵

225：揚聲器

300：電視裝置

301：外殼

303：顯示部

305：支架

307：顯示部

309：操作鍵

310：遙控操作機

320：數碼相框

321：外殼

323：顯示部

341：上部外殼

342：下部外殼

343：顯示部

344：鍵盤

345：外部連接埠

346：指向裝置

347：顯示部

## 七、申請專利範圍：

103年11月20日修正本

1. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

在該第一掩模層上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第一掩模層進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻

而形成第二電極層及半導體層。

2.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

藉由乾蝕刻去除該第一掩模層；

在該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

至少在該薄膜疊層體上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及  
使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻  
而形成第二電極層及半導體層。

3.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕  
刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該  
第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該  
第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜及該第一掩模層進行蝕刻而形成覆蓋  
該薄膜疊層體的側面的側壁絕緣層；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第  
一電極層；

至少在該第二導電膜上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或

濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及  
使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

4.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

在該第一掩模層上形成第二抗蝕劑掩模；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

使用該第二抗蝕劑掩模對該第一掩模層進行乾蝕刻或

濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

5.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

藉由乾蝕刻去除該第一掩模層；

在該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

至少在該薄膜疊層體上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第

一 電 極 層 ；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

6. 一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜及該第一掩模層進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

至少在該第二導電膜上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

7.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

在該第一掩模層上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第一掩模層進行乾蝕刻或濕蝕刻而形成第二掩模層；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及  
使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

8.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

藉由乾蝕刻去除該第一掩模層；

在該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

至少在該薄膜疊層體上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

9.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜及該第一掩模層進行蝕刻而形成覆蓋

該薄膜疊層體的側面的側壁絕緣層；

至少在該第二導電膜上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

10.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

在該第一掩模層上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第一掩模層進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

11.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該第一導電膜的表面露出；

藉由乾蝕刻去除該第一掩模層；

在該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

至少在該薄膜疊層體上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

12.一種半導體裝置的製造方法，包括如下步驟：

在基板上形成第一導電膜；

在該第一導電膜上形成第一絕緣膜；

在該第一絕緣膜上形成半導體膜；

在該半導體膜上形成第二導電膜；

在該第二導電膜上形成掩模膜；

在該掩模膜上形成第一抗蝕劑掩模；

使用該第一抗蝕劑掩模對該掩模膜進行乾蝕刻或濕蝕刻而形成第一掩模層；

使用抗蝕劑剝離液去除該第一抗蝕劑掩模；

使用該第一掩模層對該第一絕緣膜、該半導體膜及該第二導電膜進行乾蝕刻而形成薄膜疊層體，從而至少使該

第一導電膜的表面露出；

在該第一掩模層及該薄膜疊層體上形成第二絕緣膜；

對該第二絕緣膜及該第一掩模層進行蝕刻而形成覆蓋該薄膜疊層體的側面的側壁絕緣層；

至少在該第二導電膜上形成第二掩模膜；

在該第二掩模膜上形成第二抗蝕劑掩模；

使用該第二抗蝕劑掩模對該第二掩模膜進行乾蝕刻或濕蝕刻而形成第二掩模層；

使用抗蝕劑剝離液去除該第二抗蝕劑掩模；

對該第一導電膜的側部進行濕蝕刻或乾蝕刻而形成第一電極層；以及

使用該第二掩模層對該薄膜疊層體的上部進行乾蝕刻而形成第二電極層及半導體層。

13.根據申請專利範圍第1項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

14.根據申請專利範圍第1項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

15.根據申請專利範圍第1項之半導體裝置的製造方法

,

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，  
該第一導電膜及該第二導電膜都是鈦膜，  
並且，該掩模膜是氧化鋁膜。

16.根據申請專利範圍第2項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

17.根據申請專利範圍第2項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層  
露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成  
像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部  
連接於該第二電極層。

18.根據申請專利範圍第2項之半導體裝置的製造方法

,

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，  
該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

19.根據申請專利範圍第3項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

20.根據申請專利範圍第3項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

21.根據申請專利範圍第3項之半導體裝置的製造方法，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

22.根據申請專利範圍第4項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

23.根據申請專利範圍第4項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

24.根據申請專利範圍第4項之半導體裝置的製造方法

，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

25.根據申請專利範圍第5項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

26.根據申請專利範圍第5項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

27.根據申請專利範圍第5項之半導體裝置的製造方法

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，  
該第一導電膜及該第二導電膜都是鈦膜，  
並且，該掩模膜是氧化鋁膜。

28.根據申請專利範圍第6項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

29.根據申請專利範圍第6項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層  
露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成  
像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部  
連接於該第二電極層。

30.根據申請專利範圍第6項之半導體裝置的製造方法

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，  
該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

31.根據申請專利範圍第7項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

32.根據申請專利範圍第7項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

33.根據申請專利範圍第7項之半導體裝置的製造方法，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

34.根據申請專利範圍第8項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

35.根據申請專利範圍第8項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

36.根據申請專利範圍第8項之半導體裝置的製造方法

，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

37.根據申請專利範圍第9項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

38.根據申請專利範圍第9項之半導體裝置的製造方法

，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

39.根據申請專利範圍第9項之半導體裝置的製造方法

，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

40.根據申請專利範圍第10項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

41.根據申請專利範圍第10項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

42.根據申請專利範圍第10項之半導體裝置的製造方法，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

43.根據申請專利範圍第 11 項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

44.根據申請專利範圍第 11 項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

45.根據申請專利範圍第 11 項之半導體裝置的製造方法，

其中，該半導體膜是 In-Ga-Zn-O 類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

46.根據申請專利範圍第 12 項之半導體裝置的製造方法，還包括如下步驟：

在該第二電極層上形成像素電極層，

其中，該像素電極層連接於該第二電極層。

47.根據申請專利範圍第 12 項之半導體裝置的製造方

法，還包括如下步驟：

在該第二電極層上形成保護絕緣膜；

在該保護絕緣膜中形成開口部，從而使該第二電極層露出；以及

在該保護絕緣膜及該保護絕緣膜中的該開口部上形成像素電極層，

其中，該像素電極層藉由該保護絕緣膜中的該開口部連接於該第二電極層。

48.根據申請專利範圍第12項之半導體裝置的製造方法，

其中，該半導體膜是In-Ga-Zn-O類氧化物半導體膜，

該第一導電膜及該第二導電膜都是鈦膜，

並且，該掩模膜是氧化鋁膜。

圖 1A

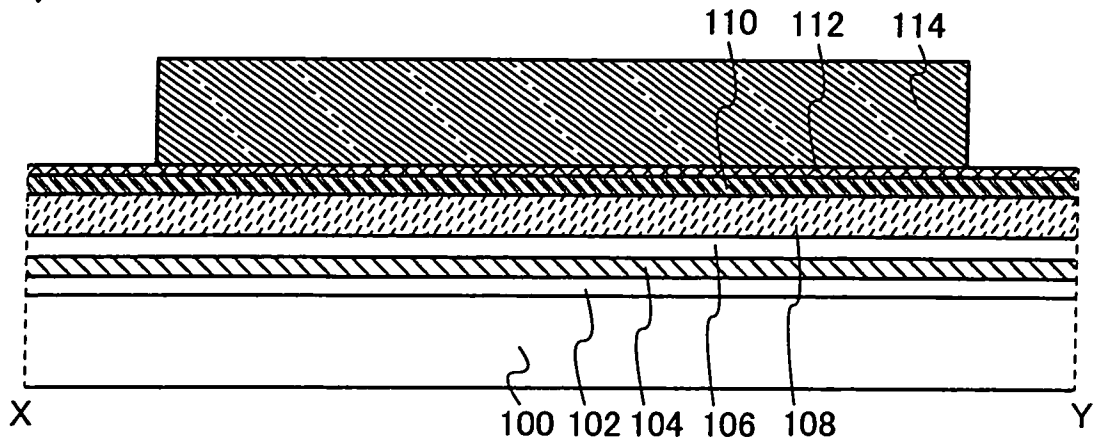


圖 1B

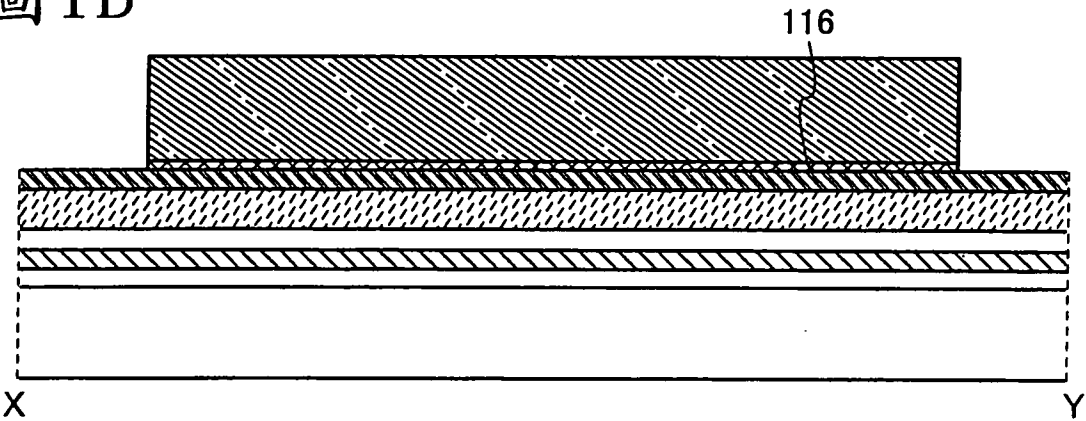


圖 1C

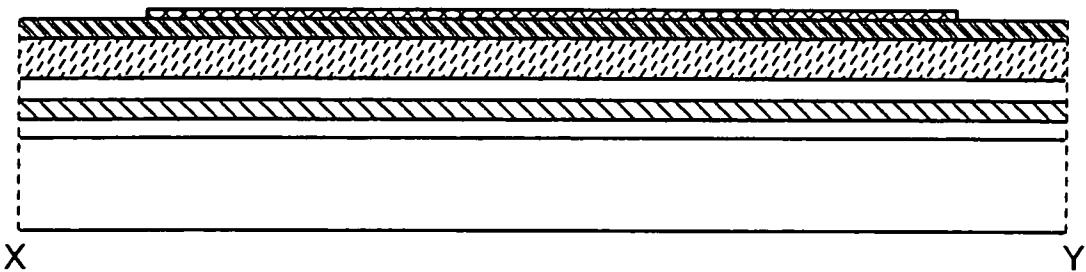


圖 1D

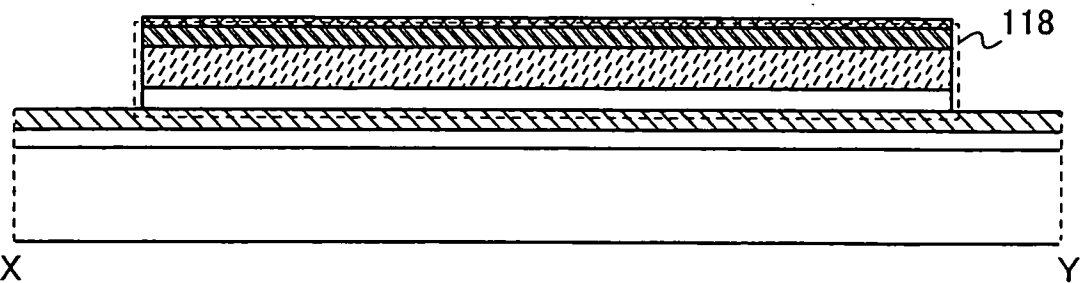


圖 2A

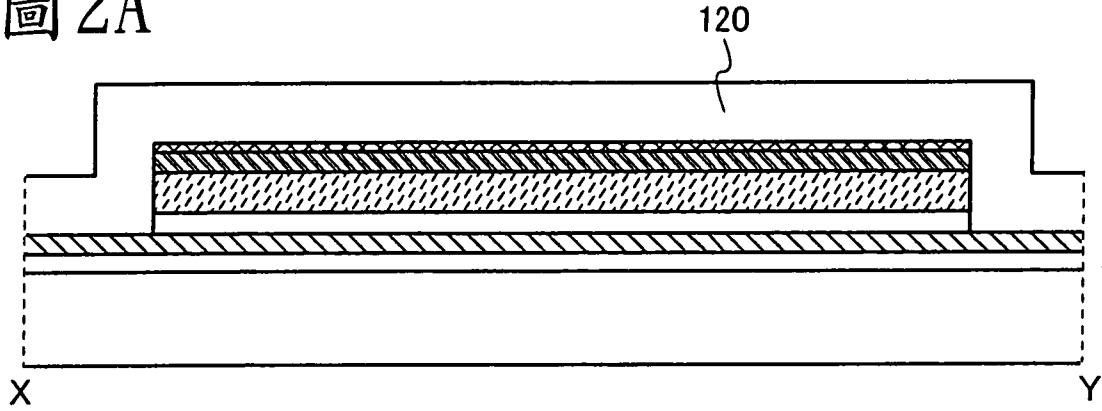


圖 2B

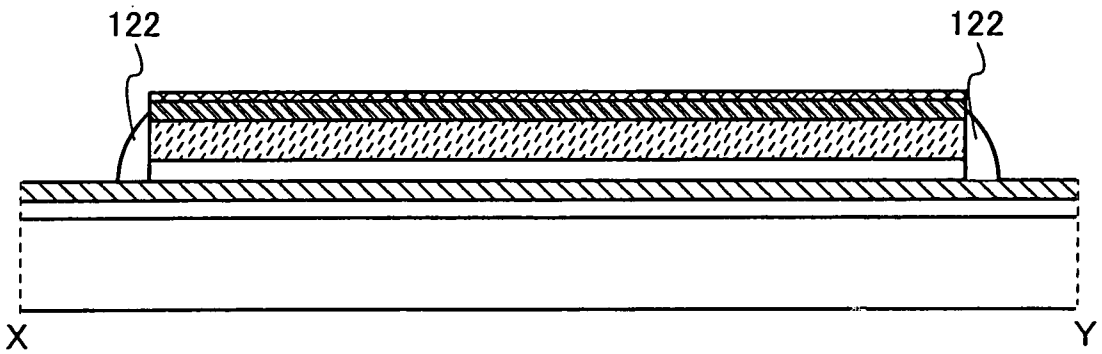


圖 2C

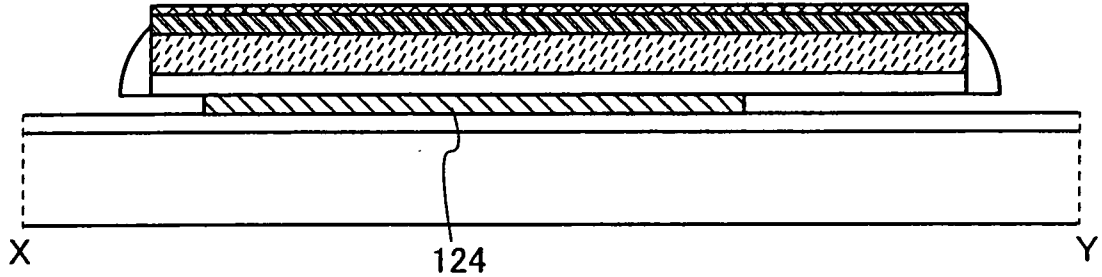


圖 2D

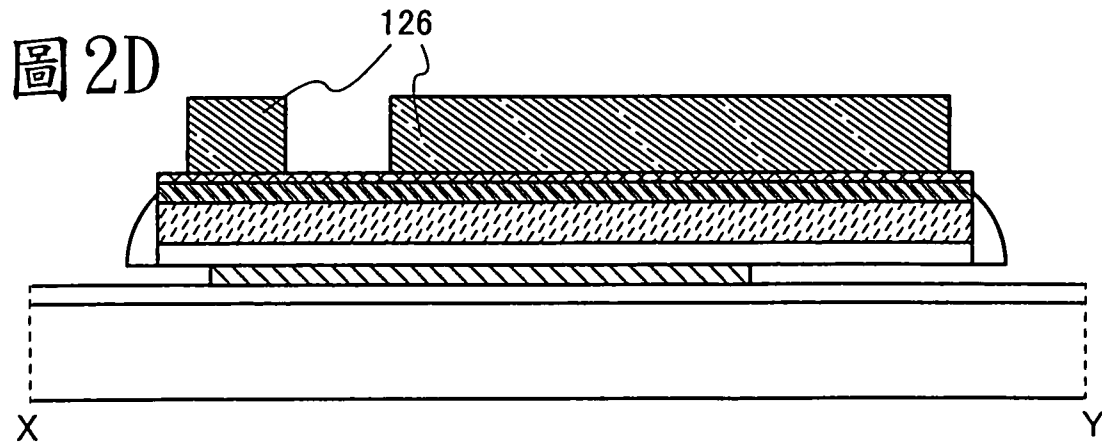


圖 3A

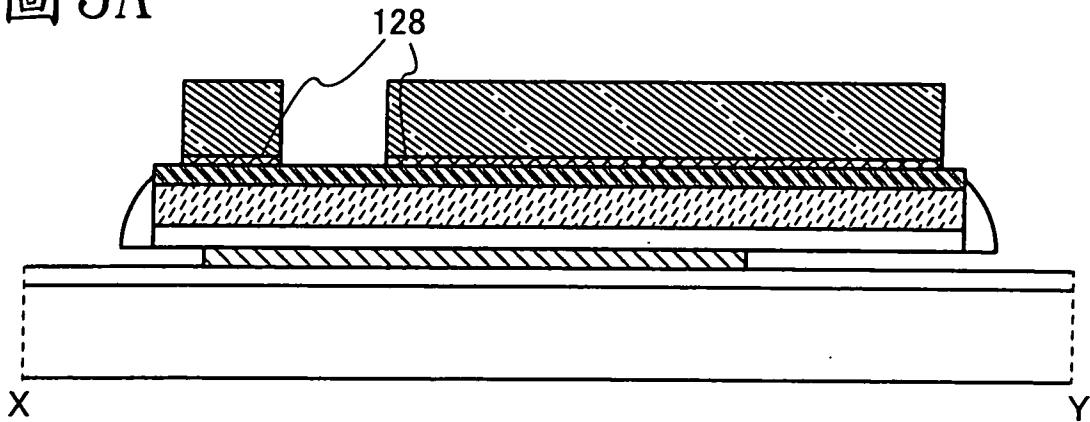


圖 3B

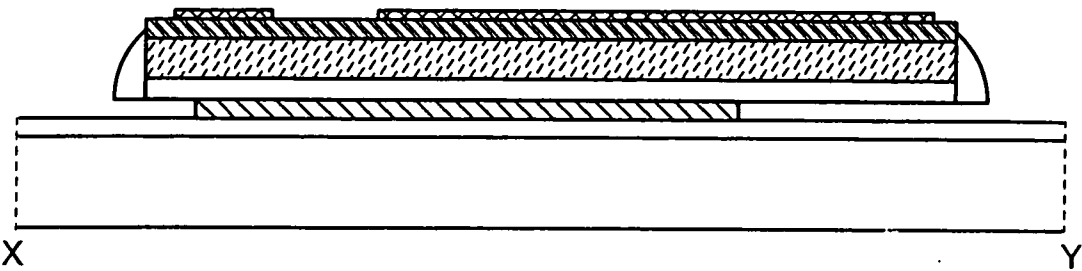


圖 3C

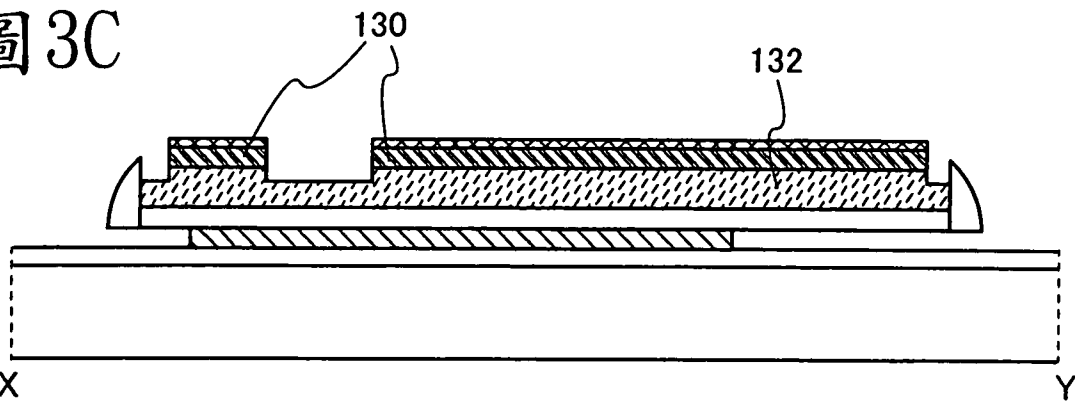


圖 3D

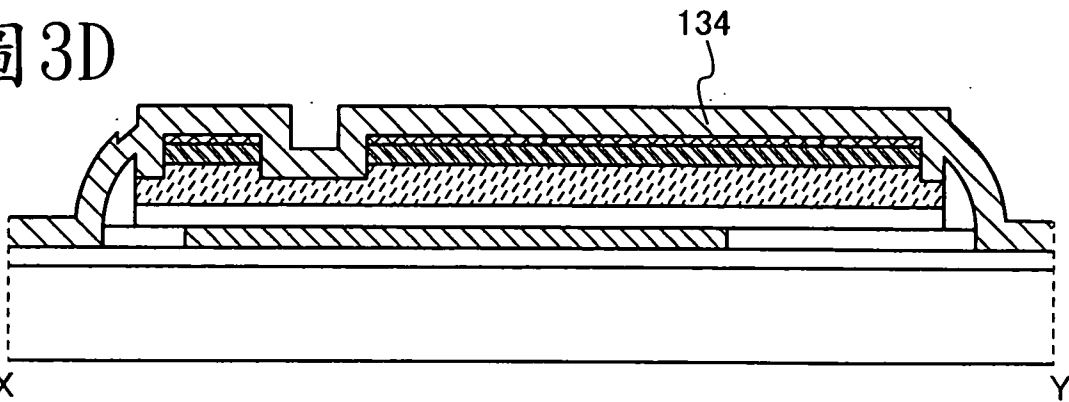


圖 4A

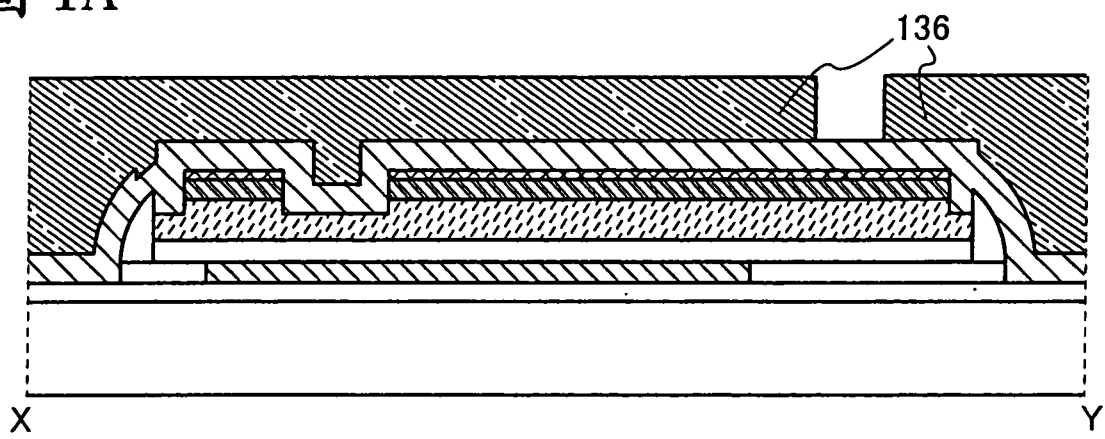


圖 4B

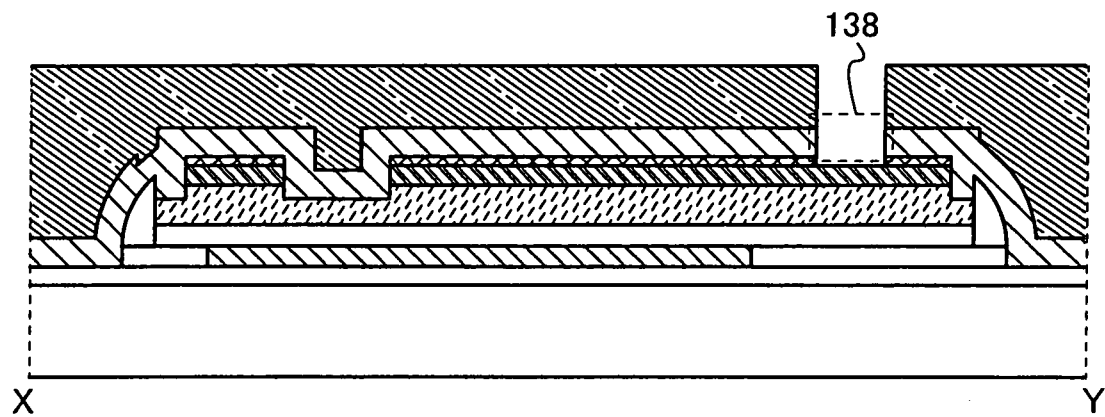


圖 4C

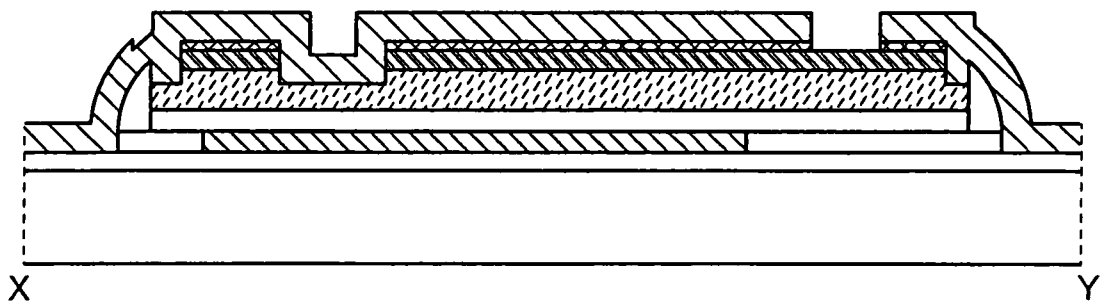


圖 4D

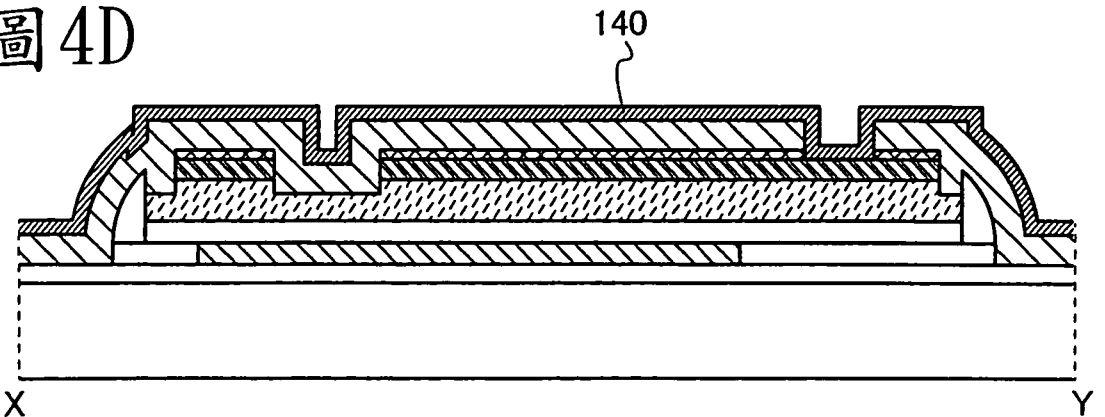


圖 5A

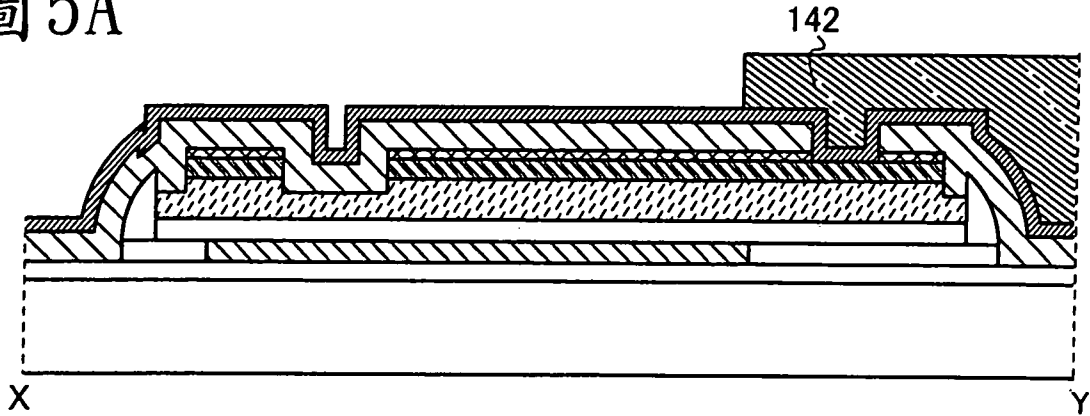


圖 5B

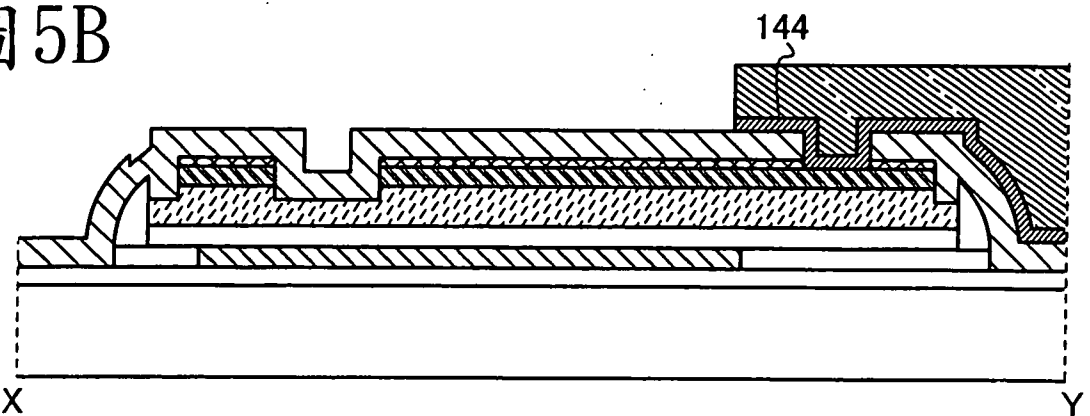


圖 5C

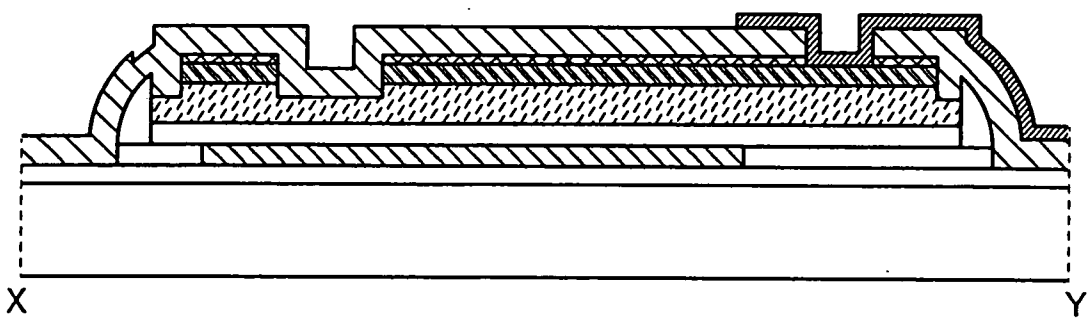


圖 6

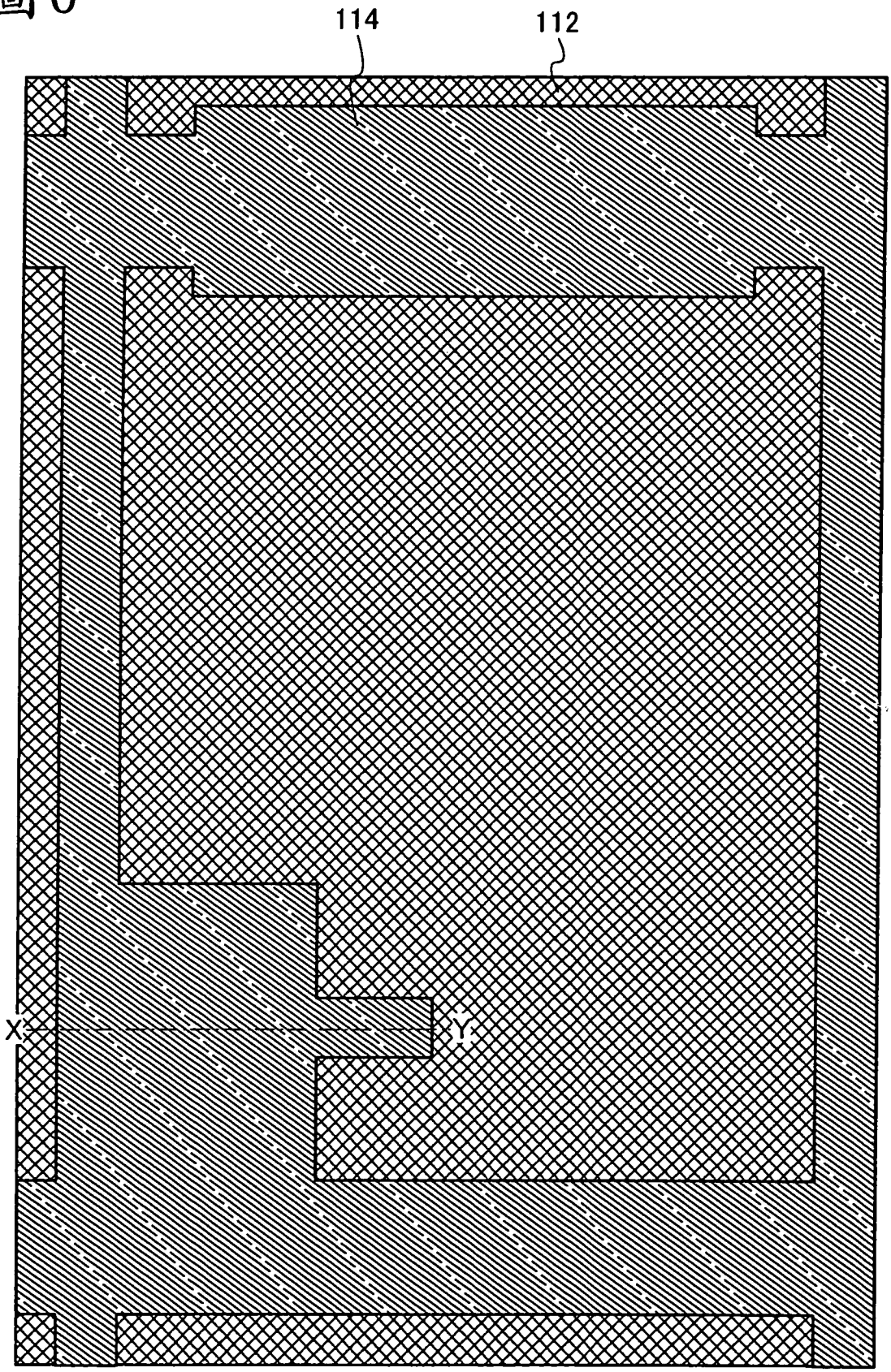


圖 7

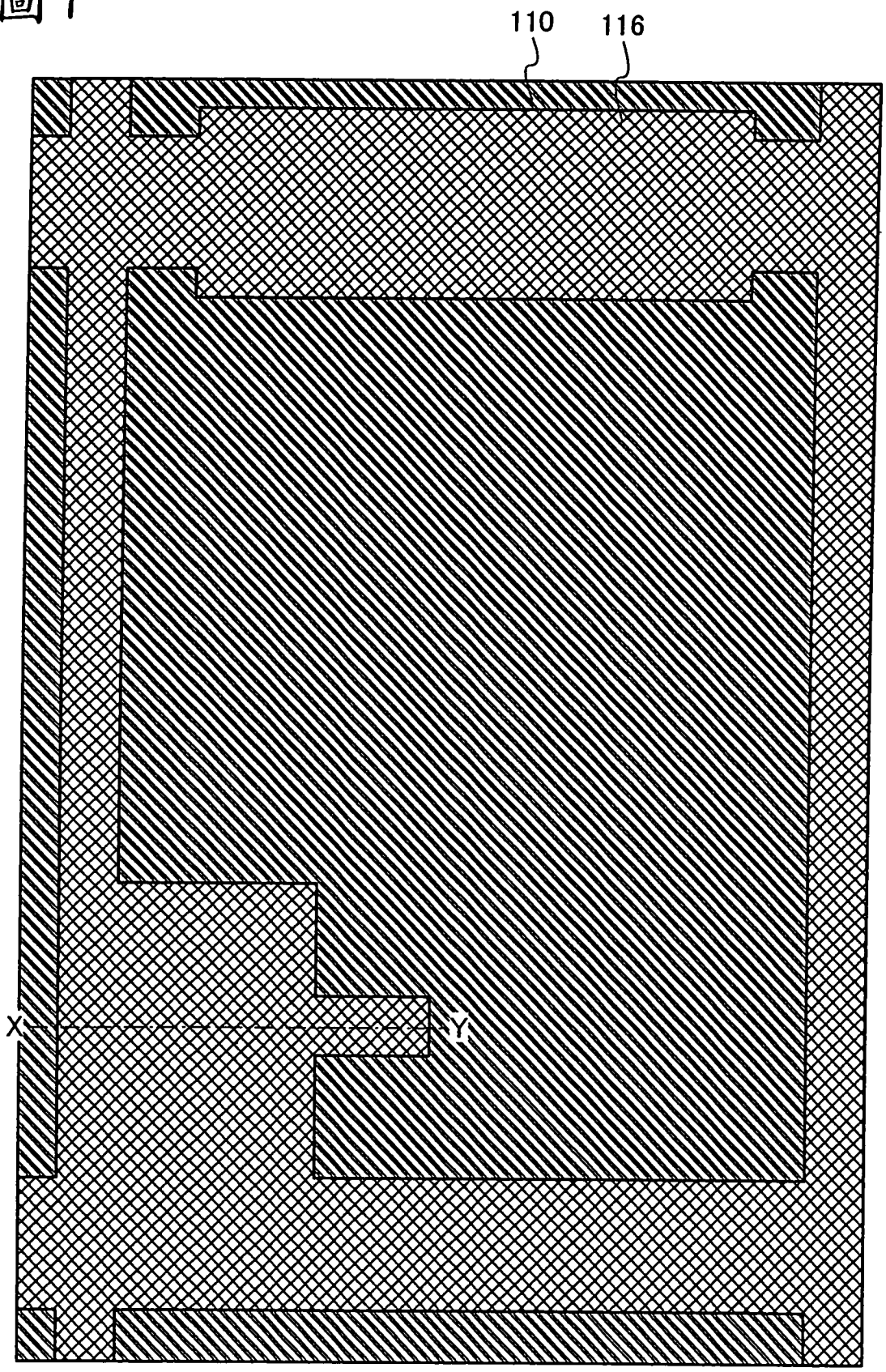


圖 8

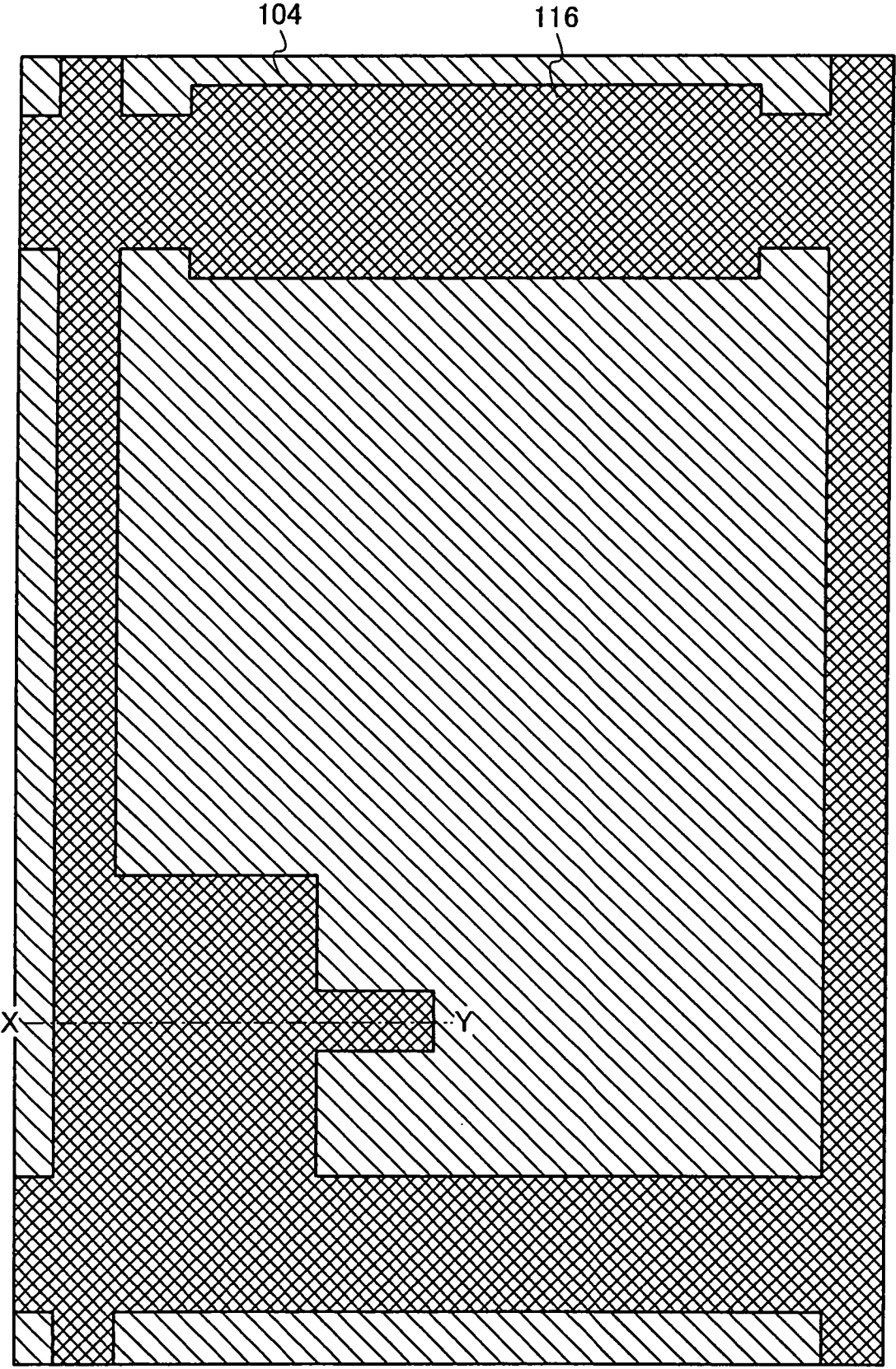


圖 9

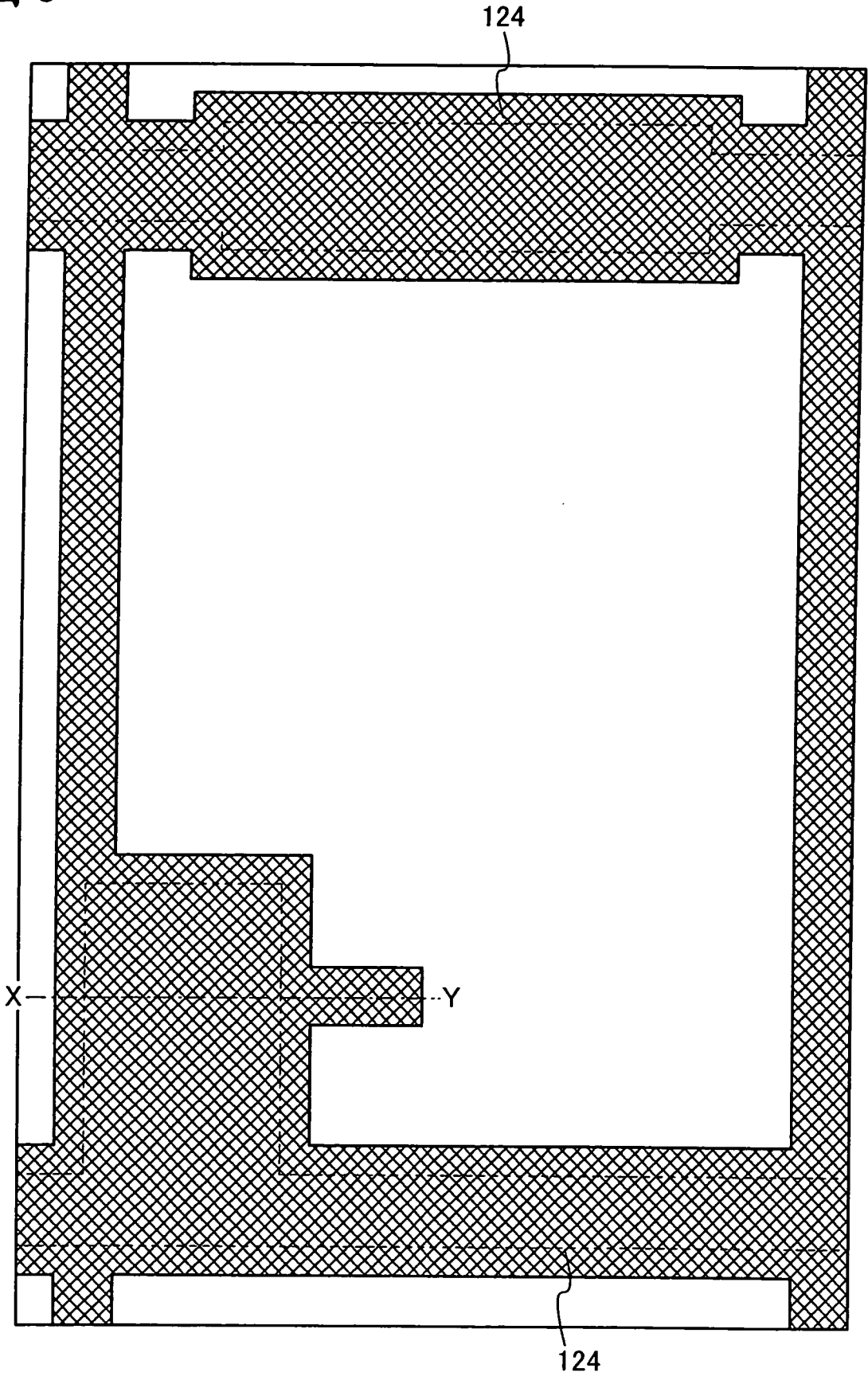


圖 10

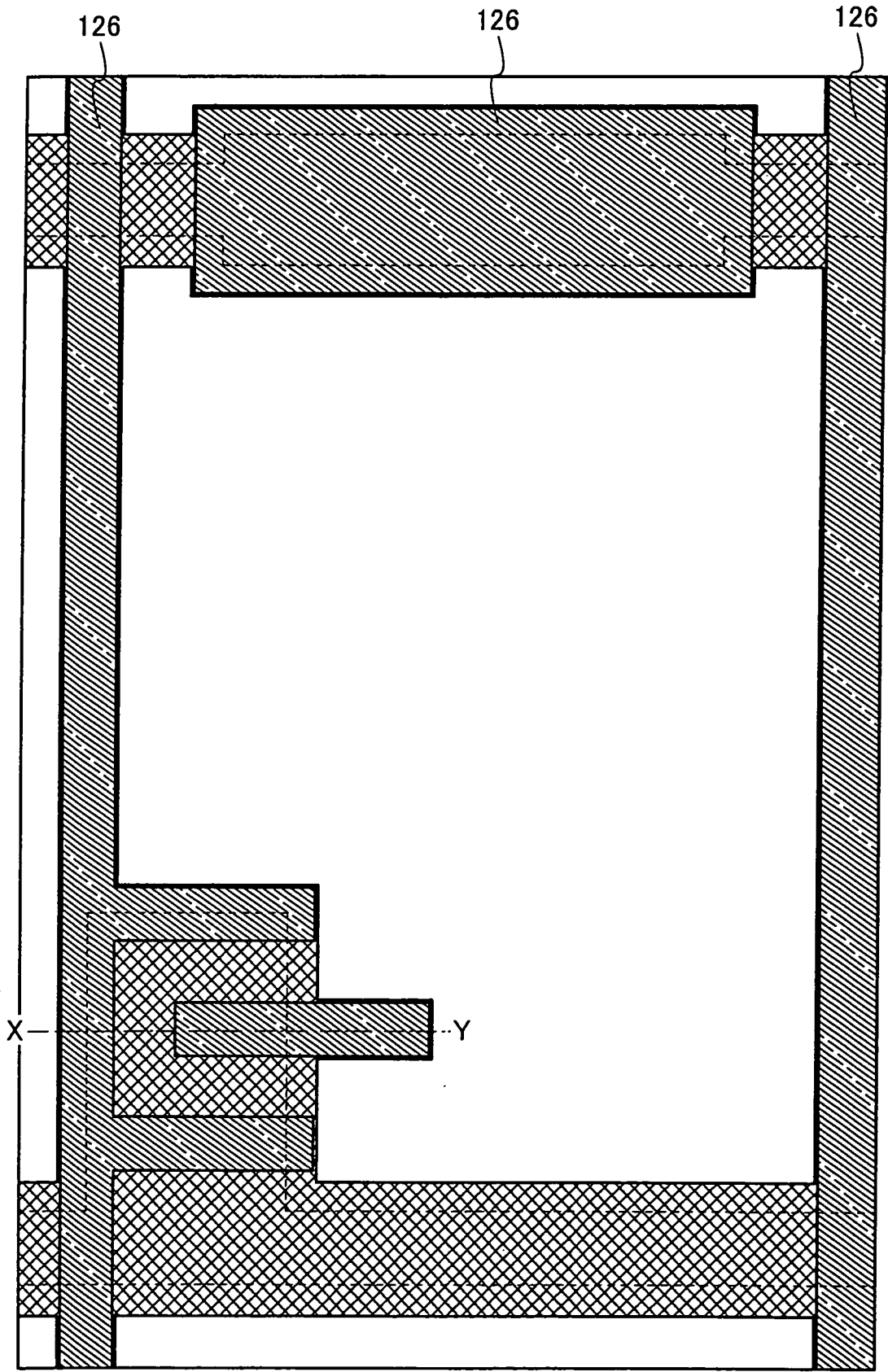


圖 11

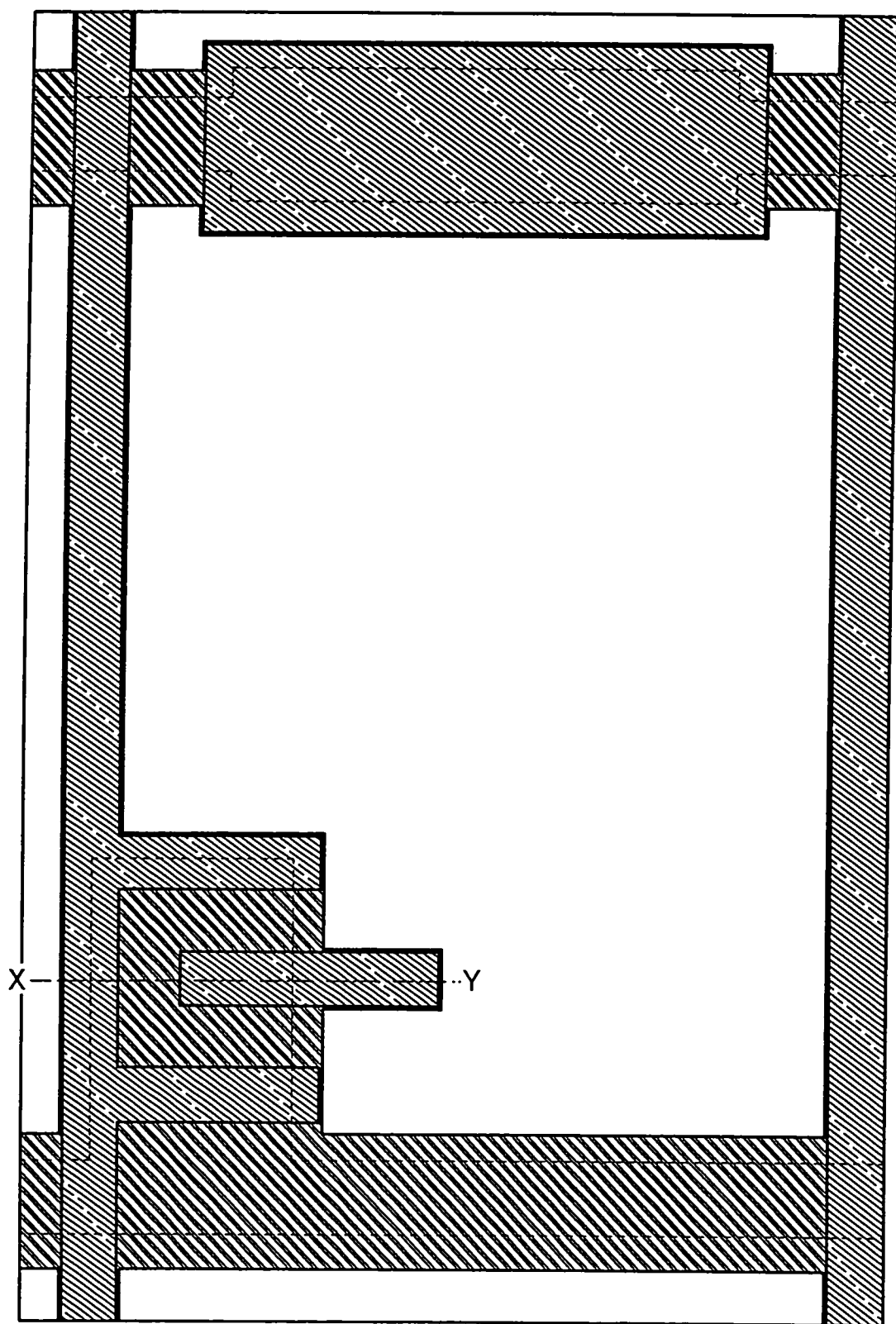


圖12

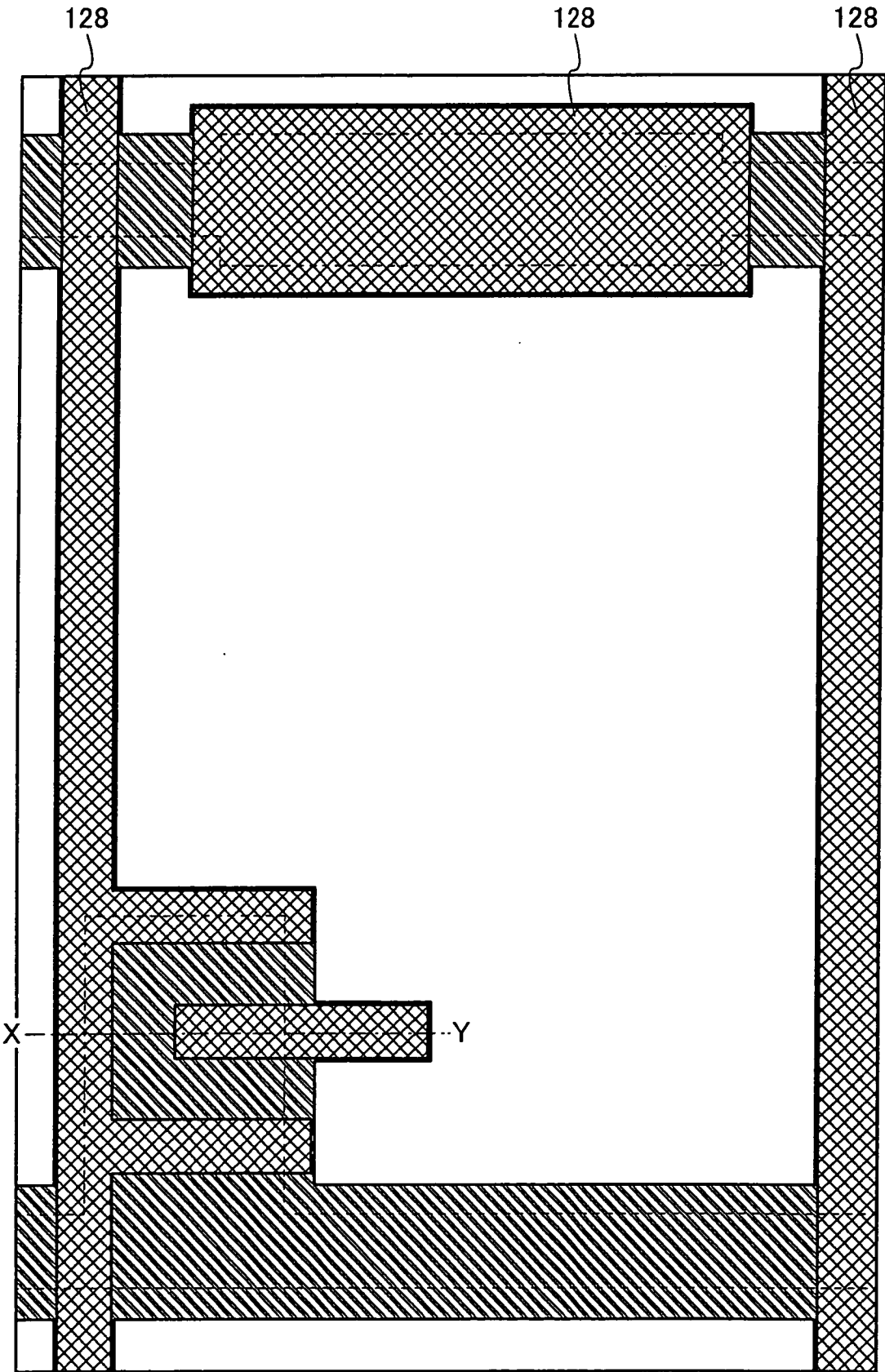


圖 13

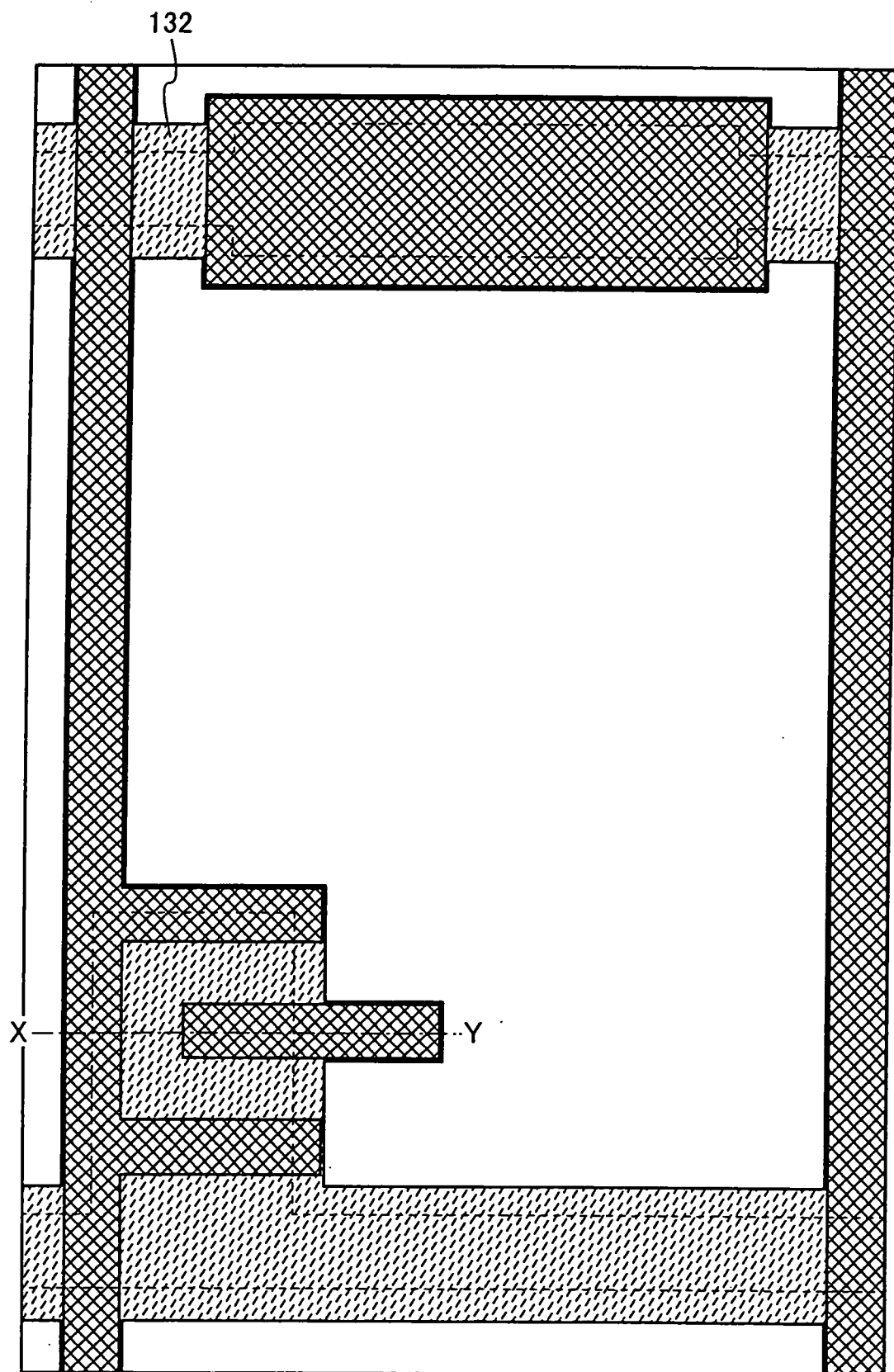


圖 14

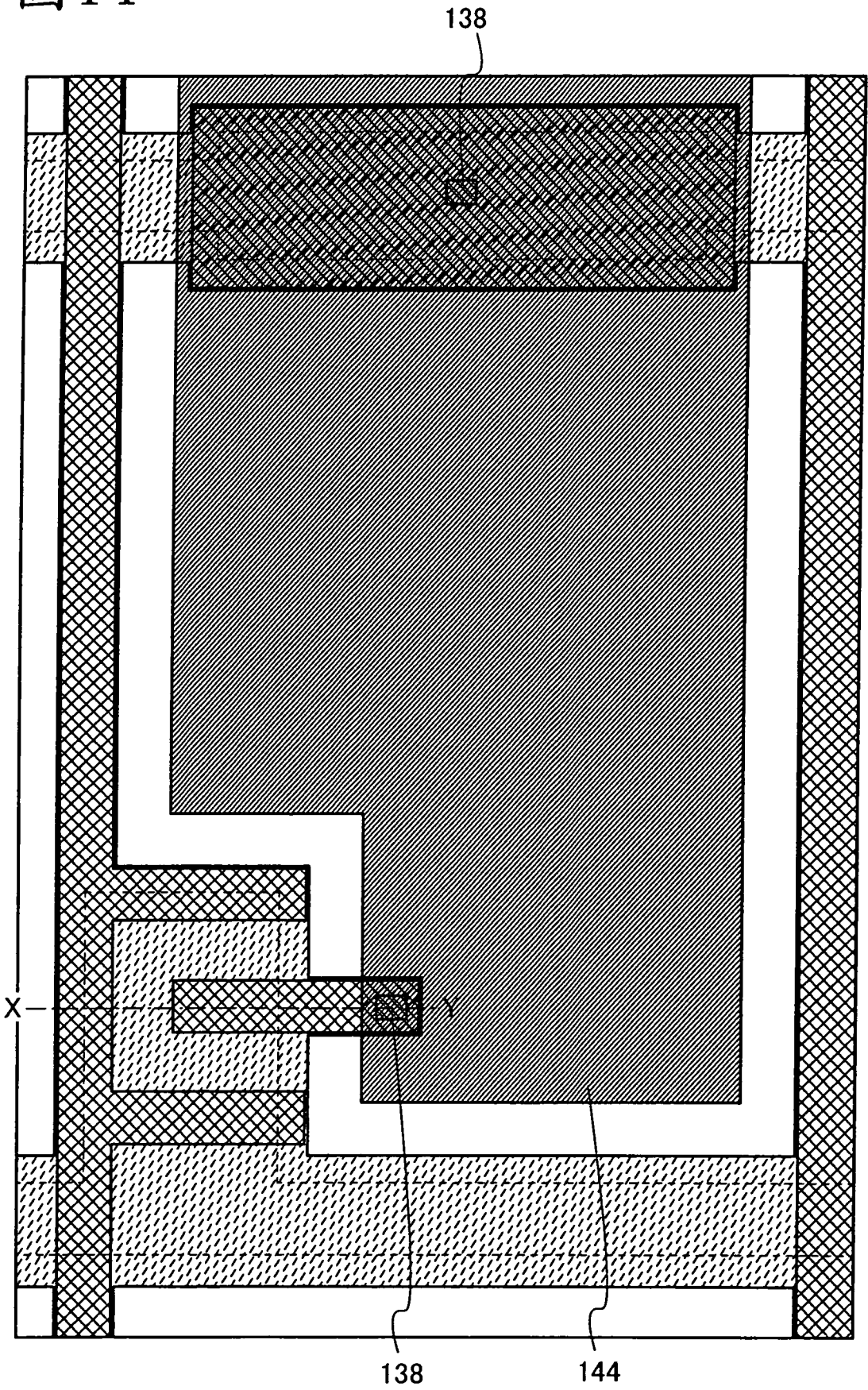


圖 15

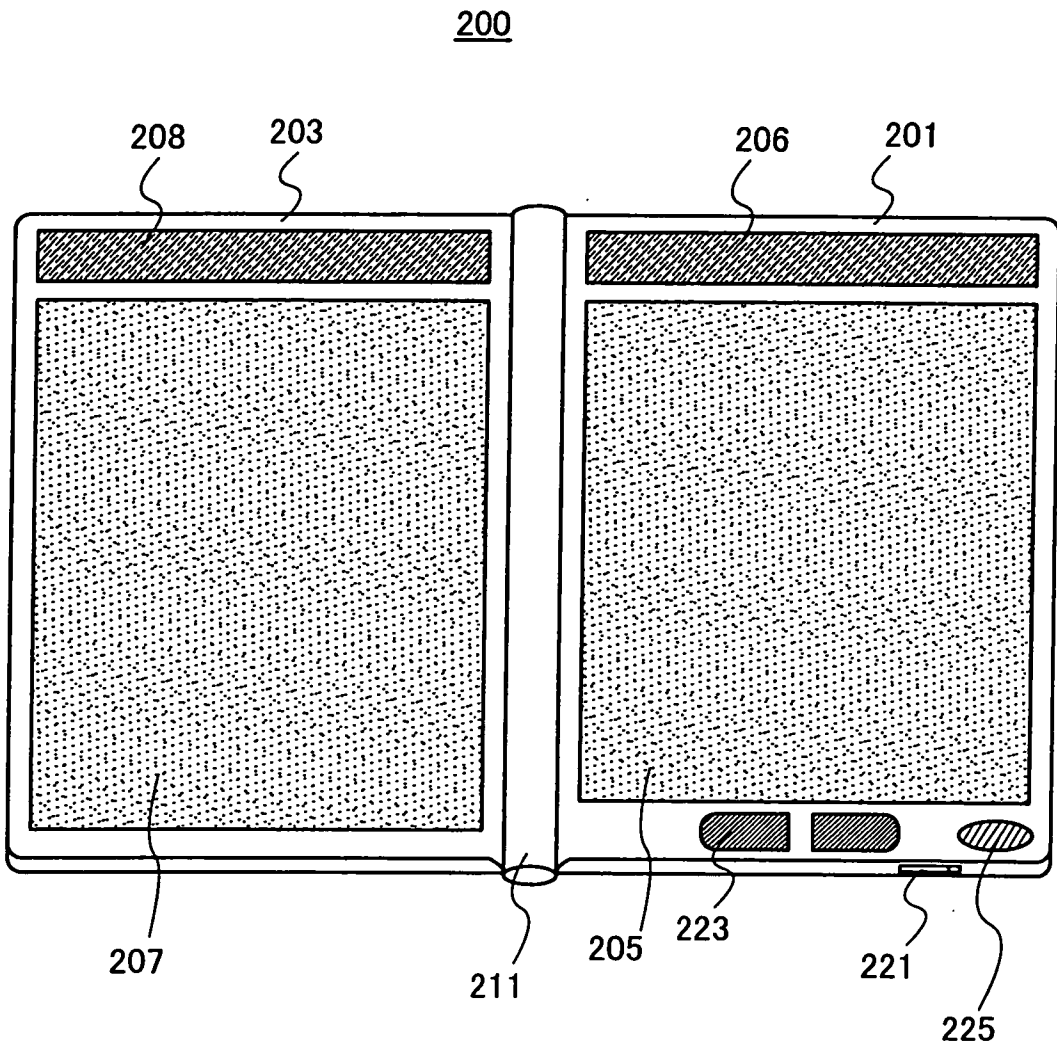


圖 16A

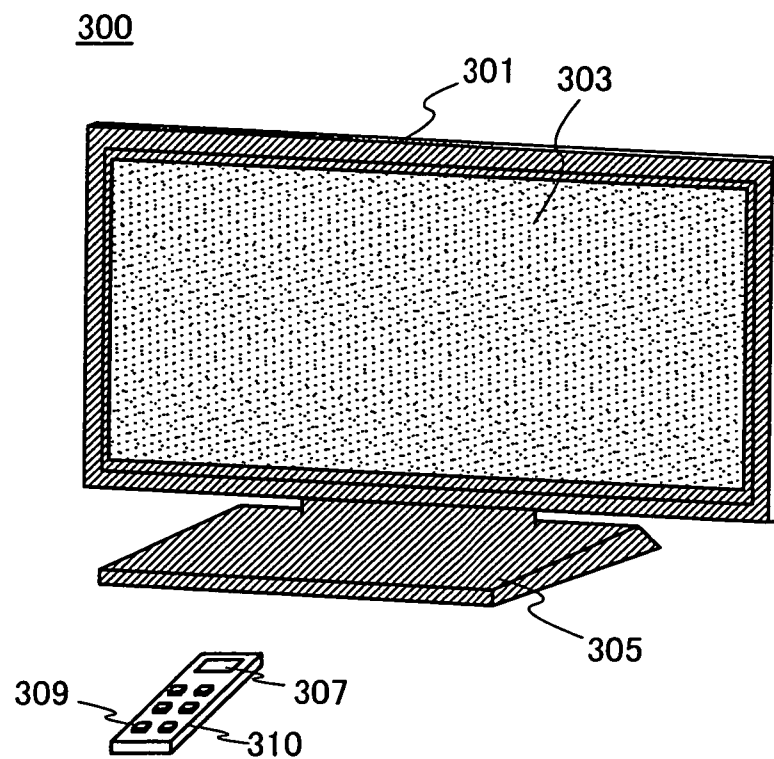


圖 16B

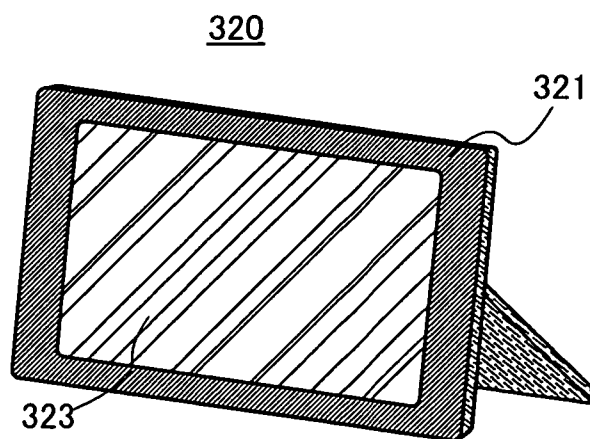


圖 17

