



(12) 发明专利

(10) 授权公告号 CN 115136327 B

(45) 授权公告日 2024. 07. 30

(21) 申请号 202080097215.3	(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
(22) 申请日 2020.02.26	专利代理师 卢英日
(65) 同一申请的已公布的文献号 申请公布号 CN 115136327 A	(51) Int.Cl. H01L 31/0232 (2014.01) H01L 31/10 (2006.01)
(43) 申请公布日 2022.09.30	(56) 对比文件 CN 101207162 A, 2008.06.25 CN 1327272 A, 2001.12.19 US 2010216275 A1, 2010.08.26
(85) PCT国际申请进入国家阶段日 2022.08.19	审查员 廖艳闰
(86) PCT国际申请的申请数据 PCT/JP2020/007584 2020.02.26	
(87) PCT国际申请的公布数据 W02021/171393 JA 2021.09.02	
(73) 专利权人 三菱电机株式会社 地址 日本东京都	
(72) 发明人 竹村亮太	

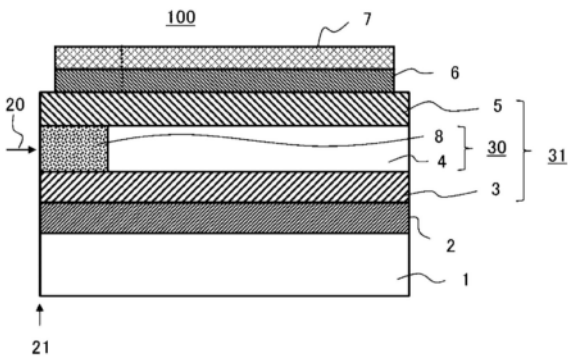
权利要求书2页 说明书12页 附图18页

(54) 发明名称

波导型受光元件

(57) 摘要

波导型受光元件(100)具备依次形成于半导体基板(1)的第一导电型的第一接触层(2)、波导层(31)、以及第二导电型的第二接触层(6)。波导层(31)具备:配置于第一接触层(2)侧的第一导电型的第一包覆层(3)、配置于第二接触层(6)侧的第二导电型的第二包覆层(5)、以及配置于第一包覆层(3)与第二包覆层(5)之间的芯层(30)。芯层(30)具有吸光层(4)和杂质掺杂光吸收层(8),该杂质掺杂光吸收层(8)的p型杂质的浓度比吸光层(4)高且配置于光入射面(21)侧。



1. 一种波导型受光元件,是在半导体基板形成有具有吸收光的芯层的波导层的波导型受光元件,其中,

所述波导型受光元件具备依次形成于所述半导体基板的第一导电型的第一接触层、所述波导层、以及第二导电型的第二接触层,

所述波导层具备:配置于所述第一接触层侧的第一导电型的第一包覆层、配置于所述第二接触层侧的第二导电型的第二包覆层、以及配置于所述第一包覆层与所述第二包覆层之间的所述芯层,

所述芯层具有吸光层、和仅对该吸光层的信号光入射的光入射面侧的端部掺杂p型杂质而形成的杂质掺杂光吸收层,该杂质掺杂光吸收层的所述p型杂质的浓度比所述吸光层高。

2. 根据权利要求1所述的波导型受光元件,其中,

所述第一导电型和所述第二导电型分别为n型和p型,

在所述第一包覆层与所述杂质掺杂光吸收层之间配置有所述吸光层。

3. 根据权利要求1所述的波导型受光元件,其中,

所述第一导电型和所述第二导电型分别为p型和n型,

在所述第二包覆层与所述杂质掺杂光吸收层之间配置有所述吸光层。

4. 根据权利要求1所述的波导型受光元件,其中,

所述第一导电型和所述第二导电型分别为n型和p型,

在所述第一包覆层与所述芯层之间配置有不吸收光的非光吸收性的电子传输层。

5. 根据权利要求1所述的波导型受光元件,其中,

所述第一导电型和所述第二导电型分别为p型和n型,

在所述第二包覆层与所述芯层之间配置有不吸收光的非光吸收性的电子传输层。

6. 根据权利要求1~5中任一项所述的波导型受光元件,其中,

所述吸光层未掺杂。

7. 根据权利要求1~5中任一项所述的波导型受光元件,其中,

将所述信号光所行进的方向设为z方向,将与所述半导体基板垂直的方向设为y方向,将与所述z方向以及所述y方向垂直的方向设为x方向,

所述波导型受光元件具备:

脊部,是包含所述第一包覆层的所述y方向正侧的一部分、所述芯层、以及所述第二包覆层并沿所述z方向延伸的脊;和

埋入层,覆盖所述第一包覆层的不包含在所述脊部中的部分的所述y方向正侧的面、和所述脊部的所述z方向的侧面以及所述x方向的侧面。

8. 根据权利要求7所述的波导型受光元件,其中,

所述半导体基板具备比所述埋入层的所述z方向正侧的端部向所述z方向正侧延伸的基板延伸部。

9. 根据权利要求1~5中任一项所述的波导型受光元件,其中,

所述杂质掺杂光吸收层的在所述信号光的行进方向上的长度为 $2\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。

10. 一种波导型受光元件,是在半导体基板形成有具有吸收光的芯层的波导层的波导型受光元件,其中,

所述波导型受光元件具备依次形成于所述半导体基板的第一导电型的第一接触层、所述波导层、以及第二导电型的第二接触层，

所述波导层具备：配置于所述第一接触层侧的第一导电型的第一包覆层、配置于所述第二接触层侧的第二导电型的第二包覆层、以及配置于所述第一包覆层与所述第二包覆层之间的所述芯层，

所述芯层具有：吸光层；和仅对该吸光层的信号光入射的光入射面侧的部分掺杂p型杂质而形成的杂质掺杂光吸收层，该杂质掺杂光吸收层的所述p型杂质的浓度比所述吸光层高；以及配置于比所述杂质掺杂光吸收层靠所述光入射面侧的位置、未掺杂且吸收光的未掺杂光吸收层。

11. 根据权利要求10所述的波导型受光元件，其中，

所述芯层在所述杂质掺杂光吸收层的x方向的侧面具有所述未掺杂光吸收层，所述x方向与所述信号光所行进的z方向以及垂直于所述半导体基板的y方向垂直。

12. 根据权利要求10所述的波导型受光元件，其中，

配置于所述光入射面侧的所述未掺杂光吸收层的在所述信号光的行进方向上的长度为10nm以上且50nm以下。

13. 根据权利要求10~12中任一项所述的波导型受光元件，其中，

所述杂质掺杂光吸收层的在所述信号光的行进方向上的长度为2 μm 以上且3 μm 以下。

波导型受光元件

技术领域

[0001] 本申请涉及波导型受光元件。

背景技术

[0002] 随着光通信的通信容量的飞跃式增加,实现了通信系统的大容量化。因此,需要光通信设备的高速化。在用于光通信设备的半导体受光元件即光电二极管中,作为决定其响应速度的重要因素之一,有基于元件容量C以及元件电阻R的CR时间常数。为了提高光电二极管的响应速度,需要减小CR时间常数。重要的是降低元件容量C。

[0003] 作为降低元件容量C而得到例如40GHz以上的高速响应性的方法,采用波导型受光元件。波导型受光元件是从外延层的侧面入射光的构造,与通常的面入射型构造不同,能够单独优化灵敏度和频带,因此成为面向高速动作的构造。

[0004] 专利文献1公开了在光入射的端面部分具备设法使表面复合降低的窗构造的波导型半导体受光元件(波导型受光元件)。专利文献1的波导型半导体受光元件具备一边吸收光一边进行导波的光吸收导波层(吸光层),并且窗构造中的光吸收导波层成为非自然超晶格区域。

[0005] 专利文献1:日本特开平11-340497号公报(图1、图2)

[0006] 在光直接入射于吸光层的波导型受光元件中,一般受光区域的尺寸比面入射型受光元件小,集中在光入射侧的端面。因此,在吸光层中的光入射的前端面(光入射面)侧产生大量光载流子。所产生的光载流子由于施加到光电二极管的反向偏压,而空穴向负电位的阳极侧移动,电子向正电位的阴极侧移动。输入于光电二极管的光的功率即光输入功率越大,产生的光载流子越多。当产生的光载流子多时,由于空间电荷效应而不能获得充分的电场强度,不能高速提取光载流子。因此,光电二极管的高速响应性恶化。特别是,漂移速度慢的空穴的移动时间限制了高速响应性。

发明内容

[0007] 本申请说明书中公开的技术的目的在于,得到即使在光输入功率大的情况下也提高高速响应性的波导型受光元件。

[0008] 本申请说明书中公开的一个例子的波导型受光元件在半导体基板形成有具有吸收光的芯层的波导层。波导型受光元件具备依次形成于半导体基板的第一导电型的第一接触层、波导层、以及第二导电型的第二接触层。波导层具备:配置于第一接触层侧的第一导电型的第一包覆层、配置于第二接触层侧的第二导电型的第二包覆层、以及配置于第一包覆层与第二包覆层之间的芯层。芯层具有吸光层和杂质掺杂光吸收层,该杂质掺杂光吸收层的p型杂质的浓度比吸光层高且配置于信号光入射的光入射面侧。

[0009] 本申请说明书中公开的一个例子的波导型受光元件,由于波导层的芯层具有配置于光入射面侧并且p型杂质的浓度比吸光层高的杂质掺杂光吸收层,所以即使在光输入功率大的情况下也能够提高高速响应性。

附图说明

- [0010] 图1是实施方式1所涉及的第一例的波导型受光元件的立体图。
- [0011] 图2是沿着图1的A1-A1所示的虚线剖切的剖视图。
- [0012] 图3是沿着图1的B1-B1所示的虚线剖切的剖视图。
- [0013] 图4是沿着图1的C1-C1所示的虚线剖切的剖视图。
- [0014] 图5是实施方式1所涉及的第二例的波导型受光元件的立体图。
- [0015] 图6是沿着图5的A2-A2所示的虚线剖切的剖视图。
- [0016] 图7是沿着图5的B2-B2所示的虚线剖切的剖视图。
- [0017] 图8是沿着图5的C2-C2所示的虚线剖切的剖视图。
- [0018] 图9是比较例的波导型受光元件的剖视图。
- [0019] 图10是实施方式1所涉及的第三例的波导型受光元件的剖视图。
- [0020] 图11是实施方式1所涉及的第四例的波导型受光元件的剖视图。
- [0021] 图12是实施方式1所涉及的第五例的波导型受光元件的剖视图。
- [0022] 图13是实施方式2所涉及的第一例的波导型受光元件的立体图。
- [0023] 图14是沿着图13的A3-A3所示的虚线剖切的剖视图。
- [0024] 图15是沿着图13的D-D所示的虚线剖切的剖视图。
- [0025] 图16是实施方式2所涉及的第二例的波导型受光元件的剖视图。
- [0026] 图17是实施方式3所涉及的波导型受光元件的立体图。
- [0027] 图18是沿着图17的A4-A4所示的虚线剖切的第一例的剖视图。
- [0028] 图19是沿着图17的B3-B3所示的虚线剖切的第一例的剖视图。
- [0029] 图20是沿着图17的A4-A4所示的虚线剖切的第二例的剖视图。
- [0030] 图21是沿着图17的B3-B3所示的虚线剖切的第二例的剖视图。
- [0031] 图22是实施方式4所涉及的波导型受光元件的立体图。
- [0032] 图23是沿着图22的A5-A5所示的虚线剖切的剖视图。
- [0033] 图24是沿着图22的B4-B4所示的虚线剖切的剖视图。
- [0034] 图25是沿着图22的C3-C3所示的虚线剖切的剖视图。
- [0035] 图26是沿着图22的F-F所示的虚线剖切的剖视图。
- [0036] 图27是沿着图22的G-G所示的虚线剖切的剖视图。
- [0037] 图28是实施方式5所涉及的波导型受光元件的立体图。
- [0038] 图29是沿着图28的A6-A6所示的虚线剖切的剖视图。
- [0039] 图30是实施方式6所涉及的波导型受光元件的立体图。
- [0040] 图31是沿着图30的B5-B5所示的虚线剖切的剖视图。
- [0041] 图32是图30的芯层的表面图。
- [0042] 图33是实施方式7所涉及的波导型受光元件的立体图。
- [0043] 图34是沿着图33的A7-A7所示的虚线剖切的剖视图。
- [0044] 图35是沿着图33的B6-B6所示的虚线剖切的剖视图。
- [0045] 图36是沿着图33的C4-C4所示的虚线剖切的剖视图。

具体实施方式

[0046] 实施方式1

[0047] 图1是实施方式1所涉及的第一例的波导型受光元件的立体图,图2是沿着图1的A1-A1所示的虚线剖切的剖视图。图3是沿着图1的B1-B1所示的虚线剖切的剖视图,图4是沿着图1的C1-C1所示的虚线剖切的剖视图。图5是实施方式1所涉及的第二例的波导型受光元件的立体图,图6是沿着图5的A2-A2所示的虚线剖切的剖视图。图7是沿着图5的B2-B2所示的虚线剖切的剖视图,图8是沿着图5的C2-C2所示的虚线剖切的剖视图。图9是比较例的波导型受光元件的剖视图。图10是实施方式1所涉及的第三例的波导型受光元件的剖视图,图11是实施方式1所涉及的第四例的波导型受光元件的剖视图。图12是实施方式1所涉及的第五例的波导型受光元件的剖视图。实施方式1的第一例的波导型受光元件100具备半导体基板1、形成于半导体基板1的层叠构造部18、第一电极17以及第二电极7。

[0048] 半导体基板1例如为InP基板。如图2所示,层叠构造部18的构造是在半导体基板1的表面依次层叠第一导电型的第一接触层2、第一导电型的第一包覆层3、具有InGaAs等吸光层4以及掺杂有p型杂质的杂质掺杂光吸收层8的芯层30、第二导电型的第二包覆层5、以及第二导电型的第二接触层6而成的构造。第一包覆层3、芯层30、第二包覆层5构成波导层31。因此,层叠构造部18具备第一导电型的第一接触层2、波导层31、以及第二导电型的第二接触层6,波导层31具备配置于第一接触层2侧的第一导电型的第一包覆层3、配置于第二接触层6侧的第二导电型的第二包覆层5、以及配置于第一包覆层3与第二包覆层5之间的芯层30。在层叠构造部18的第二导电型的第二接触层6的表面形成有第二电极7。例如,吸光层4是未掺杂杂质的InGaAs等的未掺杂层,杂质掺杂光吸收层8是在InGaAs等的结晶层掺杂有p型杂质的杂质掺杂层。另外,第一电极17经由形成于层叠构造部18的接触孔19与第一导电型的第一接触层2连接。例如,第一导电型为n型,第二导电型为p型。杂质掺杂光吸收层8是信号光20所入射的光入射面21侧的吸光层4被p型化的吸光层。信号光20从芯层30的光入射部22入射。图2是沿信号光20的行进方向即光行进方向切断的剖视图,图3以及图4是沿与信号光20的行进方向垂直的方向切断的剖视图。

[0049] 信号光20的行进方向为z方向,与半导体基板1垂直的方向为y方向,与z方向以及y方向垂直的方向为x方向。图2所示的截面也可以说是用包含y方向的轴以及z方向的轴的YZ面切断的截面。图3以及图4所示的截面也可以说是用包含x方向的轴以及y方向的轴的XY面切断的截面。

[0050] 对实施方式1的波导型受光元件100的制造方法进行说明。作为层叠构造部18的各层的结晶生长法,可使用液相生长法(Liquid Phase Epitaxy:LPE)、气相生长法(Vapor Phase Epitaxy:VPE)、有机金属气相生长法(Metal Organic VPE:MO-VPE)、分子束外延生长法(Molecular Beam Epitaxy:MBE)等。

[0051] 层叠构造部18的各层是第III-V族的半导体结晶。对层叠构造部18的各层的具体例在后文中说明。为了对第III-V族的半导体结晶赋予导电性,而使用Be、Mg、Zn、Cd等第II族的原子来作为p型掺杂剂(p型杂质),使用S、Se、Te等第VI族的原子来作为n型掺杂剂(n型杂质)。另外,使用C、Si、Ge、Sn等第IV族的原子来作为两性杂质,该两性杂质通过半导体结晶而作为p型、n型中的任一种导电型的掺杂剂发挥作用。另外,Fe、Ru等原子抑制导电性而作为半绝缘性(Semi-Insulating:SI)型的绝缘型掺杂剂发挥作用。

[0052] 杂质掺杂光吸收层8通过在层叠构造部18的吸光层4的一部分例如在光入射面21侧扩散或注入p型掺杂剂而形成。在形成杂质掺杂光吸收层8之前的层叠构造部18的表面即与半导体基板1相反侧的面,通过一般的光刻技术形成绝缘膜或光致抗蚀剂的掩模,在使成为杂质掺杂光吸收层8的部分开口的状态下,扩散或注入p型掺杂剂。这样,形成吸光层4的一部分被p型化的芯层30。此外,虽然以吸光层4为未掺杂层且杂质掺杂光吸收层8为掺杂层的例子进行了说明,但吸光层4并不限定于未掺杂层。只要吸光层4的p型杂质的浓度比杂质掺杂光吸收层8的p型杂质的浓度低即可。具体而言,只要吸光层4中的p型杂质的浓度或n型杂质的浓度为杂质掺杂光吸收层8中的p型杂质的浓度的1/10以下即可。因此,芯层30具有吸光层4、和p型杂质的浓度比吸光层4高且配置于信号光20入射的光入射面21侧的杂质掺杂光吸收层8。

[0053] 第一电极17、第二电极7如下这样形成。接触孔19通过在使用一般的光刻技术使掩模仅在所希望的部分开口的状态下进行湿式蚀刻而形成于层叠构造部18。在要形成第一电极17、第二电极7的部分,在使用一般的光刻技术使掩模仅在所希望的部分开口的状态下,通过电子束蒸镀或溅射等方法而进行Ti、Pt、Au等金属的成膜。其后,通过除去不需要的部分的金属来形成第一电极17和第二电极7。另外,也可以如以下这样形成第一电极17和第二电极7。在形成有接触孔19的层叠构造部18的整个面进行Ti、Pt、Au等金属的成膜。其后,通过在使用一般的光刻技术使掩模仅残留所希望的部分的状态下,对不需要的部分的金属进行湿式蚀刻,而形成第一电极17和第二电极7。

[0054] 半导体基板1优选为掺杂有Fe等的半绝缘性基板。第一接触层2是InGaAs、InP、InGaAsP、AlInAs、AlGaInAs中的任一种外延层、或它们组合而成的复合层等。第一包覆层3是InP、InGaAsP、AlInAs、AlGaInAs中的任一种的外延层或它们组合而成的复合层等。芯层30即吸光层4以及杂质掺杂光吸收层8使用在光入射的情况下产生光载流子的材料、即相对于入射光带隙小的材料。芯层30是InGaAs、InGaAsP、InGaAsSb中的任一种的外延层或它们组合而成的复合层等。第二包覆层5是InP、InGaAsP、AlInAs、AlGaInAs中的任一种的外延层或它们组合而成的复合层等。第二接触层6是InGaAs、InP、InGaAsP、AlInAs、AlGaInAs中的任一种的外延层或它们组合而成的复合层等。

[0055] 图3所示的剖视图是形成有杂质掺杂光吸收层8的部分的剖视图,图4所示的剖视图是形成有吸光层4的部分的剖视图。对于形成于杂质掺杂光吸收层8的上部即y方向正侧部的第二接触层6以及第二电极7,示出了比形成于吸光层4的上部即y方向正侧部的第二接触层6以及第二电极7在x方向的长度小的例子。形成于杂质掺杂光吸收层8的上部的第二接触层6以及第二电极7的x方向的长度只要是包含光入射部22的x方向的长度的长度即可。形成于吸光层4的上部的第二接触层6以及第二电极7即远离光入射面21的后部的第二接触层6以及第二电极7的x方向的长度由于成为与线材等连接的部分,所以比形成于杂质掺杂光吸收层8的上部的第二接触层6以及第二电极7即作为光入射面21侧的前部的第二接触层6以及第二电极7宽。对于第一电极17示出了在z方向的各位置处的x方向的长度相同的例子。在图2中,在第二电极7以及第二接触层6的光入射面21侧示出的虚线表示x方向的长度变化的部分。在图3中,比第二电极7以及第二接触层6的截面靠信号光20的行进方向侧即z方向正侧的第二电极7以及第二接触层6的侧面用空白表示。比第一电极17的截面靠信号光20的行进方向侧即z方向正侧的第一电极17的内面用空白表示。另外,为了容易理解,光入射部

22用空白表示。在其他图中,也同样地表示光入射部22。

[0056] 如图5~图8所示的第二例的波导型受光元件100那样,半导体基板1的背面侧的整个面或一部分也可以被背面电极9覆盖。另外,光入射面21的至少光入射的部分也可以被防反射膜10覆盖。在图5中,省略了防反射膜10。在图6中,示出了防反射膜10从半导体基板1遍及层叠构造部18的各层而形成的例子。防反射膜10在将波导型受光元件100的芯片解理后的状态下,通过蒸镀或溅射而形成。背面电极9与第一电极17和第二电极7同样地形成。

[0057] 将实施方式1的波导型受光元件100的动作与比较例的波导型受光元件110进行比较来说明。图9所示的比较例的波导型受光元件110除了芯层30仅为吸光层4以外,与第二例的波导型受光元件100相同。图9所示的截面相当于图6所示的截面。对第一导电型为n型,第二导电型为p型的例子进行说明。在对第一电极17与第二电极7之间施加反向偏压的情况下,以第一电极17成为正电位,第二电极7成为负电位的方式施加电压。当光入射于比较例的波导型受光元件110的光入射面21时,在吸光层4的接近光入射面21的区域产生大量光载流子。所产生的光载流子即空穴因施加到第一电极17与第二电极7之间的反向偏压所引起的漂移,而向p型的第二包覆层5侧移动。所产生的光载流子即电子向相反方向的n型的第一包覆层3侧移动。由于空穴比电子的有效质量大且移动速度小,因此高速响应性受空穴的移动时间的限制。

[0058] 在强光入射到光入射面21的情况下,在吸光层4的光入射面21侧产生的光载流子也增加。空穴由于移动慢,所以滞留在吸光层4以及第二包覆层5的光入射面21侧。由于该滞留的空穴向抵消由施加到第一电极17与第二电极7之间的电压引起的电场即n型的第一接触层2与p型的第二接触层6之间的电场的方向作用,因此空穴的移动进一步变慢。因此空穴进一步滞留,其结果,比较例的波导型受光元件110的高速响应性恶化。另外,比较例的波导型受光元件110不流动与光输入功率对应的输出电流,输出的线性也恶化。

[0059] 与此相对,在实施方式1的波导型受光元件100中,光载流子即空穴主要在p型的杂质掺杂光吸收层8的区域产生。由于产生的空穴成为p型区域即杂质掺杂光吸收层8的区域的大量载流子,因此不成为决定响应速度的重要因素。在实施方式1的波导型受光元件100中,p型区域中的电子的漂移现象决定响应速度。由于电子的漂移速度比空穴的漂移速度快,所以实施方式1的波导型受光元件100与比较例的波导型受光元件110相比,响应速度提高。因此,实施方式1的波导型受光元件100与比较例的波导型受光元件110不同,即使在光输入功率大的情况下也能够提高高速响应性。另外,在实施方式1的波导型受光元件100中,形成于杂质掺杂光吸收层8的光入射面21侧的耗尽层的y方向的长度比较例的波导型受光元件110的耗尽层短,空穴迅速地向第二包覆层5移动而在耗尽层中不蓄积空穴,因此能够抑制空间电荷效应。因此实施方式1的波导型受光元件100与比较例的波导型受光元件110相比,能够改善高速响应性,能够改善光电流相对于光输入功率的线性。

[0060] 此外,在将吸光层4全部设为杂质掺杂光吸收层8的情况下,由于不存在未掺杂层区域或杂质的浓度比杂质掺杂光吸收层8低的区域,所以耗尽层的y方向的长度变短,波导型受光元件的容量增加,高速响应性恶化。因此,芯层30优选为仅将光入射面21侧的区域设为杂质掺杂光吸收层8。

[0061] 对杂质掺杂光吸收层8的z方向的长度的一个例子进行说明。图10所示的第三例的波导型受光元件100的杂质掺杂光吸收层8的z方向的长度为 $1a$ 。图10所示的截面相当于图6

所示的截面。一般来说,波导型受光元件的吸光层4的长度即比较例的波导型受光元件110的吸光层4的长度设定为数 $10\mu\text{m}$ 左右的情况较多。通过将吸光层4的数 $10\mu\text{m}$ 左右的长度中的p型杂质掺杂光吸收层8的长度 $1a$ 设为 $3\mu\text{m}$ 左右,能够在p型杂质掺杂光吸收层8内吸收所入射的光的90%以上。通过将p型杂质掺杂光吸收层8的长度 $1a$ 设为 $3\mu\text{m}$ 左右,实施方式1的波导型受光元件100能够降低由p型杂质掺杂光吸收层8的长度 $1a$ 引起的容量增加的影响,并且即使在光输入功率大的情况下也能够提高高速响应性以及光电流的线性。长度 $1a$ 例如优选为 $2\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。

[0062] 此外,如图11所示的第四例的波导型受光元件100那样,也可以在层叠构造部18的各外延层之间、第二电极7与第二接触层6之间,为了缓和带不连续,而形成使用了InGaAsP、AlGaInAs等的带不连续缓和层16a、16b、16c、16d、16e。图11所示的截面相当于图6所示的截面。在图11中,示出了在层叠构造部18的各外延层之间、以及第二电极7与第二接触层6之间形成有带不连续缓和层16a、16b、16c、16d、16e的例子。第一包覆层3、带不连续缓和层16b、芯层30、带不连续缓和层16c、第二包覆层5构成波导层31。只要能够得到作为波导型受光元件动作所需的特性,也可以对层叠构造部18的各层使用任何的材料,上述的材料并不限定范围。

[0063] 至此,虽然对第一导电型为n型,第二导电型为p型的例子进行了说明,但并不限定于此。也可以是第一导电型为p型,第二导电型为n型。如图12的第五例的波导型受光元件100所示,层叠构造部18的构造也可以为依次层叠作为p型的第一导电型的第一接触层42、作为p型的第一导电型的第一包覆层43、具有InGaAs的吸光层4以及掺杂有p型杂质的杂质掺杂光吸收层8的芯层30、作为n型的第二导电型的第二包覆层45、作为n型的第二导电型的第二接触层46而成的构造。第一包覆层43、芯层30、第二包覆层45构成波导层31。图12所示的截面相当于图6所示的截面。在对第一电极17与第二电极7之间施加反向偏压的情况下,以第一电极17成为负电位,第二电极7成为正电位的方式施加电压。因施加到第一电极17与第二电极7之间的反向偏压,所产生的光载流子的空穴向负电位的第一电极17以及第一接触层42侧移动,所产生的光载流子的电子向正电位的第二电极7以及第二导电型的第二接触层46侧移动。即使在该情况下,空穴也不会滞留在掺杂有p型杂质的杂质掺杂光吸收层8。因此,第五例的波导型受光元件100即使在光输入功率大的情况下,也能够提高高速响应性,能够提高光电流相对于光输入功率的线性。

[0064] 此外,在专利文献1那样的设法在入射光的端面部分形成窗构造来降低表面复合的波导型受光元件中,成为不仅使吸光层4而且使n型的第一包覆层3等外延层全部成为窗构造的构造,对于抑制在光输入功率大的情况下成为低速动作而使元件进行高速动作的情况没有公开。从专利文献1所示那样的窗构造无法类推实施方式1的波导型受光元件100所起到的效果。

[0065] 如以上那样,实施方式1的波导型受光元件100是在半导体基板形成有具有吸收光的芯层的波导层的波导型受光元件。波导型受光元件100具备依次形成于半导体基板1的第一导电型的第一接触层2、波导层31、以及第二导电型的第二接触层6。波导层31具备配置于第一接触层2侧的第一导电型的第一包覆层3、配置于第二接触层6侧的第二导电型的第二包覆层5、以及配置于第一包覆层3与第二包覆层5之间的芯层30。芯层30具有吸光层4和杂质掺杂光吸收层8,该杂质掺杂光吸收层8的p型杂质的浓度比吸光层4高,且配置于信号光

20入射的光入射面21侧。根据该结构,实施方式1的波导型受光元件100由于波导层31的芯层30具有配置于光入射面21侧并且p型杂质的浓度比吸光层4高的杂质掺杂光吸收层8,因此即使在光输入功率大的情况下也能够提高高速响应性。

[0066] 实施方式2

[0067] 图13是实施方式2所涉及的第一例的波导型受光元件的立体图。图14是沿着图13的A3-A3所示的虚线剖切的剖视图,图15是沿着图13的D-D所示的虚线剖切的剖视图。图16是实施方式2所涉及的第二例的波导型受光元件的剖视图。沿着图13的B2-B2所示的虚线、C2-C2所示的虚线剖切的剖视图分别与图7、图8相同。实施方式2的波导型受光元件100与实施方式1的波导型受光元件100的不同点在于,在p型的杂质掺杂光吸收层8与光入射面21之间配置有未掺杂光吸收层11。主要对与实施方式1的波导型受光元件100不同的部分进行说明。

[0068] 实施方式2的波导型受光元件100的芯层30具有未掺杂光吸收层11、杂质掺杂光吸收层8、以及吸光层4。未掺杂光吸收层11是未掺杂且吸收光的吸光层,配置于比杂质掺杂光吸收层8靠光入射面21侧的位置。在实施方式1的波导型受光元件100中,由于电场容易集中在p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5的界面的光入射面21侧的部分,所以存在当强光入射时,该部分在构造上变弱的情况。在第一导电型为n型,第二导电型为p型的情况下,第一包覆层3为n型。在第一导电型为p型,第二导电型为n型的情况下,第二包覆层5为n型。当使用以第一导电型为p型且第二导电型为n型的例子表示的图12的各层来进行说明时,n型的第二包覆层45相当于n型的第二包覆层5。在实施方式2的波导型受光元件100中,由于电场集中的部分未形成于作为元件端部的光入射面21侧的区域,因此即使入射更强的光,也能够起到实施方式1的波导型受光元件100的效果。

[0069] 对未掺杂光吸收层11的z方向的长度的一个例子进行说明。图16所示的实施方式2的第二例的波导型受光元件100的未掺杂光吸收层11的z方向的长度为1b。图16所示的截面相当于图14所示的截面。例如,若将未掺杂光吸收层11的z方向的长度1b设为50nm,则在其中仅吸收所入射的光的3%以下。因此,对于实施方式2的第二例的波导型受光元件100而言,即使强光入射也能够维持构造上的强度并且通过p型的杂质掺杂光吸收层8吸收大部分的光,即使在光输入功率大的情况下,也能够提高高速响应性以及光电流的线性。长度1b例如优选为10nm以上且50nm以下。

[0070] 实施方式3

[0071] 图17是实施方式3所涉及的波导型受光元件的立体图。图18是沿着图17的A4-A4所示的虚线剖切的第一例的剖视图,图19是沿着图17的B3-B3所示的虚线剖切的第一例的剖视图。图20是沿着图17的A4-A4所示的虚线剖切的第二例的剖视图,图21是沿着图17的B3-B3所示的虚线剖切的第二例的剖视图。沿着图17的C2-C2所示的虚线剖切的剖视图与图8相同。实施方式3的波导型受光元件100与实施方式1的波导型受光元件100的不同点在于,在p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5之间形成有吸光层4。主要对与实施方式1的波导型受光元件100不同的部分进行说明。

[0072] 在第一导电型为n型,第二导电型为p型的情况下,第一包覆层3为n型。在该情况下,成为图18以及图19所示的实施方式3的第一例的波导型受光元件100。在第一导电型为p型,第二导电型为n型的情况下,第二包覆层5为n型。在该情况下,成为图20以及图21所示的

实施方式3的第二例的波导型受光元件100。当使用以第一导电型为p型且第二导电型为n型的例子表示的图12的各层来进行说明时,n型的第二包覆层45相当于n型的第二包覆层5。

[0073] p型的杂质掺杂光吸收层8与n型的第一包覆层3之间的吸光层4,能够通过调整形成p型杂质掺杂光吸收层8时的p型掺杂剂的扩散或注入条件来实现。另外,p型的杂质掺杂光吸收层8与n型的第二包覆层5之间的吸光层4,能够通过调整形成p型杂质掺杂光吸收层8时的p型掺杂剂的注入条件来实现。

[0074] 实施方式3的波导型受光元件100起到实施方式1的波导型受光元件100的效果,并且与实施方式1的波导型受光元件100相比,未掺杂的吸光层4、或杂质浓度比杂质掺杂光吸收层8低的吸光层4的区域变宽,能够低容量化,因此能够进一步改善高速响应性。此外,入射的信号光20的光密度在芯层30中的外延层叠方向的中心即y方向的中心最高,越接近芯层30的上部以及下部即第二包覆层5以及第一包覆层3,光密度越低。因此,在光入射面21侧的残留吸光层4的区域产生的光载流子少。因此,能够实现与实施方式1的波导型受光元件100同等的特性,即使在光输入功率大的情况下,也能够提高高速响应性以及光电流的线性。

[0075] 实施方式4

[0076] 图22是实施方式4所涉及的波导型受光元件的立体图,图23是沿着图22的A5-A5所示的虚线剖切的剖视图。图24是沿着图22的B4-B4所示的虚线剖切的剖视图,图25是沿着图22的C3-C3所示的虚线剖切的剖视图。图26是沿着图22的F-F所示的虚线剖切的剖视图,图27是沿着图22的G-G所示的虚线剖切的剖视图。实施方式4的波导型受光元件100与实施方式1的波导型受光元件100的不同点在于,形成具有第一包覆层3的一部分、芯层30和第二包覆层5的脊部14,脊部14的z方向的侧面以及x方向的侧面被埋入层12埋入。主要对与实施方式1的波导型受光元件100不同的部分进行说明。

[0077] 实施方式4的波导型受光元件100具备半导体基板1、形成于半导体基板1的层叠构造部18、第一电极17、以及第二电极7。层叠构造部18具备第一导电型的第一接触层2、脊部14、配置于脊部14的外周的第一包覆层3、埋入层12、以及第二接触层6。脊部14的z方向的范围是从虚线25a到虚线25b之间的范围。脊部14的x方向的范围是从虚线25c到虚线25d之间的范围。第一包覆层3具有成为脊部14的一部分的部分、和不成为脊部14的一部分的部分。埋入层12覆盖第一包覆层3的不包含在脊部14中的部分的y方向正侧的面和脊部14的z方向的侧面以及x方向的侧面。埋入层12的表面被钝化膜13覆盖,脊部14中的第二包覆层5的表面以及第二接触层6的侧面被钝化膜13覆盖。埋入层12的表面、脊部14中的第二包覆层5的表面是y方向正侧的面。脊部14中的第二接触层6的侧面是y方向的侧面以及z方向的侧面。在图24中,比第二电极7以及第二接触层6的截面靠信号光20的行进方向侧即z方向正侧的第二电极7的侧面用空白表示。比第一电极17的截面靠信号光20的行进方向侧即z方向正侧的第一电极17的内面用空白表示。在图26中,位于比图22的F-F所示的虚线靠信号光20的行进方向侧即z方向正侧的位置的第二电极7、第一电极17、以及背面电极9用空白表示。

[0078] 埋入层12为InP、InGaAs、InGaAsP等外延层或它们组合而成的复合层。另外,也可以在埋入层12掺杂有Fe或Ru。钝化膜13为SiO₂、SiN、SiON的绝缘膜或它们组合而成的复合绝缘膜。在层叠构造部18的第二导电型的第二接触层6的表面形成有第二电极7。第一电极17经由形成于层叠构造部18的埋入层12的接触孔19以及覆盖接触孔19的侧面的钝化膜13

而与第一导电型的第一接触层2连接。例如,第一导电型为n型,第二导电型为p型。另外,也可以是第一导电型为p型,第二导电型为n型。在图22~图27中,示出了光入射面21的至少光入射的部分被防反射膜10覆盖,并且半导体基板1的背面侧的整个面或一部分被背面电极9覆盖的例子。在图22中,省略了防反射膜10。

[0079] 对实施方式4的波导型受光元件100的制造方法进行说明。直到形成p型杂质掺杂光吸收层8为止,如实施方式1中说明那样。其后,通过一般的光刻技术,形成绝缘膜的掩模。其后,通过反应性离子蚀刻(Reactive Ion Etching:RIE)等干式蚀刻或湿式蚀刻,将外延层的未被绝缘膜掩模覆盖的部分蚀刻至第一包覆层3的中途。其后,通过有机金属气相生长法(Metalorganic Vapor Phase Epitaxy:MO-VPE)等,而在蚀刻后的部分对埋入层12进行选择生长。钝化膜13通过等离子体增强化学气相成膜法(Plasma-Enhanced Chemical Vapor Deposition:PE-CVD)或溅射等方法使上述材料的绝缘膜成膜,对不需要的部分的绝缘膜进行蚀刻而形成。在对不需要的部分的绝缘膜进行蚀刻时,使用一般的光刻技术,在将掩模仅残留所希望的部分的状态下,对不需要的部分的绝缘膜进行蚀刻。

[0080] 在实施方式1的波导型受光元件100中,由于电场容易集中在p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5的界面中的光入射面21侧的部分即界面边界部,所以存在当强光入射时,该部分在构造上变弱的情况。实施方式4的波导型受光元件100通过将脊部14的x方向以及z方向的侧面以不露出的方式用埋入层12埋入,从而使电场集中的部分即界面边界部不形成于元件端部,因此即使入射更强的光,也能够起到实施方式1的波导型受光元件100的效果。另外,对于实施方式4的波导型受光元件100而言,第二电极7的下层的一部分(在图23中比虚线25b靠右侧)能够形成为钝化膜13以及埋入层12,能够减小与仅形成于脊部14的未掺杂的吸光层4或杂质浓度比杂质掺杂光吸收层8低的吸光层4对置的第一接触层2的面积亦即对置面积,因此能够降低连接到第二电极7的第二接触层6与连接到第一电极17的第一接触层2之间的容量即波导型受光元件的容量。即,实施方式4的波导型受光元件100由于具有杂质掺杂光吸收层8以及吸光层4的芯层30形成于脊部14,所以能够比实施方式1的波导型受光元件100降低波导型受光元件的容量。因此,实施方式4的波导型受光元件100起到实施方式1的波导型受光元件100的效果,并且波导型受光元件的容量比实施方式1的波导型受光元件100小,因此能够比实施方式1的波导型受光元件100提高高速响应性。

[0081] 实施方式5

[0082] 图28是实施方式5所涉及的波导型受光元件的立体图,图29是沿着图28的A6-A6所示的虚线剖切的剖视图。沿着图28的B4-B4所示的虚线、C3-C3所示的虚线、F-F所示的虚线、G-G所示的虚线剖切的剖视图分别与图24、图25、图26、图27相同。实施方式5的波导型受光元件100与实施方式4的波导型受光元件100的不同点在于,半导体基板1具有向信号光20的行进方向侧即z方向正侧延伸的基板延伸部32。主要对与实施方式4的波导型受光元件100不同的部分进行说明。

[0083] 基板延伸部32通过对与光入射面21相反侧的层叠构造部18进行蚀刻而形成。基板延伸部32的z方向的范围是从虚线26a到虚线26b之间的范围。基板延伸部32比埋入层12的z方向正侧的端部向z方向正侧延伸。基板延伸部32的x方向的范围与层叠构造部18的x方向的范围相同。在基板延伸部32中,在半导体基板1的表面形成有钝化膜13,并且第二电极7从

脊部14的上部延伸而形成在钝化膜13的表面。另外,在图29中未图示的第一电极17也与第二电极7同样地从层叠构造部18的上部延伸而形成于钝化膜13的表面。

[0084] 基板延伸部32是在形成实施方式4的波导型受光元件的具有埋入层12的层叠构造部18后通过RIE等干式蚀刻或湿式蚀刻而形成。具体而言,在层叠构造部18的表面通过一般的光刻技术形成绝缘膜或光致抗蚀剂的掩模,并在使蚀刻的部分开口的状态下,通过RIE等干式蚀刻或湿式蚀刻,蚀刻至半导体基板1。其后,形成钝化膜13、第二电极7、第一电极17以及背面电极9。

[0085] 考虑实施方式5的波导型受光元件100的芯片尺寸与实施方式4的波导型受光元件100的芯片尺寸相同的情况。由于实施方式5的波导型受光元件100具备基板延伸部32,所以形成有脊部14的层叠构造部18的与半导体基板1对置的面积小于实施方式4的波导型受光元件100。因此,实施方式5的波导型受光元件100能够使与仅形成于脊部14的未掺杂的吸光层4或杂质浓度比杂质掺杂光吸收层8低的吸光层4对置的第一接触层2的面积亦即对置面积小于实施方式4的波导型受光元件100,因此能够比实施方式4的波导型受光元件100降低连接到第二电极的第二接触层6与连接到第一电极17的第一接触层2之间的容量即波导型受光元件的容量。实施方式5的波导型受光元件100起到实施方式4的波导型受光元件100的效果,并且波导型受光元件的容量比实施方式4的波导型受光元件100小,因此能够比实施方式4的波导型受光元件100提高高速响应性。

[0086] 实施方式6

[0087] 图30是实施方式6所涉及的波导型受光元件的立体图。图31是沿着图30的B5-B5所示的虚线剖切的剖视图,图32是图30的芯层的表面图。沿着图30的A3-A3所示的虚线、C2-C2所示的虚线、D-D所示的虚线剖切的剖视图分别与图14、图8、图15相同。实施方式6的波导型受光元件100与实施方式2的波导型受光元件100的不同点在于,在p型的杂质掺杂光吸收层8的x方向的侧面形成有未掺杂光吸收层11。主要对与实施方式2的波导型受光元件100不同的部分进行说明。

[0088] 实施方式6的波导型受光元件100在p型的杂质掺杂光吸收层8与光入射面21之间形成有未掺杂光吸收层11,且在相对于信号光20的行进方向平行的侧面即x方向的侧面的外侧形成有未掺杂光吸收层11。因此,实施方式6的波导型受光元件100的芯层30在x方向的杂质掺杂光吸收层8的侧面具有未掺杂光吸收层11,该x方向与信号光20所行进的z方向以及垂直于半导体基板1的y方向垂直。

[0089] 在实施方式2的波导型受光元件100中,电场容易集中在p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5的界面的角部即光入射面21侧的x方向上延伸的界面边界部,因此存在当强光入射时,该部分在构造上变弱的情况。实施方式6的波导型受光元件100由于能够使电场集中的界面边界部比实施方式2的波导型受光元件100小,所以即使比实施方式2的波导型受光元件100强的光入射也能够维持构造上的强度。

[0090] 实施方式6的波导型受光元件100除了在p型的杂质掺杂光吸收层8的x方向的侧面形成有未掺杂光吸收层11以外,与实施方式2的波导型受光元件100相同,因此起到与实施方式2的波导型受光元件100相同的效果。并且,实施方式6的波导型受光元件100即使比实施方式2的波导型受光元件100强的光入射也能够维持构造上的强度,能够提高可靠性。

[0091] 实施方式7

[0092] 图33是实施方式7所涉及的波导型受光元件的立体图,图34是沿着图33的A7-A7所示的虚线剖切的剖视图。图35是沿着图33的B6-B6所示的虚线剖切的剖视图,图36是沿着图33的C4-C4所示的虚线剖切的剖视图。沿着图33的F-F所示的虚线、G-G所示的虚线剖切的剖视图分别与图26、图27相同。实施方式7的波导型受光元件100与实施方式5的波导型受光元件100的不同点在于,在芯层30与n型的第一包覆层3或n型的第二包覆层5之间配置有电子传输层15。此外,在图34~图36中,示出了第一导电型为n型,并且第二导电型为p型的例子。另外,实施方式7的波导型受光元件100也可以说是与实施方式5的波导型受光元件100同样地在以具备脊部14以及基板延伸部32的方式变更的实施方式3的波导型受光元件100(实施方式3的波导型受光元件100的变形例)中,在芯层30与n型的第一包覆层3或n型的第二包覆层5之间配置有电子传输层15。主要对与实施方式5的波导型受光元件100以及实施方式3的波导型受光元件100不同的部分进行说明。

[0093] 电子传输层15为未掺杂的外延层,且具有不吸收光的性质即非光吸收性。电子传输层15例如为InP、InGaAsP、AlInAs、AlGaInAs等。由于电子传输层15具有非光吸收性,因此光载流子的电子在电子传输层15中传输。第一包覆层3、电子传输层15、芯层30、第二包覆层5构成波导层31。

[0094] 考虑比实施方式5的波导型受光元件100低容量化的方法。如在实施方式3中说明的那样,通过在p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5之间形成吸光层4,从而未掺杂的吸光层4或杂质浓度比杂质掺杂光吸收层8低的吸光层4的区域变宽,能够低容量化。但是,在实施方式3的波导型受光元件100中,存在在光入射面21侧的残留吸光层4的区域产生的光载流子,存在抑制空穴的滞留而进一步改善高速响应性的余地。

[0095] 在实施方式3的波导型受光元件100中,由于吸光层4形成于p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5之间,所以稍稍存在在y方向的长度短的光入射面21侧的吸光层4部分产生的空穴。实施方式7的波导型受光元件100与实施方式3的波导型受光元件100以及实施方式3的波导型受光元件100的变形例不同,信号光20不通过p型的杂质掺杂光吸收层8的y方向正侧的吸光层4或y方向负侧的吸光层4,且电子传输层15具有非光吸收性,因此信号光20全部被p型的杂质掺杂光吸收层8吸收。因此,实施方式7的波导型受光元件100能够比实施方式5的波导型受光元件100以及实施方式3的波导型受光元件100的变形例改善高速响应性。

[0096] 另外,由于电子传输层15是未掺杂的,所以与如实施方式3中说明那样未掺杂的吸光层4或杂质浓度比杂质掺杂光吸收层8低的吸光层4的区域同样,未掺杂的电子传输层15的区域变宽。因此,实施方式7的波导型受光元件100能够比实施方式5的波导型受光元件100实现低容量化。因此,实施方式7的波导型受光元件100起到实施方式5的波导型受光元件100的效果,并且能够比实施方式5的波导型受光元件100实现高速动作。

[0097] 此外,虽然在图34~图36中,以第一导电型为n型并且第二导电型为p型的例子进行了说明,但也可以是第一导电型为p型且第二导电型为n型。在该情况下,电子传输层15形成于n型的第二包覆层5与芯层30之间。即,图34~图36成为配置于第一包覆层3与芯层30之间的电子传输层15移动到n型的第二包覆层5与芯层30之间的图。

[0098] 此外,在实施方式3的波导型受光元件100中,也可以在p型的杂质掺杂光吸收层8与n型的第一包覆层3或n型的第二包覆层5之间形成电子传输层15,来代替吸光层4。在该情

况下,由于p型的杂质掺杂光吸收层8的y方向正侧的吸光层4或y方向负侧的吸光层4被未掺杂且具有非光吸收性的电子传输层15代替,因此能够改善高速响应性。

[0099] 此外,本申请虽然记载了各种例示的实施方式以及实施例,但一个或多个实施方式所记载的各种特征、形态以及功能并不限于特定的实施方式的应用,也可以单独或以各种组合应用于实施方式。因此,在本申请说明书所公开的技术范围内能够想到未例示的无数的变形例。例如,包括对至少一个构成要素进行变形的情况、追加的情况或省略的情况,还包括抽取至少一个构成要素并与其他实施方式的构成要素组合的情况。

[0100] 附图标记的说明

[0101] 1...半导体基板;2...第一接触层;3...第一包覆层;4...吸光层;5...第二包覆层;6...第二接触层;8...杂质掺杂光吸收层;11...未掺杂光吸收层;12...埋入层;14...脊部;15...电子传输层;21...光入射面;30...芯层;31...波导层;32...基板延伸部;42...第一接触层;43...第一包覆层;45...第二包覆层;46...第二接触层;100...波导型受光元件;1a...长度;1b...长度。

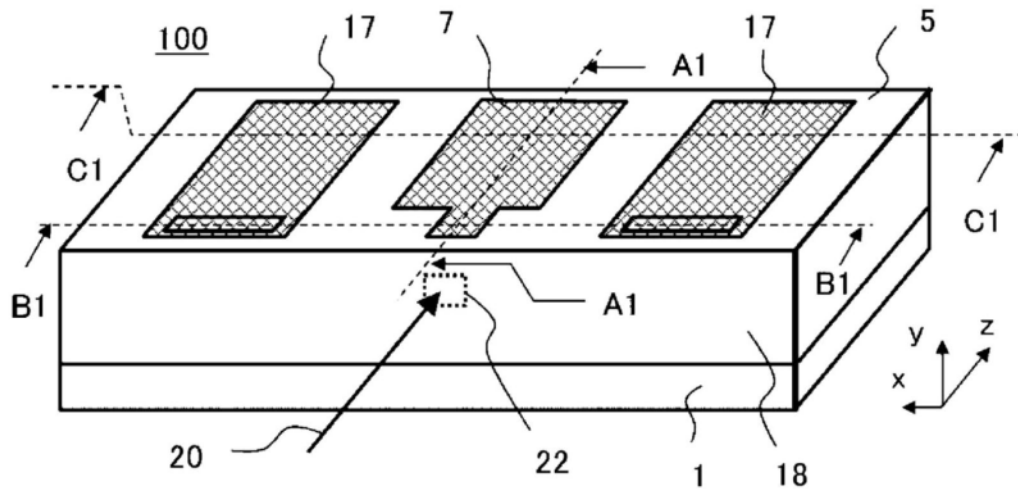


图1

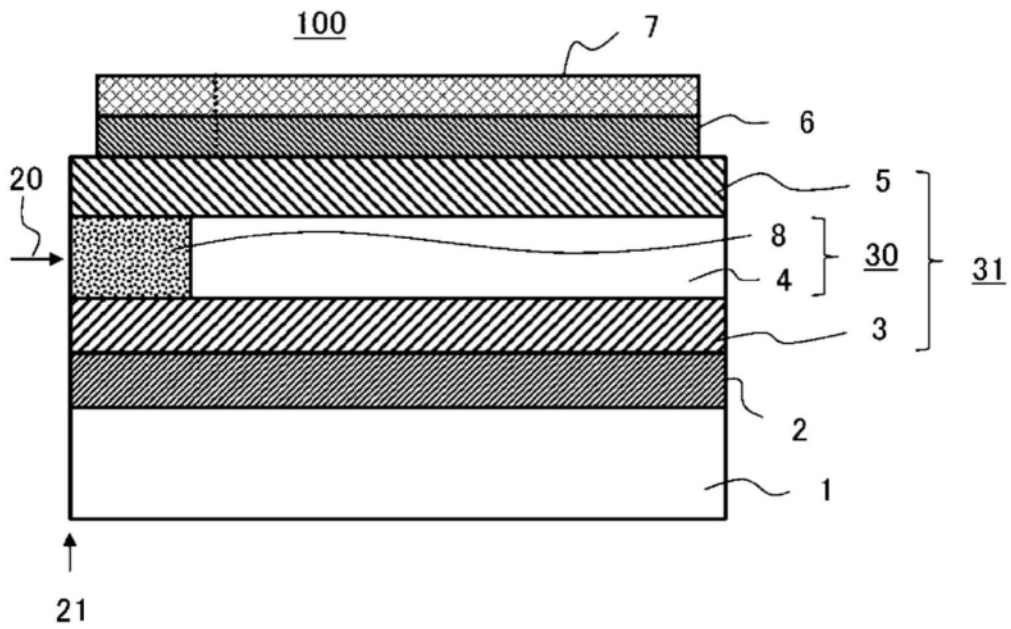


图2

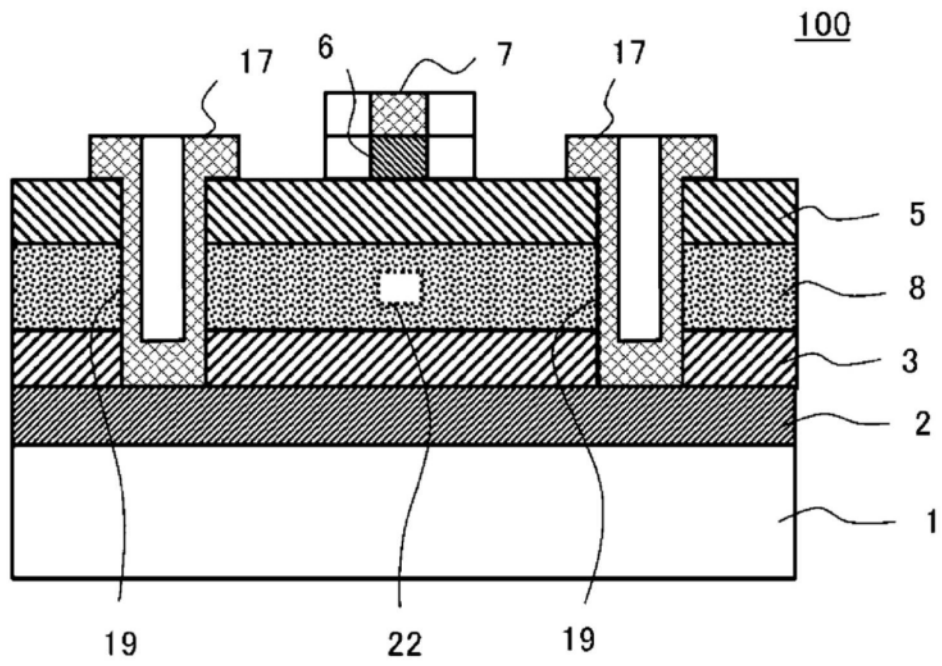


图3

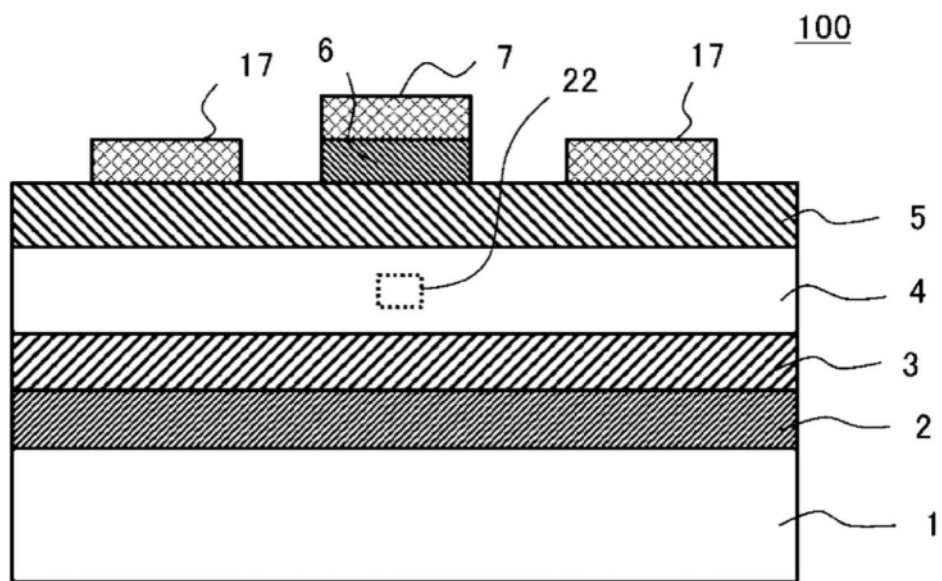


图4

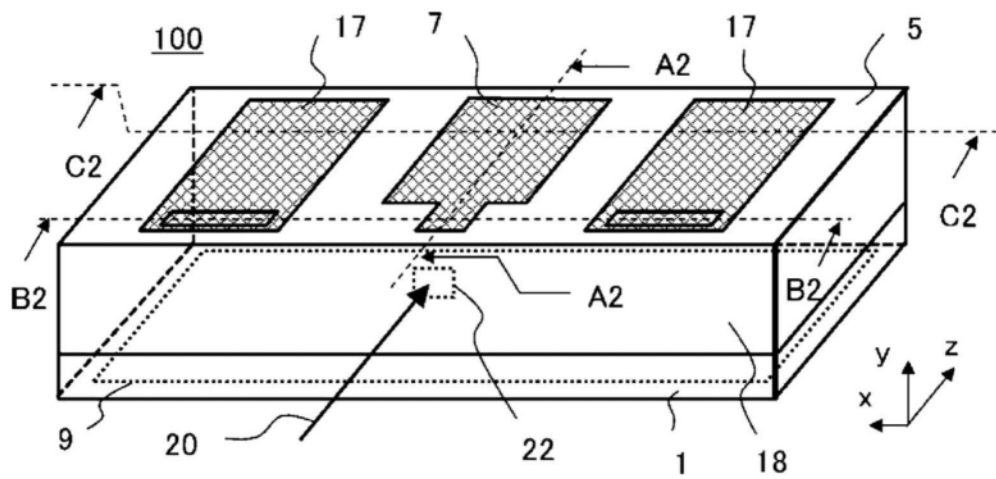


图5

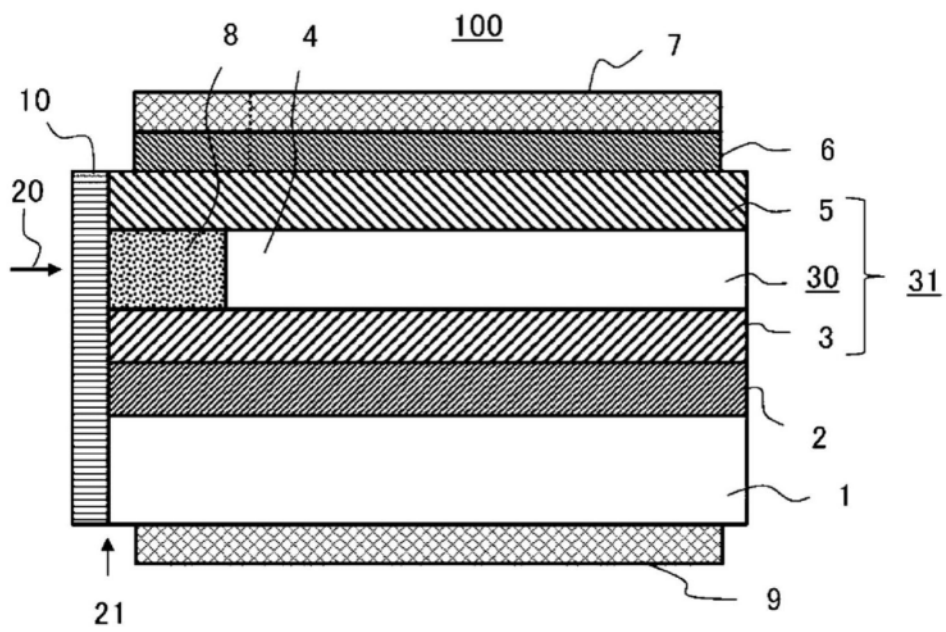


图6

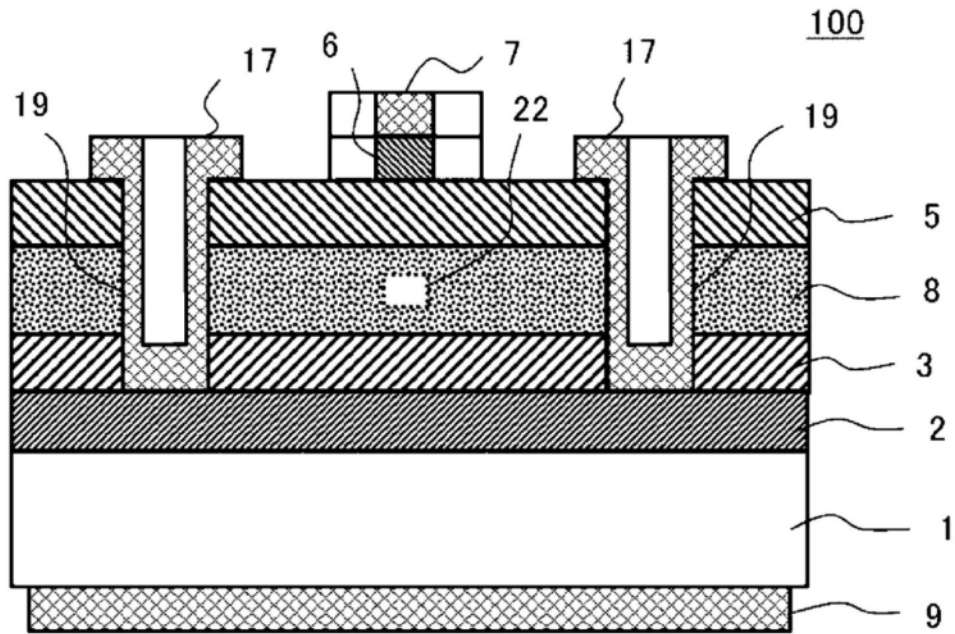


图7

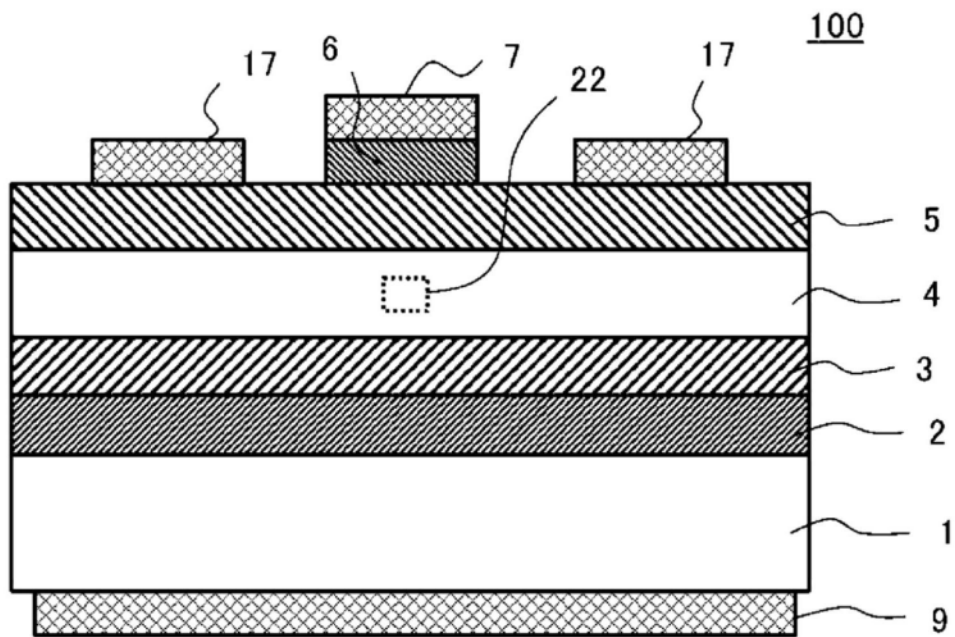


图8

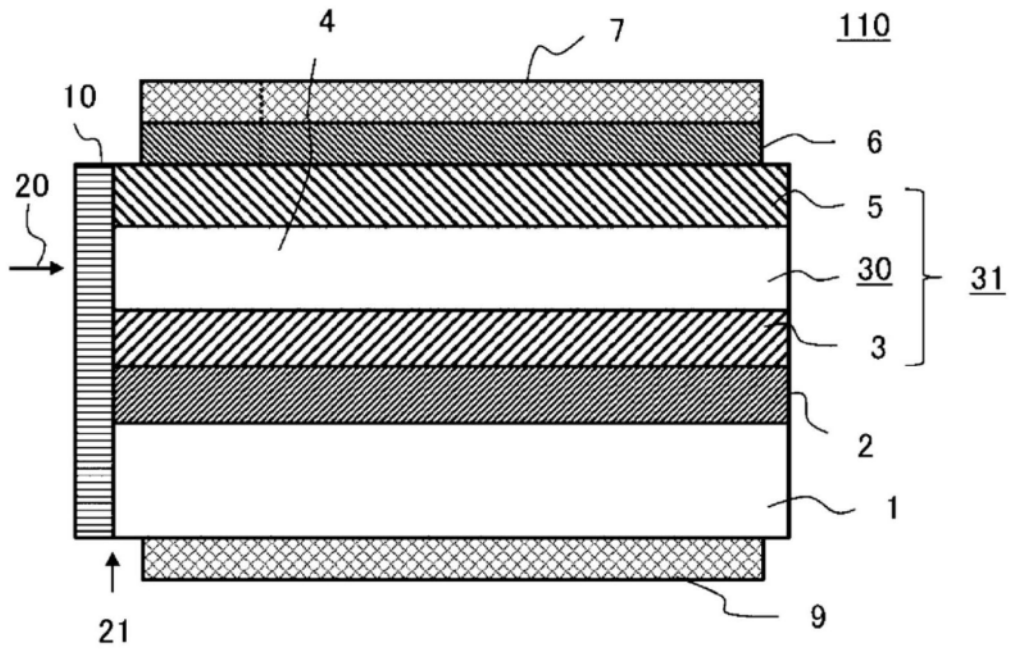


图9

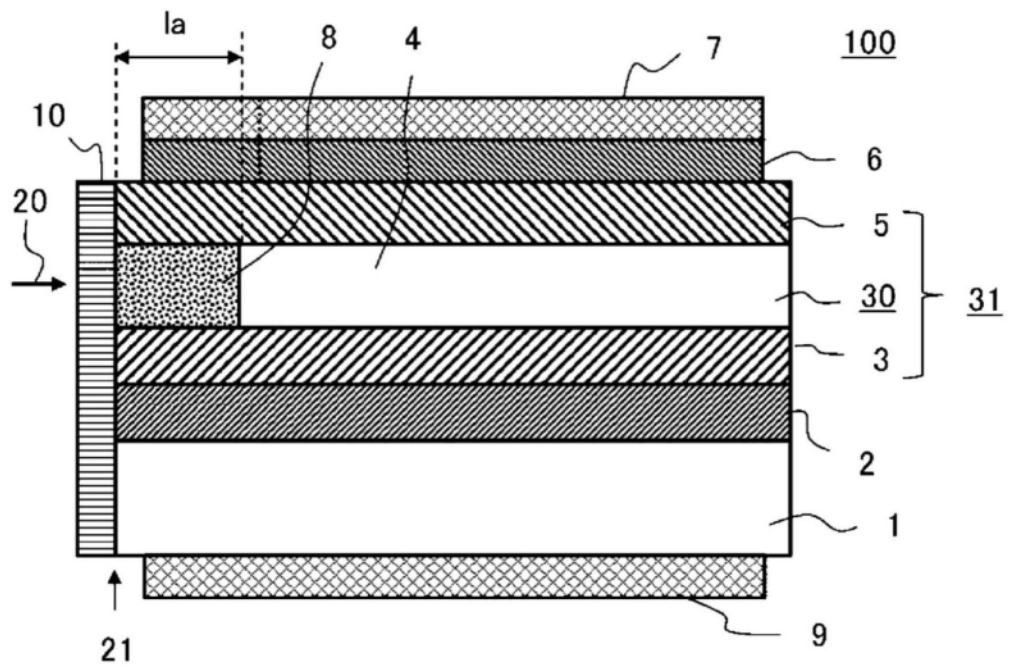


图10

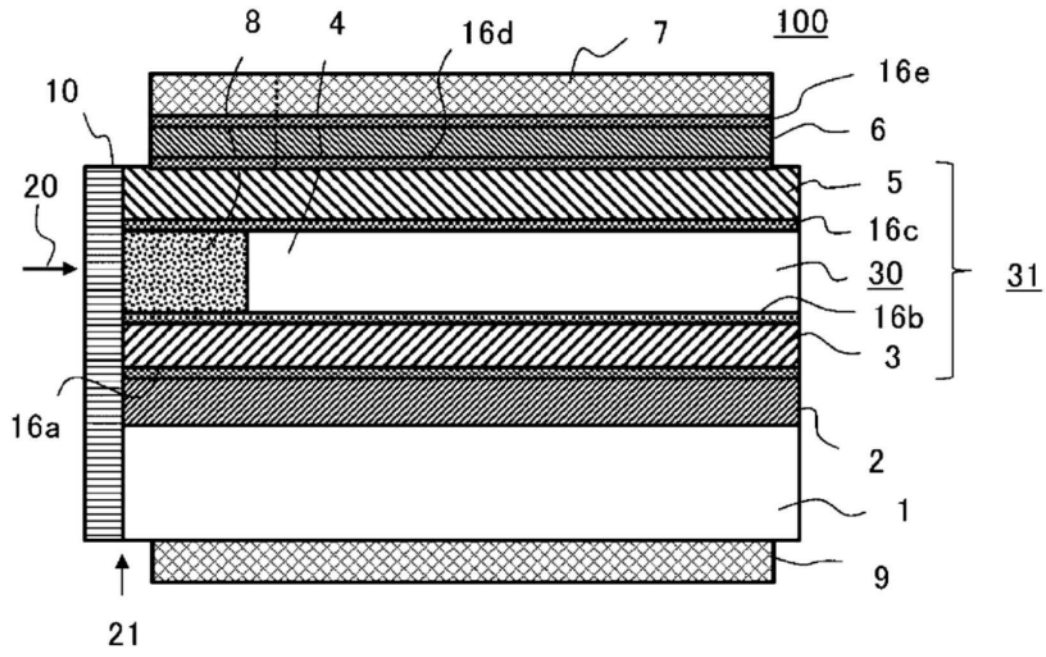


图11

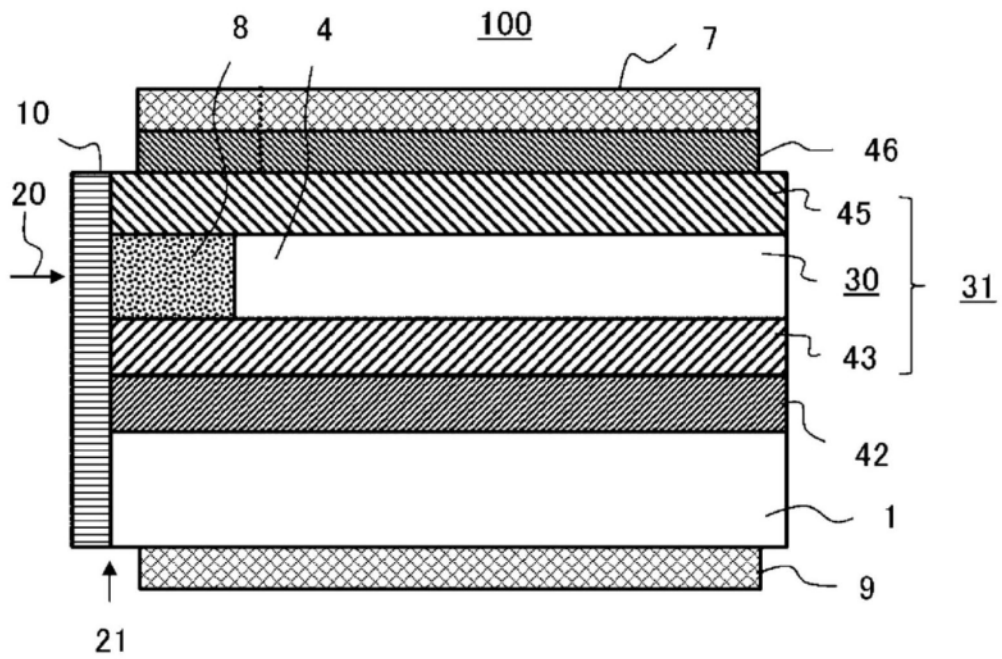


图12

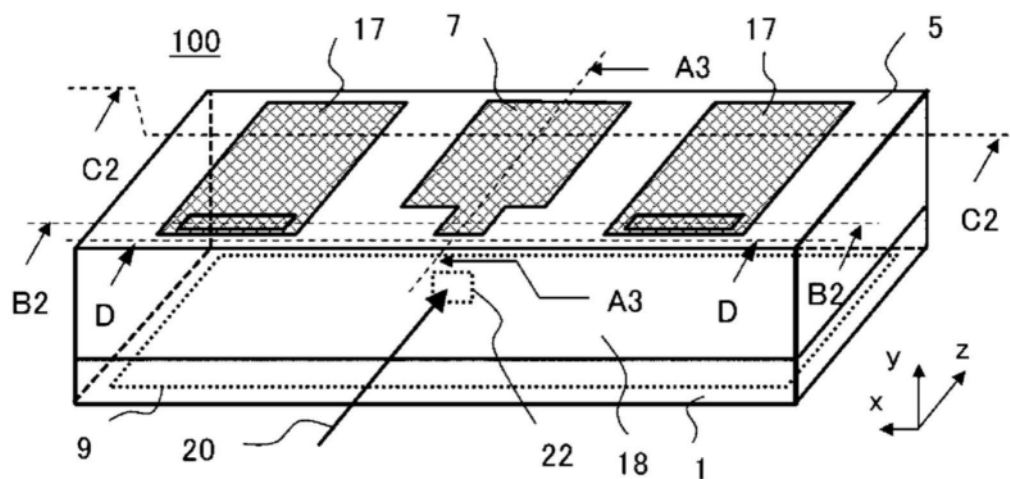


图13

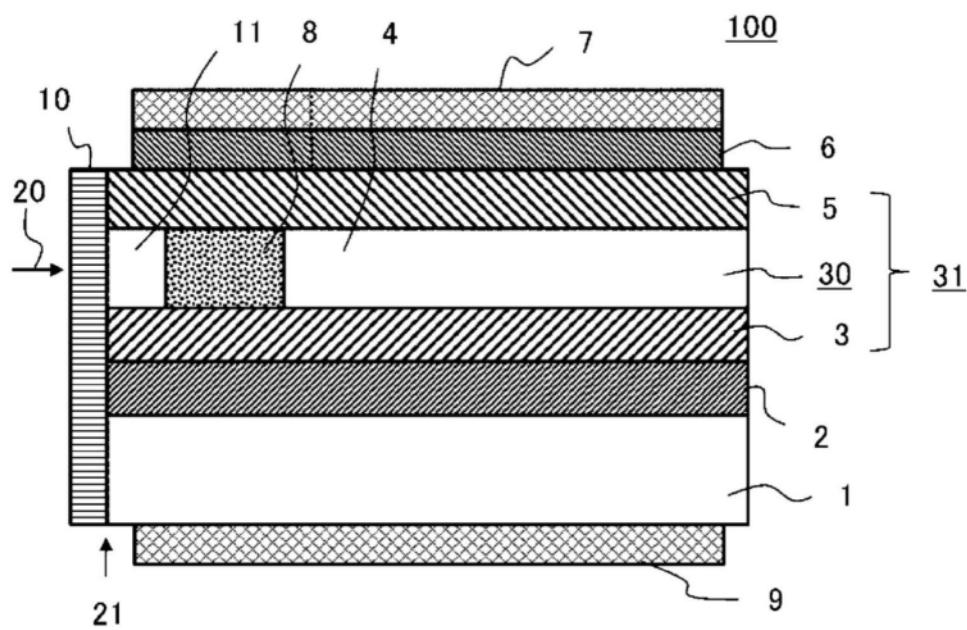


图14

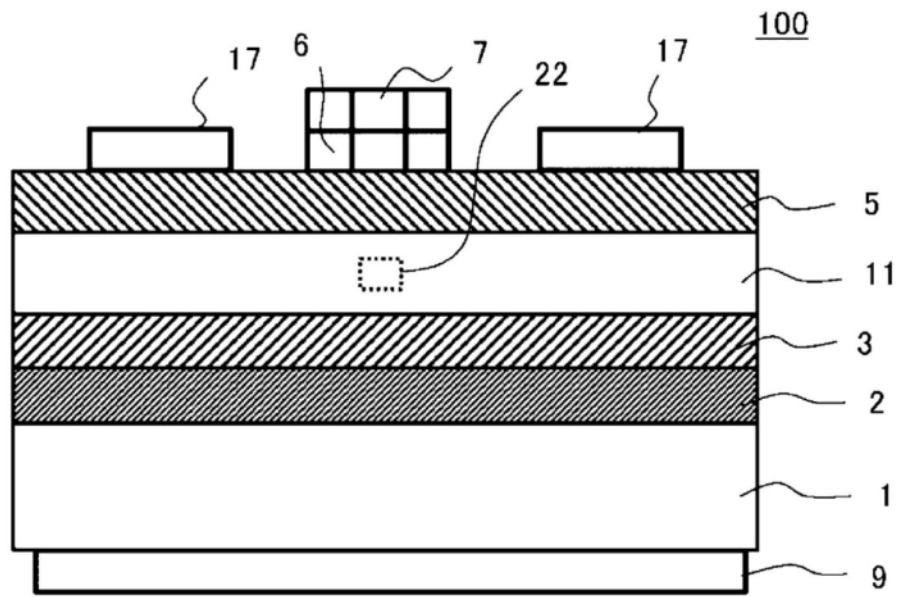


图15

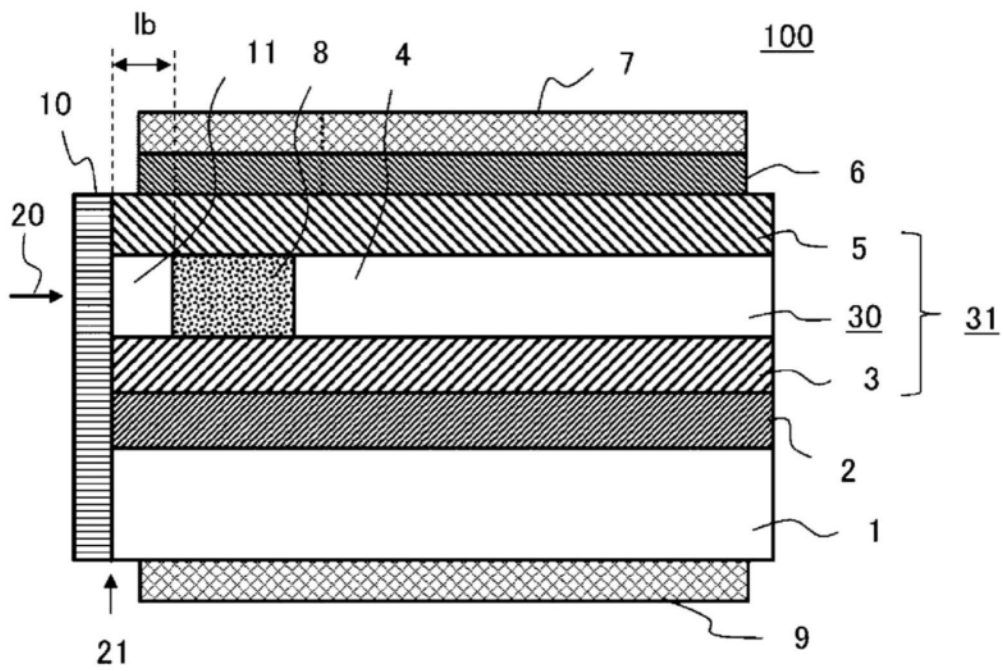


图16

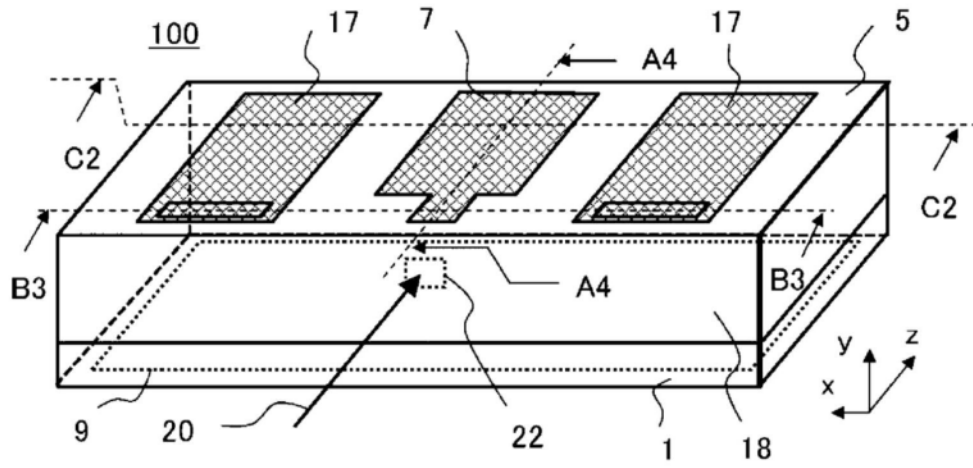


图17

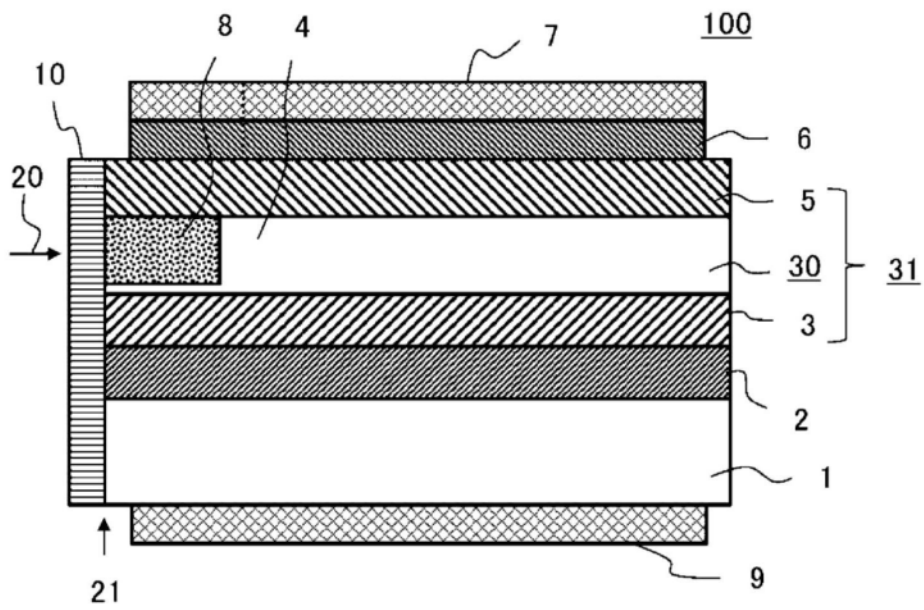


图18

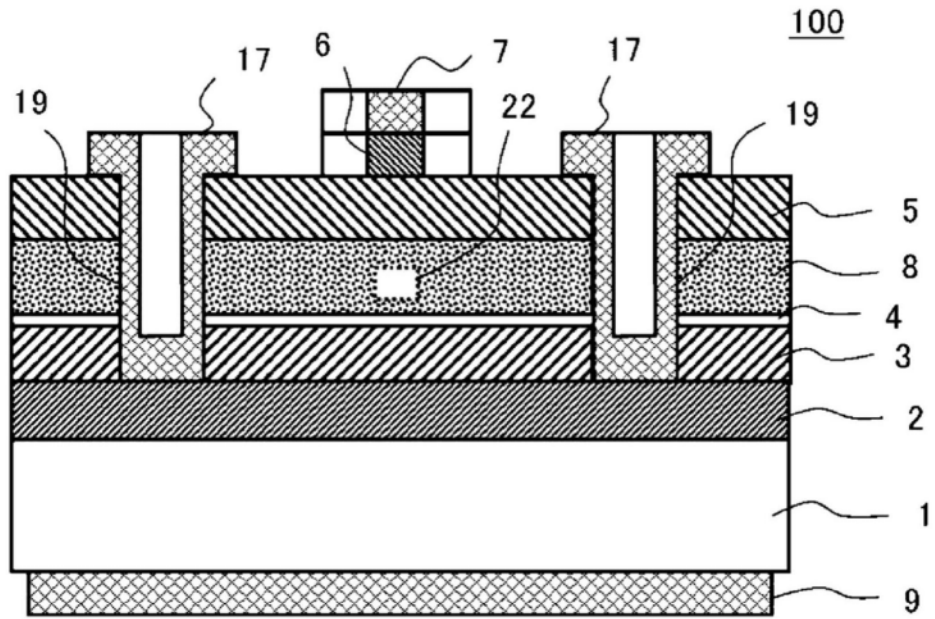


图19

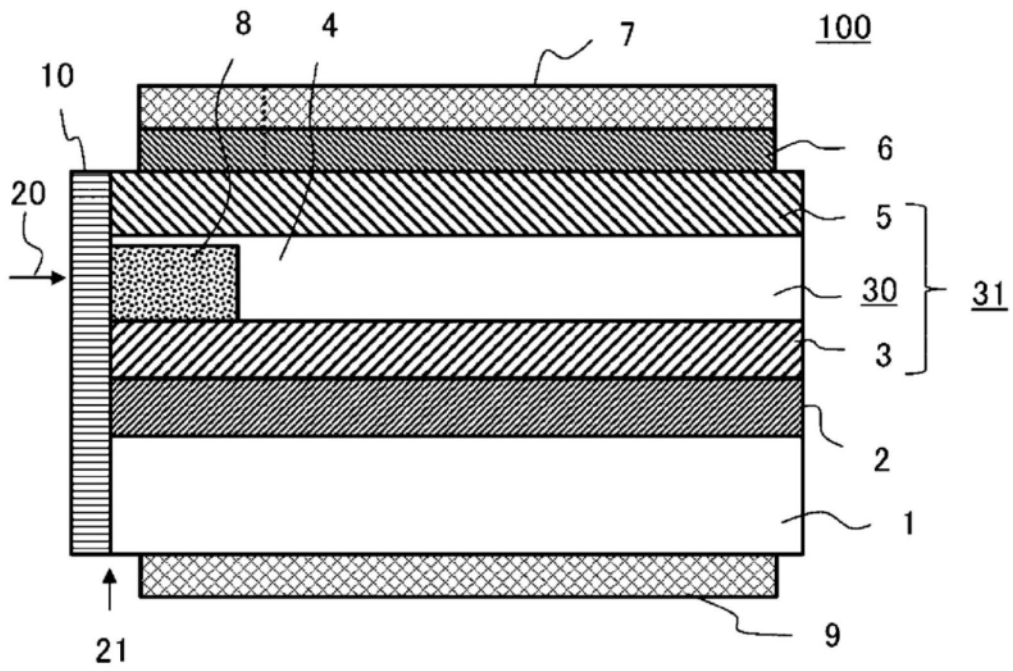


图20

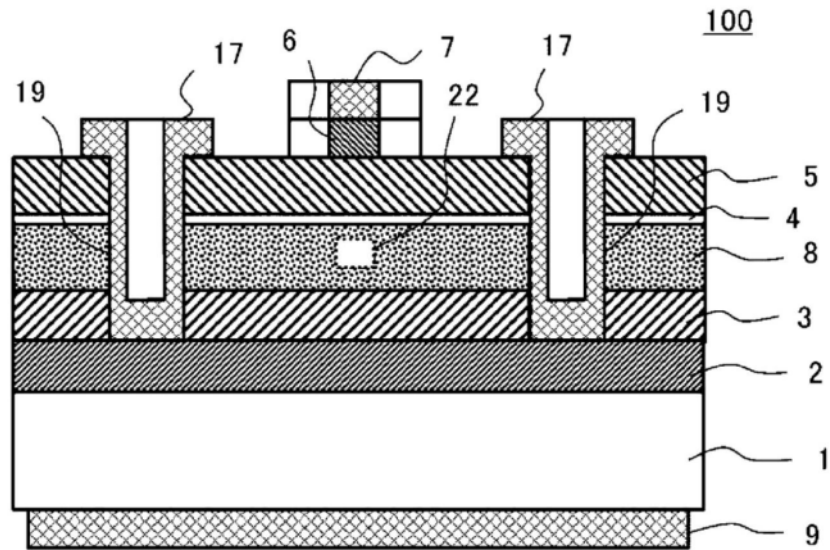


图21

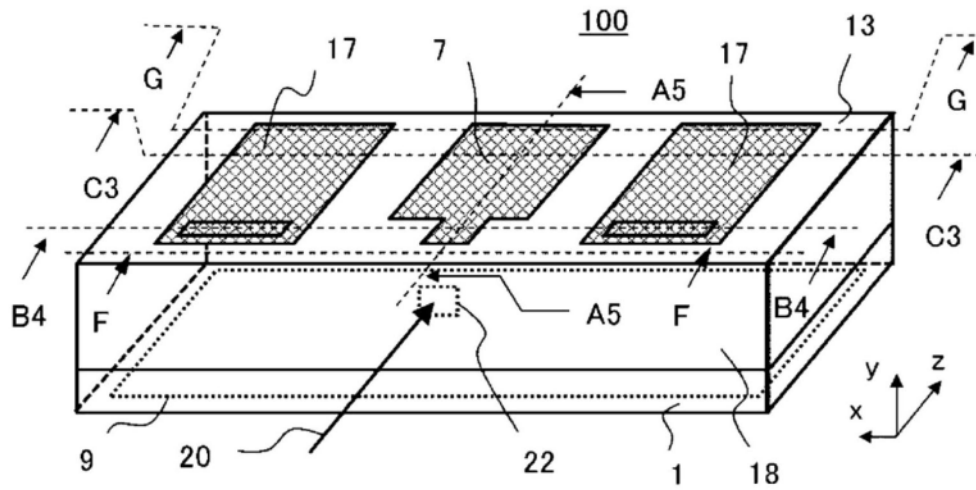


图22

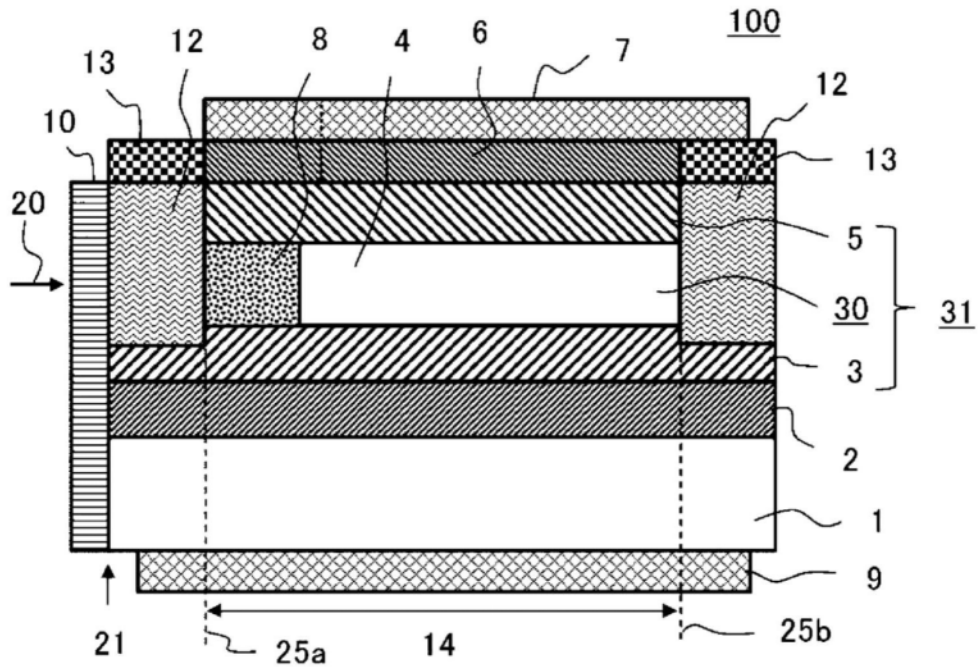


图23

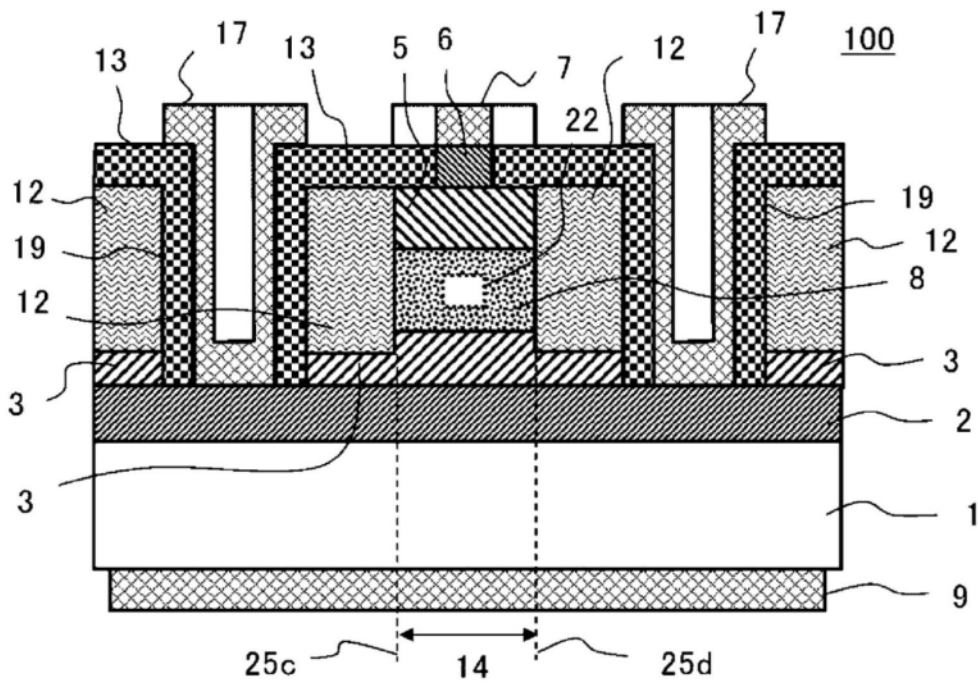


图24

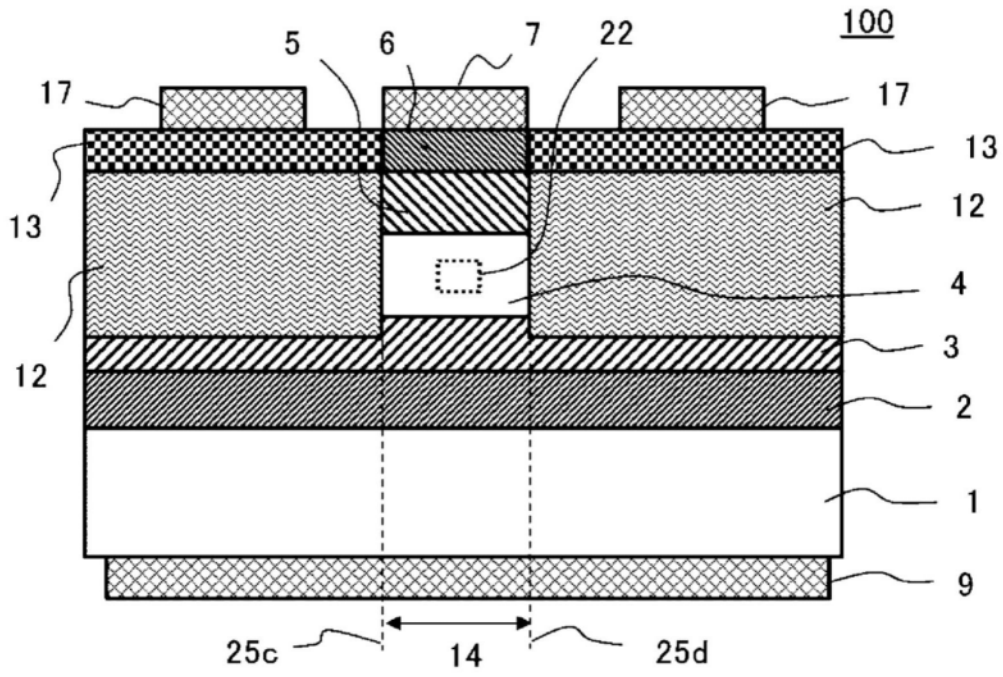


图25

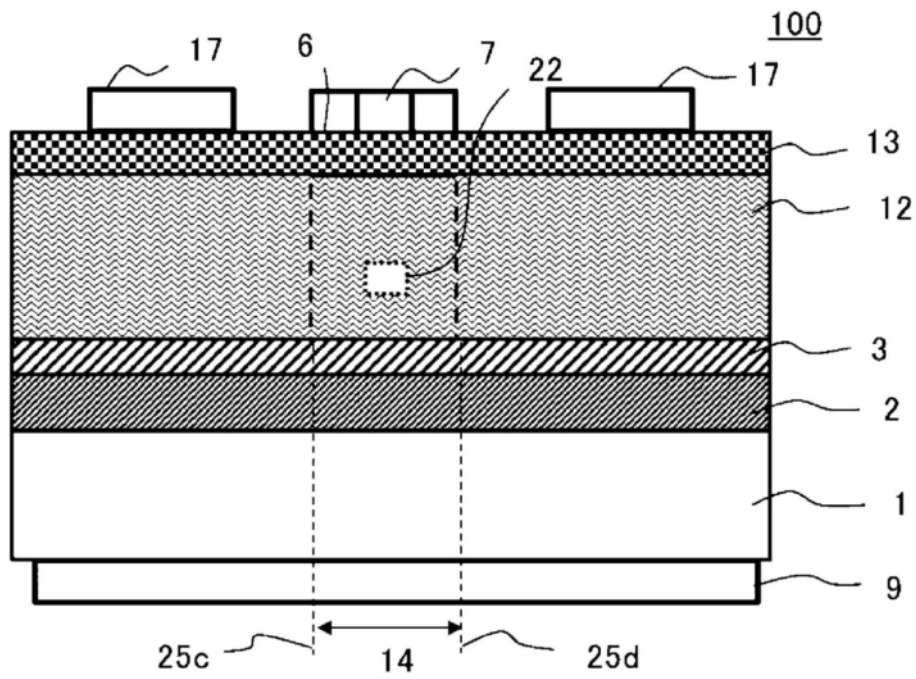


图26

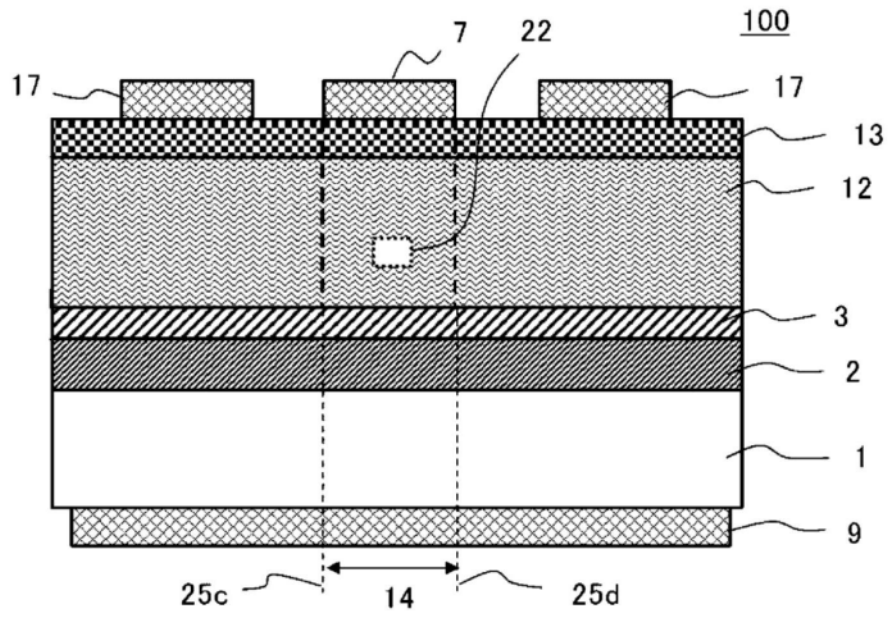


图27

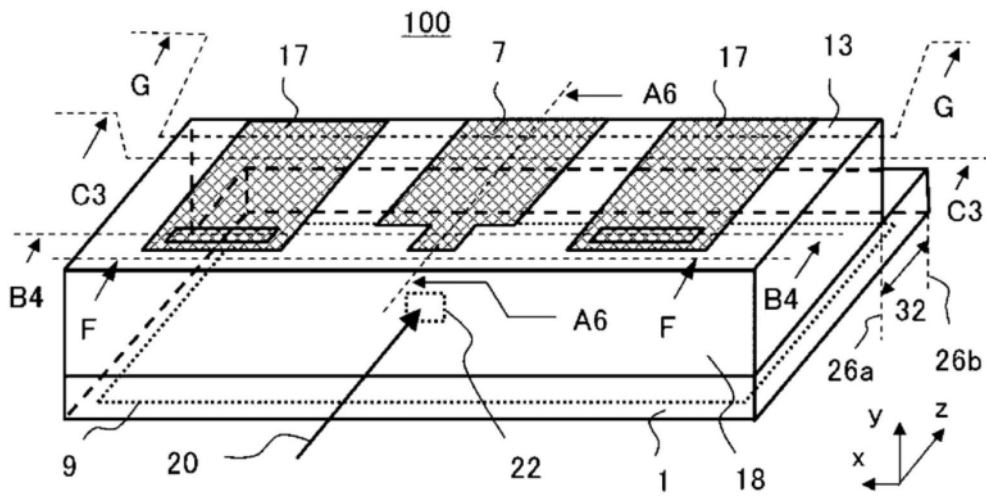


图28

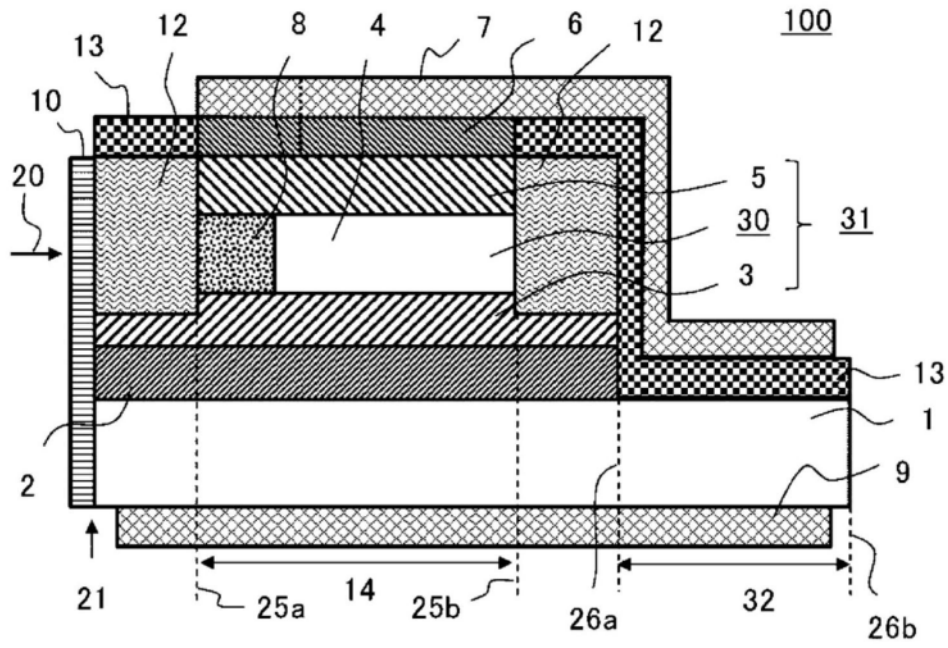


图29

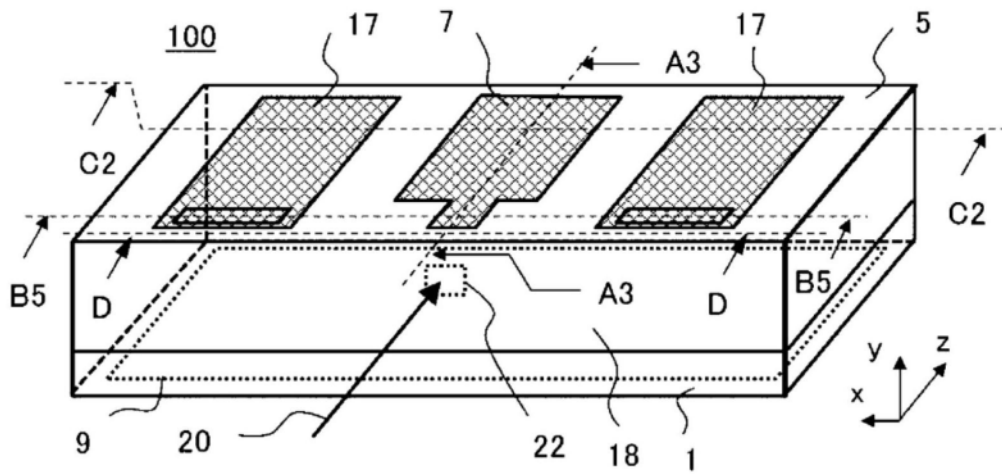


图30

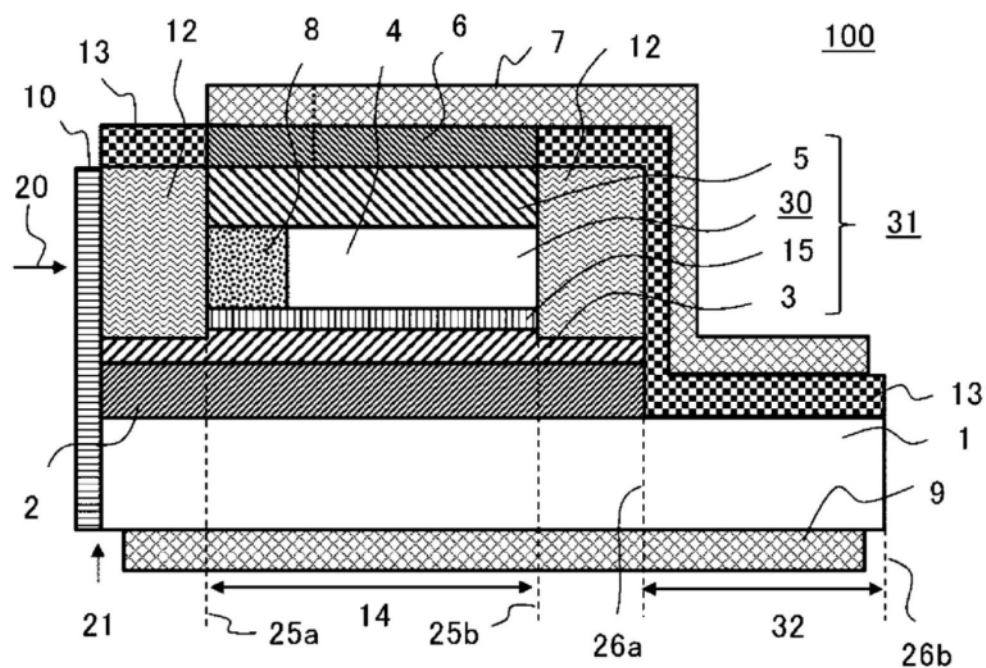


图34

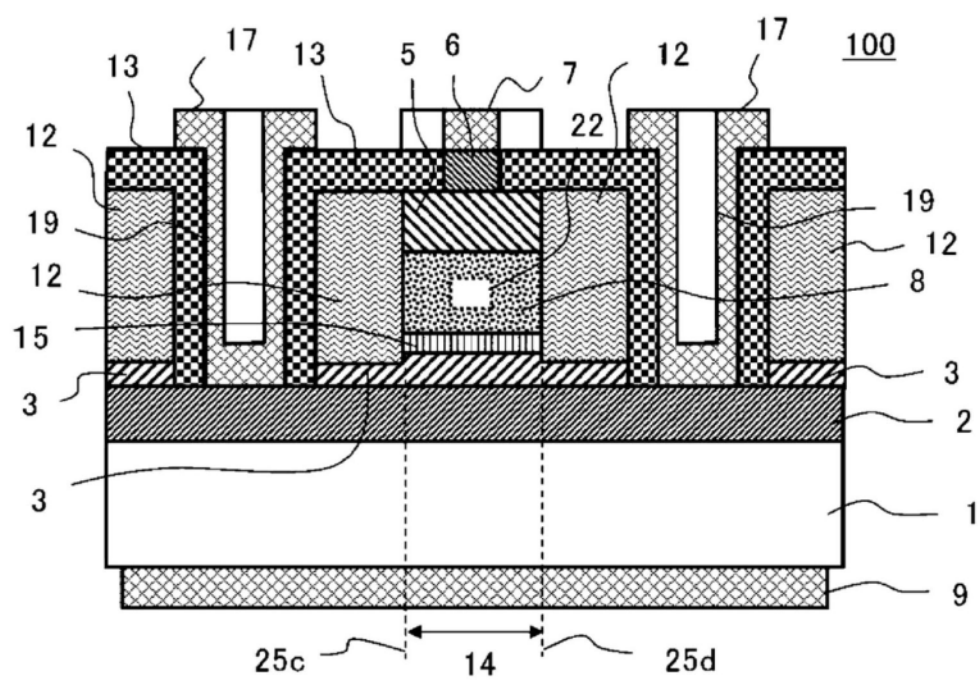


图35

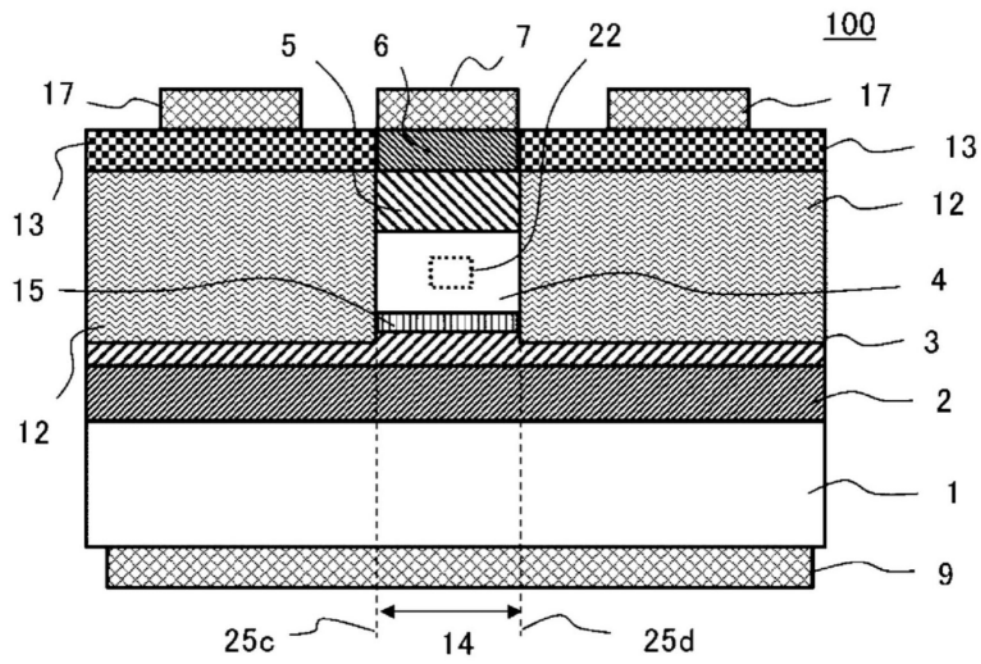


图36