



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3545073/18-24  
(22) 14.01.83  
(46) 07.08.84. Бюл. № 29  
(72) С.В.Казинов и В.А.Цикалов  
(53) 681.325(088.8)  
(56) 1. Авторское свидетельство СССР  
по заявке № 3357716/18-24,  
кл. G 06 F 7/26, 1981.

2. Авторское свидетельство СССР  
№ 942040, кл. G 06 F 15/353, 1980  
(прототип).

(54)(57) ЦИФРОВОЙ ФУНКЦИОНАЛЬНЫЙ ПРЕОБРАЗОВАТЕЛЬ, содержащий три регистра, два реверсивных счетчика, сумматор, блок памяти, два коммутатора и блок управления, причем входы первого и второго аргументов преобразователя соединены с информационными входами составляющих реверсивных счетчиков, выходы которых соединены с адресным входом блока памяти, выход которого соединен с информационным входом первого регистра, выход которого подключен к первому информационному входу первого коммутатора, второй информационный вход которого соединен с выходом второго регистра, выход третьего регистра соединен с первым информационным входом сумматора, выход которого подключен к выходу преобразователя, о т л и ч а ю щ и я с я тем, что, с целью увеличения быстродействия и расширения класса решаемых задач за счет дополнительной возможности вычисления значений функций, первые частные производные которых превышают единицу, в него введены первый и второй дополнительные регистры, первый и второй преобразователи прямого кода в до-

полнительный и умножитель, первый и второй входы которого соединены с выходами соответственно первого и второго коммутаторов, выход умножителя соединен с вторым информационным входом сумматора, выход которого подключен к информационным входам третьего регистра и первого дополнительного регистра, выход которого соединен с информационным входом второго регистра, выходы второго и третьего дополнительных регистров соединены соответственно с первым и вторым информационными входами второго коммутатора и входами соответствующих преобразователей прямого кода в дополнительный, выходы которых соединены соответственно с третьим и четвертым информационными входами второго коммутатора, информационные входы второго и третьего дополнительных регистров соединены с входами соответственно первого и второго аргументов, причем блок управления содержит двадцать четыре элемента И, восемь элементов ИЛИ, элемент НЕ, восемь одновибраторов, два элемента задержки, формирователь импульсов, триггер и регистр сдвига, подключенный прямым выходом первого разряда к первым входам первого, второго и третьего элементов И и к первым входам первого и второго элементов ИЛИ, инверсный выход первого разряда регистра сдвига соединен с первыми входами элементов И с четвертого по шестой, прямой выход второго разряда регистра сдвига соединен с первым входом седьмого элемента И, вторым входом первого и четвертого элементов И и с вторыми входа-

ми первого и второго элементов ИЛИ, инверсный выход второго разряда регистра сдвига соединен с первым входом восьмого элемента И и вторыми входами третьего и шестого элементов И, прямой выход третьего разряда сдвигового регистра соединен с вторыми входами второго и восьмого элементов И и третьим входом второго элемента ИЛИ, инверсный выход третьего разряда соединен с вторыми входами девятого и седьмого элементов И и с информационным входом регистра сдвига, тактирующий вход которого соединен с входом элемента НЕ и выходом третьего элемента ИЛИ, подключенного первым входом к выходу девятого элемента И, второй вход третьего элемента ИЛИ соединен с входами разрешения записи первого и второго реверсивных счетчиков и второго и третьего дополнительных регистров и с выходом первого одновибратора, вход которого соединен с выходом десятого элемента И, первый вход которого соединен с инверсным выходом триггера и выходом сигнала готовности преобразователя, второй вход десятого элемента И соединен с входом тактовых импульсов преобразователя и входом первого элемента задержки, выход которого соединен с входом установки в единицу триггера, вход установки в ноль которого соединен через формирователь импульсов с выходом одиннадцатого элемента И, первый вход которого соединен с выходом пятого элемента И и первым входом четвертого элемента ИЛИ, второй вход одиннадцатого элемента И соединен с первыми входами элементов И с двенадцатого по четырнадцатый и через второй элемент задержки с управляющим входом сумматора и выходом пятого элемента ИЛИ, первый вход которого соединен с выходом пятнадцатого элемента И, первый вход которого соединен с прямым выходом второго одновибратора, второй вход пятнадцатого элемента И соединен с инверсным выходом третьего одновибратора, вход которого подключен к входу второго одновибратора и выходу шестнадцатого элемента И, первый вход которого соединен с выходом шестого элемента И, второй вход шестнадцатого элемента И соединен с выходом элемента НЕ, входом четвертого одновибратора и первым входом семнадцатого элемен-

та И, второй вход которого соединен с выходом первого элемента ИЛИ, выход семнадцатого элемента И соединен с входами одновибраторов с пятого по восьмой, второй вход пятого элемента ИЛИ соединен с выходом восемнадцатого элемента И, первый и второй входы которого соединены с прямым выходом пятого одновибратора и инверсным выходом шестого одновибратора, прямой выход седьмого одновибратора соединен с первым входом девятнадцатого элемента И, второй вход которого соединен с инверсным выходом четвертого одновибратора и первым входом двадцатого элемента И, второй вход и выход которого соединены соответственно с выходом восьмого одновибратора и входом вычитания реверсивных счетчиков, второй вход девятого элемента И подключен к выходу второго элемента ИЛИ, выход второго элемента И соединен с первым входом двадцать первого элемента И и первыми входами шестого и седьмого элементов ИЛИ, вторые входы которых соединены с выходом восьмого элемента И, выход шестого элемента ИЛИ соединен с вторым входом двенадцатого элемента И, третий вход седьмого элемента ИЛИ соединен с выходом третьего элемента И и первым входом восьмого элемента ИЛИ, второй вход которого соединен с выходом четвертого элемента И, первым входом двадцать второго элемента И и вторым входом четвертого элемента ИЛИ, выход которого соединен с вторым входом четырнадцатого элемента И, третий вход восьмого элемента ИЛИ соединен с выходом седьмого элемента И и первым входом двадцать третьего элемента И, второй вход которого соединен с прямым выходом четвертого одновибратора, вторыми входами двадцать первого и двадцать второго элементов И и первым входом двадцать четвертого элемента И, выход которого соединен с входом установки в ноль третьего регистра, второй вход двадцать четвертого элемента И соединен с выходом седьмого элемента ИЛИ и вторым входом тринадцатого элемента И, выходы двадцать третьего и двадцать первого элементов И соединены с входами суммирования соответственно первого и второго реверсивных счетчиков, выход двадцать второго

элемента И соединен с управляющим входом блока памяти, выходы двадцатого, двенадцатого, тринадцатого и четырнадцатого элементов И соединены с управляющими входами соответственно с первого по третий регистров и первого дополнительного регистра, вы-

ходы восьмого элемента ИЛИ и первого, восьмого и пятого элементов И соединены с управляющими входами второго коммутатора, выходы первого элемента ИЛИ и шестого элемента И соединены с управляющими входами первого коммутатора.

1

Изобретение относится к автоматике и вычислительной технике.

Известен функциональный преобразователь, содержащий группу входных преобразователей, блок памяти, блок управления, формирователь интерполирующих функций, регистры, умножители и сумматор [1].

Недостатками функционального преобразователя являются сложность технической реализации из-за использования большого количества умножителей и пониженная точность преобразования из-за использования при вычислениях промежуточного представления сигналов в аналоговой форме.

Наиболее близким по технической сущности к предлагаемому является цифровой функциональный преобразователь многих переменных, содержащий коммутаторы, группу из  $n$  реверсивных счетчиков (где  $n$  - количество независимых переменных), подключенных установочными входами к шинам ввода соответствующих переменных, входами управления установкой кода - к первому выходу блока управления, суммирующими входами - к соответствующим выходам первой группы выходов блока управления, вычитающими входами - к соответствующим выходам второй группы выходов блока управления, а выходами - к адресным входам блока памяти, соединенного управляющим входом с вторым выходом блока управления, а выходом - с информационным входом первого регистра, подключенного выходом к первому информационному входу первого коммутатора, соединенного вторым информационным входом с выходом второго регистра, причем выход третьего регистра подключен к первому входу сумматора, выход кото-

2

рого является выходом цифрового функционального преобразователя многих переменных, а управляющие входы регистров соединены с соответствующими выходами третьей группы выходов блока управления, подключенного третьим выходом к управляющему входу сумматора, соединенного вторым входом с выходом блока памяти и с информационным входом второго регистра, а выходом - с информационным входом блока памяти, причем выход переплетения каждого  $i$ -го ( $1 \leq i \leq n$ ) реверсивного счетчика подключен к счетному входу  $(i+1)$ -го реверсивного счетчика, а выход  $n$ -го реверсивного счетчика соединен с управляющими входами первого коммутатора и второго коммутатора, подключенного информационными входами и выходами первого и второго регистров, а выходы коммутаторов соединены с входами блока комбинационного суммирования, подключенного выходом к информационному входу третьего регистра [2].

Недостатками известного устройства являются ограниченность класса воспроизводимых функций из-за невозможности воспроизведения функций, первые частные производные которых превышают единицу, и пониженное быстродействие из-за формирования функции внутри каждой подобласти аппроксимации путем последовательного построчного интегрирования узловых значений первых производных.

Цель изобретения - увеличение быстродействия и расширение класса решаемых задач за счет дополнительной возможности вычисления значений функций, первые частные производные которых превышают единицу.

Поставленная цель достигается тем, что в цифровой функциональный

преобразователь, содержащий три регистра, два реверсивных счетчика, сумматор, блок памяти, два коммутатора и блок управления, причем входы первого и второго аргументов преобразователя соединены с информационными входами соответствующих реверсивных счетчиков, выходы которых соединены с адресным входом блока памяти, выход которого соединен с информационным входом первого регистра, выход которого подключен к первому информационному входу первого коммутатора, второй информационный вход которого соединен с выходом второго регистра, выход третьего регистра соединен с первым информационным входом сумматора, выход которого подключен к выходу преобразователя, дополнительно введены первый и второй дополнительные регистры, первый и второй преобразователи прямого кода в дополнительный и умножитель, первый и второй входы которого соединены с выходами соответственно первого и второго коммутаторов, выход умножителя соединен с вторым информационным входом сумматора, выход которого подключен к информационным входам третьего регистра и первого дополнительного регистра, выход которого соединен с информационным входом второго регистра, выходы второго и третьего дополнительных регистров соединены соответственно с первым и вторым информационными входами второго коммутатора и входами соответствующих преобразователей прямого кода в дополнительный, выходы которых соединены соответственно с третьим и четвертым информационными входами второго коммутатора, информационные входы второго и третьего дополнительных регистров соединены с входами соответственно первого и второго аргументов, причем блок управления содержит двадцать четыре элемента И, восемь элементов ИЛИ, элемент НЕ, восемь одновибраторов, два элемента задержки, формирователь импульсов, триггер и регистр сдвига, подключенный прямым выходом первого разряда к первым входам первого, второго и третьего элементов И и к первым входам первого и второго элементов ИЛИ, инверсный выход первого разряда регистра сдвига соединен с первыми входами элементов И с четвертого по шестой, прямой выход второго разряда ре-

гистра сдвига соединен с первым входом седьмого элемента И, вторым входом первого и четвертого элементов И и с вторыми входами первого и второго элементов ИЛИ, инверсный выход второго разряда регистра сдвига соединен с первым входом восьмого элемента И и вторыми входами третьего и шестого элементов И, прямой выход третьего разряда сдвигового регистра соединен с вторыми входами второго и восьмого элементов И и третьим входом второго элемента ИЛИ, инверсный выход третьего разряда соединен с вторыми входами девятого и седьмого элементов И и с информационным входом регистра сдвига, тактирующий вход которого соединен с входом элемента НЕ и выходом третьего элемента ИЛИ, подключенного первым входом к выходу девятого элемента И, второй вход третьего элемента ИЛИ соединен с входами разрешения записи первого и второго реверсивных счетчиков и второго и третьего дополнительных регистров и с выходом первого одновибратора, вход которого соединен с выходом десятого элемента И, первый вход которого соединен с инверсным выходом триггера и выходом сигнала готовности преобразователя, второй вход десятого элемента И соединен с входом тактовых импульсов преобразователя и входом первого элемента задержки, выход которого соединен с входом установки в единицу триггера, вход установки в ноль которого соединен через формирователь импульсов с выходом одиннадцатого элемента И, первый вход которого соединен с выходом пятого элемента И и первым входом четвертого элемента ИЛИ, второй вход одиннадцатого элемента И соединен с первыми входами элементов И с двенадцатого по четырнадцатый и через второй элемент задержки с управляющим входом сумматора и выходом пятого элемента ИЛИ, первый вход которого соединен с выходом пятнадцатого элемента И, первый вход которого соединен с прямым выходом второго одновибратора, второй вход пятнадцатого элемента И соединен с инверсным выходом третьего одновибратора, вход которого подключен к входу второго одновибратора и выходу шестнадцатого элемента И, первый вход которого соединен с выходом шестого элемента И, второй вход шестнадцатого эле-

мента И соединен с выходом элемента НЕ, входом четвертого одновибратора и первым входом семнадцатого элемента И, второй вход которого соединен с выходом первого элемента ИЛИ, выход семнадцатого элемента И соединен с входами одновибраторов с пятого по восьмой, второй вход пятого элемента ИЛИ соединен с выходом восемнадцатого элемента И, первый и второй входы которого соединены с прямым выходом пятого одновибратора и инверсным выходом шестого одновибратора, прямой выход седьмого одновибратора соединен с первым входом девятнадцатого элемента И, второй вход которого соединен с инверсным выходом четвертого одновибратора и первым входом двадцатого элемента И, второй вход и выход которого соединен соответственно с выходом восьмого одновибратора и входом вычитания реверсивных счетчиков, второй вход девятого элемента И подключен к выходу второго элемента ИЛИ, выход второго элемента И соединен с первым входом двадцать первого элемента И и первыми входами шестого и седьмого элементов ИЛИ, вторые входы которых соединены с выходом восьмого элемента И, выход шестого элемента ИЛИ соединен с вторым входом двенадцатого элемента И, третий вход седьмого элемента ИЛИ соединен с выходом третьего элемента И и первым входом восьмого элемента ИЛИ, второй вход которого соединен с выходом четвертого элемента И, первым входом двадцать второго элемента И и вторым входом четвертого элемента ИЛИ, выход которого соединен с вторым входом четырнадцатого элемента И, третий вход восьмого элемента ИЛИ соединен с выходом седьмого элемента И и первым входом двадцать третьего элемента И, второй вход которого соединен с прямым выходом четвертого одновибратора, вторыми входами двадцать первого и двадцать второго элементов И и первым входом двадцать четвертого элемента И, выход которого соединен с входом установки в ноль третьего регистра, второй вход двадцать четвертого элемента И соединен с выходом седьмого элемента ИЛИ и вторым входом тринадцатого элемента И, выходы двадцать третьего и двадцать первого элементов И соединены с входами суммирова-

ния соответственно первого и второго реверсивных счетчиков, выход двадцать второго элемента И соединен с управляющим входом блока памяти, выходы двадцатого, двенадцатого, тринадцатого и четырнадцатого элементов И соединены с управляющими входами соответственно с первого по третий регистров и первого дополнительного регистра, выходы восьмого элемента ИЛИ и первого, восьмого и пятого элементов И соединены с управляющими входами второго коммутатора, выходы первого элемента ИЛИ и шестого элемента И соединены с управляющими входами первого коммутатора.

На фиг.1 приведена блок-схема преобразователя; на фиг.2 - конструкция блока управления.

Цифровой функциональный преобразователь содержит реверсивные счетчики 1, входы 2 аргументов, входы 3 разрешения записи счетчиков 1, блок 4 управления, входы 5 и 6 соответственно суммирования и вычитания счетчиков 1, блок 7 памяти, вход 8 управления блоком 7 памяти, регистр 9, коммутатор 10, регистры 11 и 12, сумматор 13, умножитель 14, коммутатор 15, управляющий вход 16, дополнительный регистр 17, вход 18 обнуления и управляющий вход 19, дополнительные регистры 20, управляющие входы 21 и 22 коммутаторов 15 и 10, преобразователи 23 прямого кода в дополнительный.

Блок управления содержит элементы И 24-46, элементы ИЛИ 47-54, элемент НЕ 55, одновибраторы 56-63, элементы 64 и 65 задержки, формирователь 66 импульсов, триггер 67, регистр 68 сдвига, выход 69 сигнала готовности, тактовый вход 70 и элемент И 71.

Цифровой функциональный преобразователь может производить вычисления значений функций двух переменных, но, учитывая сущность построения структуры преобразования для двух и более переменных, рассмотрим работу преобразования для общего случая.

Цифровой функциональный преобразователь работает следующим образом.

Исходная функция  $f(x_1, x_2, \dots, x_n)$  аппроксимируется  $n$ -мерным полиномиальным сплайном первого порядка, нормированные значения ординат которого в узлах подобластей аппроксимации перед

началом работы записываются в блок 7 памяти. Каждый цикл работы преобразователя состоит из  $m = \sum_{i=0}^{n-1} 2^{n-i}$  тактов и начинается со считывания по шинам 2 (фиг.1) кодов переменных в реверсивные счетчики 1 и регистры 20. При этом старшие разряды кодов переменных, определяющие узлы подобластей аппроксимации, считываются в реверсивные счетчики 1, а младшие разряды кодов переменных, определяющие приращения переменных внутри подобластей аппроксимации, считываются в регистры 20. Выполняется первая группа из  $2^n$  тактов, в каждом из которых из блока 7 памяти в регистр 9 считывается ордината одного из узлов подобласти аппроксимации, умножается в умножителе 14 на значение приращения первой переменной в прямом или дополнительном коде, выбираемое с помощью коммутатора 15. Результат перемножения суммируется в сумматоре 13 с содержимым регистра 12 и записывается в один из регистров 11, 12 или 17. При этом переход от одного к другому узлам аппроксимации для выборки из блока 7 памяти ординат этих узлов осуществляется в каждом такте путем добавления или вычитания единицы младшего разряда в одном из реверсивных счетчиков 1. По окончании первой группы тактов выполняются последующие группы из  $2^{n-1}$ ,  $2^{n-2}$  и т.д. тактов, в каждой из которых значения приращений в прямом или дополнительном коде одной из остальных переменных умножаются на результаты вычислений по предыдущей группе тактов. По окончании последней группы из двух тактов, в которых два результата вычислений по предпоследней группе тактов умножаются на значение приращения последней переменной в прямом и дополнительном коде и суммируются полученные произведения, результат суммирования, являющийся вычисленным значением функции  $f(x_1, x_2, \dots, x_n)$ , считывается на выход функционального преобразователя. Далее описанный цикл функционального преобразования повторяется для новых значений переменных.

Рассмотрим подробнее работу устройства для случая выполнения функционального преобразования по двум переменным  $f(x_1, x_2)$ .

В исходном состоянии обнулены сумматор 13, а также триггер 67 и

регистр 68 сдвига блока 4 управления (цепи приведения в исходное состояние не показаны). С приходом на шину 70 (фиг.2) импульса запуска синхронизирующей частоты и началом первого такта работы этот импульс проходит через открытый элемент И 32 на вход одновибратора 56 и одновременно с этим поступает на вход элемента 64 задержки. Одновибратор 56 по положительному фронту входного сигнала формирует импульс, поступающий через выход 3 блока 4 управления на входы управления установкой кода реверсивных счетчиков 1 и регистров 20. Старшие и младшие разряды входных переменных  $x_1$  и  $x_2$  считываются в счетчики 1 и регистры 20 соответственно. По истечении времени задержки импульс с выхода элемента 64 задержки устанавливает триггер 67 в единичное состояние, запирающее элемент И 32 и препятствующее повторному запуску устройства до окончания цикла функционального преобразования. Выходной импульс одновибратора 56 через элемент ИЛИ 49 поступает на вход элемента НЕ 55 и на тактирующий вход регистра 68 сдвига. По заднему фронту этого импульса, соответствующему окончанию записи информации в счетчики 1 и регистры 20, в регистре 68 (выполненном по схеме о перекрестной связи на триггерах  $D_t$ -типа) формируется единичный сигнал на прямом выходе первого разряда, отпирающий элемент И 25 и элементы ИЛИ 47, 48, 53 и 54. Сигнал с выхода элемента ИЛИ 47 поступает на управляющий вход коммутатора 10, подключая выход регистра 9 к входу умножителя 14. Сигнал с выхода элемента ИЛИ 54 поступает на управляющий вход коммутатора 15, подключая выход дополнительного кода первого из регистров 2 к второму входу умножителя 14. Задний фронт импульса одновибратора 56, инвертированный элементом НЕ 55, запускает одновибратор 59 и через элемент И 39, открытый сигналом с выхода элемента ИЛИ 47, запускает одновибраторы 60-63. Импульс с прямого выхода одновибратора 59 через элемент И 46, открытый сигналом с выхода элемента ИЛИ 53, и выход 18 блока управления поступает на вход обнуления регистра 12, а импульс с инверсного выхода одновибратора 59 блоки-

рует прохождение импульсов с выходов  
одновибраторов 62 и 63 на время об-  
нуления регистра 12. По окончании  
обнуления регистра 12 импульсы с  
выходов одновибраторов 62 и 63 посту- 5  
пают на управляющие входы регистра 9  
и блока 7 памяти соответственно. Сиг-  
налом "Выборка кристалла" с выхода  
элемента И 42 блок 7 памяти, на шину  
выбора режима "Чтение-запись" кото- 10  
рого подан потенциал "Чтение" (не  
показано), осуществляет выборку дан-  
ных по адресу, соответствующему зна-  
чению выходных кодов счетчиков 1.  
Сигналом с выхода элемента И 41 осу- 15  
ществляется запись этих данных в  
регистр 9. Поскольку в блоке 7 памя-  
ти записаны нормированные значения  
 $C_{ij}$  ординат аппроксимирующего сплай-  
на  $S(x_1, x_2)$  для узловых точек  $(x_1^i, x_2^j)$  20  
подобластей аппроксимации

$$C_{ij} = \frac{S(x_1^i, x_2^j)}{(x_1^{i+1} - x_1^i)(x_2^{j+1} - x_2^j)}, \quad \begin{matrix} i = 1, m_1 - 1, \\ j = 1, m_2 - 1, \end{matrix}$$

где  $(x_1^{i+1} - x_1^i)$  и  $(x_2^{j+1} - x_2^j)$  - шаг раз-  
биения области аппроксимации по пер-  
вой и второй переменным соответст-  
венно,  $m_1, m_2$  - число шагов разби-  
ения по соответствующей переменной, 25  
а коды старших разрядов переменных  
 $x_1$  и  $x_2$ , считанные в реверсивные  
счетчики 1, определяют адрес перво-  
го (начального) узла текущей подоб-  
ласти аппроксимации, например, с  
координатами  $(x_1^i, x_2^j)$ , то в регистр 9  
будет считано значение ординаты  
 $C_{ij}$  для этого первого узла. Умножи-  
тель 14 выполняет умножение ординаты  
 $C_{ij}$ , поступающей на его вход с выхо- 30  
да регистра 9, на значение дополни-  
тельного кода приращения первой пере-  
менной внутри данной подобласти ап-  
проксимации, т.е. на код  $(x_1^{i+1} - x_1^i)$   
с выхода первого из регистров 20. 35  
Сформированное произведение суммиру-  
ется с нулевым кодом регистра 12 и  
фиксируется на выходе сумматора 13.  
Для этого на управляющий вход сумма-  
тора 13 с выхода элемента ИЛИ 51 по- 40  
дается импульс, сформированный с по-  
мощью одновибраторов 60 и 61 и эле-  
мента И 40. Передний фронт этого  
импульса появляется на выходе эле-  
мента ИЛИ 51 после установления кода  
произведения на выходе умножителя 14. 45  
и его суммирования в сумматоре 13 с  
кодом регистра 12, а длительность  
импульса определяется временем фик-

сации (записи) кода суммы на выходе  
сумматора 13. После фиксации резуль-  
тата на выходе сумматора 13 импульс  
с выхода элемента 65 задержки прохо-  
дит через элемент И 35, открытый сиг-  
налом с выхода элемента ИЛИ 53, на  
управляющий вход регистра 12. В ре-  
гистр 12 переписывается значение вы-  
ходного сумматора 13 равное

$$N_1 = C_{ij}(x_1^{i+1} - x_1^i)$$

Второй такт работы начинается с  
поступления заднего фронта импульса  
с выхода элемента 65 задержки через  
элемент И 31, открытый сигналом с  
выхода элемента ИЛИ 48, и элемент ИЛИ  
49 на тактирующий вход регистра 68 и  
вход элемента НЕ 55. По заднему  
фронт импульса единица записывается  
во второй разряд регистра 68, а сос-  
тояние остальных разрядов регистра  
не изменяется. При этом запираются  
элементы И 25 и элементы ИЛИ 53 и 54,  
отпираются элементы И 71 и 29 и эле- 25  
мент ИЛИ 50, а элементы ИЛИ 47 и 48  
остаются в открытом состоянии. Сигнал  
с выхода элемента И 71 поступает на  
управляющий вход коммутатора 15, под-  
ключая к входу умножителя 14 прямой  
выход первого из регистров 20. Другой  
вход умножителя 14 остается подклю-  
ченным через коммутатор 10 к выходу  
регистра 9. Задний фронт импульса с  
выхода элемента 65 задержки, инверти-  
рованный элементом НЕ 55, запускает  
одновибратор 59 и, проходя через эле-  
мент И 39, запускает одновибраторы  
60-63. Импульс с прямого выхода од-  
новибратора 59 через элемент И 45, 35  
открытый сигналом с выхода элемен-  
та И 29, поступает на суммирующий  
вход первого из реверсивных счетчиков  
1, добавляя к его содержимому едини-  
цу младшего разряда. Поскольку состо-  
яние второго реверсивного счетчика  
1 не изменяется, то код на адресных  
входах блока 7 памяти станет соответ-  
ствовать адресу второго узла текущей  
подобласти аппроксимации. Аналогично  
описанному по окончании установления  
кода в первом реверсивном счетчике 1  
импульсы с выходов одновибраторов  
62 и 63 поступят на управляющие вхо-  
ды блока 7 памяти и регистра 9. В  
результате код ординаты  $C_{i+1,j}$  второ-  
го узла аппроксимации будет считан  
из блока 7 памяти в регистр 9 и че- 45  
рез коммутатор 10 поступит на вход

умножителя 14, на другой вход которого через коммутатор 15 подается с первого из регистров 20 прямое значение кода приращения первой переменной внутри подобласти аппроксимации.

Произведение этих кодов с выхода умножителя 14 суммируется в сумматоре 13 с содержанием регистра 12. После фиксации окончательного результата код на выходе сумматора 13 равный

$$N_2 = C_{i,j} (x_1 - x_1^j) + N_1$$

считывается в регистр 17 импульсом, поступающим на управляющий вход регистра 17 с выхода элемента 65 задержки через элемент ИЛИ 51 и элемент И 36, открытый сигналом с выхода элемента ИЛИ 50.

Третий такт работы начинается с поступления заднего фронта импульса с выхода элемента 65 задержки через элементы И 31 и ИЛИ 49 на тактирующий вход регистра 68 и вход элемента НЕ 55. По этому фронту единица записывается в третий разряд регистра 68, состояние остальных разрядов которого не изменяется. Выходными сигналами регистра 68 запираются элементы И 29 и ИЛИ 50, отпираются элементы И 24 и ИЛИ 52 и 53, а элементы И 71 и ИЛИ 47 и 48 остаются в открытом состоянии. При этом выход регистра 9 через коммутатор 10 подключен к первому входу умножителя 14, второй вход которого через коммутатор 15 соединен с прямым выходом первого из регистров 20. Положительным перепадом напряжения с выхода элемента НЕ запускаются одновибраторы 59-63. Импульс с прямого выхода одновибратора 59 через элемент И 46, открытый сигналом с выхода элемента ИЛИ 53, обнуляет регистр 12 и через элемент И 43, открытый сигналом с выхода элемента И 24, добавляет единицу младшего разряда во второй из реверсивных счетчиков 1 (в котором было записано значение кода адреса  $x_2^i$  по второй переменной  $x_2$ ). В результате этот счетчик 1 переходит в состояние, при котором на его выходе формируется код  $x_2^{j+1}$ , а на адресных входах блока 7 памяти устанавливаются коды адреса  $(x_1^{j+1}, x_2^{j+1})$  третьего узла текущей подобласти аппроксимации. После установления кода в счетчике 1 и обнуления регистра 12 импульсы с выходов одновибраторов 62 и 63 поступают на управляющие входы блока 7

памяти и регистра 9, осуществляя считывание кода ординаты  $C_{i,j+1}$  третьего узла аппроксимации из блока 7 памяти в регистр 9. Умножитель 14 перемножает код регистра 9 на прямой код первого из регистров, 11, а на выходе сумматора 13 формируется и фиксируется код  $N_3 = C_{i,j+1} (x_1 - x_1^i)$

По окончании фиксации кода на выходе сумматора 13 импульсов с выхода элемента 65 задержки, поступающего через элемент И 35 на управляющий вход регистра 12, осуществляется считывание кода  $N_3$  в регистр 12. Одновременно импульсом с выхода элемента 65 задержки через элемент И 34, открытый сигналом с выхода элемента ИЛИ 52, осуществляется перепись кода  $N_2$  из регистра 17 в регистр 11.

В четвертом такте работы по заднему фронту импульса с выхода элемента 65 обнуляется первый разряд регистра 68 сдвига и запускаются одновибраторы 59-63. Запираются элементы И 71, 24 и ИЛИ 52, 53, отпираются элементы И 26 и ИЛИ 50, 54, а элементы ИЛИ 47 и 48 остаются в открытом состоянии. Второй вход умножителя 14 через коммутатор 15 подключается к выходу дополнительного кода первого из регистров 20. Импульсом с прямого выхода одновибратора 59 через элемент И 44, открытый выходным сигналом элемента И 26, из содержимого первого из реверсивных счетчиков 1 вычитается единица младшего разряда и на выходе этого счетчика устанавливается код  $x_1^i$ . По окончании установления кода в счетчике импульсами с выходов одновибраторов 62 и 63 производится считывание из блока 7 памяти в регистр 9 кода ординаты  $C_{i,j+1}$  четвертого узла  $(x_1^i, x_2^{j+1})$  текущей подобласти аппроксимации. Умножитель 14 умножает значение этого кода на значение приращения первой переменной в дополнительном коде, а на выходе сумматора 13 формируется и фиксируется код

$$N_4 = C_{i,j+1} (x_1^{i+1} - x_1^i) + N_3$$

После фиксации в сумматоре 13 кода результата импульсом с выхода элемента 65 задержки, исходящим через элемент И 36 на управляющий вход регистра 17, содержимое сумматора 13 переписывается в регистр 17.

По заднему фронту импульса с выхода элемента 65 задержки заканчивает-

ся первая группа из  $2^N=4$  тактов и начинается вторая группа из  $2^{N-1}$  тактов (пятого и шестого). В пятом такте работы задним фронтом импульса с выхода элемента 65 задержки обнуляется второй разряд регистра 68 сдвига и запускается одновибратор 59. Запираются элементы И 26 и ИЛИ 47, 50, 54, отпираются элементы И 28, 30 и ИЛИ 52, 53, а элемент ИЛИ 48 остается в открытом состоянии. Сигналом с выхода элемента И 28 переключается коммутатор 10, соединяя выход регистра 11 с первым входом умножителя 14, а сигналом с выхода элемента И 30 переключается коммутатор 15, соединяя выход дополнительного кода второго из регистров 20 с вторым входом умножителя 14. Выходной сигнал элемента НЕ 55 через элемент И 38, открытый сигналом с выхода элемента И 28, запускает одновибраторы 57 и 58. Импульсы с прямого выхода одновибратора 59 через элемент И 46 обнуляют регистр 12. Умножитель 14 перемножает код  $N_2$  с выхода регистра 11 на значение приращения второй переменной в дополнительном коде с выхода второго из регистров 20. После установления кода произведения на выходе умножителя 14 и кода суммы на выходе сумматора 13 импульсом с выхода элемента И 37, поступающим через элемент ИЛИ 51 на управляющий вход сумматора 13, фиксируется выходной код  $N_5$  сумматора 13

$$N_5 = N_2(x_2^{i+1} - x_2)$$

После фиксации выходного кода сумматора 13 импульсом с выхода элемента 65 задержки, проходящим через элемент И 35 на регистр 12, код сумматора 13 считывается в регистр 12. Одновременно выходным импульсом элемента 65 задержки, проходящим через элемент И 34 на регистр 11, содержимое регистра 17 переписывается в регистр 11.

В шестом такте работы задним фронтом импульса с выхода элемента 65 задержки обнуляется третий разряд регистра сдвига и запускаются одновибраторы 57-59. Запираются элементы И 30 и ИЛИ 48, 52, 53, отпираются элементы И 27 и ИЛИ 50, а элемент И 28 остается в открытом состоянии. Сигналом с выхода элемента И 27 переключается коммутатор 15, соединяя прямой

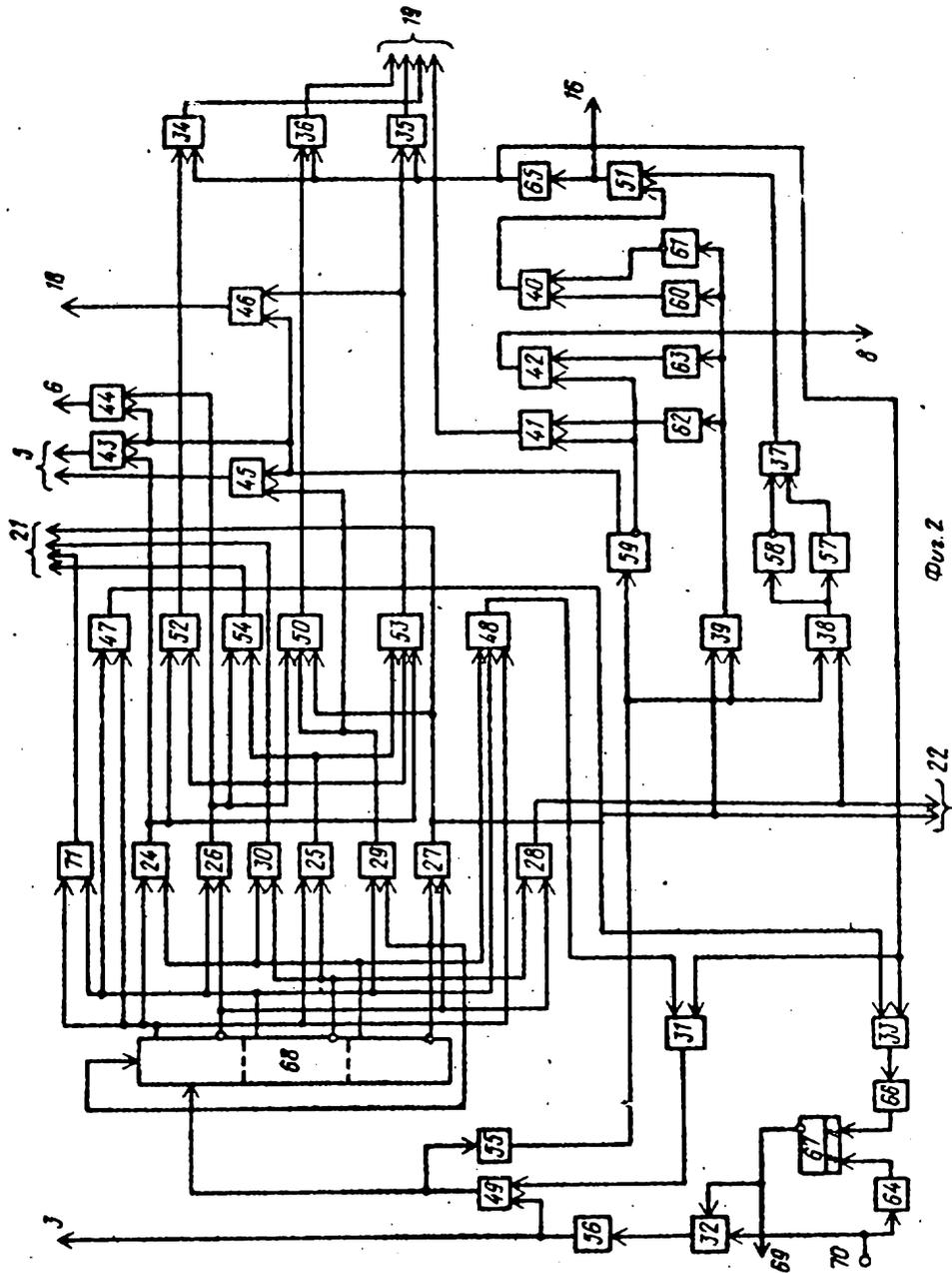
выход второго из регистров 20 с вторым входом умножителя 14. Первый вход умножителя 14 остается подключенным через коммутатор 10 к выходу регистра 11. Умножитель 14 перемножает код  $N_5$  с выхода регистра 11 на значение прямого кода приращения второй переменной. После установления кода произведения и его суммирования в сумматоре 13 с кодом регистра 12 на выходе элемента ИЛИ 51 формируется импульс, фиксирующий выходной код сумматора 13, равный

$$N_6 = N_5(x_2 - x_2^i) + N_6 = C_{ij}(x_1^{i+1} - x_1)(x_2^{i+1} - x_2) + C_{i+1,j}(x_1 - x_1^i)(x_2^{i+1} - x_2) + C_{i,j+1}(x_1^{i+1} - x_1)(x_2 - x_2^i) + C_{i+1,j+1}(x_1 - x_1^i)(x_2 - x_2^i) = S(x_1, x_2),$$

т.е. код, равный результатам функционального преобразования по двум переменным. Импульс с выхода элемента 65 задержки через элемент И 33, открытый сигналом с выхода элемента И 27, поступает на вход формирователя 66, дифференцирующего этот импульс по переднему фронту. Выходной сигнал формирователя 66 обнуляет триггер 67, сигнал с выхода которого разблокирует элемент И 32, и поступает на выходную шину 69, свидетельствуя о завершении цикла преобразования и готовности начала нового цикла. Новый цикл преобразования начинается по сигналу импульса внешней синхронизации и выполняется аналогично описанному (для работы в режиме внутренней синхронизации шину 69 нужно подключить к шине 70).

Таким образом, предлагаемый цифровой функциональный преобразователь по сравнению с прототипом позволяет осуществлять преобразование для более широкого класса функций, включающего функции, первые частные производные которых превышают единицу (что определяется соотношением разрядности слов блока 7 памяти и длин подынтервалов аппроксимации), а также обладает более высоким быстродействием, осуществляя полный цикл преобразования за фиксированное число тактов, не зависящее от длин подынтервалов аппроксимации. При реализации рассмотренного преобразователя на современной элементной базе (включая перспективные варианты быстродействующих двоичных умножителей на ТТЛ схемах) время пол-





ВНИИПИ Заказ 5761/35 Тираж 699 Подписное

Филиал ИПИ "Патент", г.Ужгород, ул.Проектная, 4