(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3571129号

(P3571129)

(45)発行日　平成16年9月29日(2004.9.29)　(24)登録日　平成16年7月2日(2004.7.2)

(51)Int.Cl.[7]	F I		
H01L 21/31	H01L	21/31	C
C23C 16/50	C23C	16/50	
H01L 21/205	H01L	21/205	
H01L 21/285	H01L	21/285	C
H01L 21/316	H01L	21/316	X

請求項の数 6　(全 11 頁)

(21)出願番号　特願平7-317524
(22)出願日　平成7年11月10日(1995.11.10)
(65)公開番号　特開平9-139381
(43)公開日　平成9年5月27日(1997.5.27)
審査請求日　平成14年11月8日(2002.11.8)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(74)代理人　100116159
弁理士　玉城　信一
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　坂間　光範
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　▲ひろ▼木　正明
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】プラズマＣＶＤ法および薄膜トランジスタの作製方法

(57)【特許請求の範囲】

【請求項１】

原料ガス及び前記原料ガス以外の気体のプラズマを発生させて成膜を行うプラズマＣＶＤ法であって、

ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記原料ガス以外の気体を放電させてプラズマを発生させ、

前記原料ガス以外の気体のプラズマを発生させながら、ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にするのと同時に、前記原料ガスを供給しはじめて、前記原料ガス、及び前記原料ガス以外の気体のプラズマを発生させることを特徴とするプラズマＣＶＤ法。

【請求項２】

原料ガス及び前記原料ガス以外の気体のプラズマを発生させて成膜を行うプラズマＣＶＤ法であって、

ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記原料ガス以外の気体を放電させてプラズマを発生させ、

前記原料ガス以外の気体のプラズマを発生させながら、前記ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にした後に、前記原料ガスを供給しはじめて、前記原料ガス、及び前記原料ガス以外の気体のプラズマを発生させることを特徴とするプラズマＣＶＤ法。

【請求項３】

ＴＥＯＳガス及びO_2ガスのプラズマを発生させて酸化シリコン膜の成膜を行うプラズマＣＶＤ法であって、
ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記O_2ガスを放電させてプラズマを発生させ、
前記O_2ガスのプラズマを発生させながら、前記ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にするのと同時に、前記ＴＥＯＳガスを供給しはじめて、前記ＴＥＯＳガス及び前記O_2ガスのプラズマを発生させることを特徴とするプラズマＣＶＤ法。
【請求項４】
ＴＥＯＳガス及びO_2ガスのプラズマを発生させて酸化シリコン膜の成膜を行うプラズマＣＶＤ法であって、
ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記O_2ガスを放電させてプラズマを発生させ、
前記O_2ガスのプラズマを発生させながら、前記ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にした後に、前記ＴＥＯＳガスを供給しはじめて、前記ＴＥＯＳガス及び前記O_2ガスのプラズマを発生させることを特徴とするプラズマＣＶＤ法。
【請求項５】
プラズマＣＶＤ法により、ＴＥＯＳガス及びO_2ガスのプラズマを発生させて酸化シリコン膜を層間絶縁物として形成することを含む薄膜トランジスタの作製方法であって、
前記層間絶縁物の形成は、
ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記O_2ガスを放電させてプラズマを発生させ、
前記O_2ガスのプラズマを発生させながら、前記ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にするのと同時に、前記ＴＥＯＳガスを供給しはじめて、前記ＴＥＯＳガス及び前記O_2ガスのプラズマを発生させて、前記酸化シリコン膜を形成することを特徴とする薄膜トランジスタの作製方法。
【請求項６】
プラズマＣＶＤ法により、ＴＥＯＳガス及びO_2ガスのプラズマを発生させて酸化シリコン膜を層間絶縁物として形成することを含む薄膜トランジスタの作製方法であって、
前記層間絶縁物の形成は、
ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記O_2ガスを放電させてプラズマを発生させ、
前記O_2ガスのプラズマを発生させながら、前記ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にした後に、前記ＴＥＯＳガスを供給しはじめて、前記ＴＥＯＳガス及び前記O_2ガスのプラズマを発生させて、前記酸化シリコン膜を形成することを特徴とする薄膜トランジスタの作製方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、薄膜トランジスタ等の半導体集積回路を作製するために利用されるプラズマＣＶＤ法および薄膜トランジスタの作製方法に関するものである。
【０００２】
【従来の技術】
現在、半導体集積回路の高集積化、高密度化に伴い、半導体素子の構造は微細化が進んでいる。そのため、層間絶縁膜は絶縁特性のみでなく、複雑で、高アスペクトを有する配線間を隙間無く充填できることが要求されている。従来、ＴＥＯＳを原料にしたＣＶＤ法により形成されたシリコン酸化膜は被覆形状が優れているので、層間絶縁膜として広く使用されている。特に、ガラス基板上に作製されるＴＦＴの作製工程では、４００℃以下の低温で成膜できること、大面積を処理できることから、プラズマＣＶＤ法が採用されている。
【０００３】

【発明が解決しようとする課題】
しかしながら、半導体回路の高集積化、高密度化に伴い、プラズマ工程に生ずる荷電子の蓄積（チャージアップ）による影響が顕著になっている。例えば、アクティブマトリックスパネルのＵ－ｓｈａｐｅ表示不良や点欠陥の原因は、画素マトリクス内の特性不良なＴＦＴの分布から、工程での電気的なダメージであると考えられる。アクティブマトリックス型液晶表示装置では、１つのＴＦＴの不良はパネル全体の不良と同じであり、歩留りの低下を招く。
【０００４】
本発明の目的は、上述の問題点を解消して、荷電粒子によるデバイスの劣化を抑制し得るプラズマＣＶＤ法および薄膜トランジスタの作製方法を提供することにある。
【０００５】
〔発明に至る過程〕　プラズマＣＶＤ装置において、プラズマが発生する前の状態では、ＲＦ電極により印加される電圧は基板に対して電界として作用する。この状態では、電極・配線間隔、基板の厚さ等を考慮すると、電界強度は基板上に形成されたデバイスを破壊するような値ではないと考えられる。
【０００６】
他方、プラズマの発生過程においては、先ず荷電粒子（電子及び正イオン）が発生して、ＲＦ電極間が導電領域となる。電子と正イオンの移動度の違いにより、基板表面はプラズマに対して負に帯電し始める（イオンシースの発生）。やがて、荷電粒子の生成量と消滅量とが飽和して、即ち、チャージアップ量が飽和して、定常のプラズマ状態となる。
【０００７】
従って、プラズマが定常的に発生している状態では、基板表面に発生するイオンシースはあまり大きな値に成らないとみなせるため、電界強度やイオン照射エネルギーはデバイスを破壊するような大きさではないと考えられる。
【０００８】
しかしながら、プラズマが発生する瞬間は、チャージアップ量が飽和するまでの間に、定常状態では電流があまり流れない部分に電流が流れる可能性があり、過渡的にでも大きな電流が流れると、デバイスが瞬時に破壊されてしまう。
【０００９】
従来、プラズマＣＶＤでＴＥＯＳを原料とするシリコン酸化膜を成膜するには、O_2 プラズマを発生する前処理と、ＴＥＯＳを供給して、成膜するという、２つのプロセスを連続的に（O_2 プラズマを発生したまま）行っている。
【００１０】
本発明人等は、プラズマＣＶＤにおける過渡的な現象を解明するために、ＲＦ電源にオシロスコープを接続して、ＲＦ電極間の電圧波形を観察した。図５は従来の成膜工程でのＲＦ電極の電圧波形であり、縦軸の単位は２００ｍＶ／ｄｉｖであり、横軸の単位は５００ｍｓｅｃ／ｄｉｖである。O_2 プラズマ発生過程と、成膜過程ともＲＦ出力は２５０Ｗである。図６はＲＦ出力が２５０ＷでのO_2 プラズマ発生過程でのＲＦ電極の電圧波形であり、図６（ａ）は発振開始時点の波形を示し、図６（ｂ）、図６（ｃ）はそれぞれ放電開始時点の波形を示す。放電開始の瞬間は波形のずれとして確認できる。なお、図６（ａ）～（ｃ）の縦軸の単位はそれぞれ２００ｍＶ／ｄｉｖであり、横軸の単位は、図６（ａ）は１００ｍｓｅｃ／ｄｉｖであり、図６（ｂ）は２０ｍｓｅｃ／ｄｉｖであり、図６（ｃ）は2ｍｓｅｃ／ｄｉｖである。
【００１１】
図６（ａ）に示すように、ＲＦ電源は発振を開始してから直ちに所定の電圧で発振しているが、発振開始から放電開始まで数１０ｍｓｅｃの時間を要する。しかしながら、図５、図６（ａ）、図６（ｂ）では確認できないが、図６（ｃ）に示すように、放電開始の瞬間に、過渡的に大きな電圧波形（以下、ヒゲパルスという）が観察された。
【００１２】
例えば、アクティブマトリックス型表示装置の画素パネルに配置されるＴＦＴのプラズマ

ＣＶＤ工程について考える。画像データを確実に保持するために、画素パネルのＴＦＴはオフ電流特性に優れていることが要求される。そのため、例えば図１（Ｅ）に示すように、ＴＦＴをＬＤＤ構造としている。ＬＤＤ領域は高抵抗領域として機能するため、オフ電流を低減することができる。なお、図１については、実施例１で詳細に説明する。

【００１３】

ＬＤＤ構造を有するＴＦＴの作製工程において、第１層間絶縁膜１１６（図１（Ｆ）参照）を形成以前には、図１（Ｅ）に示すようにシリコンから成る活性層１０３のソース／ドレイン領域１１２、１１３は露出した状態であり、またゲイト電極１０５はデバイス毎に分断されていないため、基板の幅と略等しい長さのままであり、このようなゲイト電極１０５が数１００本程度、並行に配置されている。

【００１４】

この状態で第１層間絶縁膜１１６をプラズマＣＶＤで成膜すると、定常プラズマ状態でもプラズマ密度やプラズマ電位が均一でなければ、ゲイト電位に分布が生じて、ゲイト電極１０５に電流が流れて、デバイスを劣化させてしまうおそれがある。しかしながら、プラズマが発生する瞬間には、図６（ｃ）に示すような過渡的なヒゲパルスが発生し、さらに、プラズマの発生が不均一であれば、ゲイト電極には定常状態よりもはるかに大きな電流が流れてしまう。

【００１５】

また、第１層間絶縁膜１１６の成膜初期は、シリコン（ソース／ドレイン領域１１２、１１３）に電子が直接に照射されるため、シリコンは負に帯電する。この結果、ゲイト絶縁膜１１０に電界が発生するため、ゲイト絶縁膜１１０を劣化させてしまう。しかし、第１層間絶縁膜１１６によりシリコン（ソース／ドレイン領域１１２、１１３）が覆われるようになると、シリコンが直接にチャージアップすることがなくなる。

【００１６】

従って、第１層間絶縁膜をプラズマＣＶＤで成膜するには、シリコンがチャージアップされなくなるまでの間に、ＲＦ電極間において、ヒゲパルスのような過渡的な電圧変化を無くす、または抑制することが課題になる。

【００１７】

【課題を解決するための手段】

上述の課題を解決するために、本発明に係るプラズマＣＶＤ法の構成は、

原料ガス及び前記原料ガス以外の気体のプラズマを発生させて成膜を行うプラズマＣＶＤ法であって、ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記原料ガス以外の気体を放電させてプラズマを発生させ、前記原料ガス以外の気体のプラズマを発生させながら、ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にするのと同時に、あるいは成膜時の値にした後に、前記原料ガスを供給しはじめて、前記原料ガス、及び前記原料ガス以外の気体のプラズマを発生させることを特徴とする。

【００１８】

また、他の発明に係る薄膜トランジスタの作製方法の構成は、

プラズマＣＶＤ法により、ＴＥＯＳガス及びO_2ガスのプラズマを発生させて酸化シリコン膜を層間絶縁物として形成することを含む薄膜トランジスタの作製方法であって、前記層間絶縁物の形成は、ＲＦ電源を放電開始時の過渡的な電圧変化をさせない又は抑制する成膜時よりも低い出力で発振を開始させ、前記O_2ガスを放電させてプラズマを発生させ、前記O_2ガスのプラズマを発生させながら、前記ＲＦ電源の出力を連続的又は段階的に上昇させて成膜時の値にするのと同時に、あるいは成膜時の値にした後に、前記ＴＥＯＳガスを供給しはじめて、前記ＴＥＯＳガス及び前記O_2ガスのプラズマを発生させて、前記酸化シリコン膜を形成することを特徴とする。

【００１９】

【作用】

従来例では、ＴＥＯＳを原料にしてシリコン酸化膜を成膜するには、O_2プラズマ発生時

にも成膜時と同じ出力で、ＲＦ電源を発振させている。図６（ａ）に示すように、ＲＦ電極間は発振開始から直ちに所定の電圧が印加されている。即ち、ＲＦ電極間の電圧は急激に変化したことになる。このため、上記の構成を有する第１の発明に係るプラズマＣＶＤ法では、ＲＦ電源の出力を成膜時の値まで段階的にまたは連続的に上昇させることにより、ＲＦ電極間において急激な、過渡的な電圧変化を抑制する。

【００２０】

例えば、プラズマＣＶＤでＴＥＯＳを原料とするシリコン酸化膜を成膜するには、O_2をプラズマ化する工程と、ＴＥＯＳを供給し、ＴＥＯＳ／O_2プラズマを発生して、成膜する工程とを連続的に行っている。このため、第２の発明に係るプラズマＣＶＤ法では、このように、原料ガス以外の気体（O_2）をプラズマ化する工程と、原料ガス（ＴＥＯＳ）を供給して、成膜する工程とを連続的に実施するプラズマＣＶＤ法において、発振開始時のプラズマ化工程において、ＲＦ電源の出力を成膜工程の値まで段階的にまたは連続的に上昇させて、ＲＦ電極間において急激な、過渡的な電圧変化を抑制する。

【００２１】

なお、プラズマ化工程において、ＲＦ電源の出力が成膜時の値と同じになるのと同時に、原料ガスを供給すればよい。或いは、タイミングをずらして、原料ガスを供給するようにしてもよい。また、発振開始時のＲＦ出力の下限は、放電可能な値で定義することができる。

【００２２】

他方、発振開始時のＲＦ出力の上限は、装置や反応室毎に適宜に設定すればよい。これは、本発明者の研究によると、ＲＦ電極間の過渡的な電圧変化は観察されない場合もあり、また、装置や反応室毎に過渡的現象の発生し易さが異なるためである。

【００２３】

図３は本発明者がオシロスコープで観察した、ＲＦ電源の出力は５０Ｗでの、O_2プラズマ発生過程でのＲＦ電極の電圧波形であり、図３（ａ）は発振開始時点から放電開始以降の電圧波形であり、図３（ｂ）、（ｃ）は放電開始時点での電圧波形である。放電開始の瞬間は波形のずれとして確認できる。なお、図３（ａ）～（ｃ）の縦軸の単位はそれぞれ２００ｍＶ／ｄｉｖであり、横軸の単位は、図３（ａ）は１００ｍｓｅｃ／ｄｉｖであり、図３（ｂ）では、２０ｍｓｅｃ／ｄｉｖであり、図３（ｃ）は２ｍｓｅｃ／ｄｉｖである。

【００２４】

図３と図６を比較すると明かなように、O_2ガスをプラズマ化する工程において、放電開始時にＲＦ出力を２５０Ｗ（成膜時の電圧）よりも低い５０Ｗとすることにより、放電開始時（O_2プラズマ発生時）にヒゲパルスのような急激で、過渡的な電圧の変化を抑制することができる。

【００２５】

また、図４はオシロスコープで観察した、O_2プラズマ発生過程でのＲＦ電極の電圧波形であり、ＲＦ出力を発振開始時には５０Ｗとし、放電後に２５０Ｗに上昇している。図４（ａ）は発振開始から放電開始までの電圧波形であり、図４（ｂ）はＲＦ出力を上昇させた時点での電圧波形である。放電開始の瞬間は波形のずれとして確認できる。なお、図４（ａ）、図４（ｂ）の縦軸の単位はそれぞれ２００ｍＶ／ｄｉｖであり、横軸の単位は、図４（ａ）は１ｓｅｃ／ｄｉｖであり、図４（ｂ）では、２ｍｓｅｃ／ｄｉｖである。図４（ｂ）に示すように、放電後（O_2プラズマ発生後）に、ＲＦ出力を５０Ｗから２５０Ｗに段階的に上昇することにより、ＲＦ電極間の電圧は円滑に上昇して、過渡的な電圧変化を抑制することが可能となる。

【００２６】

【実施例】

〔実施例１〕　本実施例は、本発明をＴＦＴの作製工程に応用したものであり、図１は本実施例のＴＦＴの作製工程毎のＴＦＴの断面図である。図１（Ａ）に示すように、ガラス基板（コーニング１７３７）１０１上に、プラズマＣＶＤ法又はスパッタ法により、下地

膜として酸化シリコン膜１０２を３０００Åの厚さに堆積する。次にプラズマＣＶＤ法又は減圧ＣＶＤ法により、アモルファスシリコン膜を２００～１５００Åの厚さ、例えば５００Åの厚さに堆積する。

【００２７】

その後、アモルファスシリコン膜を熱アニールして、結晶化させる。結晶化されたアモルファスシリコン膜をエッチングして、ＴＦＴの活性層１０３を形成する。アモルファスシリコン膜を結晶化させる方法として、レーザーアニール法や、熱アニールとレーザーアニールとを併用する方法を採用することができる。更に、ＮｉやＰｔ等のシリコンの結晶化を助長する金属元素を利用すると、結晶化工程を、より低温で、より短時間で行うことができる。

【００２８】

そして、スパッタ法により、ゲイト電極１０５を構成するアルミニウム膜を６０００Åの厚さに堆積する。このアルミニウム膜には０．１～０．３重量％のスカンジウムを含有させる。次に、陽極酸化法により、アルミニウム膜の表面に陽極酸化物（酸化アルミニウム）膜１０６を形成する。この際には、酒石酸を３％含有するエチレングリコール溶液中でアルミニウム膜に１０～３０Ｖの電圧を印加する。形成された陽極酸化物層１０６は緻密な（バリア型）構造を有する。そして、陽極酸化物層１０６の表面にレジストのマスク１０７を形成し、アルミニウム膜をパタニングして、ゲイト電極１０５を形成する。（図１（Ａ））

【００２９】

図１（Ｂ）に示すように、レジストのマスク１０７を付けたまま、電解溶液中でゲイト電極１０５に１０～３０Ｖの定電圧を印加して、陽極酸化する。電解溶液にはクエン酸、シュウ酸又は硫酸を３～２０％に希釈した酸性水溶液を使用することができる。本実施例では、シュウ酸水溶液（３０℃）中で１０Ｖの電圧をゲイト電極１０５に２０～４０分印加する。この結果、ゲイト電極１０５の側面のみにポーラス型の陽極酸化物１０８が５０００Åの厚さに形成される。なお、陽極酸化物１０８の厚さは酸化時間で制御すればよい。（図１（Ｂ））

【００３０】

図１（Ｃ）に示すように、レジストのマスク１０７を除去して、再びゲイト電極１０５を電解溶液中で陽極酸化する。この際には、酒石酸、ホウ酸、又は硫酸を３～１０％含有するエチレングリコール溶液を使用する。この結果、ゲイト電極１０５の周囲にバリヤ型の陽極酸化物１０９が形成される。バリア型の陽極酸化物１０９の厚さは１５００～２０００Åとする。陽極酸化物１０９の厚さはオフセット、オーバーラップの長さによって適宜に決定すればよい。バリア型の陽極酸化物１０９の厚さは印加電圧に略比例し、印加電圧が２００Ｖの場合に、陽極酸化物１０９の厚さは２５００Åとなる。

【００３１】

そして、陽極酸化物１０８、１０９をマスクにして、酸化シリコン膜１０４をエッチングして、ゲイト絶縁膜１１０を形成する。例えば、エッチングガスとして、CF_4を使用すれば、ポーラス型の陽極酸化物１０９はエッチングされず、酸化シリコン膜１０４のみをエッチングできる。（図１（Ｄ））

【００３２】

図１（Ｅ）に示すように、イオンドーピング法によって、活性層１０３に導電型を付与する不純物イオンを注入する。Ｎ型のＴＦＴを形成する場合には、Ｐ（燐）イオンを注入し、Ｐ型のＴＦＴを形成する場合には、Ｂ（ホウ素）イオンを注入する。また、ゲイト絶縁膜１１０が半透過なマスクとして機能させるために、ドーズ量、加速電圧等の条件を適宜に設定する。

【００３３】

この結果、活性層１０３において、ゲイト電極１０５は完全なマスクとして機能して、これらの直下の領域は不純物イオンが注入されず、チャネル形成領域１１１となる。また、露出している領域は高濃度に不純物イオンが注入されるため、ソース領域１１２、ドレイ

ン領域１１３となる。また、ゲイト絶縁膜１１０のみに覆われている領域は、ゲイト絶縁膜１１０が半透過なマスクとして機能するため、ソース領域１１２、ドレイン領域１１３よりも不純物イオンの濃度が低い低濃度不純物領域１１４、１１５となる。とくに、チャネル形成領域１１１とドレイン領域１１３の間の低濃度不純物領域１１５はＬＤＤ領域という。低濃度不純物領域１１４、１１５の不純物濃度はソース／ドレイン領域１１２、１１３よりも２桁程度低くなるようにすればよい。（図１（Ｅ））

【００３４】

続いて、層間絶縁物としてプラズマＣＶＤ法により、ＴＥＯＳを原料にして、酸化シリコン膜１１６を５０００Åの厚さに堆積する。本実施例では、成膜初期にＲＦ電極間において、図６（ｃ）に示すようなヒゲパルスを無くす、または抑制するようにするために、プラズマＣＶＤ装置のＲＦ電源の出力を段階的に増加するようにしている。そのため、先ず、ＲＦ出力を５０Ｗにして、O_2 プラズマを発生させ、その後、ＲＦ出力を２５０Ｗに上昇すると同時に、ＴＥＯＳガスを供給して、ＴＥＯＳ／O_2 プラズマを発生させて、酸化シリコン膜１１０を成膜する。

【００３５】

図２はオシロスコープで観察した酸化シリコン膜１１６成膜時のＲＦ電極の電圧波形図であり、図３はO_2 プラズマ発生過程でのＲＦ電極の電圧波形であり、図３（ａ）は発振開始時点から放電開始以降の電圧波形であり、図３（ｂ）、（ｃ）は発振開始時点での電圧波形である。放電開始の瞬間は波形のずれとして確認できる。なお、図３（ａ）～（ｃ）の縦軸の単位はそれぞれ２００ｍＶ／ｄｉｖであり、横軸の単位は、図３（ａ）は１００ｍｓｅｃ／ｄｉｖであり、図３（ｂ）では、２０ｍｓｅｃ／ｄｉｖであり、図３（ｃ）は２ｍｓｅｃ／ｄｉｖである。

【００３６】

従来では、O_2 プラズマ発生時にも成膜時と同じに高出力でＲＦ電源を発振させていたため、図６（ｃ）に示すようにヒゲパルスが観察されたが、本実施例では５０Ｗのように低出力でＲＦ電源を発振させるようにしたため、図３（ｃ）に示すように、放電開始時にヒゲパルスを発生することを抑制することができる。従って、過渡的に大きな電圧がＲＦ電極にかかることがないため、基板１０１上の、デバイス、特にゲイト絶縁膜１１０を劣化させることを抑制できる。

【００３７】

なお、本発明では、ＴＥＯＳ供給開始時にＲＦ出力を５０Ｗから２５０Ｗに段階的に上昇させるようにしたが、放電後（O_2 プラズマ発生後）にＲＦ出力を５０Ｗから２５０Ｗに連続的に上昇させるようにしてもよい。この場合には、ＲＦ出力を段階的に上昇するよりも、ＲＦ電極間の電圧変化をより緩和することができる。また、プラズマＣＶＤ装置のＲＦ電源をランプアップ（スロースタート）にすると、ＲＦ電極間における、過渡的な電圧変動を更に抑制することが可能になる。

【００３８】

図１（Ｆ）に示すように、酸化シリコン膜１１６の成膜後に、コンタクトホールを形成して、チタン膜、アルミニウム膜を連続的に成膜して、パターニングし、ソース／ドレイン電極・配線１１７、１１８を形成する。以上の工程を経て、ＬＤＤ構造を有するＴＦＴが作製される。

【００３９】

本実施例では、層間絶縁膜となるシリコン酸化膜１１６の成膜工程について説明したが、他のプラズマＣＶＤ工程、例えばゲイト絶縁膜１１０となるシリコン酸化膜１０４等の成膜工程でも、上述したようにＲＦ出力を制御して、成膜をするとよい。

【００４０】

〔実施例２〕　実施例１では、酸化シリコン膜１１６形成時に、O_2 プラズマ発生過程ではＲＦ出力を小さくし、ＴＥＯＳ供給と同時にＲＦ出力を所定の大きさに上昇させるようにしたが、本実施例では、O_2 プラズマ発生過程において、ＲＦ出力を成膜時と同じ大きさに上昇するようにしている。即ち、本実施例では、ＲＦ電源を５０Ｗの出力で発振させ

て、O_2プラズマを発生させる。所定の時間が経過したら、ＲＦ出力を２５０Ｗまで上昇させて、ＴＥＯＳを供給して、成膜を開始する。

【００４１】

図４はオシロスコープで観察した、本実施例の酸化シリコン膜成膜時のＲＦ電極の電圧波形であり、O_2プラズマ発生過程での電圧波形であり、図４（ａ）は発振開始から放電開始までの電圧波形を示し、図４（ｂ）はＲＦ出力を５０Ｗから２５０Ｗまで上昇させた時点での電圧波形を示す。放電開始の瞬間は波形のずれとして確認できる。本実施例は実施例１と同様に、ＲＦ出力を５０ＷでO_2プラズマを発生させるようにしているため、図４（ａ）では確認できないが、放電開始前後にヒゲパルスは観察されない。また、放電後に、ＲＦ出力を５０Ｗから２５０Ｗに上昇しているが、図４（ｂ）に示すように、ＲＦ電極間の電圧は円滑に上昇しており、過渡的な電圧変化は生じていない。

【００４２】

従って、本実施例のプラズマＣＶＤでの成膜工程を採用することにより、基板上のデバイスに電気的なストレスを与えることを防止することが可能になる。

【００４３】

なお、本発明では、O_2プラズマ発生過程において、放電後（O_2プラズマ発生後）にＲＦ出力を５０Ｗから２５０Ｗに段階的に上昇させるようにしたが、放電後（O_2プラズマ発生後）にＲＦ出力を５０Ｗから２５０Ｗに連続的に上昇させるようにしてもよい。この場合、ＲＦ出力を段階的に上昇するよりも、ＲＦ電極間の電圧変化をより緩和することができる。また、プラズマＣＶＤ装置のＲＦ電源をランプアップ（スロースタート）にすると、ＲＦ電極間における、過渡的な電圧変動をより抑制することができる。

【００４４】

また、本明細書では、ガラス基板上にＴＦＴを作製する工程について説明したが、シリコンウェハー上に作製される半導体装置・回路の作製工程に応用することも可能である。

【００４５】

【効果】

本発明に係るプラズマＣＶＤ法および薄膜トランジスタの作製方法は、成膜時よりも低出力でＲＦ電源を発振し始めるようにしたため、放電開始時のＲＦ電極間の電圧が過渡的に大きく変化することを抑制することが可能となる。従って、プラズマＣＶＤ工程により不良となるデバイスが減少するため、歩留りを向上させることができる。

【００４６】

また、本発明は、プラズマＣＶＤ装置のＲＦ電源の制御方法を変更するのみで容易に実現することが可能である。

【図面の簡単な説明】

【図１】実施例１のＴＦＴの作製工程断面図である。

【図２】酸化シリコン膜の成膜時のＲＦ電極の電圧波形図である。

【図３】O_2プラズマ発生時のＲＦ電極の電圧波形図である。

【図４】実施例２のO_2プラズマ発生時のＲＦ電極の電圧波形図である。

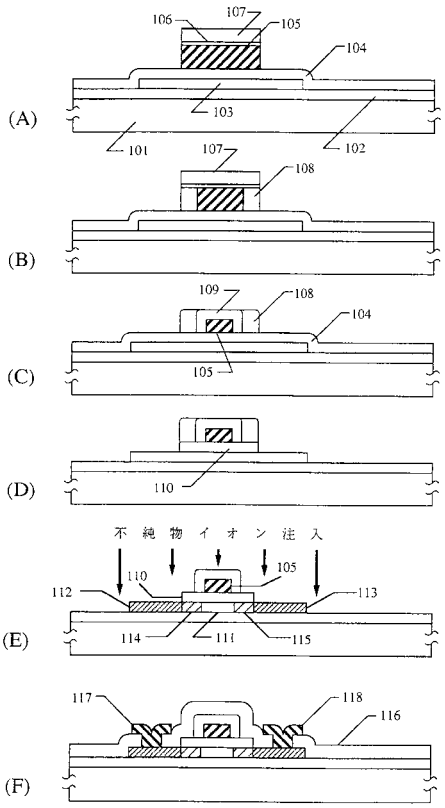
【図５】従来例のシリコン酸化膜の成膜時のＲＦ電極間の電圧波形図である。

【図６】O_2プラズマ発生過程でのＲＦ電極間の電圧波形図である。

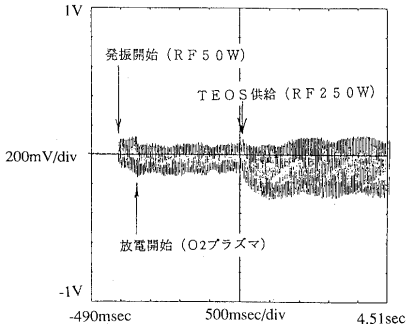
【符号の説明】

１０１・・・ガラス基板
１０２・・・下地絶縁膜（酸化シリコン）
１０３・・・活性層
１０５・・・ゲイト電極
１０８・・・ポーラス型陽極酸化物
１０９・・・バリア型陽極酸化物
１１０・・・ゲイト絶縁膜
１１６・・・酸化シリコン膜（層間絶縁物）

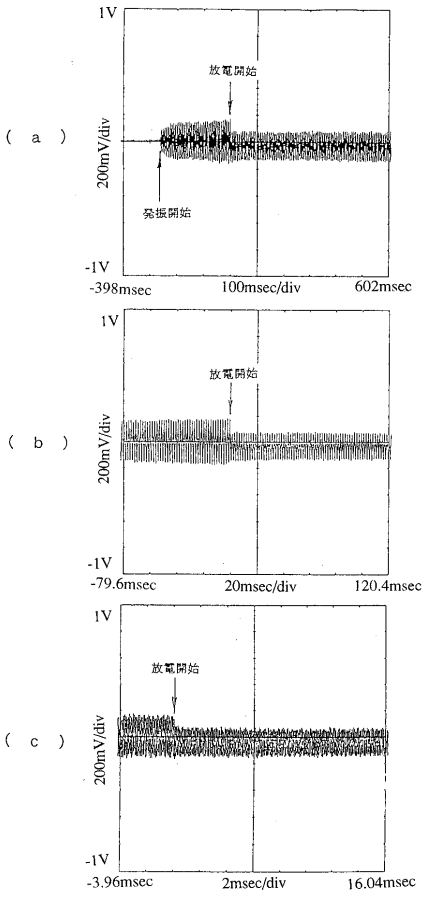
【図１】


(A)
106
107
105
104
103
101
102
(B)
107
108
(C)
109
108
104
105
(D)
110
不純物イオン注入
(E)
110
105
112
113
114
111
115
(F)
117
118
116

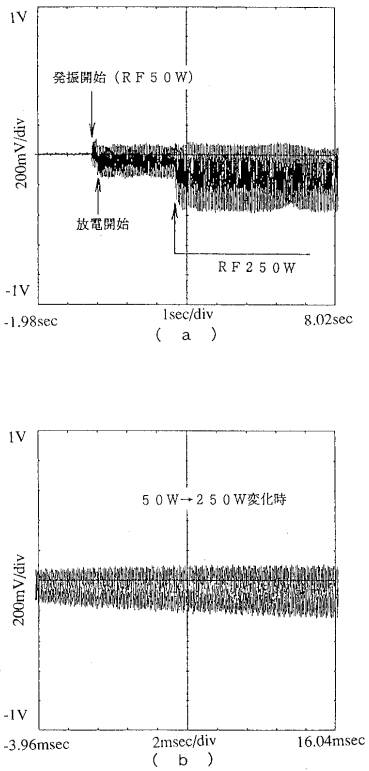
【図２】


1V
発振開始（ＲＦ５０Ｗ）
ＴＥＯＳ供給（ＲＦ２５０Ｗ）
200mV/div
放電開始（Ｏ2プラズマ）
-1V
-490msec
500msec/div
4.51sec

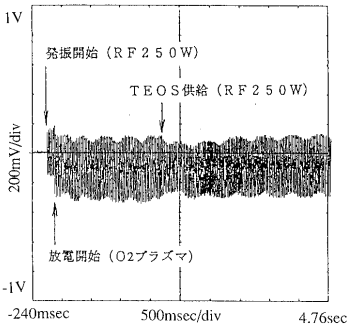
【図３】


(a)
1V
放電開始
200mV/div
発振開始
-1V
-398msec
100msec/div
602msec
(b)
1V
放電開始
200mV/div
-1V
-79.6msec
20msec/div
120.4msec
(c)
1V
放電開始
200mV/div
-1V
-3.96msec
2msec/div
16.04msec

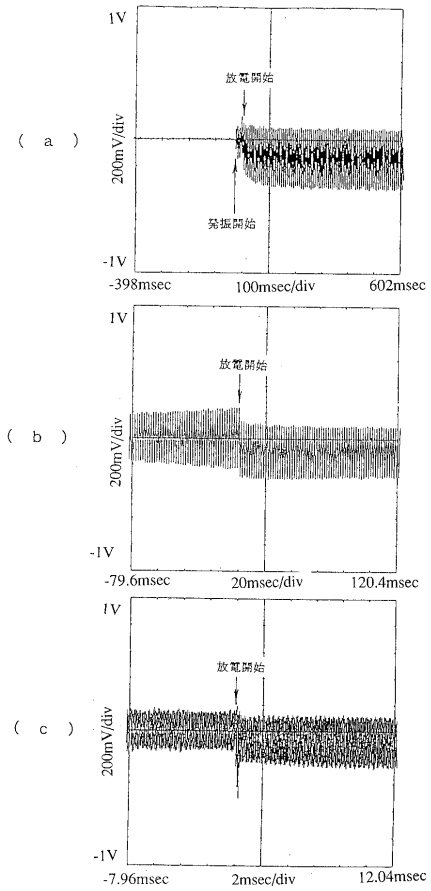
【図４】


1V
発振開始（ＲＦ５０Ｗ）
200mV/div
放電開始
ＲＦ２５０Ｗ
-1V
-1.98sec
1sec/div
8.02sec
(a)
1V
５０Ｗ→２５０Ｗ変化時
200mV/div
-1V
-3.96msec
2msec/div
16.04msec
(b)

【図５】


1V
発振開始（ＲＦ２５０Ｗ）
ＴＥＯＳ供給（ＲＦ２５０Ｗ）
200mV/div
放電開始（Ｏ2プラズマ）
-1V
-240msec
500msec/div
4.76sec

【図６】


（ａ）
1V
放電開始
200mV/div
発振開始
-1V
-398msec
100msec/div
602msec
（ｂ）
1V
放電開始
200mV/div
-1V
-79.6msec
20msec/div
120.4msec
（ｃ）
1V
放電開始
200mV/div
-1V
-7.96msec
2msec/div
12.04msec

フロントページの続き

審査官　加藤　浩一

(56)参考文献　特開平０６－０８４８８８（ＪＰ，Ａ）
特開平０４－１２３４２４（ＪＰ，Ａ）
特開平０６－３１８５５２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/31
C23C 16/50
H01L 21/205
H01L 21/285
H01L 21/316