(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6835967号
(P6835967)
(45)発行日　令和3年2月24日(2021.2.24)　(24)登録日　令和3年2月8日(2021.2.8)

(51)Int.Cl.			F I		
H02M	7/48	(2007.01)	H02M	7/48	Z
H02M	7/49	(2007.01)	H02M	7/48	M
H02M	1/08	(2006.01)	H02M	7/49	
			H02M	1/08	C

請求項の数 4　(全 19 頁)

(21)出願番号　特願2019-529269(P2019-529269)
(86)(22)出願日　平成30年8月29日(2018.8.29)
(86)国際出願番号　PCT/JP2018/031906
(87)国際公開番号　WO2020/044454
(87)国際公開日　令和2年3月5日(2020.3.5)
審査請求日　令和1年5月30日(2019.5.30)

(73)特許権者　501137636
東芝三菱電機産業システム株式会社
東京都中央区京橋三丁目１番１号
(74)代理人　110001195
特許業務法人深見特許事務所
(72)発明者　原田　翔平
東京都中央区京橋三丁目１番１号　東芝三菱電機産業システム株式会社内
(72)発明者　磯崎　順平
東京都中央区京橋三丁目１番１号　東芝三菱電機産業システム株式会社内
(72)発明者　土谷　多一郎
東京都中央区京橋三丁目１番１号　東芝三菱電機産業システム株式会社内

最終頁に続く

(54)【発明の名称】電力変換装置

(57)【特許請求の範囲】
【請求項１】
単位変換器を有する電力変換器と、
前記電力変換器を制御する制御装置とを備え、
前記単位変換器は、
第１の蓄電素子および複数のスイッチング素子を有する主回路と、
前記複数のスイッチング素子を駆動する駆動回路と、
前記第１の蓄電素子から前記駆動回路に電源を供給する自己給電回路とを含み、
前記自己給電回路は、
前記第１の蓄電素子の端子間に電気的に接続された第２の蓄電素子と、
前記第２の蓄電素子の電圧を前記駆動回路の電源電圧に変換する電源回路と、
前記第２の蓄電素子の電圧を検出する電圧検出器とを含み、
前記単位変換器は、
前記第１の蓄電素子の端子間に前記第２の蓄電素子と電気的に直列に接続された第１の抵抗と、
前記第２の蓄電素子の端子間に電気的に接続された第２の抵抗と、
前記第２の蓄電素子の端子間に前記第２の抵抗と電気的に直列に接続された第１のスイッチとをさらに含み、
前記電源回路は、
前記電圧検出器の検出値に基づいて前記第１のスイッチのオンオフを制御するための制

御信号を生成することにより、前記第２の蓄電素子の過充電を抑制するように構成された過充電抑制回路と、

前記過充電抑制回路により生成される前記制御信号に基づいて、前記第２の抵抗の過負荷状態を検知するように構成された過負荷検知回路とを含み、

前記過充電抑制回路は、前記電圧検出器の検出値が第１の閾値よりも上昇すると前記第１のスイッチをオンし、前記検出値が前記第１の閾値よりも低い第２の閾値を低下すると前記第１のスイッチをオフするように、前記制御信号を生成し、

前記過負荷検知回路は、前記制御信号のデューティ比に基づいて、前記第２の抵抗の過負荷状態を検知し、

前記過負荷検知回路は、前記制御信号を平滑化した信号の大きさが予め定められた基準値よりも大きいときに、前記第２の抵抗の過負荷状態を検知し、

前記基準値は、前記第１の抵抗が正常であるときの前記制御信号のデューティ比よりも大きく、前記第１の抵抗が故障して抵抗値が低下しているときの前記制御信号のデューティ比よりも小さいデューティ比に対応して設定される、電力変換装置。

【請求項２】

複数の前記単位変換器を直列に接続して構成されたアームをさらに備え、

前記単位変換器は、前記制御装置からのオン指令に応じてオンすることにより前記主回路の出力端子間を短絡可能に構成された第２のスイッチをさらに含み、

前記駆動回路は、前記第２の抵抗の過負荷状態が検知されると、前記第２のスイッチをオンする、請求項１に記載の電力変換装置。

【請求項３】

単位変換器を有する電力変換器と、

前記電力変換器を制御する制御装置とを備え、

前記単位変換器は、

第１の蓄電素子および複数のスイッチング素子を有する主回路と、

前記複数のスイッチング素子を駆動する駆動回路と、

前記第１の蓄電素子から前記駆動回路に電源を供給する自己給電回路とを含み、

前記自己給電回路は、

前記第１の蓄電素子の端子間に電気的に接続された第２の蓄電素子と、

前記第２の蓄電素子の電圧を前記駆動回路の電源電圧に変換する電源回路と、

前記第２の蓄電素子の電圧を検出する電圧検出器とを含み、

前記単位変換器は、

前記第１の蓄電素子の端子間に前記第２の蓄電素子と電気的に直列に接続された第１の抵抗と、

前記第２の蓄電素子の端子間に電気的に接続された第２の抵抗と、

前記第２の蓄電素子の端子間に前記第２の抵抗と電気的に直列に接続された第１のスイッチとをさらに含み、

前記電源回路は、

前記電圧検出器の検出値に基づいて前記第１のスイッチのオンオフを制御するための制御信号を生成することにより、前記第２の蓄電素子の過充電を抑制するように構成された過充電抑制回路と、

前記過充電抑制回路により生成される前記制御信号に基づいて、前記第２の抵抗の過負荷状態を検知するように構成された過負荷検知回路とを含み、

複数の前記単位変換器を直列に接続して構成されたアームをさらに備え、

前記単位変換器は、前記制御装置からのオン指令に応じてオンすることにより前記主回路の出力端子間を短絡可能に構成された第２のスイッチをさらに含み、

前記駆動回路は、前記第２の抵抗の過負荷状態が検知されると、前記第２のスイッチをオンする、電力変換装置。

【請求項４】

前記駆動回路は、前記第２の抵抗の過負荷状態が検知されると、前記主回路を、前記複

数のスイッチング素子がオフに固定されたゲートブロック状態とする、請求項２または３に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、電力変換装置に関し、より特定的には、電力変換装置の主回路から制御電源を生成する自己給電回路を備えた電力変換装置に関する。

【背景技術】

【０００２】

電力変換装置においては、内部のゲート駆動回路などの制御回路に制御電源を供給するために、自己給電回路を用いる構成が知られている。自己給電回路は、電力変換装置の主回路から制御電源を直接生成するように構成されている（たとえば特開２０１７－２１２８３７号公報（特許文献１）参照）。

【０００３】

大容量の電力変換装置として、複数の変換器の出力をカスケード接続したマルチレベル変換器が提案されており、その中の一つにモジュラー・マルチレベル変換器（Modular Multilevel Converter、以下、ＭＭＣと称する）がある。ＭＭＣは高電圧大容量化が可能なため、電力系統に連系可能な変換器であり、高圧直流送電（ＨＶＤＣ：High－Voltage Direct Current）、ＢＴＢ（Ｂａｃｋ Ｔｏ Ｂａｃｋ）（非同期連系装置）、周波数変換装置（ＦＣ：Frequency Changer）、無効電力補償装置（ＳＴＡＴＣＯＭ：STATic synchronous COMpensator）などに、広く適用されている。

【０００４】

ＭＭＣは、セルと呼ばれる複数の単位変換器がカスケード接続されたアームで構成されている。セルは、複数の半導体スイッチおよび直流コンデンサを有する主回路を備えており、半導体スイッチをオンオフさせることにより、直流コンデンサの両端電圧またはゼロ電圧を出力する。各セルに、主回路から制御電源を生成するための自己給電回路を設けることにより、高電位部に制御電源を供給する必要がある用途において、制御電源に必要な絶縁耐圧を大幅に低減することができる。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特開２０１７－２１２８３７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

上記ＭＭＣにおいて、自己給電回路は、主回路の直流コンデンサの端子間に電気的に直列に接続された限流抵抗およびコンデンサと、このコンデンサの電圧を駆動回路の電源電圧に変換する電源回路（ＤＣ／ＤＣコンバータ）とを有している。コンデンサの端子間には、抵抗およびスイッチが電気的に直列に接続されている。

【０００７】

主回路の動作中、コンデンサには、限流抵抗によって直流コンデンサの電圧を降圧した電圧が印加される。コンデンサの電圧が予め設定した閾値以上となってコンデンサが過充電状態となると、スイッチをオンしてコンデンサの端子間に抵抗を接続することにより、コンデンサへの給電を停止させる。

【０００８】

しかしながら、上記の回路構成では、限流抵抗に故障が発生して抵抗値が低下している場合、コンデンサの過充電を抑制するためにスイッチをオンしたときに、過大な電流が抵抗に流れるために抵抗が過負荷状態となり、抵抗が過熱される可能性がある。したがって、過充電抑制用の抵抗の過負荷状態を検知する技術が重要となる。

【０００９】

この発明は、上記のような課題を解決するためになされたものであり、その目的は、電力変換装置の主回路から制御電源を生成する自己給電回路において、主回路から供給される電力を蓄えるコンデンサの過充電を抑制するための抵抗の過負荷状態を検知することである。

【課題を解決するための手段】

【００１０】

この発明のある局面によれば、電力変換装置は、単位変換器を有する電力変換器と、電力変換器を制御する制御装置とを備える。単位変換器は、第１の蓄電素子および複数のスイッチング素子を有する主回路と、複数のスイッチング素子を駆動する駆動回路と、第１の蓄電素子から駆動回路に電源を供給する自己給電回路とを含む。自己給電回路は、第１の蓄電素子の端子間に電気的に接続された第２の蓄電素子と、第２の蓄電素子の電圧を駆動回路の電源電圧に変換する電源回路と、第２の蓄電素子の電圧を検出する電圧検出器とを含む。単位変換器は、第１の蓄電素子の端子間に第２の蓄電素子と電気的に直列に接続された第１の抵抗と、第２の蓄電素子の端子間に電気的に接続された第２の抵抗と、第２の蓄電素子の端子間に第２の抵抗と電気的に直列に接続された第１のスイッチとをさらに含む。電源回路は、電圧検出器の検出値に基づいて第１のスイッチのオンオフを制御するための制御信号を生成することにより、第２の蓄電素子の過充電を抑制するように構成された過充電抑制回路と、過充電抑制回路により生成される制御信号に基づいて、第２の抵抗の過負荷状態を検知するように構成された過負荷検知回路とを含む。

【発明の効果】

【００１１】

この発明によれば、電力変換装置の主回路から制御電源を生成する自己給電回路において、主回路から供給される電力を蓄えるコンデンサの過充電を抑制するための抵抗の過負荷状態を検知することができる。

【図面の簡単な説明】

【００１２】

【図１】この発明の実施の形態に従う電力変換装置の構成を示す回路ブロック図である。

【図２】図１に示されるセルの構成例を示す回路図である。

【図３】図２に示した自己給電回路の構成例を示す回路図である。

【図４】図３に示した電源回路の制御部の制御構成を示すブロック図である。

【図５】スイッチング素子Ｔ１がオフ状態のときの電流経路を模式的に示す図である。

【図６】スイッチング素子Ｔ１がオン状態のときの電流経路を模式的に示す図である。

【図７】図２に示した自己給電回路の他の構成例を示す回路図である。

【図８】スイッチング素子Ｔ１がオフ状態のときの電流経路を模式的に示す図である。

【図９】スイッチング素子Ｔ１がオン状態のときの電流経路を模式的に示す図である。

【図１０】抵抗Ｒ１が正常であるときの過充電抑制回路および過負荷検知回路の動作を説明するためのタイミング図である。

【図１１】抵抗Ｒ１が故障しているときの過充電抑制回路および過負荷検知回路の動作を説明するためのタイミング図である。

【図１２】自己給電回路における電源回路の制御処理を説明するためのフローチャートである。

【発明を実施するための形態】

【００１３】

以下に、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下では、図中の同一または相当部分には同一符号を付して、その説明が原則的に繰返さないものとする。

【００１４】

（電力変換装置の構成）

図１は、この発明の実施の形態に従う電力変換装置の構成を示す回路ブロック図である。図１において、電力変換装置１００は、電力系統１の無効電力を補償する無効電力補償

装置として使用される。

【００１５】

図１を参照して、電力変換装置１００は、モジュラー・マルチレベル変換器（以下、ＭＭＣと称する）２と、ＭＭＣ２を制御する制御装置３とを備える。

【００１６】

ＭＭＣ２は、変圧器４と、三相（Ｕ，Ｖ，Ｗ相）の交流ラインＵＬ，ＶＬ，ＷＬとを含む。変圧器４は、３つの一次巻線および３つの二次巻線を含む。３つの一次巻線は、電力系統１の三相の送電線にそれぞれ接続される。３つの二次巻線は、交流ラインＵＬ，ＶＬ，ＷＬの一方端子にそれぞれ接続される。

【００１７】

ＭＭＣ２は、電力系統１に対して、変圧器４を介して無効電力を注入または吸収するように構成される。具体的には、電力系統１の三相交流電圧（以下、「系統電圧」ともいう）が低くなった場合には、ＭＭＣ２は、系統電圧を上げるように電力系統１に無効電力を注入する。一方、系統電圧が高くなった場合には、ＭＭＣ２は、系統電圧を下げるように電力系統１から無効電力を吸収する。ＭＭＣ２は、電力系統１に対して、系統電圧と直交する電流を注入または吸収することで、無効電力を補償することができる。

【００１８】

したがって、電力変換装置１００が理想状態である場合、電力系統１からＭＭＣ２へ融通される有効電力は、無効電力に比べて十分に小さくなる。なお、理想状態とは、ＭＭＣ２内部（単位変換器５）での電力損失が略零である場合、および系統電圧が三相平衡状態である場合を含んでいる。

【００１９】

ＭＭＣ２は「電力変換器」の一実施例に対応する。なお、図１では、ＭＭＣ２は、変圧器４を介して電力系統１に接続されているが、連系用リアクトルを介して電力系統１に接続される構成であってもよい。

【００２０】

ＭＭＣ２は、アームＡ１～Ａ３をさらに含む。アームＡ１は、交流ラインＵＬの他方端子と交流ラインＶＬの他方端子との間に接続される。アームＡ２は、交流ラインＶＬの他方端子と交流ラインＷＬの他方端子との間に接続される。アームＡ３は交流ラインＷＬの他方端子と交流ラインＵＬの他方端子との間に接続される。すなわち、アームＡ１～Ａ３はデルタ結線で接続されている。

【００２１】

アームＡ１～Ａ３の各々は、複数の単位変換器５（以下、単に「セル」とも称する）を有する。複数のセル５の各々は、制御装置３からの制御信号に従って双方向の電力変換を行なうように構成される。図１の例では、アームＡ１～Ａ３の各々において、ｎ個（ｎは２以上の整数）のセル５が直列接続されている。すなわち、ＭＭＣ２は合計３ｎ個のセル５を有している。

【００２２】

アームＡ１は、複数のセル５と直列に接続されたリアクトルＬ１をさらに有する。アームＡ２は、複数のセル５と直列に接続されたリアクトルＬ２をさらに有する。アームＡ３は、複数のセル５と直列に接続されたリアクトルＬ３をさらに有する。リアクトルＬ１～Ｌ３の各々は、デルタ結線内を流れる循環電流を抑制するために配置されている。リアクトルＬ１～Ｌ３の各々は、対応するアームのセル５とそれぞれ直列に接続されていれば、その位置は図１に示された位置に限られるものではない。または、リアクトルＬ１～Ｌ３の各々は、対応するＡ１～Ａ３内に複数個を分散して配置してもよい。

【００２３】

アームＡ１～Ａ３において、初段のセル５の出力端子５ａは、リアクトルＬ１～Ｌ３を介して交流ラインＵＬ，ＶＬ，ＷＬの他方端子にそれぞれ接続される。アームＡ１～Ａ３の最終段のセル５の出力端子５ｂは、交流ラインＶＬ，ＷＬ，ＵＬの他方端子にそれぞれ接続される。各アームにおいて、初段および最終段を除いた他のセル５の出力端子５ａは

前段のセル５の出力端子５ｂに接続され、出力端子５ｂは次段のセル５の出力端子５ａに接続される。

【００２４】

電力系統１の三相の送電線には、電力系統１およびＭＭＣ２の間に流れる電流ｉｕ，ｉｖ，ｉｗ（以下、「出力電流」とも称する）を検出するための電流検出器Ｃｕ，Ｃｖ，Ｃｗがそれぞれ配置される。さらに、送電線には、電力系統１の三相交流電圧（以下、「系統電圧」とも称する）Ｖｕ，Ｖｖ，Ｖｗを検出するための電圧検出器３４が配置される。

【００２５】

さらに、交流ラインＵＬには、アームＡ１に流れる電流（以下、「アーム電流ｉｕｖ」とも称する）を検出するための電流検出器３５が配置される。交流ラインＶＬには、アームＡ２に流れる電流（以下、「アーム電流ｉｖｗ」と称する）を検出するための電流検出器３６が配置される。交流ラインＷＬには、アームＡ３に流れる電流（以下、「アーム電流ｉｗｕ」とも称する）を検出するための電流検出器３７が配置される。

【００２６】

なお、出力電流ｉｕ，ｉｖ，ｉｗは、電流検出器Ｃｕ，Ｃｖ，Ｃｗを用いずに、電流検出器３５～３７によるアーム電流ｉｕｖ，ｉｖｗ，ｉｗｕの検出値に基づいて演算することも可能である。Ｉｕ＝Ｉｕｖ－Ｉｗｕ、Ｉｖ＝Ｉｖｗ－Ｉｕｖ、Ｉｗ＝Ｉｗｕ－Ｉｖｗである。

【００２７】

これらの電流検出器Ｃｕ，Ｃｖ，Ｃｗ，３５～３７および電圧検出器３４の検出値は、制御装置３に入力される。制御装置３は、図示しない上位コントローラからの指令および、各検出器から入力された検出信号等を用いて、アームＡ１～Ａ３の各々（すなわち、３ｎ個のセル５の各々）の動作を制御する。

【００２８】

制御装置３は、たとえばマイクロコンピュータ等で構成することが可能である。一例として制御装置３は、図示しないメモリおよびＣＰＵ（Control Processing Unit）を内蔵し、メモリに予め格納されたプログラムをＣＰＵが実行することによるソフトウェア処理によって、以下で説明する制御動作を実行することができる。あるいは、当該制御動作の一部または全部については、ソフトウェア処理に代えて、内蔵された専用の電子回路等を用いたハードウェア処理によって実現することも可能である。

【００２９】

（単位変換器の構成）

次に、図２を用いて、図１に示されるセル５の構成例を説明する。

【００３０】

図２を参照して、セル５は、主回路６と、自己給電回路７と、駆動回路８と、抵抗Ｒ１，Ｒ２と、スイッチング素子Ｔ１とを含む。

【００３１】

主回路６は、いわゆるフルブリッジ構成を有する。具体的には、主回路６は、出力端子５ａ，５ｂと、スイッチング素子Ｑ１～Ｑ４と、ダイオードＤ１～Ｄ４と、直流コンデンサＣ１と、電圧検出器３０と、スイッチＳＷとを含む。

【００３２】

スイッチング素子Ｑ１～Ｑ４は、自己消弧型の電力用半導体素子であり、たとえばＩＧＢＴ（Insulated Gate Bipolar Transistor）で構成される。スイッチング素子Ｑ１，Ｑ３は電力線対（正極線ＰＬおよび負極線ＮＬ）の間に直列に接続されている。スイッチング素子Ｑ２，Ｑ４は電力線対の間に直列に接続されている。スイッチング素子Ｑ１，Ｑ２のコレクタはともに正極線ＰＬに接続され、スイッチング素子Ｑ３，Ｑ４のエミッタはともに負極線ＮＬに接続されている。スイッチング素子Ｑ１のエミッタとスイッチング素子Ｑ３のコレクタとの接続点は出力端子５ａに接続されている。スイッチング素子Ｑ２のエミッタとスイッチング素子Ｑ４のコレクタとの接続点は出力端子５ｂに接続されている。ダイオードＤ１～Ｄ４は、スイッチング素子Ｑ１～Ｑ４にそれぞれ逆並列に接続されて

いる。

【００３３】

直流コンデンサＣ１は、正極線ＰＬおよび負極線ＮＬの間に接続され、直流電力を蓄える。直流コンデンサＣ１には、電解コンデンサ、フィルムコンデンサ等の各種コンデンサを用いることができる。直流コンデンサＣ１は「第１の蓄電素子」の一実施例に対応する。

【００３４】

電圧検出器３０は、直流コンデンサＣ１の端子間の直流電圧（以下、単に「コンデンサ電圧ＶＤＣ」とも称する）を検出し、検出したコンデンサ電圧ＶＤＣを示す信号を駆動回路８に出力する。

【００３５】

各セル５において、出力端子５ｂを基準とした出力端子５ａまでの電圧を「セル電圧Ｖｃｅｌｌ」と定義すると、セル電圧Ｖｃｅｌｌは、スイッチング素子Ｑ１～Ｑ４のオンオフ状態によって制御される。セル５は、スイッチング素子Ｑ１～Ｑ４のスイッチング動作に応じて、セル電圧Ｖｃｅｌｌを、＋ＶＤＣ，０，－ＶＤＣの間で切り替えることができる。

【００３６】

図１に示したＭＭＣ２において、各アームＡの２端子間の電圧は、このアームＡに含まれるｎ個のセル５のセル電圧Ｖｃｅｌｌの和で表される。したがって、各アームＡの電圧は、セル５の主回路６を構成するスイッチング素子Ｑ１～Ｑ４のオンオフ状態によって制御することができる。

【００３７】

制御装置３は、ＭＭＣ２の出力電流ｉｕ，ｉｖ，ｉｗを制御することで、電力系統１およびＭＭＣ２の間で送受される有効電力、およびＭＭＣ２から電力系統１に出力される無効電力を制御するように構成される。制御装置３は、電力系統１およびＭＭＣ２の間で送受される有効電力を制御することで、各セル５の直流コンデンサＣ１のコンデンサ電圧ＶＤＣを直流電圧指令値ＶＤＣ＊に追従させる。直流電圧指令値ＶＤＣ＊は、図示しない上位コントローラから入力されてもよく、制御装置３において予め定められていてもよい。制御装置３は、また、ＭＭＣ２から電力系統１に出力される無効電力を制御することで、系統電圧を安定化させる。

【００３８】

具体的には、制御装置３は、アーム電圧指令値Ｖｕｖ＊，Ｖｖｗ＊，Ｖｗｕ＊、各セル５のコンデンサ電圧ＶＤＣ、およびアーム電流ｉｕｖ，ｉｖｗ，ｉｗｕに基づいて、各セル５のセル電圧Ｖｃｅｌｌを制御するためのセル電圧指令値Ｖｃｅｌｌ＊を生成する。本実施の形態では、３ｎ個のセル５に対応して、３ｎ個のセル電圧指令値Ｖｃｅｌｌ＊が生成される。制御装置３は、３ｎ個のセル電圧指令値Ｖｃｅｌｌ＊に基づいて、３ｎ個のセル５の各々の主回路６に与えるゲート信号ＧＣを生成する。

【００３９】

図２に戻って、スイッチＳＷは、出力端子５ａ，５ｂ間に接続される。スイッチＳＷは、対応するセル５が正常である場合は開放（オフ）され、対応するセル５が故障した場合は閉成（オン）される。スイッチＳＷがオンされると、出力端子５ａ，５ｂ間が短絡されるため、対応するセル５がバイパスされる。スイッチＳＷは「第２のスイッチ」の一実施例に対応する。

【００４０】

駆動回路８は、自己給電回路７から供給される直流電力によって駆動される。駆動回路８は、制御装置３から、主回路６のフルブリッジ回路におけるスイッチング動作を制御するためのゲート信号ＧＣ、および、フルブリッジ回路のスイッチング動作を停止（すべてオフ）するためのゲート遮断信号ＧＢを受ける。駆動回路８は、ゲート信号ＧＣに応答してスイッチング素子Ｑ１～Ｑ４のオンオフを制御する。また、駆動回路８は、ゲート遮断信号ＧＢに応答して、スイッチング素子Ｑ１～Ｑ４をオフ状態に固定する。

【００４１】
駆動回路８はさらに、制御装置３から、スイッチＳＷのオンオフを制御するためのオン指令を受ける。駆動回路８は、オン指令に従って励磁コイル９を通電することにより、スイッチＳＷのオンオフを制御する。駆動回路８の制御構成については後述する。
【００４２】
自己給電回路７は、主回路６の直流コンデンサＣ１に蓄えられた電力を利用して駆動回路８の電源電圧を生成するように構成される。すなわち、自己給電回路７は、主回路６の直流コンデンサＣ１から駆動回路８に電源を供給する。
【００４３】
（自己給電回路の構成）
図３は、図２に示した自己給電回路７の構成例を示す回路図である。図２および図３を用いて、自己給電回路７の構成例を説明する。
【００４４】
自己給電回路７は、正極線ＰＬおよび負極線ＮＬの間に、抵抗Ｒ１と電気的に直列に接続される。自己給電回路７は、入力端子７ａ，７ｂと、出力端子７ｃ，７ｄと、コンデンサＣ２と、電源回路１０と、電圧検出器３２とを含む。
【００４５】
入力端子７ａは、抵抗Ｒ１の一方端子に接続される。抵抗Ｒ１の他方端子は正極線ＰＬに接続される。入力端子７ｂは負極線ＮＬに接続される。出力端子７ｃ，７ｄは駆動回路８に接続される。
【００４６】
コンデンサＣ２は、入力端子７ａおよび７ｂの間に接続される。言い換えれば、コンデンサＣ２は、正極線ＰＬおよび負極線ＮＬの間に、抵抗Ｒ１と電気的に直列に接続される。抵抗Ｒ１およびコンデンサＣ２の直列回路は、直流コンデンサＣ１に電気的に並列に接続される。抵抗Ｒ１は、直流コンデンサＣ１からコンデンサＣ２に流れる電流を制限するための「限流抵抗」として機能し得る。以下の説明では、抵抗Ｒ１に流れる電流を「入力電流Ｉｉｎ」とも称する。
【００４７】
コンデンサＣ２には、コンデンサ電圧ＶＤＣを抵抗Ｒ１（限流抵抗）によって低減させた電圧が印加される。コンデンサＣ２には、電解コンデンサ、フィルムコンデンサ等の各種コンデンサを用いることができる。コンデンサＣ２は「第２の蓄電素子」の一実施例に対応する。
【００４８】
電圧検出器３２は、コンデンサＣ２の端子間の直流電圧（以下、「入力電圧Ｖｉｎ」とも称する）を検出し、検出した入力電圧Ｖｉｎを示す信号を電源回路１０に出力する。
【００４９】
電源回路１０は、コンデンサＣ２に電気的に並列に接続され、コンデンサＣ２から与えられる入力電圧Ｖｉｎを駆動回路８の電源電圧に変換するように構成される。具体的には、図３を参照して、電源回路１０は、ＤＣ／ＤＣコンバータ１２と、制御部１４とを含む。ＤＣ／ＤＣコンバータ１２は、コンデンサＣ２の端子間の直流電圧（入力電圧Ｖｉｎ）を駆動回路８の駆動に必要な電圧に変換して駆動回路８に供給する。ＤＣ／ＤＣコンバータ１２は、コンデンサＣ２から供給される直流電力を駆動回路８に伝達することができる。
【００５０】
ＤＣ／ＤＣコンバータ１２には、たとえば絶縁型ＤＣ／ＤＣコンバータを適用することができる。絶縁型ＤＣ／ＤＣコンバータは、フライバックコンバータ、フォワードコンバータ、プッシュプルコンバータ、ハーフブリッジコンバータ、およびフルブリッジコンバータなどの公知の方式を用いることができる。図３の例では、ＤＣ／ＤＣコンバータ１２は、フライバックコンバータである。ＤＣ／ＤＣコンバータ１２は、トランスＴＲと、スイッチング素子Ｔ２と、ダイオードＤ５と、コンデンサＣ３とを有する。

【００５１】
トランスＴＲは、互いに絶縁された一次巻線および二次巻線を有する。スイッチング素子Ｔ２は、一次巻線に直列接続される。一次巻線およびスイッチング素子Ｔ２の直列回路はコンデンサＣ２に並列接続される。スイッチング素子Ｔ２は任意の自己消弧型のスイッチング素子によって構成することができる。スイッチング素子Ｔ２は、たとえばＮチャネル型のＭＯＳＦＥＴ（Metal Oxide Field Effect Transistor）で構成される。
【００５２】
スイッチング素子Ｔ２は、制御部１４から供給される制御信号Ｓ２によってオンオフ動作する。スイッチング素子Ｔ２のオン期間中、一次巻線に入力電圧Ｖｉｎが印加される。トランスＴＲは、一次巻線に供給される電力を二次巻線に伝達する。
【００５３】
二次巻線の一方端はダイオードＤ５のアノードに接続され、他方端は出力端子７ｄに接続される。ダイオードＤ５のカソードは出力端子７ｃに接続される。出力端子７ｃおよび７ｄの間にはコンデンサＣ３が接続される。ダイオードＤ５およびコンデンサＣ３は、スイッチング素子Ｔ２のオフ期間中に二次巻線から放出されるエネルギを整流し、直流化する。これにより、ＤＣ／ＤＣコンバータ１２は、出力端子７ｃおよび７ｄの間に直流電圧を発生することができる。
【００５４】
ここで、ＤＣ／ＤＣコンバータ１２の出力電圧をＶｏｕｔとすると、ＤＣ／ＤＣコンバータ１２における電圧変換比はＶｏｕｔ／Ｖｉｎで表される。電圧変換比Ｖｏｕｔ／Ｖｉｎは、トランスＴＲの一次巻線および二次巻線の巻数比と、スイッチング素子Ｔ２のデューティ比とによって決まる。スイッチング素子Ｔ２のデューティ比とは、スイッチング周期に対するスイッチング素子Ｔ２のオン期間の比である。
【００５５】
制御部１４は、スイッチング素子Ｔ２のデューティ比を制御することにより、スイッチング素子Ｔ２のオンオフを制御するための制御信号Ｓ２を生成する。制御部１４は、たとえばマイクロコンピュータで構成される。
【００５６】
図２に示すように、抵抗Ｒ２およびスイッチング素子Ｔ１は、自己給電回路７の入力端子７ａおよび７ｂの間に電気的に直列に接続される。スイッチング素子Ｔ１は、たとえばＮチャネル型のＭＯＳＦＥＴで構成される。スイッチング素子Ｔ１は、ドレインが抵抗Ｒ２の一方端子に接続され、ソースが負極線ＮＬに接続される。抵抗Ｒ２の他方端子は自己給電回路７の入力端子７ａに接続される。
【００５７】
スイッチング素子Ｔ１は、電源回路１０の制御部１４からゲートに入力される制御信号Ｓ１によってオンオフが制御される。具体的には、制御部１４からＨ（論理ハイ）レベルの制御信号Ｓ１が入力されると、スイッチング素子Ｔ１がオンされ、抵抗Ｒ２がコンデンサＣ２と電気的に並列に接続される。一方、制御部１４からＬ（論理ロー）レベルの制御信号Ｓ１が入力されると、スイッチング素子Ｔ１がオフされ、抵抗Ｒ２はコンデンサＣ２と電気的に切り離される。スイッチング素子Ｔ１は「第１のスイッチ」の一実施例に対応する。なお、第１のスイッチは、電源回路１０によってオンオフを制御できれば、リレー等の他の種類のスイッチであってもよい。また、抵抗Ｒ２とスイッチング素子Ｔ１との接続順序を入れ換えても、電気的に等価な回路構成が形成される。
【００５８】
電源回路１０の制御部１４は、後述するように、電圧検出器３２により検出される入力電圧Ｖｉｎに基づいて、スイッチング素子Ｔ１のオンオフを制御することにより、コンデンサＣ２の過充電を抑制するように構成される。スイッチング素子Ｔ１がオンのとき、抵抗Ｒ２は「過充電抑制抵抗」として機能し得る。
【００５９】
（電源回路の制御構成）

次に、自己給電回路７における電源回路１０の制御構成について説明する。以下では、電源回路１０が有するコンデンサＣ２の過充電抑制機能について説明する。

【００６０】

図４は、図３に示した電源回路１０の制御部１４の制御構成を示すブロック図である。図４を参照して、制御部１４は、電圧制御部１６と、過充電抑制回路１８とを有する。

【００６１】

電圧制御部１６は、ＤＣ／ＤＣコンバータ１２を制御する。電圧制御部１６は、スイッチング素子Ｔ２のデューティ比を制御する。電圧制御部１６は、スイッチング素子Ｔ２のオンオフを制御するための制御信号Ｓ２を生成し、生成した制御信号Ｓ２をスイッチング素子Ｔ２のゲートへ出力する。

【００６２】

過充電抑制回路１８は、電圧検出器３２により検出される入力電圧Ｖｉｎに基づいて、スイッチング素子Ｔ１のオンオフを制御することにより、コンデンサＣ２の過充電を抑制するように構成される。具体的には、過充電抑制回路１８は、比較器ＣＯＭ１を有する。比較器ＣＯＭ１は、電圧検出器３２により検出された入力電圧Ｖｉｎと予め定められた閾値ＶＨ，ＶＬとを比較し、その比較結果を示す信号を出力する。比較器ＣＯＭ１の出力信号は、制御信号Ｓ１としてスイッチング素子Ｔ１のゲートに与えられる。

【００６３】

より具体的には、比較器ＣＯＭ１において、閾値ＶＨは閾値ＶＬよりも高い電圧値に設定されている（ＶＨ＞ＶＬ）。入力電圧Ｖｉｎが閾値ＶＨよりも大きい場合、比較器ＣＯＭ１はＨレベルの制御信号Ｓ１を出力する。入力電圧Ｖｉｎが閾値ＶＬよりも小さい場合、比較器ＣＯＭ１はＬレベルの制御信号Ｓ１を出力する。比較器ＣＯＭ１はヒステリシスを有している。閾値ＶＨは「第１の閾値」に対応し、閾値ＶＬは「第２の閾値」に対応する。

【００６４】

このような構成とすることにより、入力電圧Ｖｉｎが閾値ＶＨよりも上昇すると、制御信号Ｓ１がＬレベルからＨレベルに遷移することによりスイッチング素子Ｔ１がオンされる。また、入力電圧Ｖｉｎが閾値ＶＬよりも低下すると、制御信号Ｓ１がＨレベルからＬレベルに遷移するため、スイッチング素子Ｔ１がオフされる。

【００６５】

図５は、スイッチング素子Ｔ１がオフ状態のときの電流経路を模式的に示す図である。図５を参照して、スイッチング素子Ｔ１がオフ状態のときには、抵抗Ｒ２（過充電抑制抵抗）がコンデンサＣ２から電気的に分離される。そのため、図中に破線矢印で示すように、直流コンデンサＣ１から抵抗Ｒ１（限流抵抗）を介してコンデンサＣ２に電流が流れる。抵抗Ｒ１の電気抵抗値をＲ１とすると、入力電流Ｉｉｎは次式（１）で与えられる。

Ｉｉｎ＝（ＶＤＣ－Ｖｉｎ）／Ｒ１　　…（１）

コンデンサＣ２の電圧（入力電圧Ｖｉｎ）は、電源回路１０のＤＣ／ＤＣコンバータ１２によって駆動回路８の駆動に必要な電圧に変換されて駆動回路８に供給される。

【００６６】

ここで、セル５においては、主回路６の運転中に駆動回路８に安定的に電源を供給するために、主回路６から自己給電回路７に供給される電力が、自己給電回路７から駆動回路８に供給される電力よりも大きくなるように、電力の需給バランスが定められている。そのため、コンデンサＣ２では、直流コンデンサＣ１による充電電力が駆動回路８への放電電力を上回るために、入力電圧Ｖｉｎが徐々に上昇する。コンデンサＣ２の過充電を抑制するため、過充電抑制回路１８は、電圧検出器３２により検出される入力電圧Ｖｉｎが閾値ＶＨ（第１の閾値）よりも上昇すると、Ｈレベルの制御信号Ｓ１を出力してスイッチング素子Ｔ１をオンすることにより、抵抗Ｒ２（過充電抑制抵抗）をコンデンサＣ２と電気的に並列に接続する。

【００６７】

図６は、スイッチング素子Ｔ１がオン状態のときの電流経路を模式的に示す図である。

図６を参照して、スイッチング素子Ｔ１をオンすることにより、図中に破線矢印で示すように、直流コンデンサＣ１から抵抗Ｒ１（限流抵抗）および抵抗Ｒ２（過充電抑制抵抗）を介して電流が流れる。

【００６８】

コンデンサＣ２の電圧（入力電圧Ｖｉｎ）は、電源回路１０のＤＣ／ＤＣコンバータ１２によって駆動回路８の駆動に必要な電圧に変換されて駆動回路８に供給される。

【００６９】

なお、抵抗Ｒ２の電気抵抗値Ｒ２は、抵抗Ｒ２の投入により抵抗Ｒ２に流れる電流が入力電流Ｉｉｎよりも大きくなるように選定することで、コンデンサＣ２への電力供給が停止される。その一方で、コンデンサＣ２から抵抗Ｒ２に向けて、コンデンサＣ２に蓄積された電荷が逆流することになる。そこで、図７に示すように、逆流防止用のダイオードＤ６をさらに設ける構成としてもよい。ダイオードＤ６は、アノードが抵抗Ｒ２の一方端子に電気的に接続され、カソードがコンデンサＣ２の一方端子に電気的に接続される。このようにすると、スイッチング素子Ｔ１がオンのときにも、自己給電回路７から駆動回路８に対して電源を安定して供給することができる。

【００７０】

図６または図７の状態において、入力電圧Ｖｉｎが徐々に低下し、電圧検出器３２による入力電圧Ｖｉｎの検出値が閾値ＶＬよりも低下すると、過充電抑制回路１８は、Ｌレベルの制御信号Ｓ１を出力することによりスイッチング素子Ｔ１をオフさせる。これにより、図５に示す電流経路が再び形成される。直流コンデンサＣ１による充電電力と駆動回路８への放電電力との差分である余剰電力によってコンデンサＣ２が再び充電されるため、入力電圧Ｖｉｎが上昇に転じる。

【００７１】

このように過充電抑制回路１８は、電圧検出器３２による入力電圧Ｖｉｎの検出値に基づいて、図５の状態（スイッチング素子Ｔ１がオン）と図６の状態（スイッチング素子Ｔ１がオフ）とを交互に繰り返す。これにより、電源回路１０は、コンデンサＣ２の過充電を抑制しながら、駆動回路８に対して電源を供給することができる。

【００７２】

しかしながら、上記構成においては、抵抗Ｒ１（限流抵抗）が損傷し、その抵抗値が低下する事態が生じる場合がある。たとえば、抵抗Ｒ１が複数の抵抗素子の直列回路により構成されている場合、当該複数の抵抗素子のうちの少なくとも１つが短絡すると、直列回路全体の電気抵抗値が低下する。抵抗Ｒ１の電気抵抗値が低下すると、入力電流Ｉｉｎが増大する。

【００７３】

図８は、スイッチング素子Ｔ１がオフ状態のときの電流経路を模式的に示す図である。図８を参照して、抵抗Ｒ１の故障により電気抵抗値Ｒ１が低下した場合には、式（１）に従って入力電流Ｉｉｎが増大する。入力電流Ｉｉｎが増大すると、入力電圧Ｖｉｎの上昇速度が速くなる。そのため、図５に比べて、入力電圧Ｖｉｎはより短時間で閾値ＶＨに達することになる。過充電抑制回路１８は、電圧検出器３２により検出される入力電圧Ｖｉｎが閾値ＶＨよりも上昇すると、スイッチング素子Ｔ１をオンさせる。

【００７４】

図９は、スイッチング素子Ｔ１がオン状態のときの電流経路を模式的に示す図である。図９を参照して、スイッチング素子Ｔ１をオンすると、直流コンデンサＣ１から抵抗Ｒ１，Ｒ２を介して電流が流れる。入力電流Ｉｉｎが増大する。

【００７５】

ただし、抵抗Ｒ１の電気抵抗値が低下しているため、抵抗Ｒ２を投入してもコンデンサＣ２の電圧が閾値ＶＨよりも高くなることがある。この場合、スイッチング素子Ｔ１をオンした後も、引き続きコンデンサＣ２に電力が供給されるため、図６に比べて入力電圧Ｖｉｎの下降速度は遅くなり、結果的により長い時間で閾値ＶＬに達することになる。

【００７６】

過充電抑制回路１８は、電圧検出器３２による入力電圧Ｖｉｎの検出値に基づいて、図８の状態（スイッチング素子Ｔ１がオン）と図９の状態（スイッチング素子Ｔ１がオフ）とを交互に繰り返す。これにより、抵抗Ｒ１が故障している状況においても、電源回路１０は、コンデンサＣ２の過充電を抑制しながら、駆動回路８に電源を供給することができる。

【００７７】

ただし、スイッチング素子Ｔ１がオンのときには（図９参照）、抵抗Ｒ１の電気抵抗値が低下していることで、図６に比べて、抵抗Ｒ２（過充電抑制抵抗）にはより大きな電流が流れることになる。抵抗Ｒ１の電気抵抗値が小さくなるほど、抵抗Ｒ２に流れる電流は大きくなる。そのため、抵抗Ｒ２で消費される電力も大きくなり、抵抗Ｒ２が過負荷状態に陥る可能性がある。

【００７８】

なお、実際の設定では、抵抗Ｒ２で消費される損失および許容温度が規定される。本願明細書において、抵抗Ｒ２の過負荷状態とは、抵抗Ｒ２で消費される損失および抵抗Ｒ２の温度が、規定される損失および許容温度をそれぞれ超える状態をいう。過負荷状態が継続することにより、ジュール熱によって抵抗Ｒ２が過熱されて損傷する可能性がある。したがって、抵抗Ｒ２の過熱を防ぐためには、抵抗Ｒ２の過負荷状態を速やかに検知してセル５の運転を停止させる必要がある。

【００７９】

ここで、抵抗Ｒ１が正常であるときと、抵抗Ｒ１が故障しているときとでは、入力電流Ｉｉｎの大きさが異なることから、入力電圧Ｖｉｎの時間的変化も異なる。その結果、過充電抑制回路１８におけるスイッチング素子Ｔ１のオンオフ制御も異なることになる。

【００８０】

そこで、本実施の形態においては、電源回路１０は、過充電抑制回路１８により生成されるスイッチング素子Ｔ１の制御信号Ｓ１に基づいて、抵抗Ｒ２（過充電抑制抵抗）の過負荷状態を検知するように構成される。具体的には、図４を参照して、電源回路１０の制御部１４は、過負荷検知回路２０をさらに有する。過負荷検知回路２０は、低域通過フィルタ（ＬＰＦ）２２と、比較器ＣＯＭ２とを含む。

【００８１】

ＬＰＦ２２は、たとえば容量素子および抵抗素子で構成される。ＬＰＦ２２は、過充電抑制回路１８により生成された制御信号Ｓ１を平均化した信号Ｓ１＃を生成する。ＬＰＦ２２は「平滑回路」の一実施例に対応する。

【００８２】

比較器ＣＯＭ２は、ＬＰＦ２２の出力信号Ｓ１＃と基準値ＲＥＦとを比較する。比較器ＣＯＭ２は、信号Ｓ１＃と基準値ＲＥＦとを比較し、その比較結果に従って検知信号ＯＶＬを生成する。具体的には、信号Ｓ１＃が基準値ＲＥＦよりも大きい場合、比較器ＣＯＭ２はＨレベルの検知信号ＯＶＬを生成する。一方、信号Ｓ１＃が基準値ＲＥＦよりも小さい場合、比較器ＣＯＭ２はＬレベルの検知信号ＯＶＬを生成する。

【００８３】

以下、図１０および図１１を参照して、過負荷検知回路２０の動作について説明する。

図１０は、抵抗Ｒ１が正常であるときの過充電抑制回路１８および過負荷検知回路２０の動作を説明するためのタイミング図である。図１０には、入力電流Ｉｉｎ、入力電圧Ｖｉｎ、制御信号Ｓ１および、ＬＰＦ２２の出力信号Ｓ１＃の波形が示される。

【００８４】

過充電抑制回路１８は、電圧検出器３２による入力電圧Ｖｉｎの検出値と閾値ＶＨ，ＶＬとを比較し、その比較結果に従って制御信号Ｓ１を生成する。制御信号Ｓ１は、入力電圧Ｖｉｎが閾値ＶＨよりも上昇するとＨレベルに立ち上がり、かつ、入力電圧Ｖｉｎが閾値ＶＬよりも低下するとＬレベルに立ち下がるパルス信号となる。

【００８５】

なお、制御信号Ｓ１がＨレベルの期間、すなわちスイッチング素子Ｔ１のオン時間をＴ

ｏｎとし、オフ時間をＴｏｆｆとし、スイッチング素子Ｔ１のスイッチング周期をＴ（＝Ｔｏｎ＋Ｔｏｆｆ）とすると、スイッチング周期Ｔに対するオン時間Ｔｏｎの比（Ｔｏｎ／Ｔ）は、制御信号Ｓ１のデューティ比ＤＲに相当する。

【００８６】

制御信号Ｓ１を平均化した信号Ｓ１＃は、リップルを含んだ波形となり、その平均値は制御信号Ｓ１の振幅にデューティ比ＤＲを乗じた大きさとなる。以下の説明では、簡単のため、制御信号Ｓ１の振幅を「１」とする。すなわち、信号Ｓ１＃の大きさは制御信号Ｓ１のデューティ比ＤＲに等しくなる。

【００８７】

図１１は、抵抗Ｒ１が故障しているときの過充電抑制回路１８および過負荷検知回路２０の動作を説明するためのタイミング図である。図１１には、入力電流Ｉｉｎ、入力電圧Ｖｉｎ、制御信号Ｓ１および、ＬＰＦ２２の出力信号Ｓ１＃の波形が示される。

【００８８】

図１０と同様に、図１１においても、制御信号Ｓ１はパルス信号となる。ただし、図１１では、制御信号Ｓ１のデューティ比ＤＲが、図１０における制御信号Ｓ１のデューティ比ＤＲとは異なる。

【００８９】

図８で説明したように、抵抗Ｒ１が故障して電気抵抗値が低下している場合には、入力電流Ｉｉｎが増大するため、制御信号Ｓ１がＬレベルのとき（スイッチング素子Ｔ１がオフのとき）、入力電圧Ｖｉｎの上昇速度は速くなる。そのため、図１０に比べて入力電圧Ｖｉｎはより短時間で閾値ＶＨに達することになり、結果的に制御信号Ｓ１がＬレベルの期間、すなわちスイッチング素子Ｔ１のオフ時間Ｔｏｆｆが短くなる。

【００９０】

また、図９で説明したように、制御信号Ｓ１がＨレベルのとき（スイッチング素子Ｔ１がオンのとき）には、コンデンサＣ２に電力が供給され続けるため、入力電圧Ｖｉｎの下降速度は遅くなる。そのため、図１０に比べて入力電圧Ｖｉｎがより長い時間で閾値ＶＬに達することになり、結果的に制御信号Ｓ１がＨレベルの期間、すなわちスイッチング素子Ｔ１のオン時間Ｔｏｎが長くなる。

【００９１】

このように抵抗Ｒ１の故障時には、抵抗Ｒ１の正常時に比べて、制御信号Ｓ１において、オフ時間Ｔｏｆｆが短くなるとともにオン時間Ｔｏｎが長くなる。このため、図１０の制御信号Ｓ１のデューティ比ＤＲに比べて、制御信号Ｓ１のデューティ比ＤＲが大きくなる傾向が現れる。この結果、制御信号Ｓ１を平均化した信号Ｓ１＃も、図１０の信号Ｓ１＃に比べて大きくなる。

【００９２】

これによると、抵抗Ｒ１が正常であるときの信号Ｓ１＃よりも大きく、抵抗Ｒ１が故障しているときの信号Ｓ１＃よりも小さくなるように基準値ＲＥＦを設定すれば、信号Ｓ１＃と基準値ＲＥＦとを比較することにより、抵抗Ｒ２の過負荷状態を検知することができる。したがって、基準値ＲＥＦは、抵抗Ｒ１が正常であるときの制御信号Ｓ１のデューティ比ＤＲよりも大きく、抵抗Ｒ１が故障しているときの制御信号Ｓ１のデューティ比ＤＲよりも小さいデューティ比に対応して設定される。

【００９３】

図１０の例では、信号Ｓ１＃が基準値ＲＥＦよりも小さい、すなわち、制御信号Ｓ１のデューティ比ＤＲが基準値ＲＥＦよりも小さいため、過負荷検知回路２０は抵抗Ｒ２が過負荷状態でないと判断してＬレベルの検知信号ＯＶＬを出力する。

【００９４】

これに対して、図１１の例では、信号Ｓ１＃が基準値ＲＥＦよりも大きい、言い換えれば、制御信号Ｓ１のデューティ比ＤＲが基準値ＲＥＦよりも大きいため、過負荷検知回路２０は抵抗Ｒ２が過負荷状態であると判断してＨレベルの検知信号ＯＶＬを出力する。

【００９５】

図４に戻って、過負荷検知回路２０は、抵抗Ｒ２の過負荷状態を検知すると、Ｈレベルの検知信号ＯＶＬを生成して駆動回路８へ出力する。駆動回路８は、ゲートドライバ２４と、ＳＷドライバ２６と、Ｉ／Ｆ（インターフェイス）回路２８とを含む。

【００９６】

Ｉ／Ｆ回路２８は、図示しない光ファイバケーブルを介して制御装置３と通信する。Ｉ／Ｆ回路２８は、制御装置３から、主回路６のフルブリッジ回路を制御するためのゲート信号ＧＣを受信する。Ｉ／Ｆ回路２８はさらに、制御装置３から、フルブリッジ回路を構成するスイッチング素子Ｑ１～Ｑ４のスイッチング動作を停止（すべてオフ）するためのゲート遮断信号ＧＢを受信する。Ｉ／Ｆ回路２８は、受信したゲート信号ＧＣおよびゲート遮断信号ＧＢをゲートドライバ２４へ出力する。

【００９７】

ゲートドライバ２４は、ゲート信号ＧＣに応答してスイッチング素子Ｑ１～Ｑ４のオンオフを制御する。または、ゲートドライバ２４は、ゲート遮断信号ＧＢに応答して、スイッチング素子Ｑ１～Ｑ４をオフに固定された状態（停止状態）とする。

【００９８】

ＳＷドライバ２６は、スイッチＳＷのオンオフを制御するための回路である。ＳＷドライバ２６は、制御装置３からのオン指令に応答してスイッチＳＷの励磁コイル９（図２参照）への通電を制御する。励磁コイル９は非通電時にスイッチＳＷをオフするように設けられている。通常動作時、励磁コイル９の通電が停止されているため、スイッチＳＷはオフされる。一方、制御装置３は、複数のセル５のうちのいずれかのセル５において異常を検知した場合には、この異常のセル５に向けてオン指令を出力する。故障したセル５では、Ｉ／Ｆ回路２８がオン指令を受信してＳＷドライバ２６へ出力する。オン指令に応答して励磁コイル９が通電されることによりスイッチＳＷがオンされ、故障したセル５の出力が短絡される。

【００９９】

Ｉ／Ｆ回路２８は、過負荷検知回路２０からＨレベルの検知信号ＯＶＬを受けると、検知信号ＯＶＬをＳＷドライバ２６およびゲートドライバ２４へ出力する。ＳＷドライバ２６は、Ｈレベルの検知信号ＯＶＬを受けると、スイッチＳＷをオンすることにより、自己のセル５をバイパスさせる。ゲートドライバ２４は、Ｈレベルの検知信号ＯＶＬを受けると、主回路６のフルブリッジ回路のゲート信号を遮断することにより、スイッチング素子Ｑ１～Ｑ４をオフ状態に固定する。

【０１００】

図１２は、自己給電回路７における電源回路１０の制御処理を説明するためのフローチャートである。図１２に示される制御処理を電源回路１０が実行することにより、各セル５では上述したコンデンサＣ２の過充電抑制機能および抵抗Ｒ２の過負荷検知機能が実現される。

【０１０１】

図１２を参照して、電源回路１０は、ステップＳ０１により、電圧検出器３２による入力電圧Ｖｉｎの検出値を取得すると、ステップＳ０２により、入力電圧Ｖｉｎの検出値が閾値ＶＨ（第１の閾値）よりも大きいか否かを判定する。入力電圧Ｖｉｎの検出値が閾値ＶＨより大きい場合（Ｓ０２のＹＥＳ判定時）、電源回路１０は、ステップＳ０３により、Ｈレベルの制御信号Ｓ１を生成する。これにより、ステップＳ０４では、スイッチング素子Ｔ１がオンされ、図６に示した電流経路が形成される。

【０１０２】

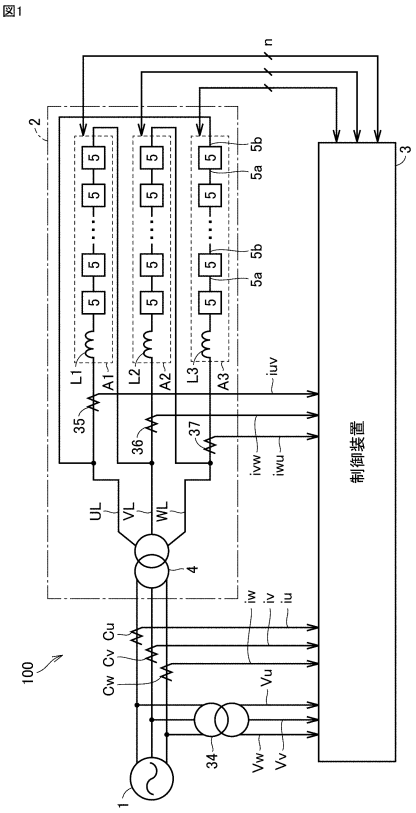
一方、入力電圧Ｖｉｎの検出値が閾値ＶＨ以下である場合（Ｓ０２のＮＯ判定時）には、電源回路１０はさらにステップＳ０９により、入力電圧Ｖｉｎの検出値が閾値ＶＬ（第２の閾値）より小さいか否かを判定する。入力電圧Ｖｉｎの検出値が閾値ＶＬ以上である場合（Ｓ０９のＮＯ判定時）、電源回路１０は、ステップＳ０３に進み、Ｈレベルの制御信号Ｓ１を生成する。したがって、ステップＳ０４により、スイッチング素子Ｔ１がオンされる。

【０１０３】
これに対して、入力電圧Ｖｉｎの検出値が閾値ＶＬより小さい場合（Ｓ０９のＹＥＳ判定時）、電源回路１０は、ステップＳ１０により、Ｌレベルの制御信号Ｓ１を生成する。これにより、ステップＳ１１では、スイッチング素子Ｔ１がオンされ、図５に示した電流経路が形成される。
【０１０４】
次に、電源回路１０は、ステップＳ０５に進み、平滑回路（ＬＰＦ２２）を用いて、制御信号Ｓ１を平均化した信号Ｓ１＃を生成する。電源回路１０は、ステップＳ０６により、信号Ｓ１＃と基準値ＲＥＦとを比較する。
【０１０５】
信号Ｓ１＃が基準値ＲＥＦよりも大きい場合（Ｓ０６のＹＥＳ判定時）、電源回路１０は、抵抗Ｒ２は過負荷状態であると判断してＨレベルの検知信号ＯＶＬを生成する。駆動回路８は、電源回路１０からＨレベルの検知信号ＯＶＬを受けると、ステップＳ０７により、スイッチＳＷをオンすることにより、自己のセル５をバイパスさせる。駆動回路８は、主回路６のフルブリッジ回路のゲート信号を遮断することにより、スイッチング素子Ｑ１～Ｑ４をオフ状態に固定する。
【０１０６】
このように本実施の形態に従う電力変換装置によれば、各セル５は、主回路６の直流コンデンサＣ１から駆動回路８に電源を供給する自己給電回路７を有する。この自己給電回路７は、直流コンデンサＣ１の端子間に抵抗Ｒ１（限流抵抗）と電気的に直列に接続されたコンデンサＣ２を有しており、コンデンサＣ２の電圧（入力電圧Ｖｉｎ）を駆動回路８の電源電圧に変換するように構成される。コンデンサＣ２の端子間には、抵抗Ｒ２（過充電抑制抵抗）およびスイッチング素子Ｔ１（第１のスイッチ）が電気的に直列に接続されており、自己給電回路７は、コンデンサＣ２の電圧の検出値に基づいてスイッチング素子Ｔ１のオンオフを制御することにより、コンデンサＣ２の過充電を抑制するように構成される。自己給電回路７はさらに、スイッチング素子Ｔ１のオンオフを制御するための制御信号Ｓ１に基づいて、抵抗Ｒ２の過負荷状態を検知するように構成される。
【０１０７】
これによると、コンデンサＣ２の過充電を抑制するための抵抗Ｒ２に直列接続されたスイッチング素子Ｔ１のオンオフを制御するための制御信号Ｓ１を用いて、抵抗Ｒ２の過負荷状態を検知することができる。したがって、抵抗Ｒ１の故障の発生などによって抵抗Ｒ２が過熱されて損傷することを防止することができる。
【０１０８】
さらに、制御信号Ｓ１を利用して抵抗Ｒ２の過負荷状態を検知できるため、抵抗Ｒ２の温度を検知するための温度センサ等を必要とせず、簡易な構成で信頼性の高い電力変換装置を実現することができる。
【０１０９】
今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。
【符号の説明】
【０１１０】
１　電力系統、２　ＭＭＣ、３　制御装置、４　変圧器、５　単位変換器（セル）、６　主回路、７　自己給電回路、７ａ，７ｂ　入力端子、５ａ，５ｂ，７ｃ，７ｄ　出力端子、８　駆動回路、９　励磁コイル、１０　電源回路、１２　ＤＣ／ＤＣコンバータ、１４　制御部、１６　電圧制御部、１８　過充電抑制回路、２０　過負荷検知回路、２４　ゲートドライバ、２６　ＳＷドライバ、２８　Ｉ／Ｆ回路、３０，３２，３４　電圧検出器、３５～３７，Ｃｕ，Ｃｖ，Ｃｗ　電流検出器、１００　電力変換装置、ＰＬ　正極線、ＮＬ　負極線、Ｑ１～Ｑ４，Ｔ１，Ｔ２　スイッチング素子、Ｃ１～Ｃ３　コンデンサ、Ｄ１～Ｄ６　ダイオード、Ｒ１，Ｒ２　抵抗、ＣＯＭ１，ＣＯＭ２　比較器、ＲＥＦ

基準値、ＶＨ，ＶＬ　閾値、ＴＲ　トランス、Ｖｉｎ　入力電圧、Ｉｉｎ　入力電流、ＳＷ　スイッチ、ＶＤＣ　コンデンサ電圧、Ｖｃｅｌｌ　セル電圧。

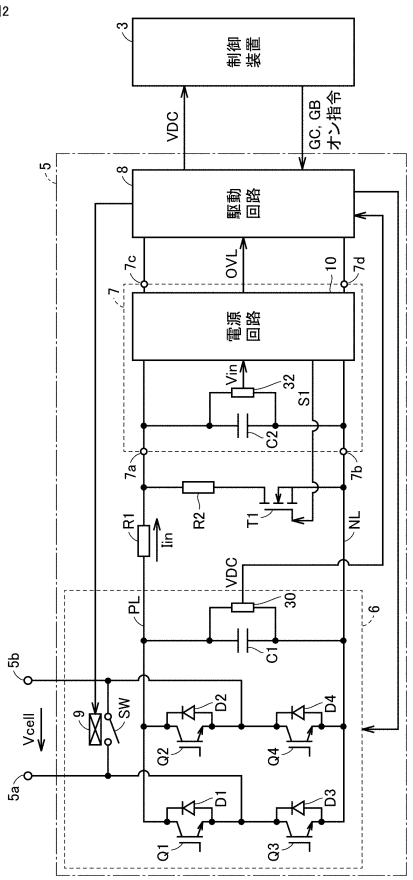
【図１】

図1



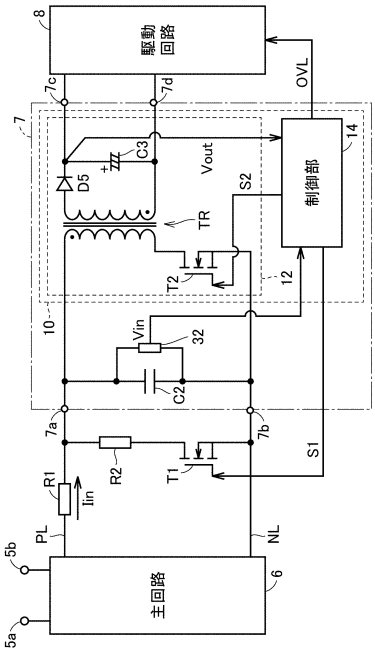
【図２】

図2



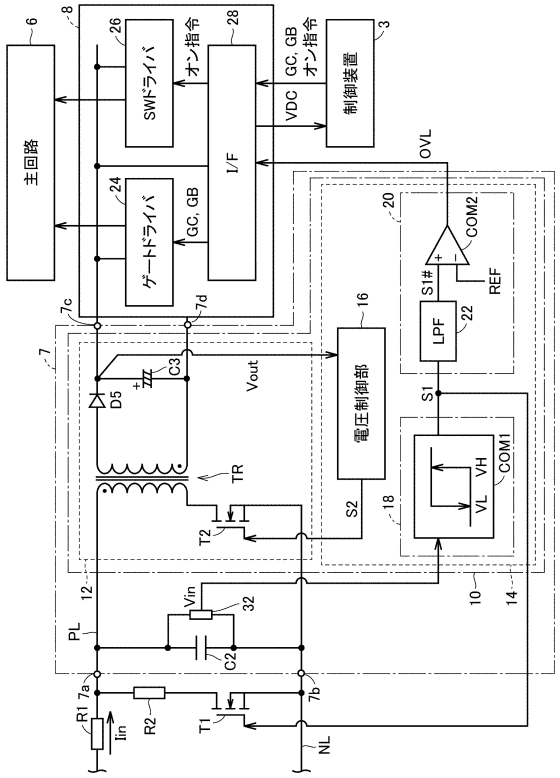
【図３】

図3



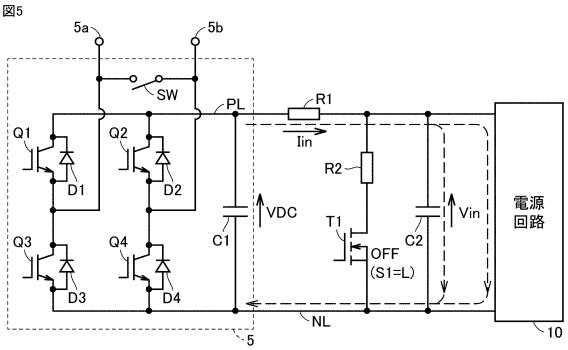
【図４】

図4



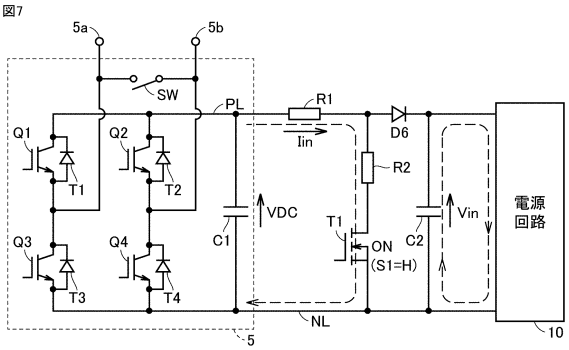
【図５】

図5



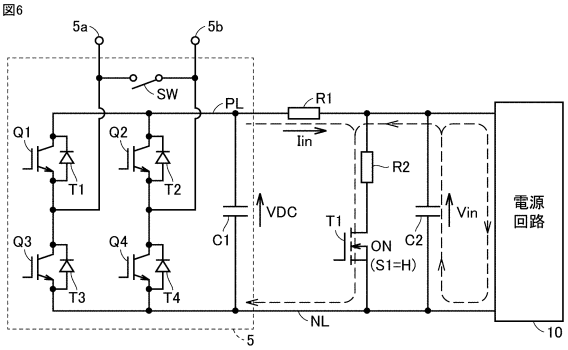
【図７】

図7



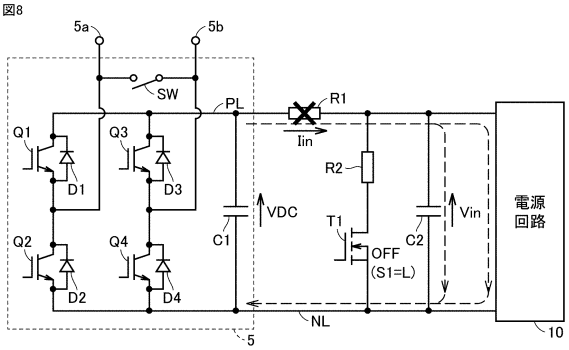
【図６】

図6



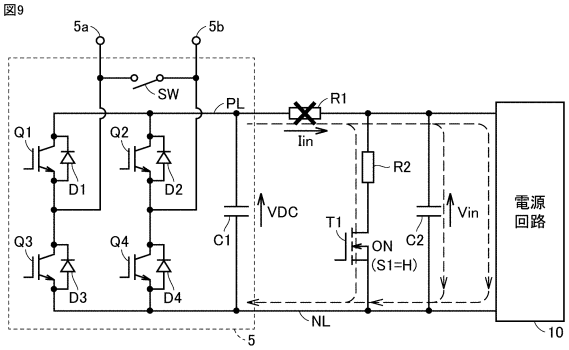
【図８】

図8



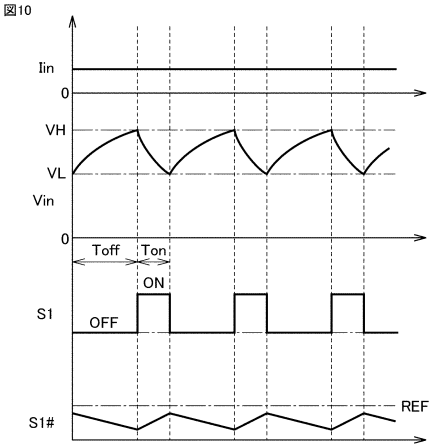
【図９】

図9



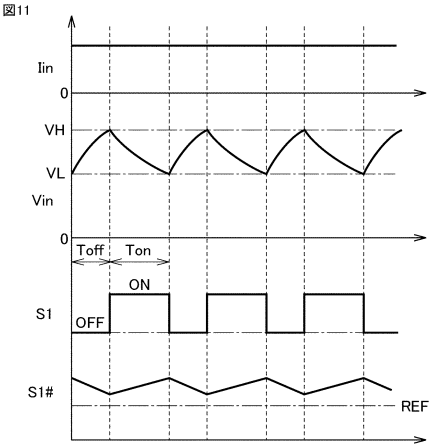
【図１０】

図10



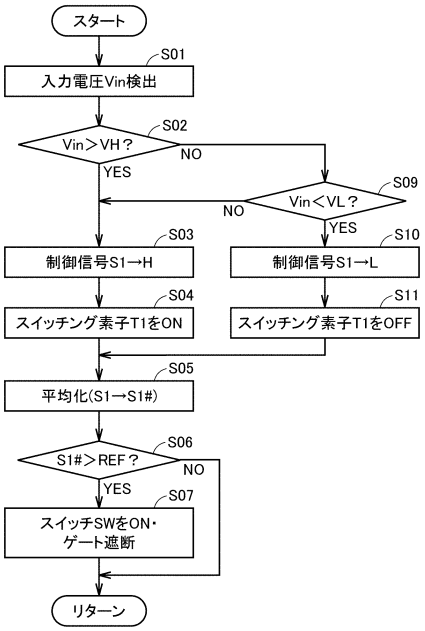
【図１１】

図11



【図１２】

図12



フロントページの続き

審査官　白井　孝治

(56)参考文献　特開２００２－２８１７３７（ＪＰ，Ａ）
実開平０２－０２６３４０（ＪＰ，Ｕ）
特開２０１１－１９３６１５（ＪＰ，Ａ）
国際公開第２０１６／００２３１９（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　７／００～　７／９８
Ｈ０２Ｍ　１／００～　３／４４