

WO 2007/066583 A1



MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL,
SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

出力するレギュレーションモードと、基準電圧 V_{ref} とは無関係に、入力電圧 V_{bat} をそのまま出力するバイパスモードと、が切り替え可能に構成される。電源装置 100 の起動時において、リニアレギュレータ 30 は、入力電圧 V_{bat} が所定のしきい値電圧 V_{th} に達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作する。

明 細 書

電源装置およびそれを用いた電子機器ならびに半導体装置

技術分野

[0001] 本発明は、電源装置に関し、特にノイズの影響を受けずに安定した電圧を生成する技術に関する。

背景技術

[0002] さまざまな電子機器において、電池などから供給される電源電圧よりも高い電圧、あるいは低い電圧を負荷回路に供給するために、昇圧型、あるいは降圧型のスイッチング電源が用いられている。たとえば、特許文献1、2には、スイッチング電源として絶縁型のDC/DCコンバータが開示されている。

[0003] こうしたスイッチング電源は、インダクタあるいはトランスに流れる電流を制御するためのスイッチング素子を備えて構成される。かかるスイッチング電源において、昇圧または降圧動作中に高い周波数でオンオフするスイッチング素子からは、スイッチングノイズが発生する。

特許文献1:特開2004-201474号公報

特許文献2:特開2005-73483号公報

発明の開示

発明が解決しようとする課題

[0004] スwitchング電源は、スイッチング素子のオンオフを制御する制御回路を備えている。この制御回路は、バンドギャップリファレンス回路などの基準電圧源から出力される基準電圧にもとづいて、スイッチング素子をオンオフし、スイッチング電源の出力電圧を安定化させる。

[0005] ここで、スイッチング素子から発生するスイッチングノイズは、電源配線等を介して接続される他の回路ブロックに影響を及ぼすことになる。スイッチングノイズが基準電圧源に入力されると、基準電圧にノイズが重畳されるため、昇圧または降圧動作に支障をきたすおそれがある。

[0006] 本発明はこうした課題に鑑みてなされたものであり、その目的は、ノイズの影響を受

けにくく、安定した電圧を生成可能な電源装置および半導体装置の提供にある。

課題を解決するための手段

- [0007] 本発明のある態様の電源装置は、外部から与えられる入力電圧を安定化するスイッチング電源と、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。リニアレギュレータの出力電圧を、スイッチング電源の制御回路および基準電圧源の電源電圧として供給する。
- [0008] この態様によると、基準電圧源は、リニアレギュレータの出力電圧を電源電圧として基準電圧を生成するため、スイッチング素子において発生するノイズの影響を低減し、ノイズ成分の小さな基準電圧を生成することができる。
- [0009] リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、を切り替え可能に構成するとよい。リニアレギュレータは、本電源装置の起動時において、基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、基準電圧が所定の電圧値を上回ると、レギュレーションモードで動作するようにするとよい。
- [0010] この場合、起動時において、基準電圧がしきい値電圧より低いときには、リニアレギュレータから入力電圧がそのまま出力されるため、基準電圧源には、入力電圧がそのまま供給される。基準電圧源に供給される電圧が上昇すると、基準電圧源が正常動作を開始し、基準電圧が立ち上がり、所定の電圧値を超える。基準電圧が所定の電圧値を超えると、リニアレギュレータがレギュレーションモードで動作するため、基準電圧源には、電源電圧としてリニアレギュレータにより安定化された電圧が供給される。その結果、基準電圧源を含む本電源装置は好適に起動される。
- [0011] リニアレギュレータは、当該リニアレギュレータの出力電圧に応じた帰還電圧および基準電圧が入力された演算増幅器と、制御端子に演算増幅器から出力される誤差電圧が入力され、他端から出力電圧を出力するトランジスタと、バイパスモードにおいて、トランジスタの制御端子の電位を変化せしめて、トランジスタを強制的にオンさせるスイッチ回路と、を備える構成とするとよい。スイッチ回路は、トランジスタの制御端子および電位の固定された端子間に設けられ、バイパスモードにおいてオンするスイ

ッチを含むとよい。

- [0012] バイパスモード時において、スイッチ回路を用いてトランジスタをフルオンさせることにより、リニアレギュレータから、入力電圧をそのまま出力することができる。
- [0013] 基準電圧源は、自らが生成する基準電圧が所定の電圧値に達すると、所定レベルとなるモード制御信号を出力し、リニアレギュレータは、基準電圧源から出力されるモード制御信号が所定レベルとなると、レギュレーションモードに移行するようにするとよい。基準電圧源は、基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづきモード制御信号を生成するとよい。
- [0014] この場合、リニアレギュレータは、基準電圧が所定値に達する前には、バイパスモードとなり入力電圧をそのまま出力し、所定値に達した後は、レギュレーションモードに移行して、安定した基準電圧にもとづいて、入力電圧を安定化することができる。
- [0015] 基準電圧源と、リニアレギュレータと、スイッチング電源の制御回路と、を1つの半導体基板上に一体集積化してもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。
- [0016] スwitchング電源は、入力電圧を昇圧する昇圧型のスイッチングレギュレータであってもよい。この場合、スイッチング素子において発生したノイズが、インダクタやトランスを介して、基準電圧源に回り込むが、基準電圧源は、このノイズの影響を抑えて、安定した基準電圧を生成することができる。
- [0017] 本発明の別の態様は、電子機器である。この電子機器は、電池と、負荷回路と、電池の電圧を入力電圧とし、これを昇圧して負荷回路に供給する上述の電源装置と、を備える。この電子機器は、撮像部をさらに備えてもよい。また、負荷回路は、撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含んでもよい。
- [0018] 本発明の別の態様は、半導体装置に関する。この半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。半導体装置は、リニアレギュレータの出力電圧を、基準電圧源の電源電圧として供給する。

[0019] この態様の半導体装置においても、リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成するとよい。リニアレギュレータは、本半導体装置の起動時において、入力電圧が所定のしきい値電圧に達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作するようにするとよい。

[0020] なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。
発明の効果

[0021] 本発明に係る電源装置および半導体装置によれば、ノイズの影響を低減し、安定した電圧を生成することができる。

図面の簡単な説明

[0022] [図1]実施の形態に係る電源装置の構成を示すブロック図である。

[図2]図1の電源装置を搭載した電子機器の構成を示すブロック図である。

[図3]図1のリニアレギュレータの構成を示す回路図である。

[図4]図1の基準電圧源の構成を示す回路図である。

[図5]図5(a)、(b)は、図1の電源装置の起動時および安定動作時のタイムチャートである。

[図6]図6(a)～(c)は、図1の電源装置の起動時および安定動作時のタイムチャートである。

発明を実施するための最良の形態

[0023] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0024] 図1は、実施の形態に係る電源装置100の構成を示すブロック図である。図2は、図1の電源装置100を搭載した電子機器300の構成を示すブロック図である。電子

機器300は、カメラを搭載した携帯電話端末であり、電池310、通信処理部312、DSP(Digital Signal Processor)314、撮像部316、発光装置200を備える。

[0025] 電池310は、たとえばリチウムイオン電池であり、電子機器300の電源として設けられる。電池310は、電池電圧Vbatとして3〜4V程度の電圧を出力する。DSP314は、電子機器300全体を統括的に制御するブロックであり、通信処理部312、撮像部316、発光装置200と接続されている。通信処理部312は、アンテナ、高周波回路などを含み、基地局との通信を行うブロックである。撮像部316は、CCD(Charge Coupled Device)やCMOSセンサなどの撮像装置である。発光装置200は、撮像部316による撮像の際に、フラッシュとして用いられる光源である。

[0026] 発光装置200は、電源装置100、発光素子212、発光制御回路214を備える。発光素子212としてはキセノンチューブなどが用いられる。電源装置100は、スイッチングレギュレータであって、電池310から供給される電池電圧Vbatを昇圧し、発光素子212に300V程度の駆動電圧Voutを供給する。発光制御回路214は、発光装置200の発光のタイミングを制御する。

[0027] DSP314は、ユーザによる撮像のタイミングと同期してフラッシュ信号FLASHを発光制御回路214に対して出力する。発光制御回路214はフラッシュ信号FLASHが入力されると、発光素子212を発光させる。

[0028] 図1に戻り、電池電圧Vbatを昇圧する電源装置100について説明する。電源装置100は、制御回路110、トランス10、整流用ダイオード12、出力キャパシタC1、バイパスキャパシタC2を含む。

[0029] 図1において、電源装置100のスイッチング制御部40、スイッチングトランジスタTr1、ならび外付けされるトランス10、整流用ダイオード12、出力キャパシタC1がスイッチング電源を構成する。トランス10の1次側コイルの第1端子には、入力電圧Vinとして電池電圧Vbatが印加される。1次側コイルの第2端子は、制御回路110のスイッチング端子102と接続される。また、トランス10の2次側コイルの第1端子には、整流用ダイオード12のアノードが接続され、整流用ダイオード12のカソードと接地端子間には出力キャパシタC1が接続されている。トランス10の2次側コイルの第2端子は接地される。

- [0030] 次に、制御回路110の構成について説明する。制御回路110は、スイッチングトランジスタTr1、スイッチング制御部40に加えて、基準電圧源20、リニアレギュレータ30を含み、ひとつの半導体基板上に一体集積化された機能ICである。
- [0031] スwitchングトランジスタTr1は、NPN型のバイポーラトランジスタであり、スイッチングトランジスタTr1のコレクタは、スイッチング端子102を介してトランス10の1次側コイルに接続され、エミッタは接地されている。スイッチングトランジスタTr1はMOSFETで構成してもよい。
- [0032] スwitchング制御部40は、スイッチングトランジスタTr1のベース電圧を制御して、そのオンオフを制御する。スイッチングトランジスタTr1がオンオフを繰り返すことにより、トランス10の1次側、2次側コイルに交互に電流が流れ、出力キャパシタC1が充電される。出力キャパシタC1からは、外部から与えられた入力電圧 V_{in} を昇圧して得られる出力電圧 V_{out} が出力される。
- [0033] 基準電圧源20は、バンドギャップリファレンス回路であって、所定の基準電圧 V_{ref} を生成する。基準電圧源20には外部から入力されるイネーブル信号ENが、イネーブル端子108を介して入力されてもよい。イネーブル信号ENは、電源装置100の起動とともにハイレベルとなる。イネーブル信号ENがハイレベルのとき、基準電圧源20はオンし、所定の基準電圧 V_{ref} を生成する。
- [0034] リニアレギュレータ30には、電源端子104を介して、入力電圧である電池電圧 V_{bat} が入力されている。リニアレギュレータ30は、基準電圧源20により生成される基準電圧 V_{ref} にもとづき、入力電圧である電池電圧 V_{bat} を安定化して出力する。リニアレギュレータ30の出力端子は、端子106に接続されたバイパスキャパシタC2を介して接地される。
- [0035] 後述するように、リニアレギュレータ30は、基準電圧源20から出力される基準電圧 V_{ref} に応じた電圧を出力するレギュレーションモードと、基準電圧 V_{ref} とは無関係に、電池電圧 V_{bat} をそのまま出力するバイパスモードと、が切り替え可能に構成される。リニアレギュレータ30の2つのモードは、基準電圧源20から出力されるモード制御信号MODEによって切り替えられる。
- [0036] この制御回路110において、リニアレギュレータ30の出力電圧 V_{reg} は、スイッチン

グ電源のスイッチング制御部40および基準電圧源20の電源電圧として供給される。

[0037] 図3は、実施の形態に係るリニアレギュレータ30の構成を示す回路図である。リニアレギュレータ30は、トランジスタTr2、演算増幅器32、第1抵抗R1、第2抵抗R2、スイッチSW1を含む。

[0038] トランジスタTr2は、PチャンネルMOSFETであり、そのソースが電池電圧Vbatの印加されている入力端子34に接続される。リニアレギュレータ30の入力端子34は、制御回路110の電源端子104と接続される。演算増幅器32の反転入力端子には、基準電圧源20から出力される基準電圧Vrefが入力され、その出力端子は、トランジスタTr2の制御端子であるゲートに接続される。トランジスタTr2のドレインは、リニアレギュレータ30の出力端子36に相当し、出力端子36に現れる出力電圧Vregは、第1抵抗R1、第2抵抗R2によって分圧され、演算増幅器32の非反転入力端子に帰還される。演算増幅器32の非反転入力端子に帰還される電圧は、 $V_{out} \times R1 / (R1 + R2)$ で与えられ、この電圧を帰還電圧Vfbという。なお、出力端子36は、制御回路110の端子106と接続される。

[0039] スwitch SW1は、トランジスタTr2のゲートと接地電位端子間に設けられる。このスイッチSW1は、バイパスモードにおいてオン、レギュレーションモードにおいてオフする。バイパスモードにおいて、スイッチSW1がオンすると、トランジスタTr2のゲートが接地電位付近まで強制的に低下するため、トランジスタTr2が強制的にフルオンする。

[0040] バイパスモードにおいて、トランジスタTr2がフルオンすると、ドレインソース間の電位差が非常に小さくなる。その結果、リニアレギュレータ30からは、出力電圧Vregとして、入力電圧Vbatがそのまま出力される。

[0041] 一方、スイッチSW1がオフするレギュレーションモードにおいては、トランジスタTr2のゲート電位は、演算増幅器32によって制御される。レギュレーションモードにおいて、演算増幅器32は、基準電圧Vrefと、帰還電圧Vfbが一致するように、その出力である誤差電圧Verr、すなわちトランジスタTr2のゲート電位を調節する。その結果、リニアレギュレータ30の出力電圧Vregは、 $V_{ref} \times (1 + R2 / R1)$ で与えられる電圧値に安定化される。

[0042] このリニアレギュレータ30は、電源装置100の起動時において、基準電圧Vrefが

所定の電圧値 V_{pd} に達するまでの期間、バイパスモードで動作し、基準電圧 V_{ref} が所定の電圧値 V_{pd} を上回ると、レギュレーションモードで動作する。基準電圧 V_{ref} と比較されるべき所定の電圧値 V_{pd} は、基準電圧 V_{ref} の目標値(通常1.2V程度である)付近に設定するのが望ましい。スイッチSW1のオンオフは、基準電圧源20から出力されるモード制御信号MODEによって制御される。リニアレギュレータ30は、モード制御信号MODEがハイレベルのときスイッチSW1がオンしてバイパスモードに設定され、ローレベルのときスイッチSW1がオフしてレギュレーションモードに設定される。

[0043] 図4は、本実施の形態に係る基準電圧源20の構成を示す回路図である。基準電圧源20は、トランジスタQ1～Q12、抵抗R3～R7、スイッチSW2、を備える。トランジスタQ1、Q2、Q7、Q8、Q9、Q11、Q12は、NPN型バイポーラトランジスタであり、トランジスタQ3、Q4、Q5、Q6、Q10は、PNP型バイポーラトランジスタである。端子22には、リニアレギュレータ30の出力電圧 V_{reg} が入力され、端子24には、電池電圧 V_{bat} が印加される。基準電圧源20は、出力端子26から目標値である1.2V程度の基準電圧 V_{ref} を出力する。

[0044] トランジスタQ1～Q4および抵抗R3は、一般的な熱電圧を用いたバイアス電流源を構成する。すなわち、トランジスタQ1およびトランジスタQ2、トランジスタQ3およびトランジスタQ4のトランジスタペアは、それぞれカレントミラー回路を構成する。トランジスタQ1のコレクタと、トランジスタQ3のコレクタは互いに接続され、トランジスタQ2とトランジスタQ4のコレクタは互いに接続される。抵抗R3は、トランジスタQ2のエミッタと接地間に設けられる。こうした回路構成は、自己バイアス回路として知られ、トランジスタQ4には、定電流 I_{c4} が流れる。

[0045] スイッチSW2は、トランジスタQ3、Q4のエミッタと、リニアレギュレータ30の出力電圧 V_{reg} が印加される端子22の間に設けられる。スイッチSW2はPチャンネルMOSFETであって、ゲートには図示しない外部回路からのイネーブル信号ENが入力される。スイッチSW2がオンすると、基準電圧源20はオンし、基準電圧 V_{ref} を生成する。スイッチSW2がオフすると回路の電流経路が遮断され、基準電圧源20はオフする。スイッチSW2は低電力化のために設けられるものであり、不要であれば省略してもよ

い。

- [0046] トランジスタQ4とQ5、Q6とは、カレントミラーを構成しており、トランジスタQ5、Q6は、トランジスタQ4に流れる定電流 I_{c4} に応じた電流を生成する。トランジスタQ7は、エミッタが接地される。トランジスタQ7のコレクタと、トランジスタQ5のコレクタ間には、抵抗R4が設けられる。また、トランジスタQ7のベースおよびコレクタは、トランジスタQ8のベースと接続される。トランジスタQ8のエミッタと接地間には、抵抗R6が設けられ、そのコレクタと、トランジスタQ5のコレクタ間には抵抗R5が設けられる。トランジスタQ5のコレクタ端子は、基準電圧源20の出力端子26となっており、基準電圧 V_{ref} が現れる。
- [0047] トランジスタQ9のベースは、トランジスタQ8のコレクタと接続され、そのエミッタは接地され、そのコレクタは、トランジスタQ6のコレクタと接続される。
- [0048] トランジスタQ10、Q11、Q12および抵抗R7は、モード制御信号MODEを生成するために設けられている。トランジスタQ10のベースは、トランジスタQ9のコレクタと接続され、エミッタはトランジスタQ11のコレクタと接続される。また、トランジスタQ10のエミッタは、出力端子26と接続される。トランジスタQ11とトランジスタQ12はベース、エミッタが共通接続されたカレントミラー回路を構成する。トランジスタQ12のコレクタと、電池電圧 V_{bat} が印加される端子24の間には、抵抗R7が設けられる。本実施の形態において、トランジスタQ10は、基準電圧 V_{ref} が所定の電圧値 V_{pd} ($\approx 1.2V$) に達するとオンするトランジスタに相当する。
- [0049] 以上のように構成された基準電圧源20は、スイッチSW2がオン状態において、リニアレギュレータ30の出力電圧 V_{reg} が、所定レベル V_{th} より高くなると、バンドギャップリファレンス回路として正常に動作し、 $1.2V$ 程度の基準電圧 V_{ref} を出力する。
- [0050] また、この基準電圧源20は、リニアレギュレータ30の出力電圧 V_{reg} が所定レベルより高くなり、基準電圧 V_{ref} が所定の電圧値 V_{pd} に達すると、トランジスタQ10がオンして、電流 I_{c10} が流れる。このとき、カレントミラー回路を構成するトランジスタQ11、Q12は、トランジスタQ10に流れる電流 I_{c10} に応じた電流 I_{c10}' を生成する。電流 I_{c10}' が抵抗R7に流れると電圧降下が発生するため、モード制御信号MODEはローレベルとなる。

- [0051] リニアレギュレータ30の出力電圧 V_{reg} が所定レベルより低いか、または基準電圧源20がオフ状態のときは、トランジスタQ10はオフになっているため、電流 I_{c10} は流れない。したがって、このとき、抵抗R7には電圧降下は発生しないため、モード制御信号MODEは電池電圧 V_{bat} と等しくなり、ハイレベルとなる。
- [0052] このように、基準電圧源20は、自らが生成する基準電圧 V_{ref} が所定の電圧値 V_{pd} に達すると、所定レベル(ローレベル)となるモード制御信号MODEを出力する。また、上述のように、このモード制御信号MODEは、リニアレギュレータ30に出力されている。したがって、リニアレギュレータ30は、基準電圧源20から出力されるモード制御信号MODEが所定レベル(ローレベル)となると、すなわち、基準電圧 V_{ref} が所定値となると、レギュレーションモードに移行することになる。
- [0053] 以上のように構成された電源装置100の動作について説明する。図5(a)、(b)は、本実施の形態に係る電源装置100の起動時および安定動作時のタイムチャートである。図5(a)は、電池電圧 V_{bat} 、リニアレギュレータ30の出力電圧 V_{reg} 、基準電圧源20の出力である基準電圧 V_{ref} を示す。また、図5(b)は、モード制御信号MODEを示す。図5(a)、(b)および後述の図6(a)～(c)において、説明の明確化のために、縦軸および横軸は適宜拡大または縮小して示すものとする。また、各電圧波形についても、説明の簡略化のために、実際の電圧波形と異なって示される場合がある。
- [0054] 時刻 t_0 に、電源装置100を搭載する電子機器300がオンし、電池電圧 V_{bat} が時間とともに立ち上がる。起動直後においては、モード制御信号MODEはローレベルであり、リニアレギュレータ30はレギュレーションモードとなっているが、演算増幅器32がオフしており、また基準電圧 V_{ref} が0Vであるため、その出力電圧 V_{reg} は0Vとなっている。
- [0055] 時刻 $t_0 \sim t_1$ の期間、基準電圧源20の電流 I_{c10}' は流れず、抵抗R7に電圧降下が発生しないため、モード制御信号MODEと、電池電圧 V_{bat} もほぼ等しくなり、時間とともに上昇していく。時刻 t_1 に、モード制御信号MODEの電圧値が、リニアレギュレータ30のスイッチSW1をオンする電圧 V_t より大きくなると、すなわちハイレベルとなると、バイパスモードとなり、 $V_{bat} \doteq V_{reg}$ となる。
- [0056] 時刻 t_1 以降、基準電圧源20の端子22には、リニアレギュレータ30から、電池電圧

Vbatにほぼ等しい出力電圧Vregが印加される。また、モード制御電圧MODEの電圧値は、電池電圧Vbatにともない上昇していく。基準電圧源20の端子22に印加されるリニアレギュレータ30の出力電圧Vreg(=Vbat)が所定レベルVthに達すると、基準電圧源20はオン状態となり、基準電圧Vrefが所定値(=1.2V)に安定化される。基準電圧源20がオン状態となると、トランジスタQ10がオンし、モード制御信号MODEはローレベルとなる。

[0057] 時刻t2にモード制御信号MODEがローレベルとなると、スイッチSW1がオフするため、リニアレギュレータ30は、レギュレーションモードに移行する。時刻t2以降、リニアレギュレータ30の出力電圧Vregは、 $V_{ref} \times (1 + R2/R1)$ で与えられる電圧値に安定化される。

[0058] 図6(a)～(c)は、本実施の形態に係る電源装置100の起動時および安定動作時のタイムチャートであり、電池電圧Vbatが一定を仮定した場合のタイムチャートである。

[0059] 時刻t0に、イネーブル信号ENがハイレベルとなり、スイッチSW2がオンする。起動直後において、モード制御信号MODEはハイレベルとなり、基準電圧源20はバイパスモードとして動作する。リニアレギュレータ30がバイパスモードとして動作するとき、トランジスタTr2はフルオンし、電池からトランジスタTr2を介してバイパスキャパシタC2に電流が流れ込み、ある時定数をもってリニアレギュレータ30の出力電圧Vregが上昇する。

[0060] リニアレギュレータ30の出力電圧Vregの上昇にともない、基準電圧源20が動作を開始する。その結果、時刻t1に基準電圧Vrefが所定の電圧値Vpdに達し、モード制御信号MODEがハイレベルからローレベルへと遷移する。時刻t1以降、リニアレギュレータ30はレギュレーションモードに移行し、基準電圧Vrefに基づいた電圧生成を行う。

[0061] 本実施の形態に係る電源装置100によれば、基準電圧Vrefを生成する基準電圧源20の電源を、その基準電圧Vrefにもとづき電圧安定化するリニアレギュレータ30の出力電圧Vregとしている。その結果、スイッチングレギュレータにおいて発生するスイッチングノイズが、電池電圧Vbatに重畳された場合においても、ノイズ成分の小

さな安定した基準電圧Vrefを生成することができ、さらにリニアレギュレータ30の出力電圧Vregをも安定化することができる。

[0062] また、本実施の形態に係る電源装置100においては、リニアレギュレータ30を、レギュレーションモードと、バイパスモードと、を切り替え可能に構成する。さらに、リニアレギュレータ30は、基準電圧源20により生成される基準電圧Vrefが所定の電圧値Vpdに達するまでの期間、バイパスモードで動作し、基準電圧Vrefが所定の電圧値Vpdを上回ると、レギュレーションモードで動作する。これによって、起動時において、基準電圧Vrefが所定の電圧値Vpdより低いときには、リニアレギュレータ30が電池電圧Vbatをそのまま出力するため、基準電圧源20には、電池電圧Vbatが供給される。基準電圧Vrefが所定の電圧値Vpdを超えると、基準電圧源20には、電源電圧としてリニアレギュレータ30により安定化された電圧Vregが供給される。その結果、基準電圧源20を含む電源装置100を好適に起動することができる。

[0063] また、リニアレギュレータ30に、スイッチSW1を設け、バイパスモード時において、スイッチ回路を用いてトランジスタTr2をフルオンさせることにより、リニアレギュレータ30から、入力電圧である電池電圧Vbatをそのまま出力することができる。

[0064] また、本実施の形態において、基準電圧源20は、自らが生成する基準電圧Vrefが所定の電圧値Vpdに達すると、所定レベル(ローレベル)となるモード制御信号MODEを出力する。リニアレギュレータ30は、基準電圧源20から出力されるモード制御信号MODEにもとづき、レギュレーションモード、バイパスモードを切り換える。その結果、リニアレギュレータ30は、基準電圧Vrefが所定値(1.2V)に達する前には、バイパスモードとして電池電圧Vbatをそのまま出力し、所定の電圧値Vpdに達した後は、レギュレーションモードに移行して、安定した基準電圧Vrefにもとづいて、電池電圧Vbatを安定化することができる。

[0065] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0066] 実施の形態では、基準電圧源20およびリニアレギュレータ30を、トランスを用いた昇圧型のスイッチングレギュレータを備える電源装置に適用する場合について説明

したがこれには限定されない。たとえば、スイッチングレギュレータはインダクタを用いる非絶縁型であってもよいし、あるいは降圧型、昇降圧型であってもよい。さらに、スイッチングレギュレータに替えて、チャージポンプ回路などのスイッチング電源であってもよい。

[0067] 実施の形態において、図3で説明したリニアレギュレータ30の構成は一例にすぎず、さまざまな形式のリニアレギュレータを用いることができる。図3では、スイッチSW1をトランジスタTr2のゲートと接地間に設け、トランジスタTr2をフルオンさせることにより、バイパスモードを実現したが、これに限定されることはなく、トランジスタTr2をフルオンさせるスイッチ回路であれば、他の回路形式であってもよい。さらに、図3では、バイパスモードにおいて、トランジスタTr2自体をフルオンさせて入力電圧である電池電圧Vbatをそのまま出力する構成としたが、これには限定されず、バイパスモードにおいてフルオンするバイパス用のトランジスタを、トランジスタTr2と並列に設けてもよい。

[0068] また、図4で説明した基準電圧源20の構成は一例にすぎず、さまざまな形式のバンドギャップレギュレータ回路等の定電圧源を用いることができる。

[0069] 実施の形態では、リニアレギュレータ30のレギュレーションモード、バイパスモードを切り換えるモード制御信号MODEを、基準電圧源20において生成する場合について説明したが、これには限定されない。モード制御信号MODEは、他の回路ブロックにおいて別途生成してもよい。

[0070] 実施の形態では、制御回路110を1つの半導体基板上に一体集積化する場合について説明したが、これには限定されず、その一部をチップ部品やディスクリート素子を用いて構成してもよいし、あるいは複数の半導体基板上に集積化してもよい。これらの回路構成は、回路に要求される仕様に応じて適宜設計すればよい。

[0071] 実施の形態で用いたトランジスタは、バイポーラトランジスタ、MOSFETの置換が可能であることはいうまでもなく、さらにNPN型とPNP型、あるいはNチャンネルとPチャンネルの置換も可能である。

[0072] 本発明は、実施の形態で説明した電源装置の他にも、基準電圧源20およびリニアレギュレータ30を備えるさまざまな半導体装置に用いることができる。この場合、本発

明は、以下の態様として把握することができる。すなわち、この態様において、半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧 V_{in} を安定化するリニアレギュレータと、を備える。さらに、リニアレギュレータの出力電圧は、基準電圧源の電源電圧として供給される。

[0073] この態様においても、上述の実施の形態で説明したものと同様に、ノイズ成分を低減した基準電圧を生成することができる。たとえば、この態様の半導体装置は、ノイズが発生する回路に好適に使用することができ、たとえば、モータドライバ回路などを挙げることができる。

[0074] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

産業上の利用可能性

[0075] 本発明は、電子回路に利用することができる。

請求の範囲

- [1] 外部から与えられる入力電圧を安定化するスイッチング電源と、
所定の基準電圧を生成する基準電圧源と、
前記基準電圧源により生成される前記基準電圧にもとづき、前記入力電圧を安定化するリニアレギュレータと、
を備え、
前記リニアレギュレータの出力電圧を、前記スイッチング電源の制御部および前記基準電圧源の電源電圧として供給することを特徴とする電源装置。
- [2] 前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、
当該リニアレギュレータは、本電源装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項1に記載の電源装置。
- [3] 前記リニアレギュレータは、
前記リニアレギュレータの出力電圧に応じた帰還電圧および前記基準電圧が入力された演算増幅器と、
制御端子に前記演算増幅器から出力される誤差電圧が入力され、一端に前記入力電圧が印加され、他端から前記出力電圧を出力するトランジスタと、
前記バイパスモードにおいて、前記トランジスタの制御端子の電位を変化せしめて、前記トランジスタを強制的にオンさせるスイッチ回路と、
を備えることを特徴とする請求項2に記載の電源装置。
- [4] 前記スイッチ回路は、
前記トランジスタの制御端子および電位の固定された端子間に設けられ、前記バイパスモードにおいてオンするスイッチを含むことを特徴とする請求項3に記載の電源装置。
- [5] 前記基準電圧源は、自らが生成する前記基準電圧が所定の電圧値に達すると、所

定レベルとなるモード制御信号を出力し、

前記リニアレギュレータは、前記基準電圧源から出力される前記モード制御信号が前記所定レベルとなると、レギュレーションモードに移行することを特徴とする請求項2に記載の電源装置。

[6] 前記基準電圧源は、

前記基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづき前記モード制御信号を生成することを特徴とする請求項5に記載の電源装置。

[7] 前記基準電圧源と、

前記リニアレギュレータと、

前記スイッチング電源の制御部と、

を1つの半導体基板上に一体集積化したことを特徴とする請求項1から6のいずれかに記載の電源装置。

[8] 前記スイッチング電源は、前記入力電圧を昇圧する昇圧型のスイッチングレギュレータであることを特徴とする請求項1から6のいずれかに記載の電源装置。

[9] 電池と、

負荷回路と、

前記電池の電圧を入力電圧とし、これを昇圧して前記負荷回路に供給する請求項8に記載の電源装置と、

を備えることを特徴とする電子機器。

[10] 撮像部をさらに備え、

前記負荷回路は、前記撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含むことを特徴とする請求項9に記載の電子機器。

[11] 所定の基準電圧を生成する基準電圧源と、

前記基準電圧源により生成される前記基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、

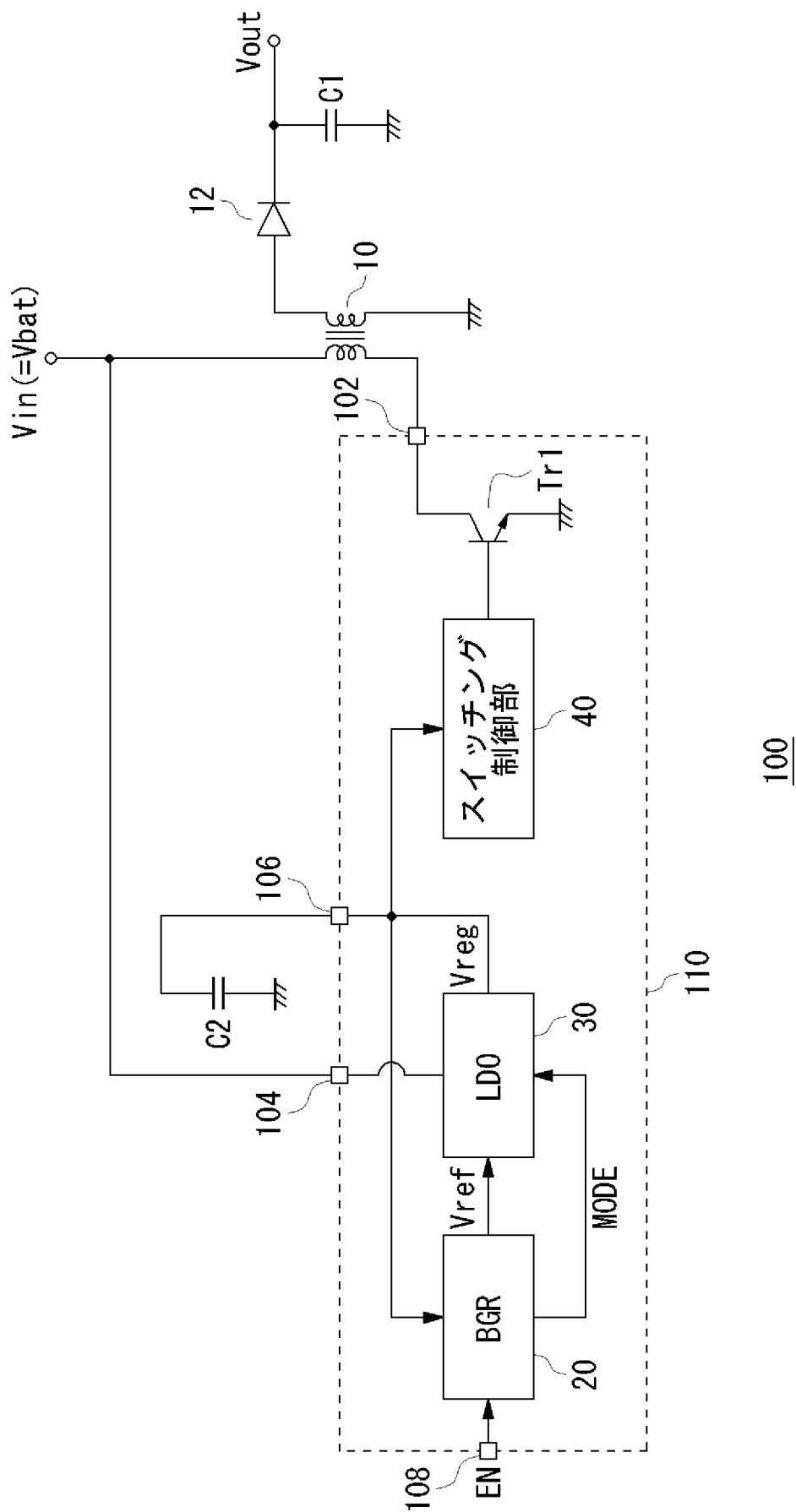
を備え、

前記リニアレギュレータの出力電圧を、前記基準電圧源の電源電圧として供給することを特徴とする半導体装置。

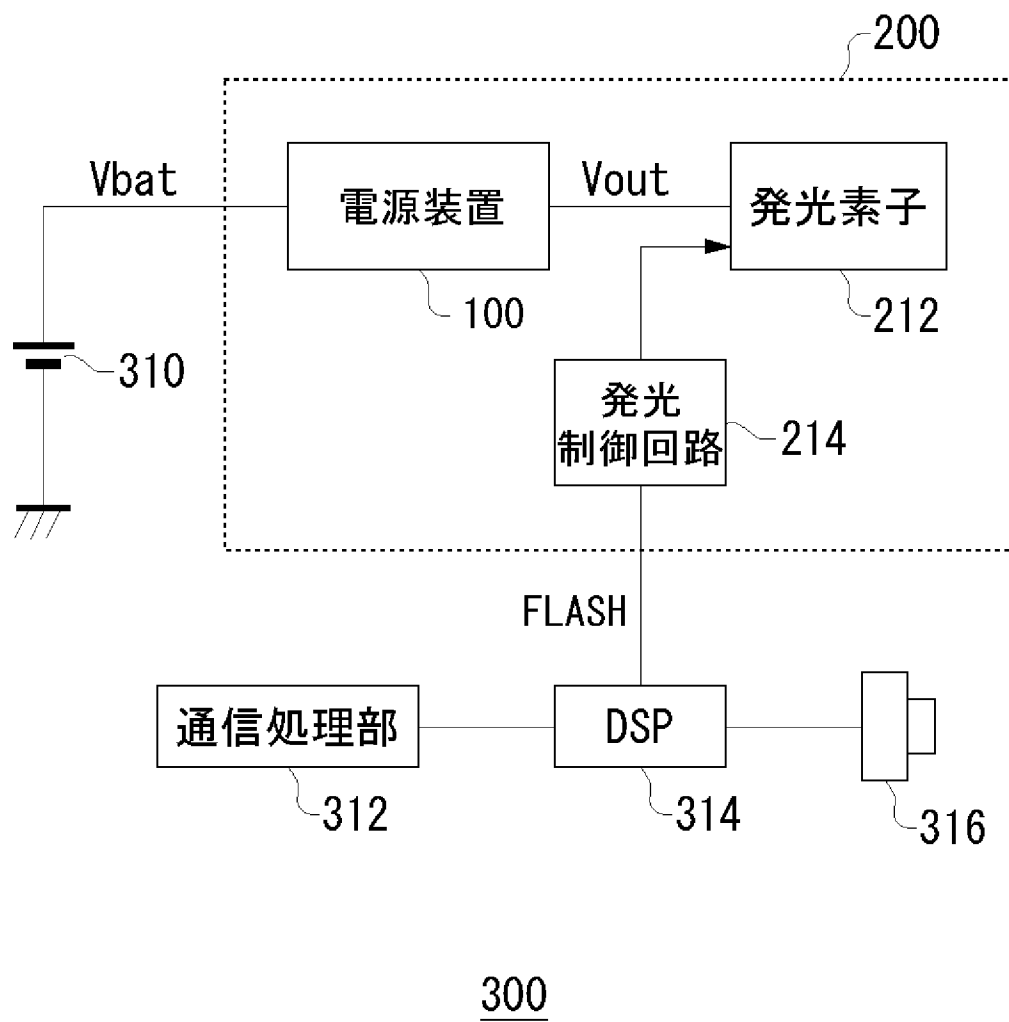
[12] 前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、

当該リニアレギュレータは、本半導体装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項1に記載の半導体装置。

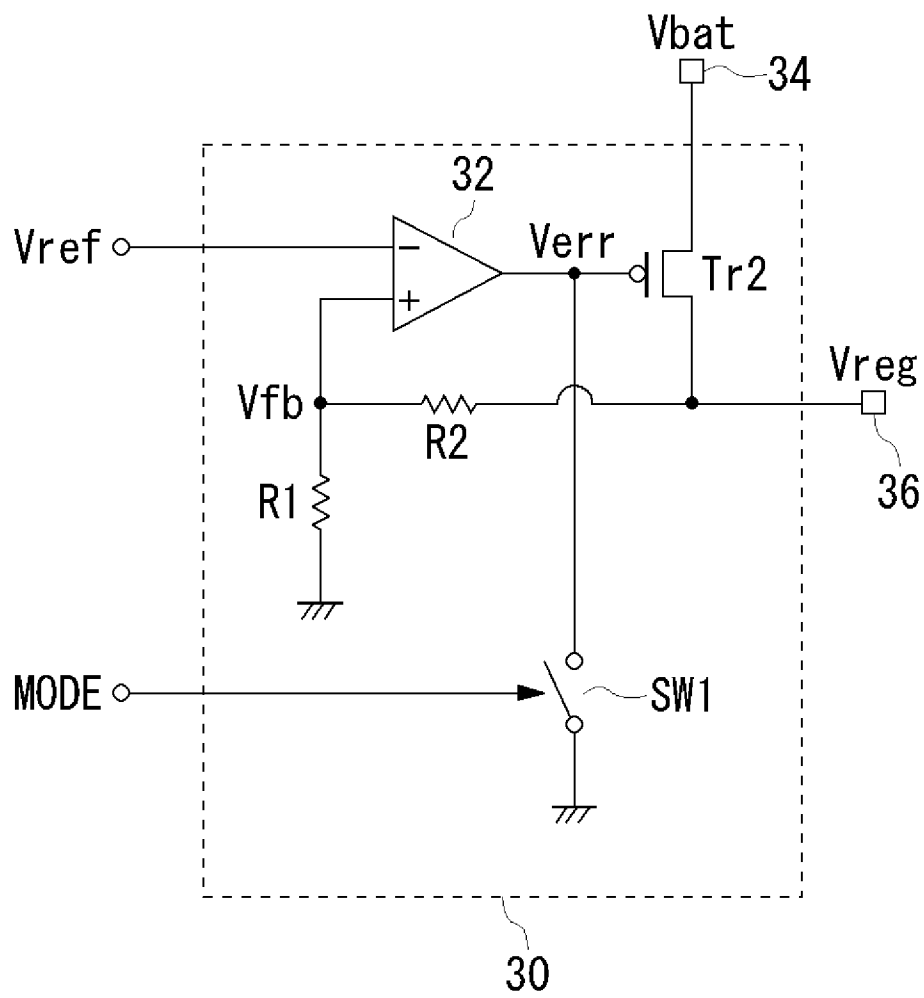
[図1]



[図2]

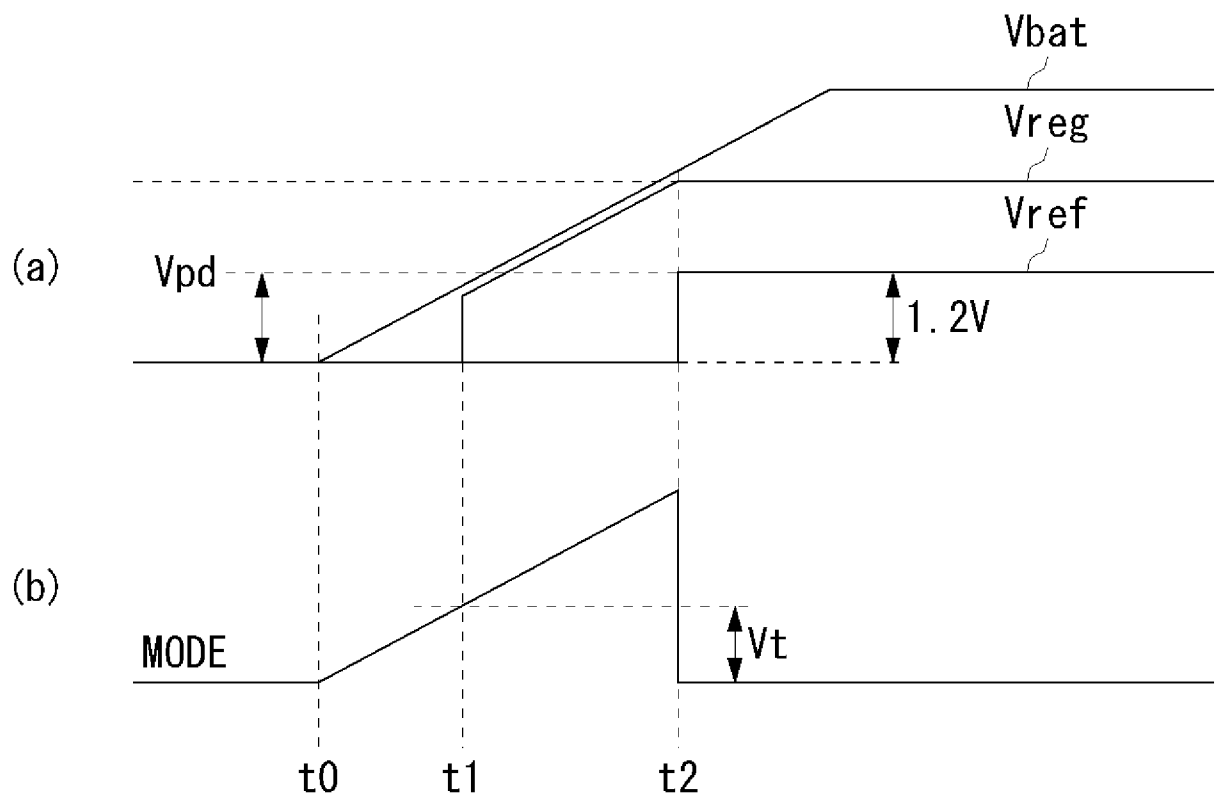


[図3]

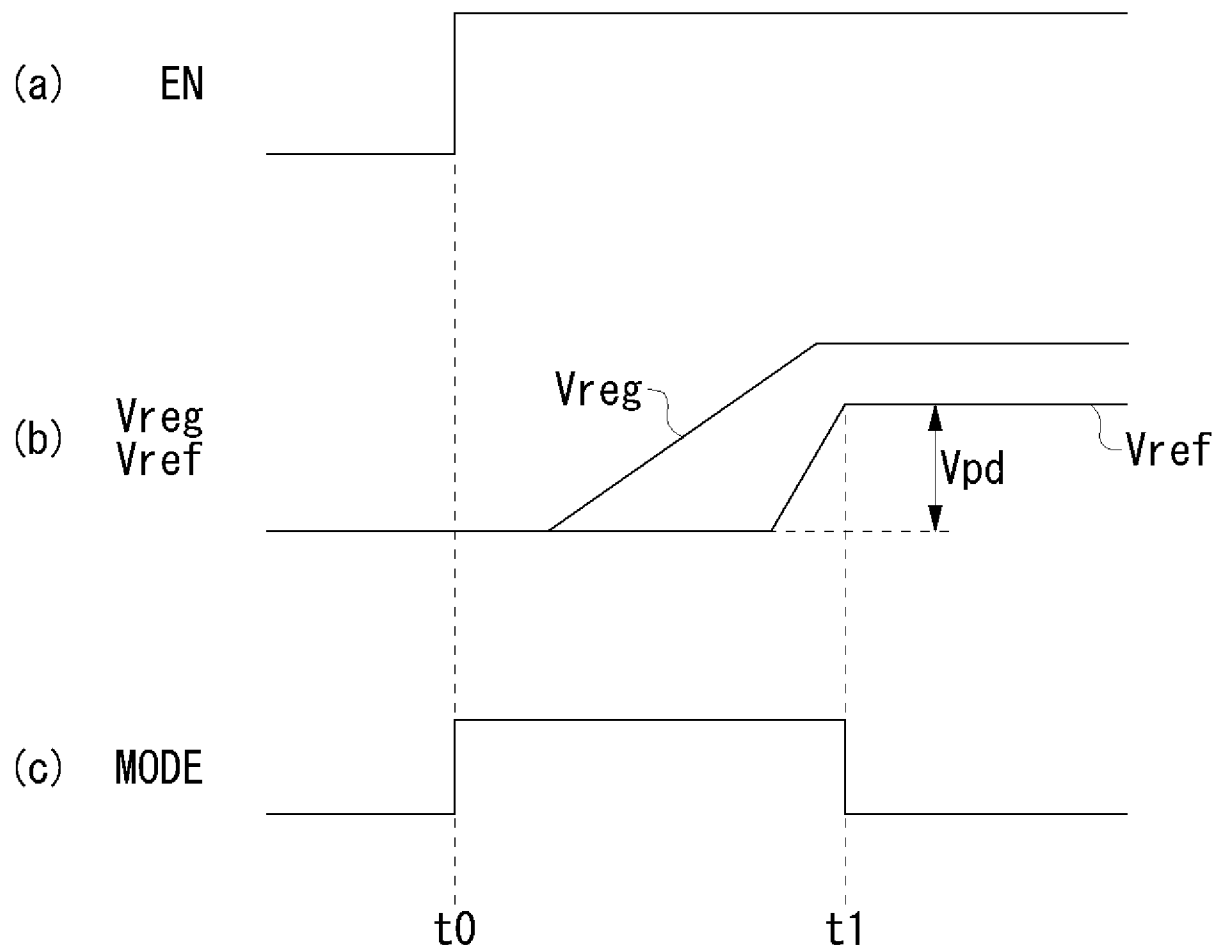


[illegible]

[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/324029

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01) i, G05F1/56(2006.01) i, G05F3/30(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28, G05F1/56, G05F3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-32899 A (Murata Mfg. Co., Ltd.), 29 January, 2004 (29.01.04), Par. Nos. [0011] to [0024]; Fig. 4 (Family: none)	1-12
Y	JP 5-35344 A (Sanyo Electric Co., Ltd.), 12 February, 1993 (12.02.93), Par. Nos. [0014] to [0029]; Figs. 1, 3 (Family: none)	1-12
Y	JP 2002-315335 A (Canon Inc.), 25 October, 2002 (25.10.02), Full text; all drawings (Family: none)	7-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 February, 2007 (26.02.07)

Date of mailing of the international search report
06 March, 2007 (06.03.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H02M3/28(2006.01)i, G05F1/56(2006.01)i, G05F3/30(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/28, G05F1/56, G05F3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-32899 A（株式会社村田製作所）2004.01.29, 段落【0011】 - 【0024】、図4（ファミリーなし）	1-12
Y	JP 5-35344 A（三洋電機株式会社）1993.02.12, 段落【0014】 - 【0029】、図1,3（ファミリーなし）	1-12
Y	JP 2002-315335 A（キャノン株式会社）2002.10.25, 全文、全図（ファミリーなし）	7-10

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日
 2 6 . 0 2 . 2 0 0 7

国際調査報告の発送日
 0 6 . 0 3 . 2 0 0 7

国際調査機関の名称及びあて先
 日本国特許庁（I S A / J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	3 V	3 3 2 8
杉浦 貴之		
電話番号 03-3581-1101 内線	3 3 5 8	