

公告本

申請日期：89.5.12

案號：89109113

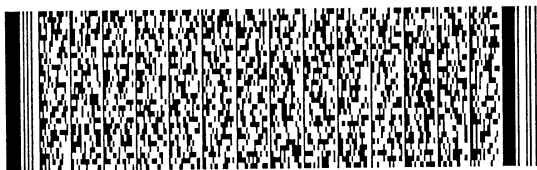
類別：H01L 27/08

(以上各欄由本局填註)

發明專利說明書

492181

一、 發明名稱	中 文	半導體裝置及其製造方法
	英 文	Semiconductor Device and Manufacturing Method Thereof
二、 發明人	姓 名 (中文)	1. 吉山健司 2. 東谷惠市
	姓 名 (英文)	1. Kenji YOSHIYAMA 2. Keiichi HIGASHITANI
	國 籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號三菱電機株式會社內 2. 日本國東京都千代田區丸の内二丁目2番3號三菱電機株式會社內
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. 三菱電機株式會社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 谷口一郎
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/06/10 11-163929

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景

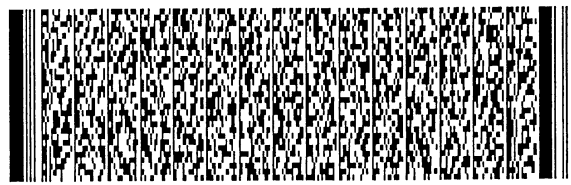
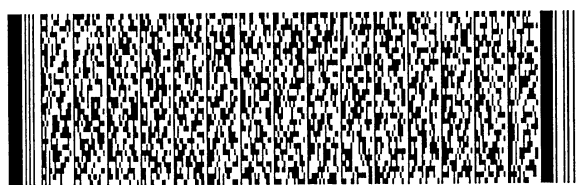
本發明係關於一種具有自動對準接觸構造之半導體裝置及其製造方法。

背景技術之說明

習知以來，已開始使用一種對用以保護閘極的膜自動對準地形成與源極/汲極區域連接之接觸孔的自動對準接觸(Self Align Contact(以下，稱為「SAC」)構造。此構造，由於無須考慮閘極之位置，即可形成到達源極/汲極區域的接觸孔，所以藉由將電晶體構造細微化，而使半導體裝置細微化所需的構造。因而，也開始多採用於習知之DRAM(靜態隨機存取記憶體)中。但是，可適用於該等的SAC構造，係一種雖在閘極上有高熔點金屬矽化物膜，但是在源極/汲極區域上卻無高熔點金屬矽化物膜的SAC構造。

近年來，為了更加提升半導體裝置之性能，而有必要縮小在源極/汲極區域與接觸配線之間所產生的接觸電阻。因此，在源極/汲極區域上與閘極上之雙方表面上形成有高熔點金屬矽化物膜的接觸構造，特別在邏輯系之元件方面成為主流。

然而，當利用高熔點金屬膜覆蓋矽基板之全表面，並施加熱處理，藉以使矽與高熔點金屬起反應，且在源極/汲極區域上與閘極上之雙方表面上進行同時形成高熔點金屬矽化物膜的習知自動對準矽化物製程時，就無法形成用以覆蓋閘極的保護膜。因此，在具有用以覆蓋閘極的保護膜



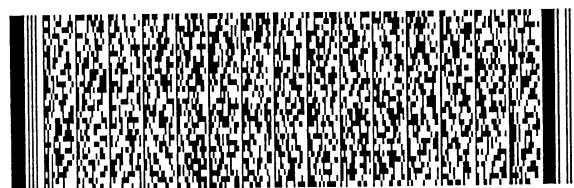
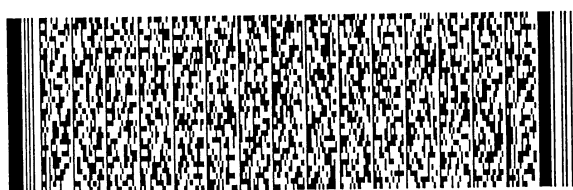
五、發明說明 (2)

之狀態下，無法形成用以連接源極/汲極區域之接觸孔。其理由，係因依習知自動對準矽化物製程所進行的半導體裝置之製造方法係如以下所示者之故。以下，係使用圖25至圖40加以說明習知半導體裝置之製造方法，該製造方法主要係利用自動對準矽化物製程使閘極之上面及源極/汲極區域之上面同時矽化物化的技術。

首先，在P型矽基板101上形成用以隔離元件形成區域的隔離氧化膜102。其次，在元件形成區域上形成作為閘極絕緣膜且膜厚例如為3nm的矽氧化膜104。之後，在矽氧化膜104上形成膜厚200nm的多晶矽膜103，且形成如圖25所示的狀態。其次，如圖26所示，在多晶矽膜103上進行光阻膜108之圖案形成。之後，將光阻膜108當作光罩並進行蝕刻以至作為閘極氧化膜之矽氧化膜104的表面露出為止，之後去除光阻膜108，以形成用以構成如圖27所示之閘極的多晶矽膜103。

其次，將多晶矽膜103當作光罩，在進行用以形成源極/汲極區域110之雜質植入之後，形成側壁絕緣膜，例如由矽氮化膜所構成的側壁矽氮化膜109。之後，進行用以形成源極/汲極區域111的雜質植入，以形成LDD(輕摻雜汲極：Lightly Doped Drain)構造，並形成圖28所示的狀態。

其次，在堆積高熔點金屬膜以覆蓋矽基板101之全面的狀態，進行熱處理，以將高熔點金屬矽化物膜106，形成於多晶矽膜103之上面及源極/汲極區域111之上面，且在



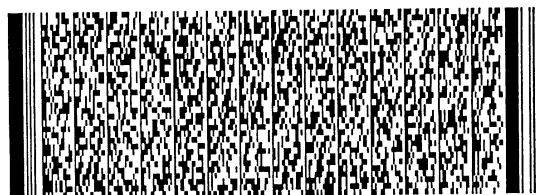
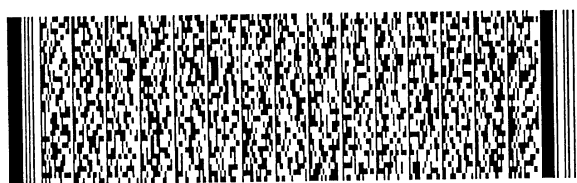
五、發明說明 (3)

形成閘極136之後，去除未反應之高熔點金屬膜，以形成如圖29所示的狀態。

其次，形成NSG膜(非摻雜矽酸玻璃：Non Doped Silicate Glass)114以覆蓋矽基板101之全表面。之後，在NSG膜114之上形成矽氮化膜115。其次，在矽氮化膜115之上形成BPSG(硼磷矽酸玻璃：Boro Phospho Silicate Glass)膜116。之後，使用CMP(化學機械研磨：Chemical Mechanical Polishing)法進行BPSG膜116之表面平坦化，以形成如圖30所示的狀態。

其次，為了形成到達源極/汲極區域110、111上之高熔點金屬矽化物膜106的接觸孔131、132，而在光阻膜之圖案形成之後，進行蝕刻以至矽氮化膜115之表面露出為止。之後，以依序蝕刻矽氮化膜115、NSG膜114的方式更加往下挖接觸孔131、132，並進行蝕刻以至高熔點金屬矽化物膜106的表面露出為止，以形成如圖31所示的狀態。其次，在接觸孔131、132內埋設接觸栓塞131a、132a，以形成如圖32所示的狀態。

在具有依上述製造方法所製造的習知SAC構造之半導體裝置中，如圖31所示，在形成接觸孔131時，由於無法在閘極136上形成具有保護膜功能的膜，所以當到達源極/汲極區域110、111上之高熔點金屬膜106的接觸孔131之形成位置偏位於閘極136側時，則不僅源極/汲極區域110、111上之高熔點金屬矽化物膜106的表面，就連閘極136上之高熔點金屬矽化物膜106之表面也會露出藉此，如圖32所



五、發明說明 (4)

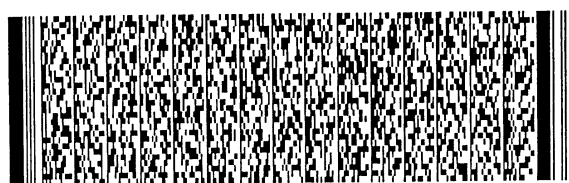
示，當在接觸孔131內埋設接觸栓塞131a時，就會造成閘極136與源極/汲極區域110、111短路的構造。

因此，可考慮預先在閘極136上，形成具有保護膜功能的矽氮化膜。以下，係使用圖33至圖40，說明在閘極上，預先形成具有保護膜功能的矽氮化膜之半導體裝置之製造方法。

首先，在形成如圖25所示的狀態之前係進行與上述半導體裝置之製造方法相同的步驟。其次，如圖33所示，在多晶矽膜103上形成矽氮化膜107。之後，如圖34所示，在矽氮化膜107上進行光阻膜108之圖案形成。之後，將光阻膜108當作光罩並進行蝕刻以至作為閘極氧化膜之矽氧化膜104的表面露出為止，之後去除光阻膜108，以形成用以構成如圖35所示之閘極的多晶矽膜103及用以保護閘極的矽氮化膜107。

其次，將多晶矽膜103及矽氮化膜107當作光罩，在進行用以形成源極/汲極區域110之雜質植入之後，將側壁絕緣膜，例如由矽氮化膜所構成的側壁矽氮化膜109，形成於多晶矽膜103及矽氮化膜107之側面上。之後，進行用以形成源極/汲極區域111的植入作業，以形成輕摻雜汲極LDD構造，並形成圖36所示的狀態。

其次，以堆積高熔點金屬膜覆蓋矽基板101之全面的狀態，施加熱處理，以只在源極/汲極區域111之上面形成高熔點金屬矽化物膜106之後，去除未反應之高熔點金屬膜，以形成如圖37所示的狀態。



五、發明說明 (5)

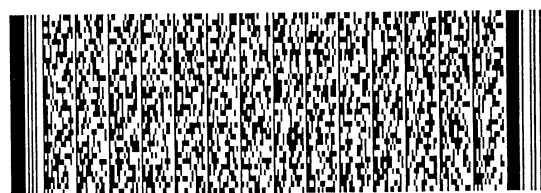
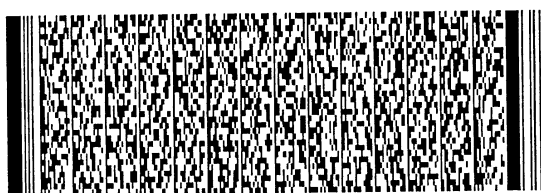
其次，利用與位在上述閘極上形成保護膜之習知半導體裝置之製造方法同樣的步驟依序形成NSG膜114、矽氮化膜115及BPSG膜116，用以覆蓋矽基板101之全表面，而形成如圖38所示的狀態。

其次，為了形成到達源極/汲極區域111上之高熔點金屬矽化物膜106的接觸孔131、132，而在進行光阻膜之圖案形成之後，與未在上述閘極上形成保護膜之習知半導體裝置之製造方法同樣地，依序蝕刻BPSG膜116、矽氮化膜115、NSG膜114，以至源極/汲極區域上之高熔點金屬矽化物膜106之表面露出為止，而形成如圖39所示的狀態。之後，形成埋設於接觸孔131、132內的接觸栓塞131a、132a，而形成如圖40所示的狀態。

在上述作為閘極之多晶矽膜103上形成作為保護膜的矽氮化膜107之半導體裝置之製造方法中，由於係將矽氮化膜107形成於用以構成閘極之多晶矽膜103的正上方，所以在閘極之上無法形成高熔點金屬矽化物膜。藉此，閘極之導電性就會降低。

為了解決此問題，日本專利特開平9-326440號公報及特開平8-250603號公報中揭示一種如下之技術。即，揭示一種將高熔點金屬矽化物膜形成於閘極上及源極/汲極區域上，更在形成保護膜以覆蓋用以構成閘極之高熔點金屬矽化物膜的保護膜之狀態下，對保護膜自動對準形成連接源極/汲極區域之接觸孔的技術。

上述日本專利特開平9-326440號公報及特開平8-250603



五、發明說明 (6)

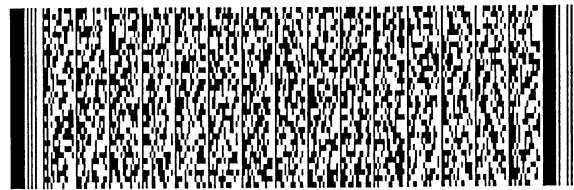
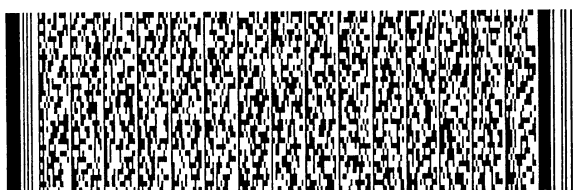
號公報中所揭示的發明中，形成於閘極上之高熔點金屬矽化物膜係由鎢矽化物膜所形成。藉此，就會發生多晶矽膜之雜質被吸引至由鎢矽化物膜所構成的高熔點金屬矽化物膜中，或與之相對的相互擴散現象。因此，會發生在多晶矽膜內部形成有空乏層的不良現象。因相互擴散現象而形成空乏層的不良現象，在細微化之雙閘(Dual gate)構造中就更特別顯著發生，且會妨礙半導體裝置之細微化。

又，形成到達由保護膜所覆蓋之閘極及配線層之接觸孔的步驟，由於係進行如貫穿保護膜的蝕刻，所以無法與對用以覆蓋如上述之閘極的保護膜自動對準地形成到達源極/汲極區域之接觸孔的步驟同時執行。結果，有必要分別個別進行接觸孔之形成步驟，而會增多步驟數。

發明之概述

本發明之目的，係在於提供一種更可細微化的半導體裝置及其製造方法，而且其他的目的，係在於減低用以形成到達具有保護膜之閘極及配線層的接觸孔之步驟數。

本發明之半導體裝置，其係包含有：矽基板，在源極/汲極區域之上面具有與堆積於主表面上之高熔點金屬膜反應所形成的第一高熔點金屬矽化物膜；閘極，形成於由源極/汲極區域所夾住之區域的矽基板上，且在上面具有含矽之膜及與堆積於含該矽之膜上之高熔點金屬膜反應所形成的第二高熔點金屬矽化物膜；第一絕緣膜，形成用以覆蓋閘極之表面；第二絕緣膜，形成用以覆蓋第一絕緣膜及第一高熔點金屬矽化物膜之表面，而其預定蝕刻條件之蝕



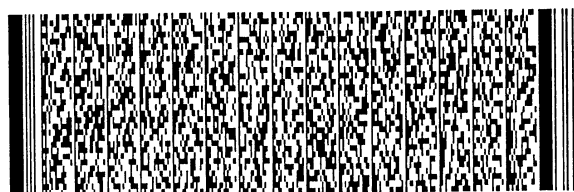
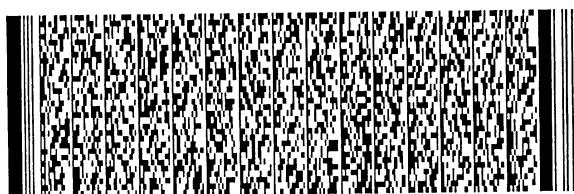
五、發明說明 (7)

刻速度係大於第一絕緣膜；以及接觸孔，形成貫穿第二絕緣膜至源極/汲極區域之一方表面上。

藉由形成此種構造，由於閘極係由在預定的蝕刻條件下蝕刻速度大於第二絕緣膜，亦即，相對於預定蝕刻氣體之蝕刻速度相對大於第二絕緣膜的第一絕緣膜所覆蓋，所以可對第一絕緣膜自動對準地將到達源極/汲極區域之一方上面的接觸孔形成於第二絕緣膜上。因此，即使接觸孔之形成位置多少偏位於閘極側，閘極亦可受到第一絕緣膜保護。因此，即使使電晶體之構造細微化，亦可以現狀的對準精度來形成半導體裝置。

又，第一及第二高熔點金屬矽化物膜，由於係例如堆積於如鈦矽化物膜或鈷矽化物膜之含矽之基板或膜之上的高熔點金屬膜與基板中或膜中之矽起反應所形成者，所以例如在閘極為多晶矽膜與高熔點金屬矽化物膜的多晶矽化物構造時，含於多晶矽膜的雜質之吸引現象，就會小於含有堆積所形成之鎢矽化物膜的高熔點金屬矽化物膜。因此，可抑制在高熔點金屬矽化物膜與多晶矽膜之境界面附近形成空乏層。藉此，由於閘極可低電阻化，所以可縮小閘極之膜厚及膜寬。結果，可製造一種具有可細微化，同時可謀求低電阻化之閘極的半導體裝置。

本發明之半導體裝置，亦可在第一絕緣膜與閘極之間，更具備有緩衝層，該緩衝層係具有第一絕緣膜之熱膨脹係數與用以構成閘極之材料之熱膨脹係數之中間的熱膨脹係數。



五、發明說明 (8)

藉由形成此種構造，則在半導體裝置之製造步驟中，對形成有電晶體之區域施加熱處理時，緩衝膜可緩和起因於第一絕緣膜與閘極之熱膨脹係數之差異而在閘極所發生的應力。藉此，由於閘極之可靠度可變佳，所以可提高半導體裝置之良率。

本發明之半導體裝置，更佳者為閘極係包含多晶矽膜，第一絕緣膜係包含矽氮化膜，形成於多晶矽膜與矽氮化膜之間的緩衝膜係包含矽氧化膜。

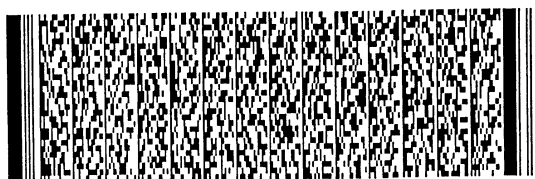
藉由形成此種的構造，則藉由使用矽氮化膜與多晶矽膜之中間之熱膨脹係數的矽氧化膜，即可達成緩衝膜之功能。而且，矽氧化膜，由於可藉由將用以構成閘極之多晶矽膜的側面熱氧化來形成，所以可形成較薄的緩衝膜。因此，適於形成於被細微化之半導體裝置之閘極與保護膜之間的緩衝膜之形成方法中。

本發明之半導體裝置，更佳者為第一絕緣膜係包含矽氮化膜，而形成於第二高熔點金屬矽化物膜與矽氮化膜之間的緩衝膜係包含矽氧化膜。

藉由形成此種的構造，由於可利用矽氧化膜形成緩衝膜，所以可使用既有的製造方法。

本發明之半導體裝置，亦可更形成有貫穿第一及第二絕緣膜，且貫穿至閘極及源極/汲極區域之另一方之雙方的共享接觸孔。

藉由形成此種的構造，則由於自動對準地形成有接觸孔以到達一方之源極/汲極區域上，且形成共享接觸孔以到



五、發明說明 (9)

達其他之源極/汲極區域及閘極，所以可減少用以形成接觸栓塞的接觸孔數。因此，即使將電晶體構造細微化，由於亦可容易形成接觸栓塞，所以更可形成半導體裝置可細微化的構造。

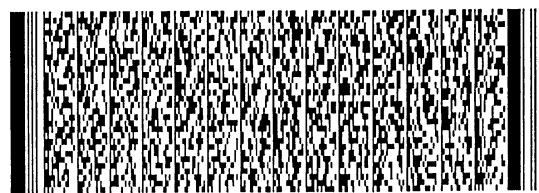
本發明之半導體裝置，更佳者為形成有共享接觸孔之區域的第一及第二絕緣膜係全被去除者。

藉由形成此種的構造，比較在共享接觸孔之底部殘存一部分的第一絕緣膜，則閘極與埋設於接觸孔內的接觸栓塞之接觸面積會變大。因此，藉由可縮小在閘極與接觸栓塞之間所發生的接觸電阻，就可縮小接觸栓塞的直徑。結果，由於更可將到達閘極的接觸孔細微化，所以可形成具有更細微化之電晶體的半導體裝置。

本發明之半導體裝置，亦可更包含有：導電層，由第一及第二絕緣膜所覆蓋；以及接觸孔，貫穿第一及第二絕緣膜，且貫穿至導電層。

藉由形成此種的構造，則由於閘極與配線同時受到第一及第二絕緣膜保護，所以可在同一蝕刻步驟中，同時形成到達閘極及源極/汲極區域的共享接觸孔及到達導電層的接觸孔。因此，可減低到達具有保護膜之閘極的接觸孔之形成步驟數。

本發明之半導體裝置之製造方法，其係包含有：在源極/汲極區域之矽基板的表面形成與堆積於主表面上之高熔點金屬膜反應所形成之第一高熔點金屬矽化物膜的步驟；在矽基板上形成閘極，而該閘極，係具有含矽之膜及與堆



五、發明說明 (10)

積於含該矽之膜上之高熔點金屬膜反應所形成之第二高熔點金屬矽化物膜的步驟；形成第一絕緣膜用以覆蓋閘極之表面的步驟；形成預定蝕刻條件之蝕刻速度大於第一絕緣膜的蝕刻第二絕緣膜，用以覆蓋第一絕緣膜及第一高熔點金屬矽化物膜之表面的步驟；以及形成貫穿第二絕緣膜至源極/汲極區域之表面上之接觸孔的步驟。

藉由使用此種的製造方法，則由於在蝕刻第二絕緣膜之步驟中，第一絕緣膜具有保護膜功能，所以到達一方之源極/汲極區域之上面的接觸孔，可對第一絕緣膜自動對準地形成。因此，即使在接觸孔從源極/汲極區域偏位於閘極側而形成的情況，閘極亦可受到第一絕緣膜保護。結果，在被細微化的半導體裝置中亦可提高良率。

又，第二高熔點金屬矽化物膜，由於例如鈦矽化物膜或鈷矽化物膜之含矽之膜與堆積於其上之高熔點金屬膜起反應所形成者，所以可形成比堆積所形成之鎢矽化物膜還可謀求低電阻化的閘極。因此，即使縮小閘極之厚度，由於亦可獲得具有所希望之導電率的閘極，所以可製造更細微化的半導體裝置。

又，藉由以不同的步驟形成第一及第二高熔點金屬矽化物膜，即可將各個控制在所希望的膜厚內。

本發明之半導體裝置之製造方法，亦可在形成閘極之步驟之後，在形成第一絕緣膜之步驟之前，更具備有在閘極之表面上形成具有第一絕緣膜之熱膨脹係數與用以構成閘極之材料之熱膨脹係數之中間的熱膨脹係數之緩衝膜的步



五、發明說明 (11)

驟。

藉由使用此種的製造方法，則在電晶體區域上施加熱處理時，可形成用以緩和起因於第一絕緣膜與閘極之熱膨脹係數之差異而在閘極上所發生之應力的緩衝膜。藉此，由於可形成可靠度佳的閘極，所以可提供良率提高的半導體裝置。

本發明之半導體裝置之製造方法，更佳者為，閘極係形成包含多晶矽膜的膜，第一絕緣膜係形成矽氮化膜，緩衝膜係在多晶矽膜與第一絕緣膜之間形成矽氧化膜。

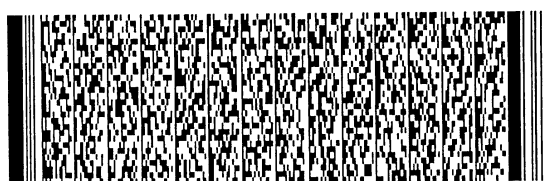
藉由使用此種的製造方法，則藉由使用矽氮化膜與多晶矽膜之中間之熱膨脹係數的矽氧化膜，即可達成緩衝膜之功能。而且，矽氧化膜，由於可藉由將用以構成閘極之多晶矽膜的側面熱氧化來形成，所以可形成較薄的緩衝膜。因此，即使在閘極與保護膜之間具有緩衝膜，亦可提供被細微化的半導體裝置。

本發明之半導體裝置之製造方法，更佳者為第一絕緣膜係形成矽氮化膜，緩衝膜係於第一高熔點金屬矽化物膜與第一絕緣膜之間形成矽氧化膜。

藉由形成此種的製造方法，由於可利用矽氧化膜形成緩衝膜，所以可使用既有的製造方法。

本發明之半導體裝置之製造方法，亦可更包含形成用以去除第一及第二絕緣膜的共享接觸孔，以使閘極上面及源極/汲極區域之另一方的上面露出的步驟。

藉由形成此種的製造方法，則由於在第一絕緣膜上自動



五、發明說明 (12)

對準地形成接觸孔以到達一方之源極/汲極區域的上面，同時可形成共享接觸孔以到達其他之源極/汲極區域及閘極上。

本發明之半導體裝置之製造方法，更佳者為在形成共享接觸孔的步驟中，去除形成有該共享接觸孔之區域的第一及第二絕緣膜的全部。

藉由形成此種的製造方法，比較在共享接觸孔之底部殘存一部分的第一絕緣膜，則可增大閘極與埋設於接觸孔內的接觸栓塞之接觸面積。因此可縮小接觸栓塞的直徑。結果，由於更可將電晶體構造更細微化，所以可更細微化半導體裝置。

本發明之半導體裝置之製造方法，亦可在形成共享接觸孔的步驟中，更朝向由第一及第二絕緣膜所覆蓋導電層，而在第一及第二導電層上形成使該導電層之表面露出的接觸孔。

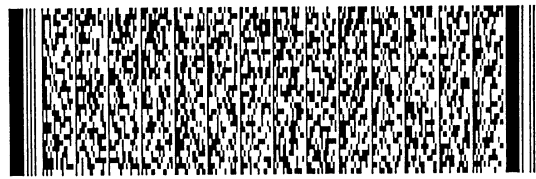
藉由形成此種的製造方法，則由於可同時形成到達閘極及源極/汲極區域的共享接觸孔、及到達導電層的接觸孔，所以可減低半導體裝置之製造步驟數。

較佳具體例之說明

以下，係根據圖式說明本發明之實施形態。

(實施形態1)

首先，使用圖1說明本實施形態之半導體裝置之構造。本實施形態之半導體裝置，係在依隔離氧化膜2所隔離之元件形成區域的矽基板1上形成有源極/汲極區域10、11。



五、發明說明 (13)

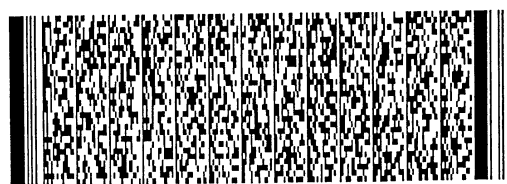
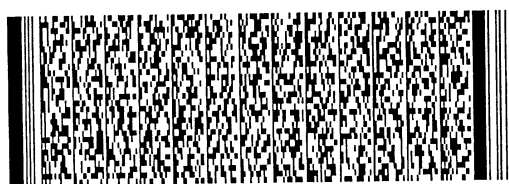
在源極/汲極基板10、11之矽基板1的表面上，形成有鈷矽化物膜13。

又，在源極/汲極基板10、11之間的矽基板1上，介以作為閘極絕緣膜之矽氧化膜4，以使鈷矽化物膜12位於上側的方式，形成有由多晶矽膜3及鈷矽化物膜12所形成的閘極312。形成有矽氮化膜7以覆蓋閘極312之上面。在閘極312之側面，形成有側壁矽氮化膜9。又，在隔離氧化膜2上，以使鈷矽化物膜12位於上側的方式，形成有由多晶矽膜3及鈷矽化物膜12所構成之多晶矽化物構造的配線層123。

又，形成有NSG膜14用以覆蓋矽氮化膜7、側壁矽氮化膜9及鈷矽化物膜13之一部分以及隔離氧化膜2及配線層123。形成有矽氮化膜15用以覆蓋NSG膜14。形成有BPSG膜16用以覆蓋矽氮化膜15。

又，形成有貫穿BPSG膜16、矽氮化膜15、NSG膜14，且貫穿至源極/汲極區域10、11之一方上面的接觸孔31。又，形成有貫穿BPSG膜16、矽氮化膜15、NSG膜14，且貫穿至另一方之源極/汲極區域10、11之上面的接觸孔32。更且，形成有貫穿BPSG膜16、矽氮化膜15、NSG膜14，且貫穿至形成於隔離氧化膜2上之配線層123上面的接觸孔33。在該接觸孔31、32、33上，埋設有導電性之接觸栓塞31a、32a、33a，俾使源極/汲極基板10、11及配線層123之各個可與其他的導電層相連接。

藉由形成此種的構造，由於閘極312係由在預定的蝕刻



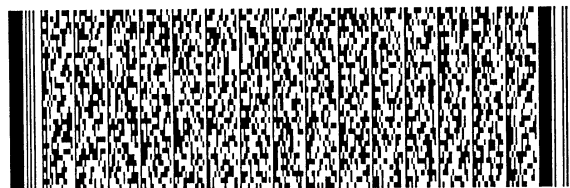
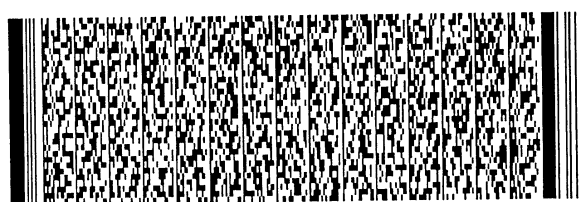
五、發明說明 (14)

條件下蝕刻速度大於NSG絕緣膜14的矽氮化膜7所覆蓋，所以可對矽氮化膜7及側壁氮化膜9自動對準地形成到達源極/汲極區域10、11之一方上面的接觸孔31。因此，即使接觸孔31之形成位置多少偏位於閘極312側，閘極312亦可受到矽氮化膜7及側壁氮化膜9保護。因此，即使使電晶體之構造細微化，亦可以現狀的對準精度來形成半導體裝置。

又，在本實施形態中，由於用以構成閘極312之高熔點金屬矽化物膜係由鈷矽化物膜12所形成，所以含於多晶矽膜3的雜質之吸引現象，就會小於含有鎢矽化物膜的高熔點金屬矽化物膜。因此，可抑制在高熔點金屬矽化物膜與多晶矽膜之境界面附近形成空乏層。藉此，由於閘極312可低電阻化，所以可縮小閘極312之膜厚及膜寬。結果，可製造一種具有可細微化，同時可謀求低電阻化之閘極的半導體裝置。

其次，使用圖1～圖13說明本發明之實施形態1的半導體裝置之製造方法。本實施形態之半導體裝置之製造方法，首先，係在P型矽基板1上形成用以隔離元件形成區域的隔離氧化膜2。其次，在元件形成區域上形成膜厚15nm之氧化膜之後，將氧化膜當作保護膜，而在元件形成區域上進行用以形成井的雜質植入。

之後，利用濕式蝕刻法去除元件形成區域上的氧化膜。其次，在元件形成區域上形成作為閘極絕緣膜之例如膜厚3nm的矽氧化膜4。之後，在矽氧化膜4上形成膜厚200nm的多晶矽膜3。其次，在多晶矽膜3上形成膜厚10nm的鈷膜



五、發明說明 (15)

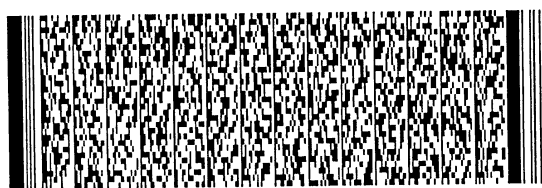
5，並形成圖2所示的狀態。

其次，如圖3所示，在條件溫度 450°C 下施行燈管退火 (lamp anneal) 約30秒，且在形成 Co_xSi_y ，亦即形成鈷矽化物膜6之後，去除未反應的鈷膜5。其次，在鈷矽化物膜6上，堆積絕緣膜，例如堆積矽氮化膜7之後，在矽氮化膜7上進行光阻膜8之圖案形成，以形成圖4所示的狀態。之後，將光阻膜8當作光罩並進行蝕刻法以至作為閘極氧化膜之矽氧化膜4露出為止。之後，去除光阻膜8，以形成圖5所示之矽氧化膜4。又，從上述圖4之狀態至圖5之狀態的蝕刻步驟，亦可在進行蝕刻法以至鈷矽化物膜6露出為止之後，去除光阻膜8，將矽氮化膜7當作硬式光罩並進行蝕刻法以至矽氧化膜4露出為止，以使矽氧化膜4如圖5所示地露出。

其次，如圖6所示，在進行用以形成源極/汲極基板10的雜質植入之後，如圖7所示，形成側壁絕緣膜，例如由矽氮化膜所構成的側壁矽氮化膜9。之後，更進一步進行用以形成源極/汲極基板11的雜質植入，以形成LDD構造。

其次，在進行使植入雜質活性化的處理之後，堆積膜厚8nm之鈷膜，且在溫度條件 450°C 下施行燈管退火約30秒，且如圖8所示，在形成鈷矽化物膜6a之後，去除未反應之鈷膜。

其次，如圖9所示，在溫度條件 900°C 下施行燈管退火約30秒，以分別使鈷矽化物膜6、6a變化成可謀求低電阻化的鈷矽化物膜12、13。藉此，就可形成由多晶矽膜3及鈷



五、發明說明 (16)

矽化物膜12所構成之多晶矽化物構造的閘極312以及可謀求接觸電阻之減低的源極/汲極基板10、11。

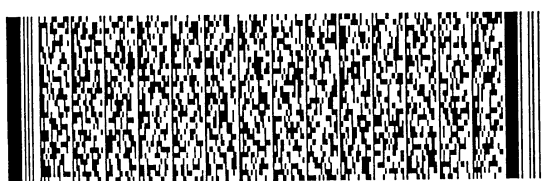
其次，形成NSG膜14用以覆蓋矽基板1之全表面。之後，在NSG膜14上形成矽氮化膜15。其次，在矽氮化膜15上形成BPSG膜16。之後，使用CMP法進行BPSG之表面平坦化，以形成圖10所示的狀態。

其次，為了形成到達源極/汲極基板10、11之接觸孔31、32，如圖11所示，在進行光阻膜17之圖案形成之後，進行蝕刻法以至矽氮化膜15露出為止。此時，矽氮化膜15具有蝕刻阻擋膜的功能。

其次，如圖12所示，以依序蝕刻矽氮化膜15、NSG膜14的方式更加往下挖接觸孔31、32，以使鈷矽化物膜13的表面露出為止。此時，接觸孔31，係對矽氮化膜7及側壁氮化膜9自動對準地形成，亦即，矽氮化膜7及側壁氮化膜9具有蝕刻阻擋膜的功能，而可保護鈷矽化物膜12不被蝕刻。

其次，在形成到達其他的閘極312及源極/汲極基板10、11之接觸孔31、32之後，藉由依序蝕刻BPSG膜16、矽氮化膜15及NSG膜14，以形成到達其他的配線層123之接觸孔33，並形成如圖13所示的狀態。之後，藉由以到達源極/汲極基板10、11的方式，在接觸孔31、32、33上埋設接觸栓塞31a、32a、33a，以形成如圖1所示之構造的半導體裝置。

當利用上述之方法形成接觸孔31時，接觸孔31係偏離本



五、發明說明 (17)

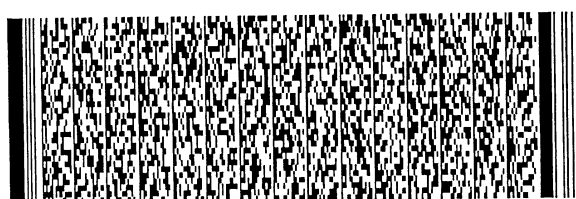
來應形成的位置而形成，如圖13所示，即使在形成於閘極312上的情況，由於存在有矽氮化膜7及側壁氮化膜9以覆蓋閘極312之上面及側面，所以可對側壁氮化膜9及矽氮化膜7自動對準地形成接觸孔31。藉此，在接觸孔31內埋設接觸栓塞31a時，可抑制源極/汲極區域11與閘極312短路的情形。結果，由於無須考慮接觸孔31形成時的形成誤差，即可形成接觸孔31，所以可使半導體裝置細微化。

又，由於在閘極312上，形成有鈦矽化物膜12，所以在利用鎢矽化物膜以形成多晶矽化物構造的閘極時，即可抑制發生雜質之吸取現象。結果，由於可抑制在多晶矽膜與高熔點金屬矽化物膜之境界面上形成空乏層，所以可謀求閘極312之電阻的減低。

再者，若依據上述本實施形態之半導體裝置之製造方法，則由於在閘極312及源極/汲極區域10、11上堆積鈦膜的堆積步驟係分別進行，所以可將鈦矽化物膜12、13之膜厚形成適於各自之用途的膜厚。例如，鈦矽化物膜12只要形成可承受用以形成閘極312之蝕刻程度的膜厚即可。

又，鈦矽化物膜13，只要藉由將鈦矽化物膜13之膜厚形成比源極/汲極區域10之深度還大，而不使鈦矽化物膜13接觸井區域的方式設定膜厚即可，亦即，只要設定成不在源極/汲極區域10、11與井區域之間發生接面洩漏電流程度的膜厚即可。

另外，多晶矽3即使為摻雜多晶矽或非摻雜多晶矽亦可獲得同樣的效果。但是，在使用非摻雜多晶矽時，就有必



五、發明說明 (18)

要進行低電阻化用的處理，例如追加植入步驟等。

又，在本實施形態中，雖然層間絕緣膜係由NSG膜14、矽氮化膜15及BPSG膜16所形成，但是層間絕緣膜之構造即使為其他的構造，亦不會影響到上述效果。

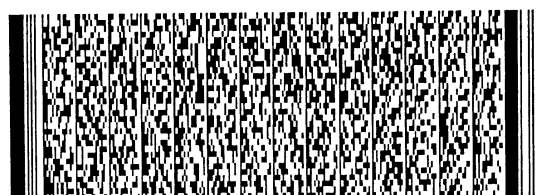
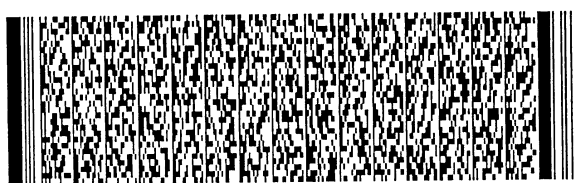
又，在本實施形態中，雖係使用矽氮化膜7及側壁氮化膜9以作為閘極之保護膜，但是若為可增大與NSG膜之蝕刻速度的材料則亦可為其他的材料。又，若矽氮化膜15亦可增大與BPSG膜16之蝕刻速度，則亦可為其他的材料。

又，朝源極/汲極區域10、11自動對準所形成的接觸孔13與朝配線層123所形成的接觸孔33之形成順序即使為相反，亦可獲得與上述同樣的效果。

(實施形態2)

其次，使用圖14說明本實施形態之半導體裝置的構造。本實施形態之半導體裝置，係除了在實施形態1中使用圖1所示的半導體裝置之構造以外，更具備有作為緩衝膜的矽氧化膜19，而該矽氧化膜19係在矽氮化膜7與用以構成閘極312之多晶矽膜3之間，具有矽氧化膜7之熱膨脹係數與多晶矽膜3之熱膨脹係數之中間的熱膨脹係數。又，形成有作為緩衝膜的矽氧化膜18，而該矽氧化膜18係在矽氮化膜7與鈷矽化物膜12之間，具有矽氧化膜7之熱膨脹係數與鈷矽化物膜12之熱膨脹係數之中間的熱膨脹係數。

藉由形成此種的構造，則在半導體裝置之製造步驟中，當在電晶體區域施加熱處理時，緩衝膜可緩和起因於矽氮化膜7與鈷矽化物膜12、及矽氮化膜7與多晶矽膜3之熱膨



五、發明說明 (19)

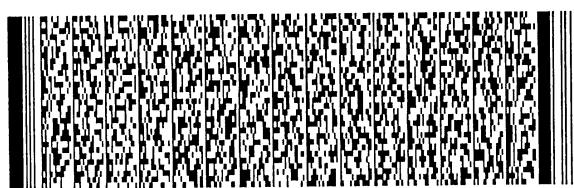
脹係數之差而在閘極312上所發生的物理應力。藉此，由於可使閘極312之可靠度變佳，所以可提高半導體裝置之良率。

又，雖然藉由使用作為矽氮化膜7與多晶矽膜3之中間之熱膨脹係數的矽氧化膜18，可達成緩衝膜之功能，但是矽氧化膜18，由於可藉由將用以構成閘極312之多晶矽膜3的側面熱氧化所形成，所以可形成較薄的緩衝膜。因此，適於形成於被細微化之半導體裝置之閘極312與作為保護膜矽氮化膜7之間的緩衝膜之形成方法中。又，藉由以氧化膜形成緩衝膜，即可使用既有的製造方法。

其次，使用圖14至圖18說明本發明之實施形態2之半導體裝置之製造方法。本實施形態之半導體裝置之製造方法，首先，在圖3所示的狀態為止，係進行與實施形態1同樣的步驟。

其次，在鈷矽化物膜6上，形成由TEOS(四乙烷四甲烷：Tetra Etyle Orthro Silicate)所形成的矽氧化膜18。之後，在矽氧化膜18上形成矽氮化膜7。

其次，如圖15所示，將光阻膜8形成圖案，且將之當作光罩，並進行蝕刻以使作為閘極絕緣膜之矽氧化膜4的表面露出。之後，去除光阻膜8，以形成閘極312並形成如圖16所示的狀態，或是在進行蝕刻以至鈷矽化物膜16露出為止之後，去除光阻膜8，並將矽氮化膜7及氧化膜18當作光罩而進行蝕刻法以至作為閘極之矽氧化膜4露出為止以形成閘極，並形成如圖16所示的狀態。其次，如圖17所示，

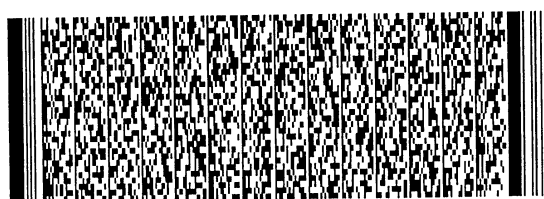


五、發明說明 (20)

進行熱氧化處理，以在多晶矽3側壁上形成側壁氧化膜19。其次，在實施形態1中，與圖6至圖9所示之步驟同樣的步驟，在源極/汲極區域10、11及多晶矽膜3上形成鈷矽化物膜13、12。之後，與實施形態1之圖10所示的步驟同樣，形成NSG膜14、矽氮化膜15及BPSG膜16。其次，與實施形態1之圖11至圖13所示的步驟同樣，為了分別形成源極/汲極區域11上之鈷矽化物膜13及到達配線層123上之鈷矽化物膜12的接觸孔31、32、33，而依序蝕刻BPSG膜16、矽氮化膜15、NSG膜14至鈷矽化物膜12、13之表面露出為止，並形成如圖18所示的狀態。之後，以埋設接觸孔31、32、33的方式，形成接觸栓塞31a、32a、33a，並形成圖14所示的狀態。

若使用此種的製造方法，則具有可將實施形態1中所得的半導體裝置細微化及低電阻化的效果，同時形成具有緩衝膜功能的矽氧化膜18，而該矽氧化膜18係在閘極312與矽氮化膜7之間，具有鈷矽化物膜12與矽氮化膜7之中間的熱膨脹係數。因此，可緩和因鈷矽化物膜12與矽氮化膜7之熱膨脹係數之差所產生的矽氮化膜7帶給閘極312物理的應力。又，藉由形成具有緩衝膜功能的側壁矽氧化膜19，即可緩和因多晶矽膜3與側壁矽氮化膜9之熱膨脹係數之差所產生的側壁矽氮化膜9帶給閘極312物理的應力。而該側壁矽氧化膜19，係在閘極312與側壁矽氮化膜9之間，具有多晶矽膜3與側壁矽氮化膜9之中間的熱膨脹係數。

又，在本實施形態中，雖係在閘極312之上側與側壁之



五、發明說明 (21)

二處形成作為緩衝層的矽氧化膜18、19，但是即使使其中一方皆可獲得各自的效果。

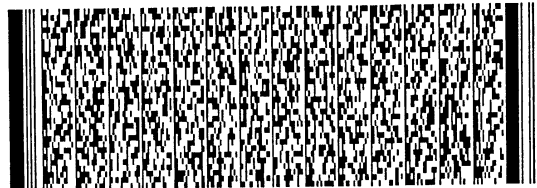
(實施形態3)

首先，使用圖19說明本實施形態之半導體裝置的構造。本實施形態之半導體裝置，係形成有共享接觸孔34以替代實施形態1之接觸孔32。其中，接觸孔32，係在實施形態1使用圖1所示的半導體裝置中連接源極/汲極區域10、11；而共享接觸孔34，形成貫穿至閘極312之氮化矽膜12與源極/汲極區域10、11上之另一方的氮化矽膜13之兩方上。又，在該共享接觸孔34內，埋設有接觸栓塞34a。

藉由此種的構造，則可以到達一方之源極/汲極區域10、11的方式對氮化矽膜7及側壁氮化矽膜9自動對準地形成接觸孔31，且以到達另一方之源極/汲極區域10、11及閘極312的方式形成共享接觸孔34。

若依據上述構造，則由於閘極312之上面與配線層123之上面皆可受到氮化矽膜7保護，所以沒有必要考慮因蝕刻速度之差異而造成接觸孔之穿過等。藉此，就可在相同的蝕刻步驟中同時形成到達閘極312及源極/汲極區域10、11的共享接觸孔34及到達配線層123的接觸孔33。因此，可減低到達閘極312之共享接觸孔34及到達配線層123之接觸孔33的形成步驟數，而該閘極312係具有作為保護膜的氮化矽膜7。

其次，使用圖19至圖22說明本發明之實施形態9之半導體裝置之製造方法。本實施形態之半導體裝置之製造方



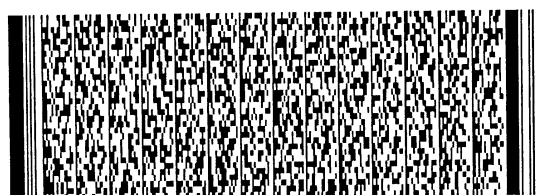
五、發明說明 (22)

法，首先，進行與實施形態1之半導體裝置之製造方法中之圖2至圖10所示之步驟相同的步驟。其次，如圖20所示，將朝一方之源極/汲極區域10、11用以形成接觸孔的光阻膜20予以圖案化。該蝕刻術，係與實施形態1同樣進行，以形成接觸孔31。藉此，該接觸孔31之構造，形成與實施形態1中所示的SAC構造相同。之後，去除光阻膜20。

其次，如圖21所示，埋設接觸孔31，同時進行用以形成同時到達源極/汲極區域10、11與閘極312之共享接觸孔34及到達配線層123之接觸孔33的光阻膜21之圖案形成。之後，進行蝕刻術以至源極/汲極區域10、11上層、閘極312上層及配線層123上層的鈷矽化物膜12、13露出為止，以形成到達閘極312及源極/汲極區域10、11的共享接觸孔34、及到達配線層123的接觸孔33。其次，去除光阻膜20，即可獲得如圖22所示的狀態。之後，形成用以埋設接觸孔31、33及共享接觸孔34的接觸栓塞31a、33a、34a，並形成如圖19所示的狀態。

利用如上述的製造方法以形成半導體裝置，並以2次之蝕刻步驟，即可形成各為不同的接觸孔31、33及共享接觸孔34。因此，可減低接觸孔之形成步驟數。又，由於係利用一個共享接觸孔34，而到達閘極312及源極/汲極區域10、11之兩方，所以可在平面上以小的區域形成電晶體。結果，例如可縮小SRAM(靜態隨機存取記憶體)之單元等的面積。

(實施形態4)



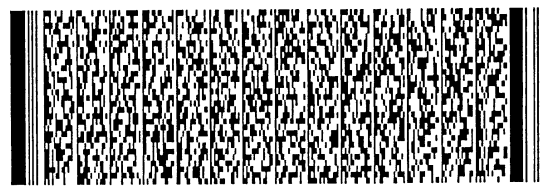
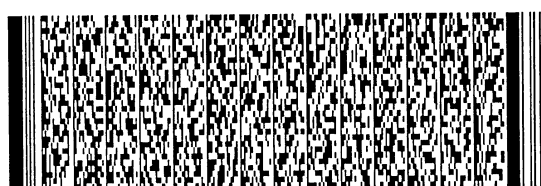
五、發明說明 (23)

其次，使用圖23說明本實施形態之半導體裝置的構造。本實施形態之半導體裝置，係形成共享接觸孔35以替代共享接觸孔34。其中，共享接觸孔35，係更進一步去除共享接觸孔34之下部的側壁矽氮化膜9，而共享接觸孔34，係在實施形態3使用圖19所示的半導體裝置之構造中所形成者。又，在該共享接觸孔35內，埋設有用以與其他的導電層相連接的接觸栓塞35a。

藉由此種的構造，則比較在共享接觸孔34之下部殘存有側壁氮化膜9之實施形態3的半導體裝置之構造，可增大閘極312與埋設於共享接觸孔35內之接觸栓塞35a的接觸面積。因此，由於形成可使到達閘極312的接觸孔35a更進一步細微化的構造，所以可形成具有更細微化之電晶體的半導體裝置。

其次，使用圖23及圖24說明本發明之實施形態4之半導體裝置之製造方法。本實施形態之半導體裝置之製造方法，如圖24所示，係在形成共享接觸孔34的步驟中，形成更進一步蝕刻側壁矽氮化膜9的共享接觸孔35。而共享接觸孔34係在實施形態3使用圖22所示之半導體裝置之製造方法中同時到達源極/汲極區域11上之鈷矽化物膜13與閘極312之鈷矽化物膜12者。其次，以埋設接觸孔31、33及共享接觸孔35的方式，形成用以與其他的導電層相連接的接觸栓塞31a、33a、35a，並形成如圖23所示的狀態。

藉由形成此種的共享接觸孔35，即可增大接觸栓塞35a與閘極312的接觸面積。因此，可製造一種可減低接觸栓



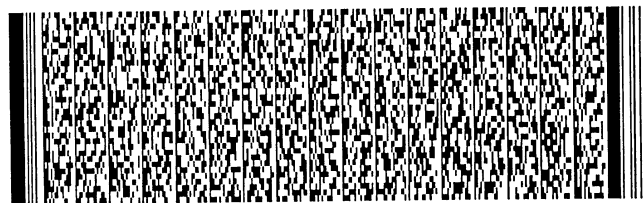
五、發明說明 (24)

塞35a與閘極312之接觸電阻的半導體裝置。結果，藉由可將接觸栓塞細微化，即可製造被細微化的半導體裝置。

另外，此次所揭示之實施形態應看做是一種以所有的點加以例示者而非是一種限制。本發明之範圍並非是上述之說明而是依申請專利範圍所示，其意旨包含有與申請專利範圍均等的意思及範圍內的所有變更。

元件編號之說明

- 1、101 矽基板
- 2、102 隔離氧化膜
- 3、103 多晶矽膜
- 4、104 矽氧化膜
- 5 鈷膜
- 6、6a 鈷矽化物膜
- 7、107 矽氮化膜
- 8、108 光阻膜
- 9、109 側壁矽氮化膜
- 10、11、110、111 源極/汲極區域
- 12、13 鈷矽化物膜
- 14、114 NSG膜
- 15、115 矽氮化膜
- 16、116 BPSG膜
- 17 光阻膜
- 18 矽氧化膜
- 19 側壁氧化膜



五、發明說明 (25)

20、21 光阻膜

31、32、33、131、132 接觸孔

31a、32a、33a、34a、35a、131a、132a 接觸栓塞

34、35 共享接觸孔

106 高熔點金屬矽化物膜

123 配線層

136、312 閘極



圖式簡單說明

圖1顯示本發明之實施形態1所記載之半導體裝置的截面構造圖。

圖2顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，在多晶矽膜上形成鈷膜之後的截面狀態圖。

圖3顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，對形成於多晶矽膜上的鈷膜進行熱處理以形成鈷矽化物膜之後的截面狀態圖。

圖4顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，在矽氮化膜上將光阻膜圖案化之後的截面狀態圖。

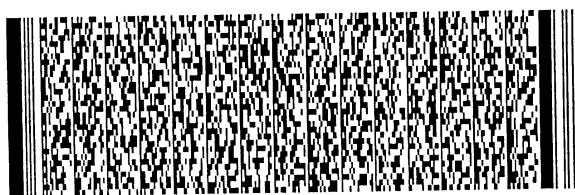
圖5顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，將光阻膜當作光罩並蝕刻鈷矽化物膜及多晶矽膜，以形成閘極之後的截面狀態圖。

圖6顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，對閘極及隔離氧化膜自動對準地在矽基板上植入雜質時的截面狀態圖。

圖7顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，對閘極、側壁矽氮化膜及隔離氧化膜自動對準地在矽基板上植入雜質之後的截面狀態圖。

圖8顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，使源極/汲極區域之表面矽化物化之後的截面狀態圖。

圖9顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，更進一步熱處理鈷矽化物膜以謀求低電阻化之



圖式簡單說明

後的截面狀態圖。

圖10顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，形成由NSG膜、矽氮化膜及BPSG膜所構成之層間絕緣膜之後的截面狀態圖。

圖11顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，形成貫穿BPSG膜之接觸孔之後的截面狀態圖。

圖12顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，在NSG膜及矽氮化膜上形成接觸孔之後的截面狀態圖。

圖13顯示在本發明之實施形態1所記載之半導體裝置之製造方法中，在隔離氧化膜之配線層上形成接觸孔之後的截面狀態圖。

圖14顯示本發明之實施形態2所記載之半導體裝置的截面構造圖。

圖15顯示在本發明之實施形態2所記載之半導體裝置之製造方法中，在矽氧化膜上將光阻膜圖案化之後的截面狀態圖。

圖16顯示在本發明之實施形態2所記載之半導體裝置之製造方法中，將光阻膜當作光罩並進行蝕刻，以形成閘極之後的截面狀態圖。

圖17顯示在本發明之實施形態2所記載之半導體裝置之製造方法中，在閘極側面形成熱氧化膜之後的截面狀態圖。



圖式簡單說明

圖18顯示在本發明之實施形態2所記載之半導體裝置之製造方法中，依序形成貫穿NSG膜、矽氮化膜及BPSG膜，且貫穿至閘極、配線層及源極/汲極區域之接觸孔之後的截面狀態圖。

圖19顯示本發明之實施形態3所記載之半導體裝置的截面構造圖。

圖20顯示在本發明之實施形態3所記載之半導體裝置之製造方法中，形成在BPSG膜上用以形成到達源極/汲極區域之接觸孔之光阻膜之後的截面狀態圖。

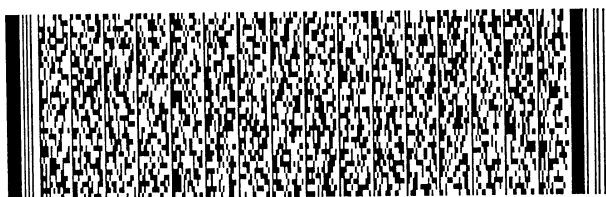
圖21顯示在本發明之實施形態3所記載之半導體裝置之製造方法中，為了埋設連接源極/汲極區域之接觸孔，同時形成到達閘極及源極/汲極區域之共享接觸孔及到達配線層之接觸孔，而形成光阻膜之後的截面狀態圖。

圖22顯示在本發明之實施形態3所記載之半導體裝置之製造方法中，利用蝕刻術，在BPSG膜、矽氮化膜及NSG膜上，形成有到達閘極及源極/汲極區域之共享接觸孔及到達配線層之接觸孔，而形成光阻膜之後的截面狀態圖。

圖23顯示本發明之實施形態4所記載之半導體裝置的截面狀態圖。

圖24顯示在本發明之實施形態4所記載之半導體裝置之製造方法中，在圖22所示的狀態下，位於共享接觸孔之下部的側壁氮化膜更進一步被蝕刻之後的截面狀態圖。

圖25顯示在習知之半導體裝置之製造方法中，在矽氧化膜上形成多晶矽膜之後的截面狀態圖。



圖式簡單說明

圖26顯示在閘極上具有高熔點金屬矽化物膜之習知的半導體裝置之製造方法中，在多晶矽膜上將光阻膜圖案化之後的截面狀態圖。

圖27顯示在閘極上具有高熔點金屬矽化物膜之習知的半導體裝置之製造方法中，將光阻膜當作光罩並蝕刻多晶矽膜，以形成閘極之後的截面狀態圖。

圖28顯示在閘極上具有高熔點金屬矽化物膜之習知的半導體裝置之製造方法中，對閘極、側壁矽氮化膜及隔離氧化膜自動對準地植入雜質之後的截面狀態圖。

圖29顯示在閘極上具有高熔點金屬矽化物膜之習知的半導體裝置之製造方法中，同時將閘極上面及源極/汲極區域之上面矽化物化之後的截面狀態圖。

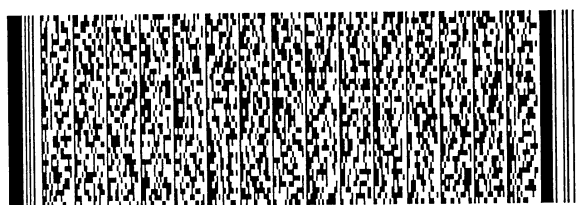
圖30顯示在閘極上具有高熔點金屬矽化物膜之習知的半導體裝置之製造方法中，形成由NSG膜、矽氮化膜及BPSG膜所構成之層間絕緣膜之後的截面狀態圖。

圖31顯示在閘極上具有高熔點金屬矽化物膜之習知的半導體裝置之製造方法中，形成貫穿BPSG膜、矽氮化膜及NSG膜之接觸孔之後的截面狀態圖。

圖32顯示在閘極上具有高熔點金屬矽化物膜之習知半導體裝置的截面構造圖。

圖33顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，在多晶矽膜上形成矽氮化膜之後的截面狀態圖。

圖34顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，在矽氮化膜上將光阻膜圖案化之後的截面狀態



圖式簡單說明

圖。

圖35顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，將光阻膜當作光罩並蝕刻多晶矽膜，以形成閘極之後的截面狀態圖。

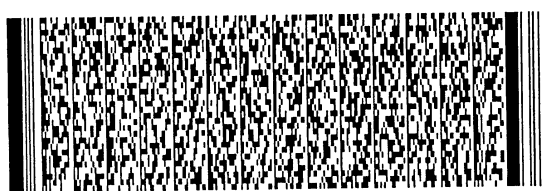
圖36顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，對閘極、矽氮化膜及隔離氧化膜自動對準地植入雜質之後的截面狀態圖。

圖37顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，將源極/汲極區域之表面矽化物化之後的截面狀態圖。

圖38顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，形成NSG膜、矽氮化膜及BPSG膜所構成之層間絕緣膜之後的截面狀態圖。

圖39顯示在閘極上具有保護膜之習知半導體裝置之製造方法中，形成貫穿BPSG膜、矽氮化膜及NSG膜之接觸孔之後的截面狀態圖。

圖40顯示在閘極上具有高熔點金屬矽化物膜之習知半導體裝置的截面構造圖。



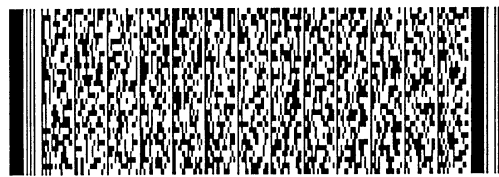
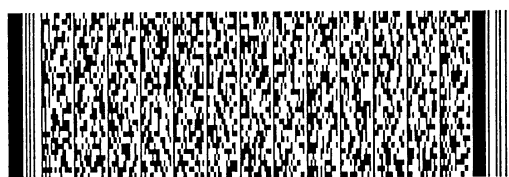
四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明可獲得一種更細微化的半導體裝置及其製造方法。

其閘極(312)係在預定的蝕刻條件下由選擇比大於NSG膜(14)的矽氮化膜所覆蓋。而且，在源極/汲極區域(10,11)之上面形成有鈷矽化物膜(13)。更利用鈷矽化物膜(12)形成用以構成閘極(312)的高熔點金屬矽化物膜。

英文發明摘要 (發明之名稱：Semiconductor Device and Manufacturing Method Thereof)

A semiconductor device more reduced in size and a manufacturing method thereof are provided. A gate electrode is covered with a silicon nitride film having a selecting ratio greater than an NSG film under a prescribed etching condition. A cobalt silicide film is formed on an upper surface of source/drain regions. Furthermore, a refractory metal silicide film forming the gate electrode is formed by a cobalt silicide film.



六、申請專利範圍

1. 一種半導體裝置，其係包含有：

矽基板(1)，在源極/汲極區域(11)之上面具有與堆積於主表面上之高熔點金屬膜反應所形成的第一高熔點金屬矽化物膜(13)；

閘極(312)，形成於由前述源極/汲極區域(11)所夾住之區域的前述矽基板(1)上，且在上面具有含矽之膜及與堆積於含該矽之膜上之高熔點金屬膜反應所形成的第二高熔點金屬矽化物膜(12)；

第一絕緣膜(7, 9)，形成用以覆蓋前述閘極(312)之表面；

第二絕緣膜(14, 15, 16)，形成用以覆蓋前述第一絕緣膜(7, 9)及第一高熔點金屬矽化物膜(13)之表面，而其預定蝕刻條件之蝕刻速度係大於前述第一絕緣膜(7, 9)；以及

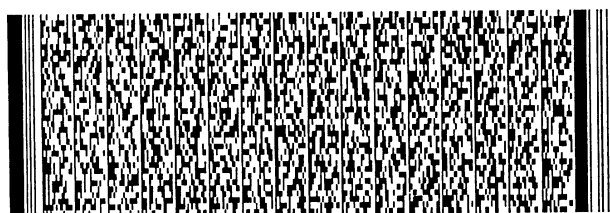
接觸孔(31, 32)，形成貫穿前述第二絕緣膜(14, 15, 16)至前述源極/汲極區域(11)之一方表面上。

2. 如申請專利範圍第1項之半導體裝置，其中前述第一高熔點金屬矽化物膜(13)，係包含鈷矽化物膜或鈦矽化物膜。

3. 如申請專利範圍第1項之半導體裝置，其中前述第二高熔點金屬矽化物膜(12)，係包含鈷矽化物膜或鈦矽化物膜。

4. 如申請專利範圍第1項之半導體裝置，其中前述第二絕緣膜(14, 15, 16)係包含矽氧化膜。

5. 如申請專利範圍第1項之半導體裝置，其中前述第一



六、申請專利範圍

絕緣膜(7, 9)與前述閘極(312)之間，更具備有緩衝層(18)，該緩衝層(18)係具有前述第一絕緣膜(7, 9)之熱膨脹係數與用以構成前述閘極(312)之材料之熱膨脹係數之間的中間的熱膨脹係數。

6. 如申請專利範圍第5項之半導體裝置，其中前述閘極(312)係包含多晶矽膜，

前述第一絕緣膜(7, 9)係包含矽氮化膜，

而形成於前述多晶矽膜與前述矽氮化膜之間的前述緩衝膜(18)係包含矽氧化膜。

7. 如申請專利範圍第5項之半導體裝置，其中前述第一絕緣膜(7, 9)係包含矽氮化膜，

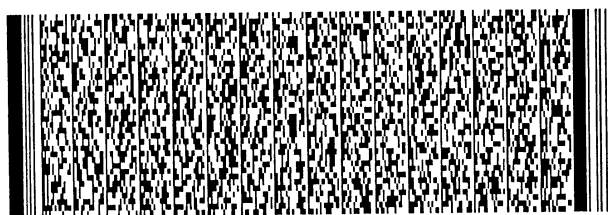
形成於前述第二高熔點金屬矽化物膜(12)與前述矽氮化膜之間的前述緩衝膜(18)係包含矽氧化膜。

8. 如申請專利範圍第1項之半導體裝置，其中更形成有貫穿前述第一及第二絕緣膜(7, 9, 14, 15, 16)，且貫穿至前述閘極(312)及前述源極/汲極區域(11)之另一方之雙方的共享接觸孔(35)。

9. 如申請專利範圍第8項之半導體裝置，其中形成有前述共享接觸孔(35)之區域的前述第一及第二絕緣膜(7, 9, 14, 15, 16)係全被去除者。

10. 如申請專利範圍第8項之半導體裝置，其中更包含有：

導電層(123)，由前述第一及第二絕緣膜(7, 9, 14, 15, 16)所覆蓋；以及



六、申請專利範圍

接觸孔(31, 33, 35)，貫穿前述第一及第二絕緣膜(7, 9, 14, 15, 16)，且貫穿至前述導電層(123)。

11. 一種半導體裝置之製造方法，其係包含有：

在源極/汲極區域(11)之矽基板(1)的表面形成與堆積於主表面上之高熔點金屬膜反應所形成之第一高熔點金屬矽化物膜(13)的步驟；

在前述矽基板(1)上形成閘極(312)，而該閘極(312)，係具有含矽之膜及與堆積於含該矽之膜上之高熔點金屬膜反應所形成之第二高熔點金屬矽化物膜(12)的步驟；

形成第一絕緣膜(7, 9)用以覆蓋前述閘極(312)之表面的步驟；

形成預定蝕刻條件之蝕刻速度大於前述第一絕緣膜(7, 9)的第二絕緣膜(14, 15, 16)，用以覆蓋前述第一絕緣膜(7, 9)及第一高熔點金屬矽化物膜(13)之表面的步驟；以及

形成貫穿前述第二絕緣膜(14, 15, 16)至前述源極/汲極區域(11)之表面上之接觸孔(31, 32)的步驟。

12. 如申請專利範圍第11項之半導體裝置之製造方法，其中前述第一高熔點金屬矽化物膜(13)，係包含鈷矽化物膜或鈦矽化物膜。

13. 如申請專利範圍第11項之半導體裝置之製造方法，其中前述第二高熔點金屬矽化物膜(12)，係包含鈷矽化物膜或鈦矽化物膜。

14. 如申請專利範圍第11項之半導體裝置之製造方法，



六、申請專利範圍

其中前述第二絕緣膜(14, 15, 16)係包含矽氧化膜。

15. 如申請專利範圍第11項之半導體裝置之製造方法，其中在形成前述閘極(312)之前述步驟之後，在形成前述第一絕緣膜(7, 9)之前述步驟之前，更具備有在前述閘極(312)之表面上形成具有前述第一絕緣膜(7, 9)之熱膨脹係數與用以構成前述閘極(312)之材料之熱膨脹係數之中間的熱膨脹係數之緩衝膜(18)的步驟。

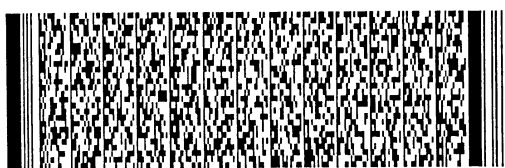


圖 1

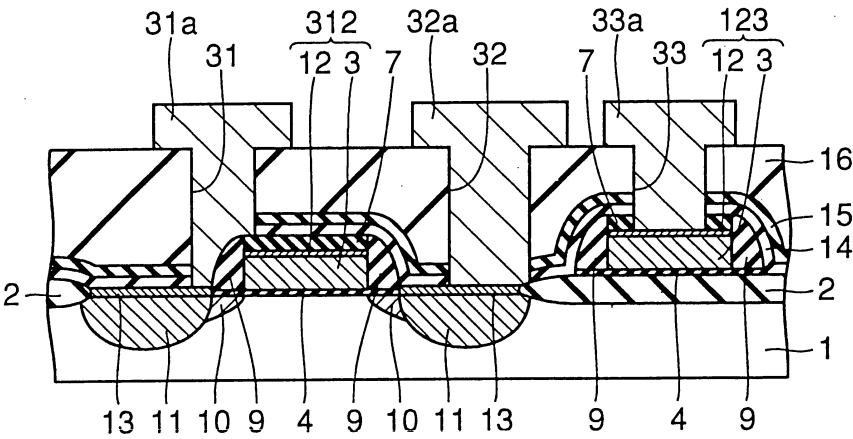


圖 2

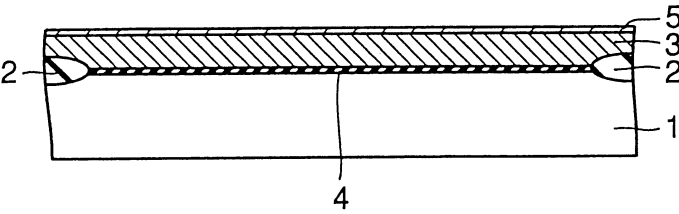


圖 3

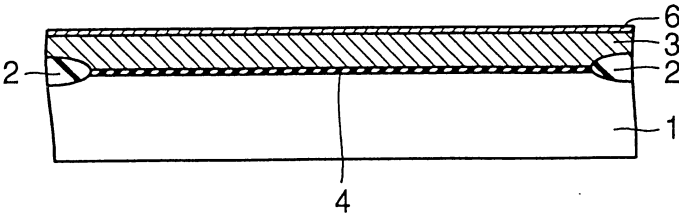


圖 4

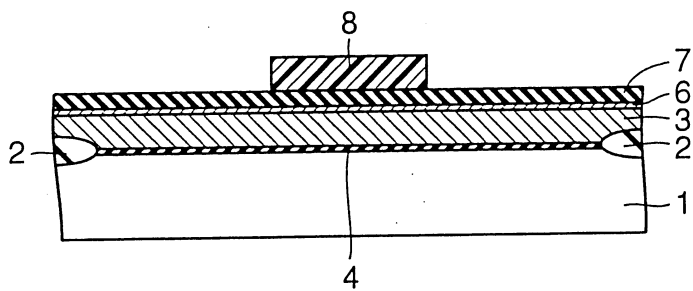


圖 5

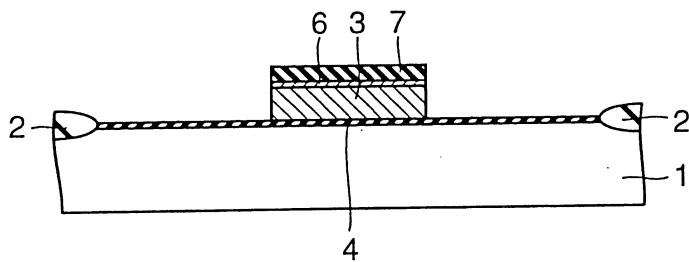


圖 6

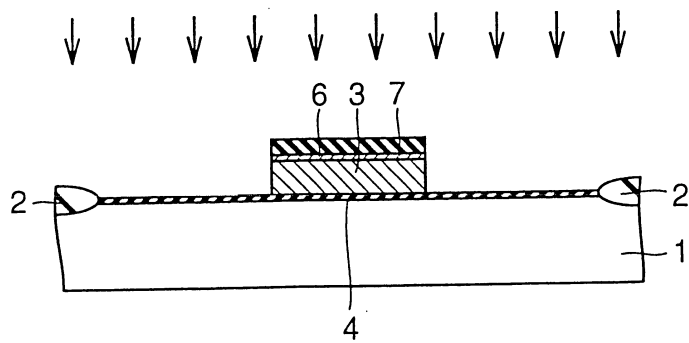


圖 7

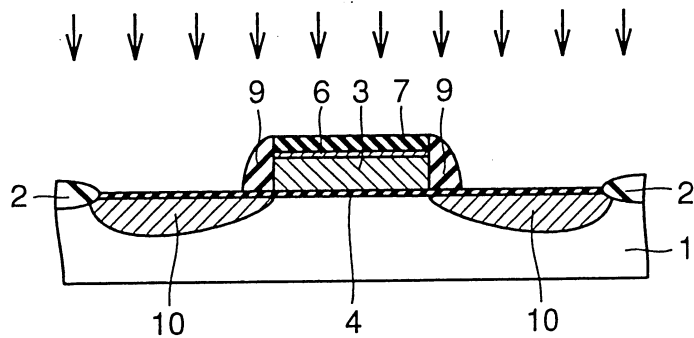


圖 8

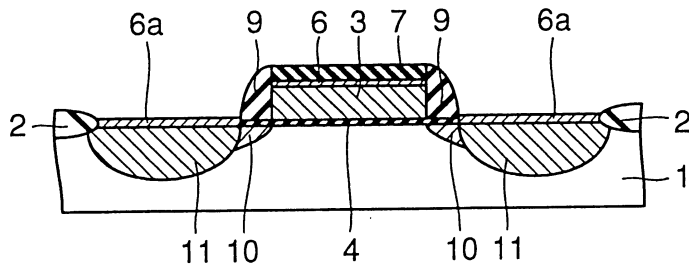


圖 9

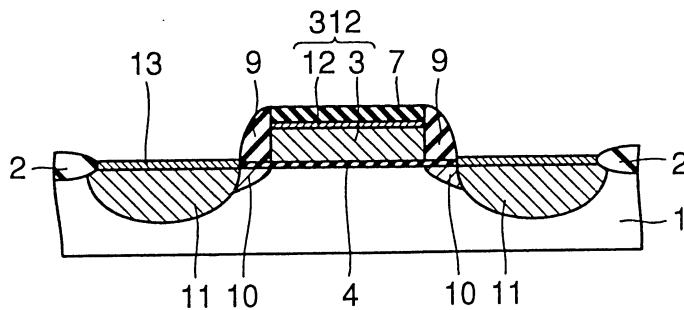


圖 10

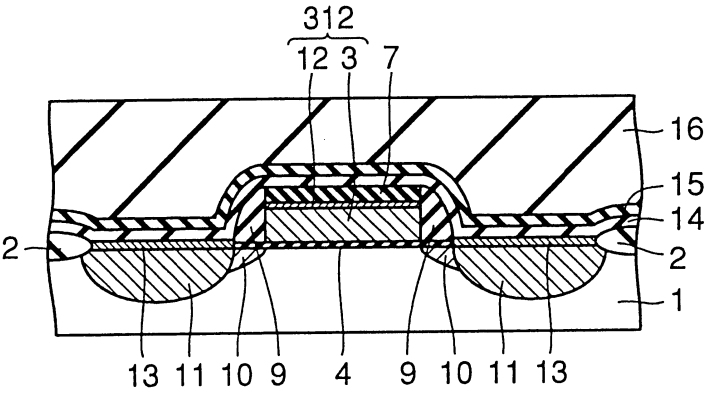


圖 11

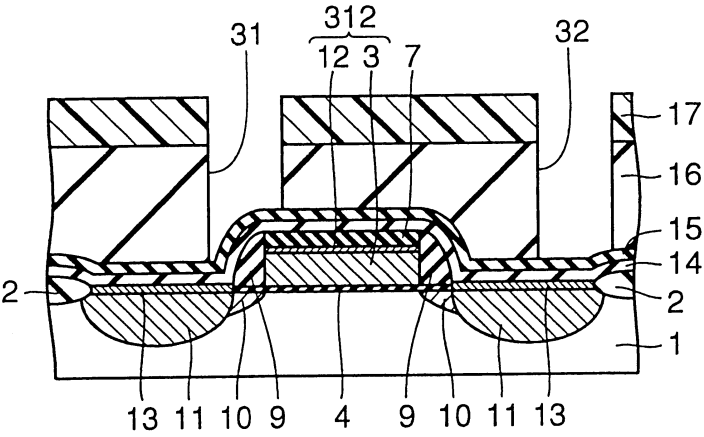


圖 12

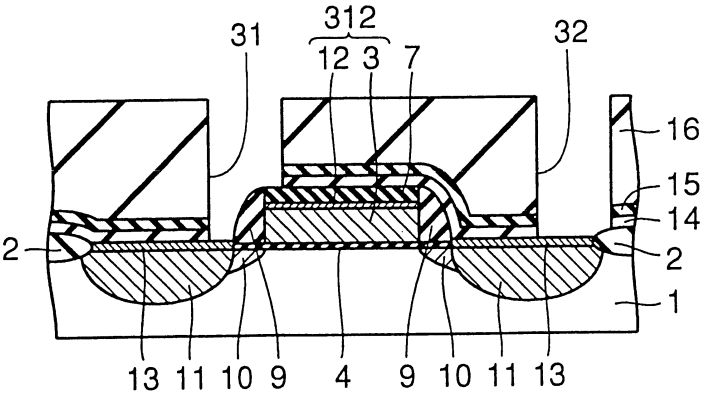


圖 13

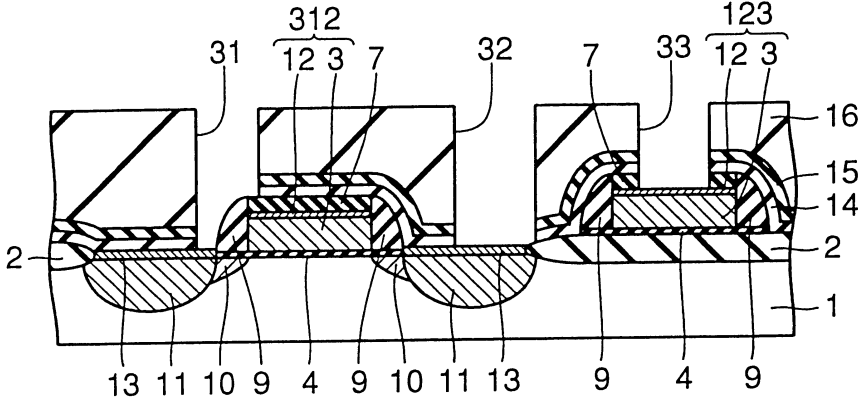


圖 14

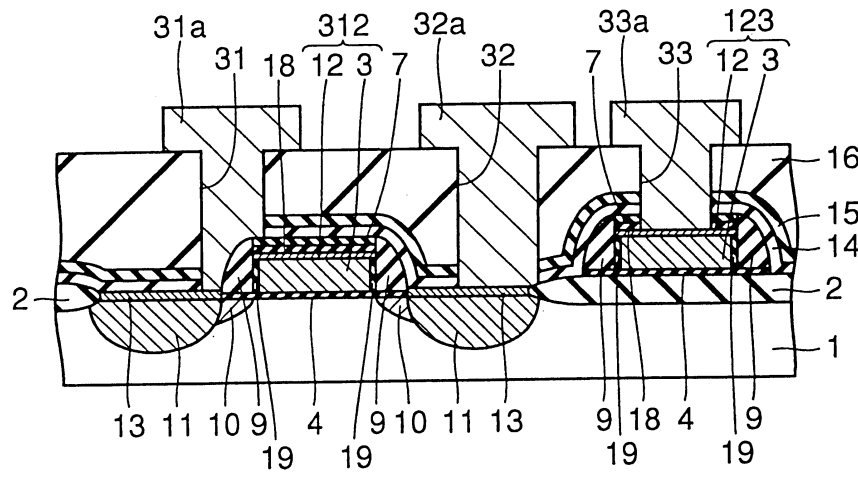
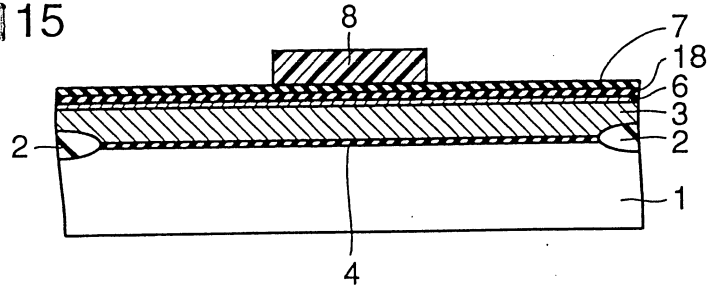
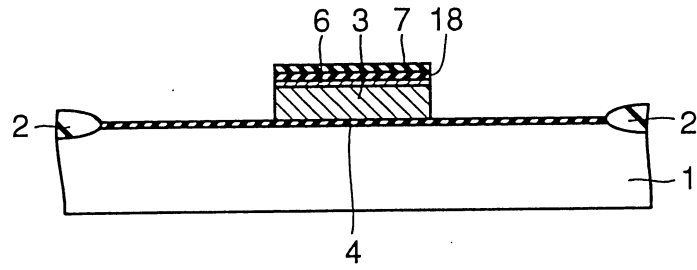
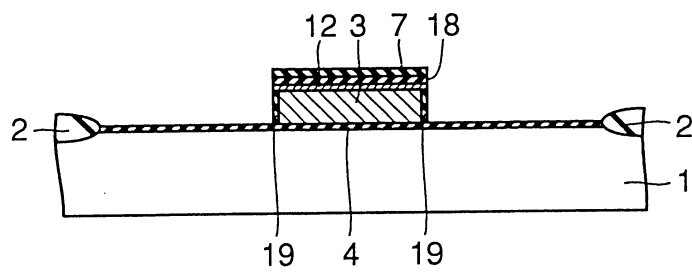


圖 15

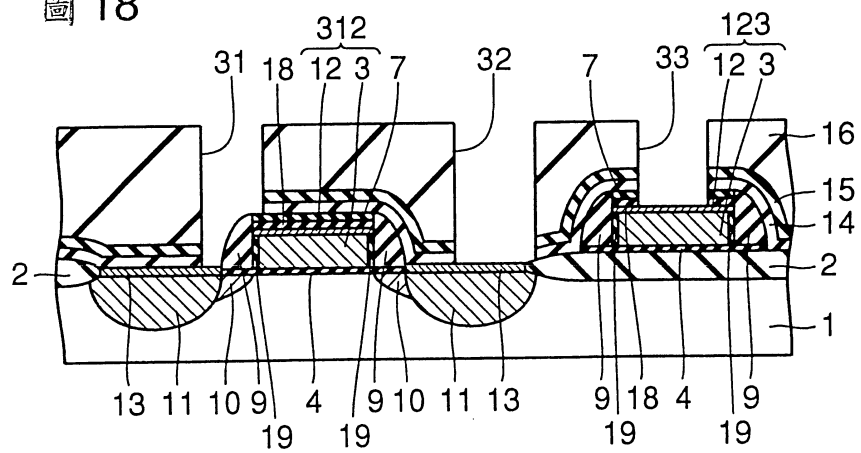


 16

17



18



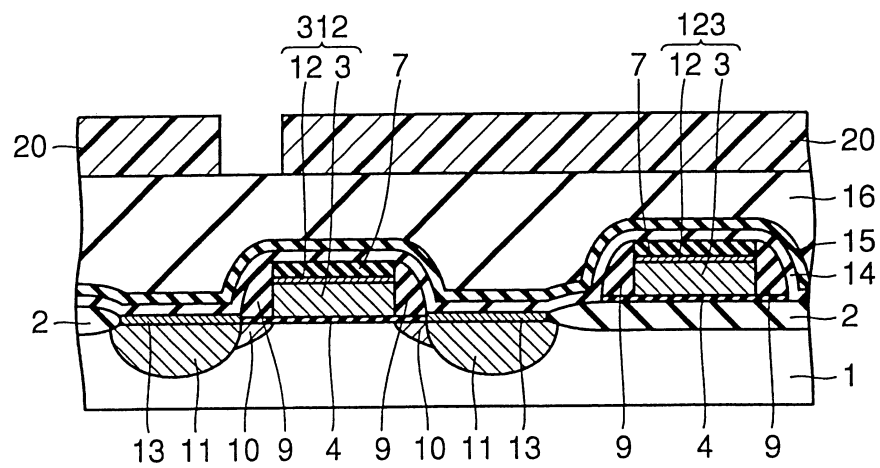


圖 21

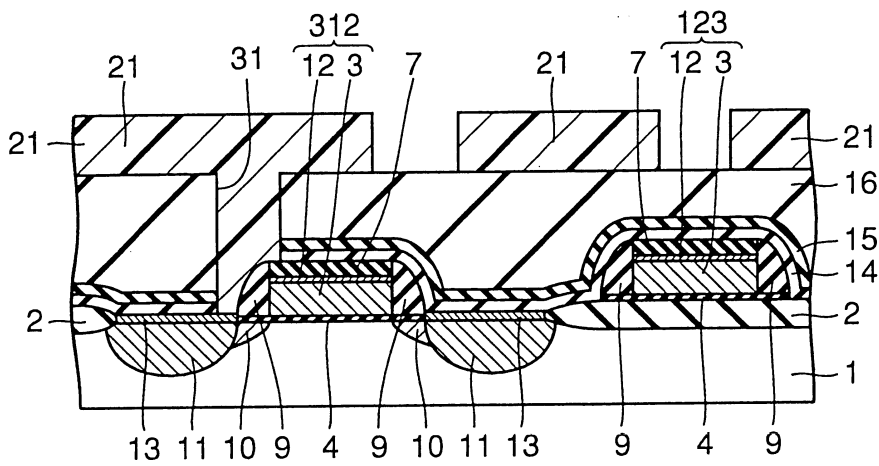
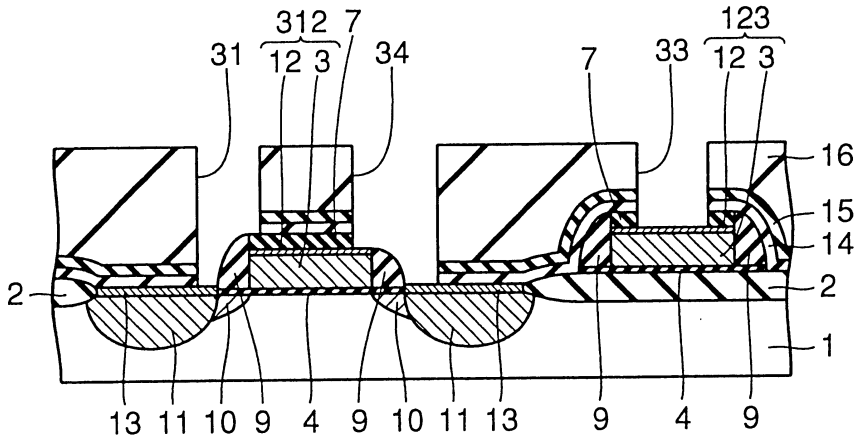


圖 22



23

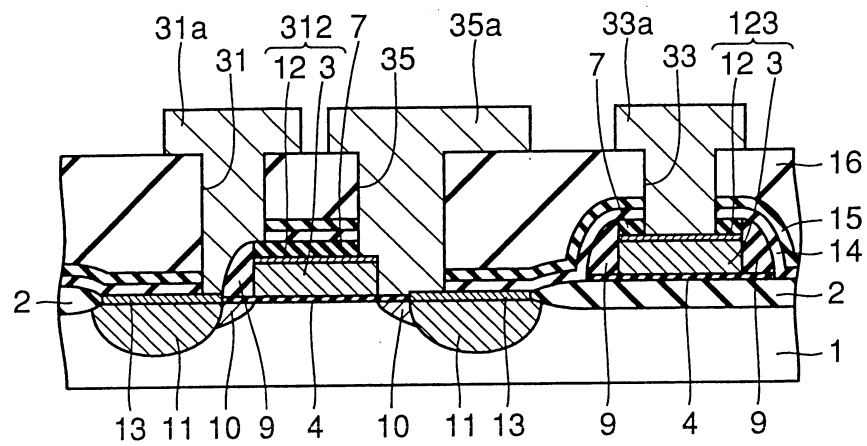


圖 24

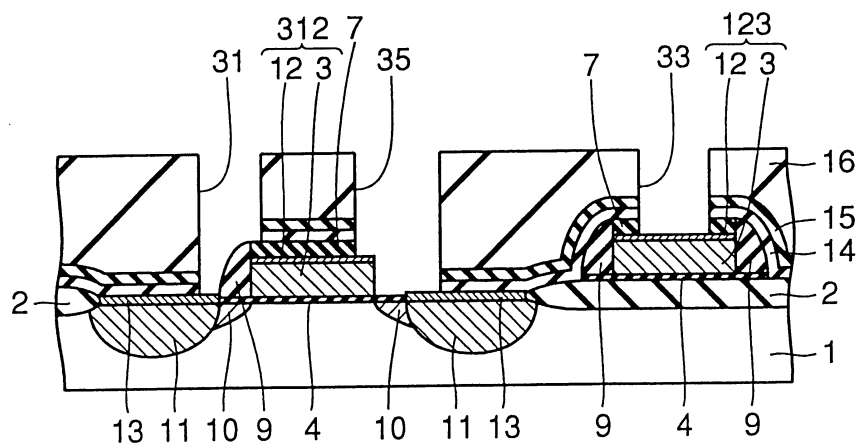


圖 25

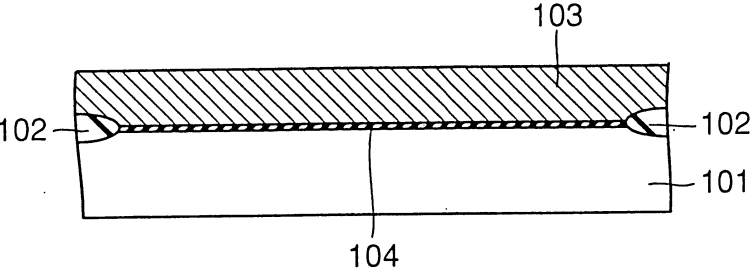


圖 26

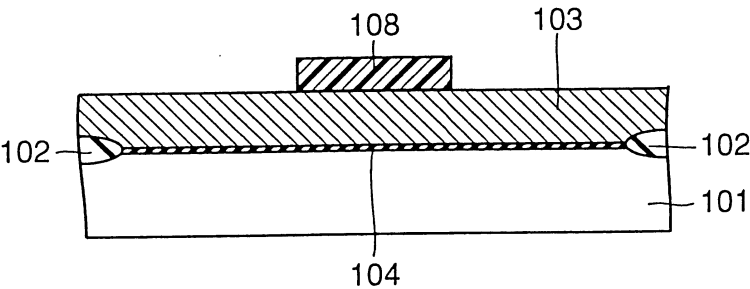


圖 27

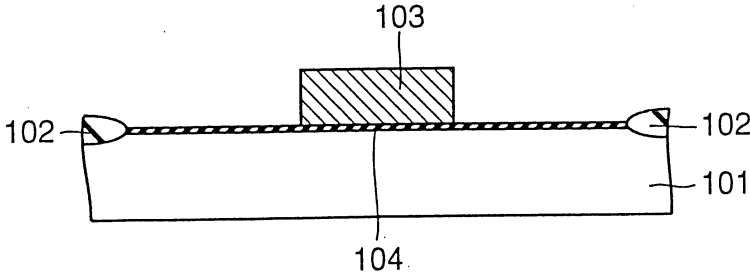


圖 28

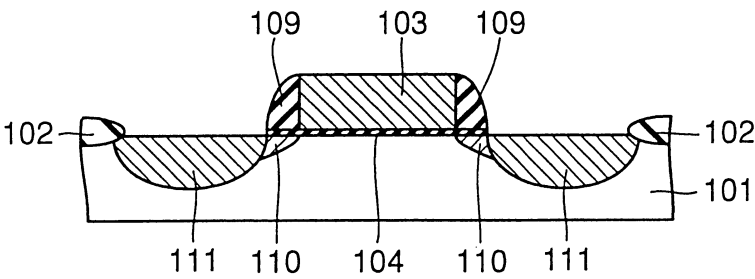


圖 29

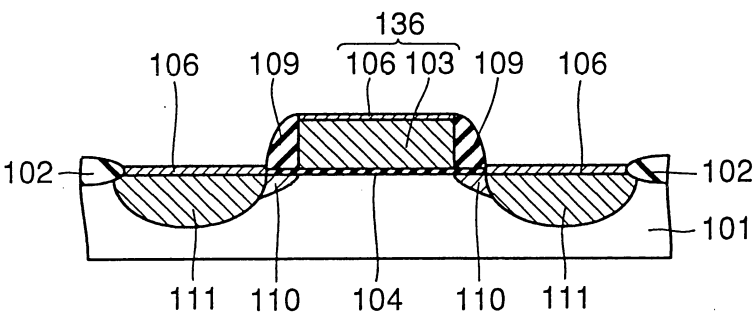


圖 30

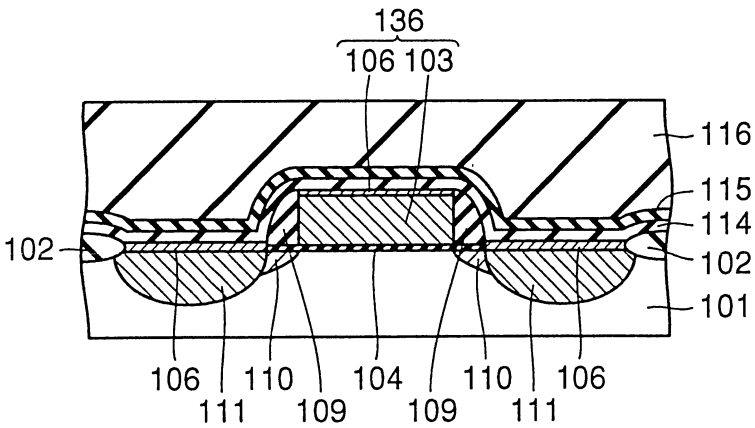


圖 31

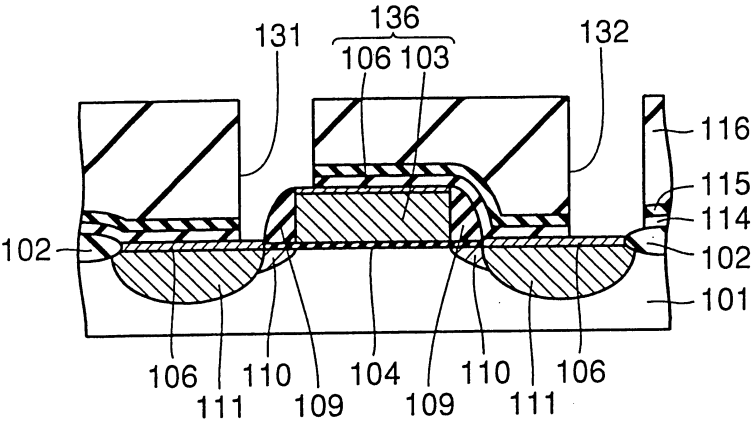


圖 32

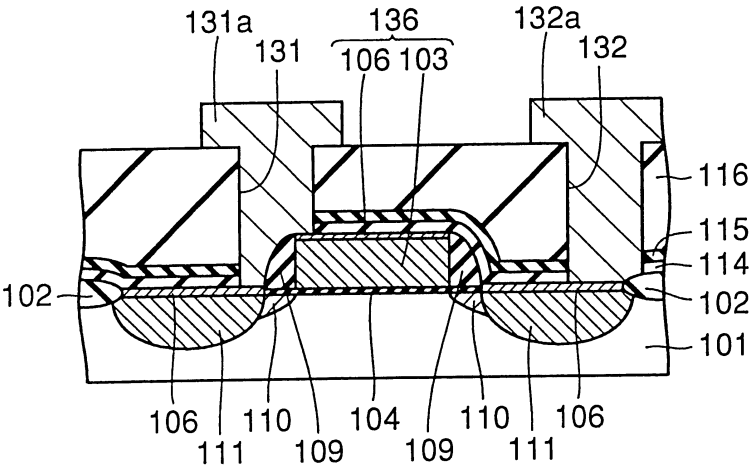


圖 33

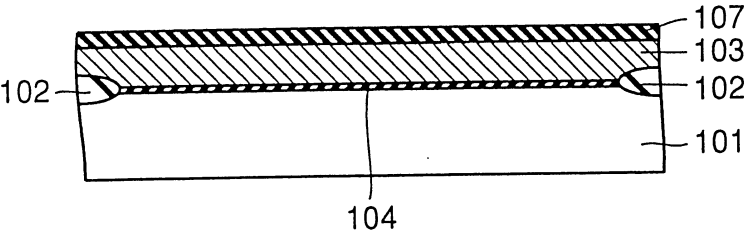


圖 34

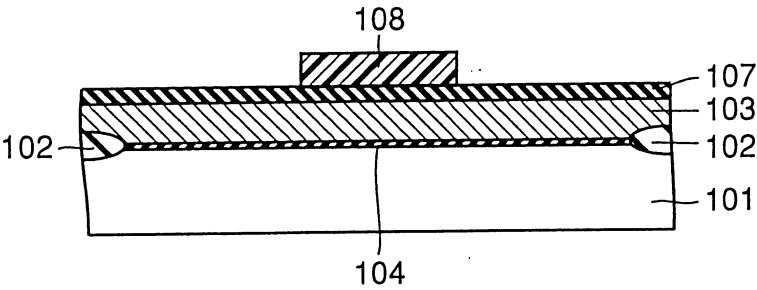


圖 35

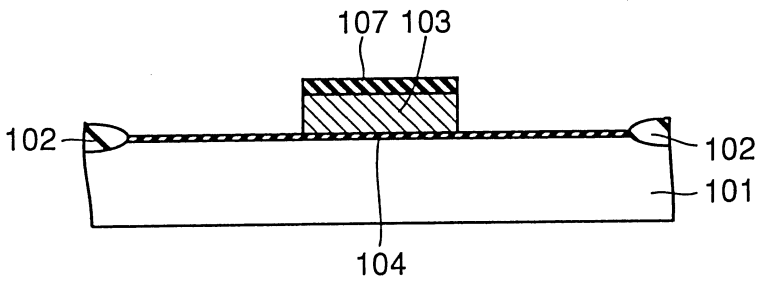


圖 36

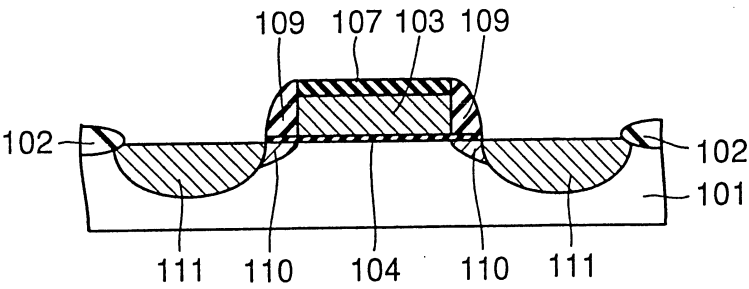


圖 37

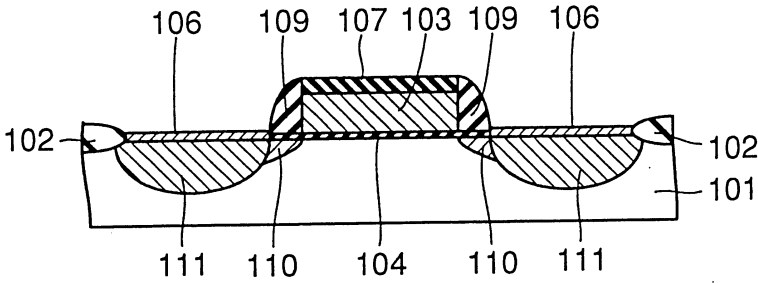


圖 38

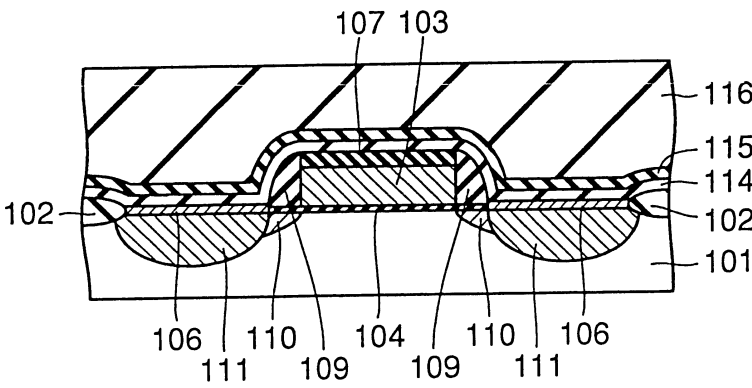
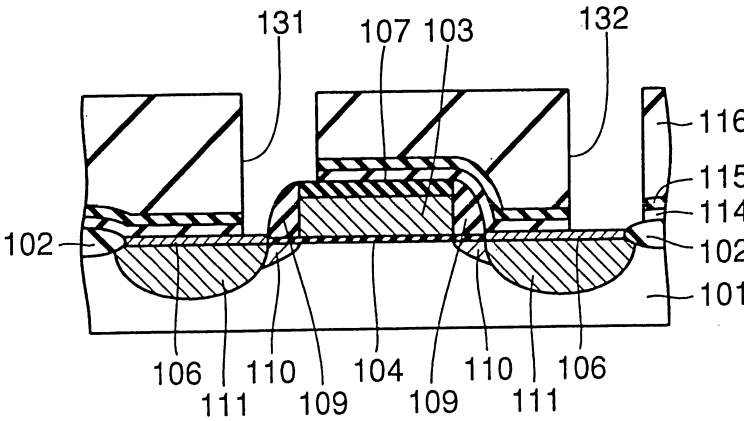


圖 39



40

