

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4900264号
(P4900264)

(45) 発行日 平成24年3月21日(2012.3.21)

(24) 登録日 平成24年1月13日(2012.1.13)

(51) Int. Cl.			F I		
HO 1 L	23/00	(2006.01)	HO 1 L	23/00	B
HO 5 K	1/02	(2006.01)	HO 5 K	1/02	K
HO 2 H	9/06	(2006.01)	HO 2 H	9/06	
HO 1 C	7/12	(2006.01)	HO 1 C	7/12	
HO 1 T	4/10	(2006.01)	HO 1 T	4/10	G

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2008-17160 (P2008-17160)
(22) 出願日	平成20年1月29日(2008.1.29)
(65) 公開番号	特開2009-181983 (P2009-181983A)
(43) 公開日	平成21年8月13日(2009.8.13)
審査請求日	平成22年7月8日(2010.7.8)

(73) 特許権者	000183406 住友電装株式会社 三重県四日市市西末広町1番14号
(74) 代理人	100067828 弁理士 小谷 悦司
(74) 代理人	100096150 弁理士 伊藤 孝夫
(74) 代理人	100127797 弁理士 平田 晴洋
(72) 発明者	杉村 嘉秋 三重県四日市市西末広町1番14号 住友 電装株式会社内
(72) 発明者	上田 亮平 三重県四日市市西末広町1番14号 住友 電装株式会社内

最終頁に続く

(54) 【発明の名称】 電子制御ユニットの耐静電気構造

(57) 【特許請求の範囲】

【請求項1】

基材の表面に配線パターンが形成されるとともに、それらの基材及び配線パターンの表面に絶縁膜が形成されてプリント基板が構成され、そのプリント基板に電子部品が実装されて成る電子制御ユニットの耐静電気構造であって、

プリント基板の外部と接続するための端子と、

前記端子と前記プリント基板に実装された電子部品との間に配置された配線と、

前記端子側から前記電子部品側に向かって多段に配置されるように前記配線と接続された4つの接続パッド部と、

前記4つの接続パッド部の各々に近接して配置された接地電位線と、

前記4つの接続パッド部の各々に一対一に対応しており、前記4つの接続パッド部の各々の一部、前記4つの接続パッド部の各々の前記一部に対向する前記接地電位線の一部及び、それら間の前記基材の表面が露出するように前記絶縁膜が除去された前記4つのアレスタと

を備えることを特徴とする電子制御ユニットの耐静電気構造。

【請求項2】

前記接続パッドの一部と、それに対向する前記接地電位線の一部との間の放電ギャップが、0.5mmであることを特徴とする請求項1記載の電子制御ユニットの耐静電気構造

。

【請求項3】

10

20

前記4つの接続パッド部は、インサーキットテスト用パッドを少なくとも1つ含むことを特徴とする請求項1または2記載の電子制御ユニットの耐静電気構造。

【請求項4】

前記複数の接続パッド部の各々は、略矩形形状を有し、

前記複数の接続パッド部の各々の少なくとも1つの頂点は、前記接地電位線に近接する近接頂点であり、

前記複数のアレスタの各々においては、前記複数の接続パッド部の各々の一部である前記複数の接続パッド部の各々の近接頂点、前記複数の接続パッド部の各々の前記近接頂点に対向する前記接地電位線の一部及び、それら間の前記基材の表面が露出するように前記絶縁膜が除去されていることを特徴とする請求項1または2に記載の電子制御ユニットの耐静電気構造。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自動車等の車両に搭載される電子制御ユニットの耐静電気構造に関する。

【背景技術】

【0002】

自動車等の車両に搭載される電子制御ユニットに内蔵されるプリント基板は、様々な電子部品を実装し、車両内の各部を制御するために必要な回路構成を実現している。ところで、プリント基板に実装される電子部品の中には、集積回路（IC、LSI等）やマイクロコンピュータのような耐静電気性の弱い電子部品が存在する。このような耐静電気性の弱い電子部品が実装されるプリント基板においては、通常、外部からの静電気の印加による電子部品の破壊を防止するための耐静電気対策が施されている。

20

【0003】

従来、電子部品等を実装するプリント基板の耐静電気構造として、以下に述べるものが挙げられる。例えば、特許文献1においては、プリント基板上で間隙をあけて対向した2つの導体パターンにおいて、各導体パターンに互いに対向して突出する突出パターンが形成された構造が開示されている。この構造の場合、2つの導体パターン間にサージ電圧が印加されると、突出パターンの先端部からアース側導体パターン側へ放電が行なわれ、プリント基板を構成する電子部品が保護される。

30

【0004】

また、特許文献2においては、プリント基板上のはんだレジストを剥がすことにより銅箔を露出させて放電経路が形成された構造が開示されている。この構造の場合、外部エネルギーが印加されると、形成された放電経路から外部エネルギーの放電が行なわれ、素子の破壊等の発生を防いでいる。

【特許文献1】特開2002-319746号公報

【特許文献2】特開平9-46895号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述したように、特許文献1が開示された耐静電気構造においては、対向する一对の突出パターンからなるアレスタをプリント基板上に形成し、このアレスタを介して静電気による高電圧を放電させ、プリント基板に実装された電子部品を保護している。しかしながら、特許文献1の耐静電気構造ではアレスタを形成する突出パターンのためのスペースを確保する必要があり、プリント基板の実装密度を高める上で障害となる問題点がある。

40

【0006】

一方、特許文献2が開示された耐静電気構造においては、はんだレジストを剥がすことにより2つの実装パターン間にアレスタを形成しており、このため、新たなスペースの確保が不要であり、プリント基板の実装密度の向上を阻害するものではない。しかしながら、特許文献2の耐静電気構造では1つのアレスタが入力端子側に配置されるのみである。

50

このため、アレスタにより外部エネルギーを完全に放電させることができなくなった場合には、電子部品の破壊を招いてしまう問題点がある。

【0007】

上記問題点に鑑み、本発明の目的は、プリント基板の実装密度の低下を招くことなく、耐静電気性を向上させることができる電子制御ユニットの耐静電気構造を提供することである。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の一局面に従う電子制御ユニットの耐静電気構造は、基材の表面に配線パターンが形成されるとともに、それらの基材及び配線パターンの表面に絶縁膜が形成されてプリント基板が構成され、そのプリント基板に電子部品が実装されて成る電子制御ユニットの耐静電気構造であって、プリント基板の外部と接続するための端子と、前記端子と前記プリント基板に実装された電子部品との間に配置された配線と、前記端子側から前記電子部品側に向かって多段に配置されるように前記配線と接続された4つの接続パッド部と、前記4つの接続パッド部の各々に近接して配置された接地電位線と、前記4つの接続パッド部の各々に一対一に対応しており、前記4つの接続パッド部の各々の一部、前記4つの接続パッド部の各々の前記一部に対向する前記接地電位線の一部及び、それら間の前記基材の表面が露出するように前記絶縁膜が除去された前記4つのアレスタとを備える。

【0009】

上記の電子制御ユニットの耐静電気構造では、多段に配置された複数のIC用パッドや実装パッドである接続パッド部に対応するように4段のアレスタが配置されているので、端子から印加される静電気を確実に放電させることができる。このため、電子制御ユニットの耐静電気性を向上させることができる。

【0010】

また、上記の電子制御ユニットの耐静電気構造では、4段に配置されたアレスタを形成するための特別なパターンを設ける必要が無く、あらかじめ所定のパターンが配置されたプリント基板上の絶縁膜の一部を除去するだけで実現される。このため、アレスタを設けるためのスペースは不要であり、プリント基板の実装密度を向上させることができる。

【0011】

好ましくは、前記接続パッドの一部と、それに対向する前記接地電位線の一部との間の放電ギャップが、0.5mmである。

【0012】

また好ましくは、前記4つの接続パッド部は、インサーキットテスト用パッドを少なくとも1つ含むことを特徴とする。

【0013】

前記複数の接続パッド部の各々は、略矩形形状を有し、前記複数の接続パッド部の各々の少なくとも1つの頂点は、前記接地電位線に近接する近接頂点であり、前記複数のアレスタの各々においては、前記複数の接続パッド部の各々の一部である前記複数の接続パッド部の各々の近接頂点、前記複数の接続パッド部の各々の前記近接頂点に対向する前記接地電位線の一部及び、それら間の前記基材の表面が露出するように前記絶縁膜が除去されていることが好ましい。

【0014】

この場合、略矩形形状の接続パッド部の頂点から静電気を放電させ、その頂点と比べて大面積の接地配線の一部に静電気を放電させることができるので、アレスタの放電効率を高めることができる。このため、電子制御ユニットの耐静電気性をより効果的に向上させることができる。

【発明の効果】

【0015】

本発明によれば、プリント基板の実装密度の低下を招くことなく、耐静電気性を向上さ

10

20

30

40

50

せることができる電子制御ユニットの耐静電気構造を提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、同じ要素については同じ符号を付しており、説明を省略する場合がある。図1は、本発明の実施の形態に係る電子制御ユニットの概略構成を示すブロック図である。

【0017】

本実施の形態に係る電子制御ユニット10は、図1に示すように、マイクロコンピュータ(以下、「マイコン」と呼ぶ。)11と、入力回路12と、出力回路13と、入力端子14a~14fと、出力端子15a、15bと、を備えている。具体的には、マイコン11、入力回路12及び、出力回路13は、同一のプリント基板上に配置されており、そのプリント基板に設けられた入力端子14a~14f及び、出力端子15a、15bを通して外部との間でやり取りを行う。

【0018】

本実施の形態に係る電子制御ユニット10は、例えば、車両に設けられたドアの開錠及び施錠を制御するドアロック制御ユニットである。もちろん、本実施の形態に係る電子制御ユニット10は、ドアロック制御ユニットに限るものではなく、例えば、車両の姿勢や制動を制御するためのブレーキ制御ユニットや、ステアリング操作時のアシスト力を制御するステアリング制御ユニット、速度やエンジン回転数に応じて変速比を切り替えるためのトランスミッション制御ユニット、ショックアブソーバーやブッシュ等の減衰力やスプリングのばね定数等を制御するサスペンション制御ユニット等のいずれであっても構わない。以下、本実施の形態に係る電子制御ユニット10がドアロック制御ユニットであるとして説明する。

【0019】

本実施の形態に係る電子制御ユニット10においては、車載バッテリー1に接続されたスイッチ2と入力回路12とが入力端子14aを通して接続されている。入力回路12は、スイッチ2が開状態の場合にはLowレベルの電圧をマイコン11に出力し、スイッチ2が閉状態の場合にはHighレベルの電圧をマイコン11に出力する。マイコン11は、入力回路12から出力される電圧のレベルに基づいてスイッチ2の開閉動作を検知する。

【0020】

さらに、本実施の形態に係る電子制御ユニット10においては、ドアの開錠及び施錠を制御するために必要な各種の検知信号を伝搬する複数の入力用信号線4が入力端子14b~14eを通して入力回路12に接続されている。また、接地電位3が入力端子14fを通してマイコン11、入力回路12、出力回路13の各々に供給されており、マイコン11、入力回路12、出力回路13の各々の内部には、接地電位3を供給するための接地配線が配置されている。

【0021】

本実施の形態のマイコン11は、入力回路12を介して入力される各種の制御信号と車載バッテリー1のスイッチ2の開閉動作の検知結果とを用いてドアロック制御を実行するための各種の制御信号を生成し、出力回路13に出力する。出力回路13は、出力端子15a、15bを通して出力用信号線5に接続されており、マイコン11が生成する各種の制御信号を出力用信号線5を用いて各部に伝搬する。

【0022】

次に、本実施の形態に係る電子制御ユニット10の耐静電気構造について説明する。背景技術の欄で説明したように、マイコン11のような耐静電気性の弱い電子部品が実装されるプリント基板においては、通常、外部からの静電気の印加による電子部品の破壊を防止するための耐静電気対策が必要である。したがって、例えば、図1の電子制御ユニット10において耐静電気対策が施されていないならば、入力端子14a~14eや、出力端子15a、15bを通して静電気が印加された場合に、その静電気は入力回路12、出力回路13を介してマイコン11に入力され、マイコン11の破壊を招いてしまうことになる

10

20

30

40

50

【 0 0 2 3 】

そこで、本実施の形態に係る電子制御ユニット10においては、耐静電気性の弱い電子部品であるマイコン11と、入力端子14a～14e、出力端子15a、15bとの間に複数のアレスタを配置可能とし、そうすることにより、耐静電気性の向上を図るものである。以下、この耐静電気性の向上を図る点について図2及び図3を用いて説明する。

【 0 0 2 4 】

図2は、入力回路12の一部の概略構成を示す回路図であり、図3は、入力回路12の一部の配線パターンを示す平面図である。図2及び図3においては、入力端子14aとマイコン11との間を結ぶ配線及び、入力端子14fに接続された接地配線のみが示されており、その他の入力端子14b～14eとマイコン11との間を結ぶ配線については省略されている。なお、本実施の形態では、入力端子14aとマイコン11との間を結ぶ配線を用いて説明するが、本発明はこれに限られるものではない。本発明は、その他の入力端子14b～14eとマイコン11との間を結ぶ配線においてももちろん適用可能である。また、本発明は、入力回路12に限らず、出力回路13、すなわち、出力端子15a、15bとマイコン11との間を結ぶ配線にも適用可能である。

【 0 0 2 5 】

本実施の形態の入力回路12においては、図2に示すように、入力端子14aとマイコン11との間を結ぶ配線上に入力端子14a側から順にダイオード21、抵抗22が介在している。さらに、抵抗22の入力端子14a側の一方の端部と接地配線との間に抵抗23が接続されている。上述したように、車載バッテリー1に接続されたスイッチ2が入力端子14aに接続されており、スイッチ2が閉じられると、車載バッテリー1からのHighレベルの電圧がダイオード21の整流作用によって抵抗22を介してマイコン11に出力される。スイッチ2が開けられると、車載バッテリー1と入力端子14aとの間は遮断され、マイコン11にはLowレベルの電圧が出力される。入力端子14aとマイコン11との間を結ぶ配線は抵抗23によって終端されており、配線の末端でのインピーダンスの不整合に伴う信号の反射及びそれによる波形の歪みが防止されている。また、ダイオード21は、その整流作用によりマイコン11側から入力端子14a側への信号の伝搬を防止している。

【 0 0 2 6 】

本実施の形態の入力回路12においては、図2に示すように、複数のアレスタ、すなわち、第1のアレスタ24a、第2のアレスタ24b、第3のアレスタ24c及び、第4のアレスタ24dが入力端子14aとマイコン11との間を結ぶ配線上に配置されている。第1のアレスタ24a、第2のアレスタ24b、第3のアレスタ24c及び、第4のアレスタ24dの各々は、入力端子14aから図中の符号Aで示す静電気が印加された場合に、入力端子14aから配線に出力された静電気を接地配線側に放電させることにより、マイコン11に静電気が出力されてしまうことを防止している。

【 0 0 2 7 】

また、本実施の形態の入力回路12においては、入力端子14aに最近接する第1のアレスタ24aが放電しなかった場合でも、次段の第2のアレスタ24bにより静電気の放電が可能である。そして、第2のアレスタ24bが放電しなかった場合でも、次段の第3のアレスタ24cにより静電気の放電が可能である。さらに、第3のアレスタ24cが放電しなかった場合でも、次段の第4のアレスタ24dにより静電気の放電が可能である。すなわち、静電気が放電される放電確率が上昇する。したがって、1つのアレスタが入力端子14a側に配置される場合と比較して、耐静電気性が大幅に向上する。

【 0 0 2 8 】

次に、図3を用いて本実施の形態の第1のアレスタ24a、第2のアレスタ24b、第3のアレスタ24c及び、第4のアレスタ24dの構成について説明する。図3は、図2に示した入力端子14aとマイコン11との間を結ぶ配線及びその周辺領域を示している。なお、図3は、電子制御ユニット10を構成するプリント基板の一部を示しているが、

そのプリント基板の表面全体にはプリント基板のはんだ付けを行う時にはんだ付けに必要な実装パッド以外の配線パターン等にはんだがつかないようにする耐熱性のコーティング材であるはんだレジストが塗布されている。はんだレジストは、はんだ付け時のはんだショートを抑え、絶縁性を保ち、プリント基板上の配線パターンを保護するための絶縁膜である。

【 0 0 2 9 】

入力端子 1 4 a とマイコン 1 1 との間を結ぶ配線は、図 3 に示すように、第 1 の配線パターン 2 5 b と、第 2 の配線パターン 2 6 b と、第 3 の配線パターン 2 7 b と、を有している。第 1 の配線パターン 2 5 b の端部の各々には、プリント基板のコネクタ部 3 0 に含まれる電極ランド 2 5 a 及び、実装パッド 2 5 c が設けられており、電極ランド 2 5 a は入力端子 1 4 a と接続され、実装パッド 2 5 c はダイオード 2 1 の一方の端部と接続されている。さらに、第 1 の配線パターン 2 5 b の中央付近には、インサーキットテスト用パッド（以下、「ICT 用パッド」と呼ぶ。）2 5 d が設けられている。また、第 2 の配線パターン 2 6 b の端部の各々には実装パッド 2 6 a、2 6 c が設けられており、実装パッド 2 6 a はダイオード 2 1 の他方の端部と接続され、実装パッド 2 6 c は抵抗 2 2、抵抗 2 3 の各々の一方の端部と接続されている。さらに、第 3 の配線パターン 2 7 b の端部の各々には実装パッド 2 7 a、2 7 c が設けられており、実装パッド 2 7 a は抵抗 2 2 の他方の端部と接続され、実装パッド 2 7 c はマイコン 1 1 の端子と接続されている。

【 0 0 3 0 】

入力端子 1 4 a とマイコン 1 1 との間を結ぶ配線の周辺領域には、図 3 に示すように、入力端子 1 4 f と接続され、接地電位 3 を入力回路 1 2 の内部に供給する接地配線 2 9 a、2 9 b、2 9 c が配置されている。抵抗 2 3 の他方の端部は接地配線 2 9 b と接続されている。

【 0 0 3 1 】

本実施の形態の第 1 のアレスタ 2 4 a、第 2 のアレスタ 2 4 b、第 3 のアレスタ 2 4 c 及び、第 4 のアレスタ 2 4 d は、図 3 に示すように、実装パッド 2 5 c、2 6 a、2 6 c、ICT 用パッド 2 5 d の各々と、接地配線 2 9 a、2 9 b、2 9 c との間の隙間である放電ギャップにより実現されている。具体的には、第 1 のアレスタ 2 4 a は、ICT 用パッド 2 5 d と、接地配線 2 9 a と、ICT 用パッド 2 5 d 及び接地配線 2 9 a の各々の一部を露出させるためのはんだレジストの開口部 2 8 a と、から構成されている。同様に、第 2 のアレスタ 2 4 b は、実装パッド 2 5 c と、接地配線 2 9 a と、実装パッド 2 5 c 及び接地配線 2 9 a の各々の一部を露出させるためのはんだレジストの開口部 2 8 b と、から構成され、第 3 のアレスタ 2 4 c は、実装パッド 2 6 a と、接地配線 2 9 b と、実装パッド 2 6 a 及び接地配線 2 9 b の各々の一部を露出させるためのはんだレジストの開口部 2 8 c と、から構成され、第 4 のアレスタ 2 4 d は、実装パッド 2 6 c と、接地配線 2 9 c と、実装パッド 2 6 c 及び接地配線 2 9 c の各々の一部を露出させるためのはんだレジストの開口部 2 8 d と、から構成されている。なお、本実施の形態では、第 1、第 2、第 3、第 4 のアレスタ 2 4 a、2 4 b、2 4 c、2 4 d を構成する接地配線として接地配線 2 9 a、2 9 b、2 9 c を用いたが、もちろん、図略のその他の接地配線を用いても構わない。

【 0 0 3 2 】

本実施の形態の第 1 のアレスタ 2 4 a においては、ICT 用パッド 2 5 d は略円形状である。開口部 2 8 a は、ICT 用パッド 2 5 d と、その頂点に対向する、接地配線 2 9 a の一部とを少なくとも含む領域を露出させている。開口部 2 8 a による露出により、入力端子 1 4 a から印加された静電気は、ICT 用パッド 2 5 d の露出した頂点からプリント基板の沿面あるいは大気を介して接地配線 2 9 a の露出した一部へ放電されることになる。本実施の形態では、略円形状の ICT 用パッド 2 5 d の頂点から静電気を放電させ、その頂点と比べて大面積の接地配線 2 9 a の一部に静電気を放電させており、その放電効率は比較的高いものとなる。また、本実施の形態では、第 1 のアレスタ 2 4 a を形成するために ICT 用パッド 2 5 d を利用しており、あらかじめ所定のパターンが配置されたプリ

10

20

30

40

50

ント基板上的のはんだレジストに開口部 28 a を設けるだけで良い。したがって、第 1 のアレスタ 24 a を設けるためのスペースを確保する必要は無く、プリント基板の実装密度を低下させることも無い。

【 0 0 3 3 】

本実施の形態の第 2 のアレスタ 24 b においては、実装パッド 25 c は略矩形の形状であり、4 つの頂点を持っている。開口部 28 b は、実装パッド 25 c の 1 つの頂点と、その頂点に対向する、接地配線 29 a の一部とを少なくとも含む領域を露出させている。開口部 28 b による露出により、入力端子 14 a から印加された静電気は、実装パッド 25 c の露出した頂点からプリント基板の沿面あるいは大気を介して接地配線 29 a の露出した一部へ放電されることになる。本実施の形態では、略矩形形状の実装パッド 25 c の頂点から静電気を放電させ、その頂点と比べて大面積の接地配線 29 a の一部に静電気を放電させており、その放電効率は比較的高いものとなる。また、本実施の形態では、第 2 のアレスタ 24 b を形成するために実装パッド 25 c を利用しており、あらかじめ所定のパターンが配置されたプリント基板上的のはんだレジストに開口部 28 b を設けるだけで良い。したがって、第 2 のアレスタ 24 b を設けるためのスペースを確保する必要は無く、プリント基板の実装密度を低下させることも無い。なお、上記の説明は、本実施の形態の第 3、第 4 のアレスタ 24 c、24 d についても同様であり、ここでは説明を繰り返さない。

【 0 0 3 4 】

次に、本実施の形態の第 1 のアレスタ 24 a、第 2 のアレスタ 24 b、第 3 のアレスタ 24 c 及び、第 4 のアレスタ 24 d の配置に起因する効果について具体例を用いて説明する。まず、前提条件として、各アレスタ 24 a、24 b、24 c、24 d に印加される静電気の電圧が 20 kV、アレスタ 24 a、24 b、24 c、24 d の各々の放電ギャップが 0.5 mm である場合、各アレスタ 24 a、24 b、24 c、24 d の放電確率が 60 ~ 70 % になることが本発明者らによりあらかじめ確認されている。

【 0 0 3 5 】

この条件の下、まず、開口部 28 a、28 b、28 c、28 d のすべてを形成しない、つまり、アレスタ 24 a、24 b、24 c、24 d を設けない場合には、20 kV の静電気を入力端子 14 a に印加したところ、10 回の印加中すべての印加においてマイコン 11 は故障した。

【 0 0 3 6 】

次に、アレスタ 24 a のみを設けた場合には、20 kV の静電気を入力端子 14 a に印加したところ、10 回の印加中 30 ~ 40 % の確率でマイコン 11 は故障した。

【 0 0 3 7 】

次に、アレスタ 24 a、24 b、24 c、24 d のすべてを設けた場合には、20 kV の静電気を入力端子 14 a に印加したところ、50 回印加を繰り返してもマイコン 11 は故障しなかった。この点は、各アレスタ 24 a、24 b、24 c、24 d の放電確率が 60 ~ 70 % であれば、マイコン 11 が故障する確率は、各アレスタ 24 a、24 b、24 c、24 d が放電しない確率、すなわち、30 ~ 40 % の積となるはずである。各アレスタ 24 a、24 b、24 c、24 d が放電しない確率の積は、0.81 ~ 2.6 % となることから、50 回印加を繰り返してもマイコン 11 が故障しないことは妥当なことと言える。

【 0 0 3 8 】

以上説明したように、本発明の実施の形態によれば、外部から静電気が入力端子 14 a を通して印加されても、入力端子 14 a から耐静電気性の弱い電子部品であるマイコン 11 に至る配線上に配置されたアレスタ 24 a、24 b、24 c、24 d により静電気が放電され、マイコン 11 に静電気が出力されることが防止される。したがって、電子制御ユニットの耐静電気性が向上する。同時に、アレスタ 24 a、24 b、24 c、24 d を形成するための特別なパターンを設けることなく、プリント基板上的のはんだレジストに開口部 28 a、28 b、28 c、28 d を設けるだけでアレスタ 24 a、24 b、24 c、24 d が実現される。このため、プリント基板の実装密度を低下させることも無い。

【 0 0 3 9 】

今回開示した本発明の実施の形態は、例示であってこれに限定されるものではない。本発明の範囲は開示した内容ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

【 図面の簡単な説明 】

【 0 0 4 0 】

【 図 1 】本発明の実施の形態に係る電子制御ユニットの概略構成を示すブロック図である。

【 図 2 】入力回路の一部の概略構成を示す回路図である。

【 図 3 】入力回路の一部の配線パターンを示す平面図である。

10

【 符号の説明 】

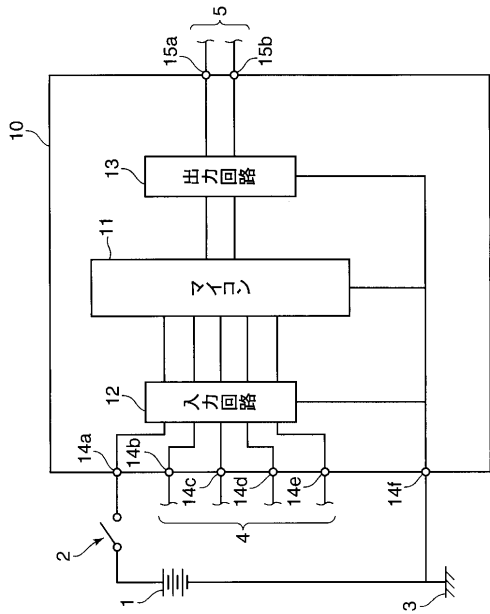
【 0 0 4 1 】

- 1 車載バッテリー
- 2 スイッチ
- 3 接地電位
- 4 入力用信号線
- 5 出力用信号線
- 1 0 電子制御ユニット
- 1 1 マイクロコンピュータ (マイコン)
- 1 2 入力回路
- 1 3 出力回路
- 1 4 a、1 4 b、1 4 c、1 4 d、1 4 e、1 4 f 入力端子
- 1 5 a、1 5 b 出力端子
- 2 1 ダイオード
- 2 2、2 3 抵抗
- 2 4 a、2 4 b、2 4 c、2 4 d アレスタ
- 2 5 a 電極ランド
- 2 5 c、2 6 a、2 6 c、2 7 a、2 7 c 実装パッド
- 2 5 b、2 6 b、2 7 b 配線パターン
- 2 5 d I C T用パッド
- 2 8 a、2 8 b、2 8 c、2 8 d 開口部
- 2 9 a、2 9 b 接地配線
- 3 0 コネクタ部

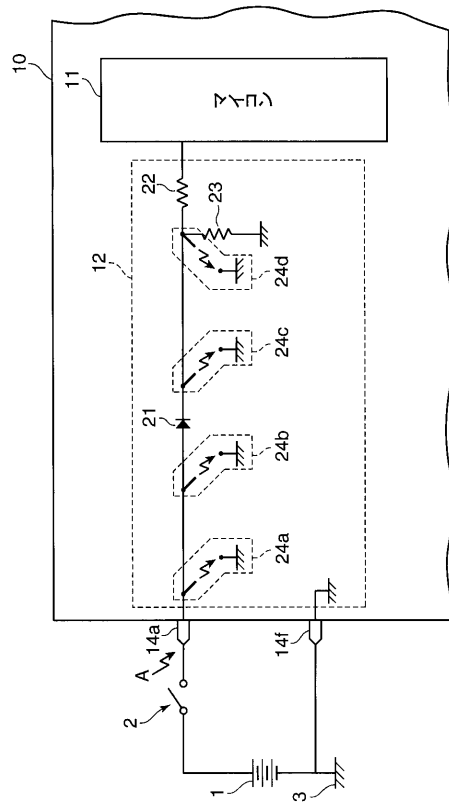
20

30

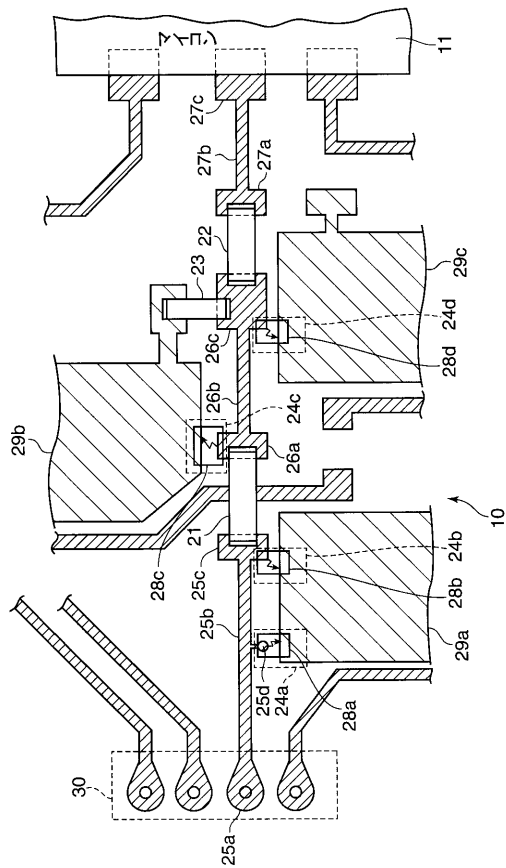
【図1】



【図2】



【図3】



フロントページの続き

審査官 日比野 隆治

- (56)参考文献 実開平03 - 048329 (JP, U)
特開平09 - 046895 (JP, A)
特開2001 - 007455 (JP, A)
特開平03 - 272599 (JP, A)
特開2006 - 156955 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	23/00
H05K	1/02
H01C	7/12
H01T	4/10
H02H	9/06