

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96131938

※ 申請日期： 96.8.28 ※IPC 分類：H01L 21/027(2006.01)
21/336(2006.01)

一、發明名稱：(中文/英文)

藉由大於二係數之單一間隙壁倍增間距之方法及相關之中間積體電路結構

SINGLE SPACER PROCESS FOR MULTIPLYING PITCH BY A
FACTOR GREATER THAN TWO AND RELATED INTERMEDIATE IC
STRUCTURES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 大衛 H 威爾斯
WELLS, DAVID H.
2. 米爾柴佛 K 阿巴契夫
ABATCHEV, MIRZAFER K.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 俄羅斯 RUSSIA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年08月30日；11/514,117

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

在數個具體實施例中，本發明一般係關於用於半導體製造的遮罩技術，且更特定言之係關於包括間距倍增的遮罩技術。

【先前技術】

由於許多因素(包括對增加之可攜性、計算功率、記憶體容量及能量效率的需求)，積體電路在大小上係連續地減低。形成積體電路的構成特徵(例如，電裝置與互連線)之大小亦係不斷減小以便於此大小減低。

減小特徵大小的趨勢在積體電路(IC)工業中較明顯，例如，在諸如動態隨機存取記憶體(DRAM)、快閃記憶體、靜態隨機存取記憶體(SRAM)及鐵電(FE)記憶體之類的記憶體電路或裝置中。積體電路記憶體之其他範例包括MRAM(包括磁阻元件)、可程式化熔絲記憶體、可程式化導體記憶體(包括金屬摻雜之硫族玻璃元件)、SRAM、SDRAM、EEPROM及其他揮發性與非揮發性記憶體方案。例如，一DRAM傳統上包含數百萬個相同電路元件，稱為記憶體單元。DRAM記憶體單元傳統上包括兩個電裝置：一儲存電容器與一存取場效電晶體。每一記憶體單元係一可定址位置，其可儲存一資料位元(二進制數字)。一位元可透過該電晶體而係寫入一單元並可藉由感測該電容器中之電荷而係讀取。藉由減小包含記憶體單元之電裝置的大小與存取該等記憶體單元之導電線的大小，可將記憶體裝

置做得更小。此外，可藉由將更多記憶體單元適配於記憶體裝置中之一給定區域內來增加儲存容量。

諸如導電線之類的特徵傳統上係使用一程序形成，其中定義該等特徵之一圖案首先係形成於一半導體基板上之一臨時層中並隨後使用傳統蝕刻化學轉移至該基板。一般將微影蝕刻用於在一光可定義(或光阻)層內圖案化此類特徵。在微影蝕刻中，使用一程序在該光可定義層中形成一特徵圖案，該程序包括將光(或輻射)透過具有對應於該特徵圖案之一圖案的一主光罩而導向要形成於該基板中之特徵圖案。

特徵的大小可藉由"間距"之概念加以說明，其係定義為兩個相鄰特徵中的相同點之間的距離。通常藉由相鄰特徵之間的間隙來定義此等特徵。通常藉由一材料(例如絕緣物)來填充間隙。因此，對於規則圖案(例如，陣列)，可將間距視為一特徵之寬度與在該特徵之一側上分離該特徵與一相鄰特徵的間隙之寬度的總和。然而，由於諸如光學元件與光(或輻射)波長之類的因素所致，微影蝕刻技術各具有一最小間距，低於該最小間距一特定微影蝕刻技術不能可靠地形成特徵。因此，一給定微影蝕刻技術之最小間距限制係進一步減低特徵大小之一阻礙。

"間距倍增"或"間距加倍"係用於延伸微影蝕刻技術之能力而超出其最小間距之一建議方法。一間距倍增方法係在圖 1A 至 1F 中加以解說並在 Lowrey 等人的美國專利第 5,328,810 號中加以說明，其整個揭示內容以引用方式併入

本文中。參考圖 1A，線 10 之一圖案係以微影蝕刻方式形成於一光阻層中，其覆蓋一消耗性材料之一層 20，其進而覆蓋一基板 30。如圖 1B 所示，接著使用一蝕刻(例如一各向異性蝕刻)來將該圖案轉移至該層 20，從而形成佔位或心軸 40。可剝離該等光阻線 10 並可各向同性地蝕刻該等心軸 40 以增加相鄰心軸 40 之間的距離，如圖 1C 所示。隨後在該等心軸 40 上沈積一間隙壁材料層 50，如圖 1D 所示。接著在該等心軸 40 之側上形成間隙壁 60，即，從另一材料之側壁延伸或從另一材料之側壁延伸的最初形成之材料。該間隙壁形成係藉由以一方向性間隙壁蝕刻優先從該等水平表面 70 與 80 蝕刻該間隙壁材料來完成，如圖 1E 所示。接著移除剩餘心軸 40，從而僅留下該等間隙壁 60，其一起用作一用於圖案化之遮罩，如圖 1F 所示。因而，在一給定間距先前包括定義一特徵與一間隙之一圖案之處，該相同寬度現包括兩個特徵與兩個間隙，該等間隙係藉由(例如)該等間隙壁 60 加以定義。因此，一微影蝕刻技術可用的最小特徵大小係有效減小。

儘管在上面的範例中該間距實際上係減半，此間距減低傳統上係稱為間距"加倍"或更一般而言係稱為間距"倍增"。因而，傳統上，藉由一特定係數之間距"倍增"實際上涉及藉由該係數減低該間距。因而，可以兩個相反意義使用間距：一規則圖案中的相同元件之間的距離與一固定線性距離中的特徵數目。間距倍增(或間距加倍)採用後者意義，即，若將該間距加倍，則在微影蝕刻已定義僅一特徵與間

隙之一區域中定義兩個特徵與間隙。

Wells("Wells")的2005年6月9日申請的美國專利申請案第11/150,408號揭示使用間隙壁作為用於隨後之間隙壁的心軸來形成間距倍增之特徵的方法。依據其中揭示的方法，在一基板上的心軸之側壁上形成一第一間隙壁集。基於該等側壁位置來選擇該等間隙壁之寬度以使得該等間隙壁處於所需位置的中心。移除該等心軸並將該等間隙壁用作用於一隨後間隙壁形成之心軸。接著，將一第二材料沈積於該第一間隙壁集上並回蝕以形成一第二間隙壁集。選擇該第二間隙壁集之寬度使得此等間隙壁亦處於其所需位置的中心。移除該第一間隙壁集並將該第二間隙壁集用作用於蝕刻一基板之一遮罩。因此，實現藉由一係數四的間距倍增，且此技術可因此係延伸至藉由一係數8、16等的間距倍增。

如另一範例，Sant等人("Sant")的2005年6月2日申請的美國專利申請案第11/144,543號揭示用於使用多個間隙壁形成階段來形成間距倍增之特徵的方法。依據其中揭示的方法，將多個間距倍增之間隙壁用於形成具有格外小關鍵尺寸之特徵的遮罩圖案。移除複數個心軸周圍形成的每一對間隙壁之一者並在剩餘間隙壁周圍沈積交替層，其由兩個可相互選擇性蝕刻的材料形成。接著蝕刻由該等材料之一者形成的層，從而留下由該等材料之另一者形成的垂直延伸層，其形成一遮罩圖案。或者，代替沈積交替層，而將非晶碳沈積於剩餘間隙壁周圍，然後係在該非晶碳上形

成間隙壁對、移除該等間隙壁對之一者及沈積一非晶碳層的複數個循環。可重複該等循環以形成所需圖案。

使用多個間隙壁形成步驟用於間距倍增的方法導致較大處理成本。例如，Wells的美國專利申請案第11/150,408號之方法形成間隙壁兩次以實現藉由一係數四之間距倍增。此外，形成緊密間隙之特徵必需高解析度光學掃描器之使用，其可增加處理成本。例如，在申請時具有一大約100 nm之解析度的一248奈米(nm)光學掃描器花費大約\$2000萬，而具有一大約65 nm之解析度的一193 nm掃描器花費大約\$3000萬。此外，目前可用於與193 nm掃描器一起使用的光阻材料不如可用於248 nm掃描器的該些光阻材料強固，從而添加最新光阻遮罩上間隙壁形成的限制。

因此，有利的係形成低於一微影蝕刻技術之最小間距的特徵，同時最小化處理步驟之數目及最終最小化處理時間與成本。此外，有利的係允許間距係倍增之程度的靈活性。

【發明內容】

依據本發明之具體實施例，提供使用一單一間隙壁步驟來完成藉由一係數 $2n$ 之間距倍增的方法，因而提供實質靈活性及處理時間與成本的節省。此外，可使用較便宜的光學掃描器(例如，365 nm掃描器)來執行依據具體實施例之方法，因而添加處理成本之額外節省。

依據本發明之具體實施例，在一基板上提供 n (其中 $n \geq 2$)層堆疊之心軸。該基板可包含一矽晶圓、另一半導體材

料之一晶圓、或包括一半導體材料之一層與一或多個介入層(例如，硬遮罩層)之另一塊狀基板。該等 n 層心軸之各層可包含實質上彼此平行的複數個心軸。在一具體實施例中，該等心軸定義平行線。可將處於層 n 之心軸置放於處於層 $n-1$ 之心軸上，其係相對於處於層 $n-1$ 之心軸而置放於其上與中心並與處於層 $n-1$ 之心軸直接接觸。處於層 n 的相鄰心軸之間的橫向距離或間隙可大於處於層 $n-1$ 的相鄰心軸之間的橫向距離或間隙。接下來，在該等心軸周圍同時形成間隙壁，並移除該等心軸之曝露部分，從而留下一間隙壁圖案。接著將該間隙壁圖案用於處理。例如，可隨後提供一蝕刻化學以將該間隙壁圖案轉移至下部基板。此步驟可能必需將該間隙壁圖案轉移至覆蓋該基板之一或多個硬遮罩層及隨後移除該等間隙壁。依據本發明之具體實施例的方法的間距可藉由一係數 $2n$ 倍增。例如，對於兩層心軸($n=2$)，該間距係藉由一係數四倍增，而對於三層心軸($n=3$)，該間距係藉由一係數六、八等倍增。

在一具體實施例中，該基板包含一上部層間介電(ILD)層且透過該遮罩之處理形成鑲嵌溝渠。在此一情況下，該間隙壁圖案包含具有連接迴路端的伸長之線，且該方法進一步包含在將該間隙壁圖案轉移成該ILD之前阻隔該等迴路端。在另一具體實施例中，該基板包含一導體(例如，Si、多晶矽、Al、W、 WSi_x 、Ti、TiN等)而該間隙壁圖案包含具有連接迴路端的伸長之線。在此一情況下，在將該間隙壁圖案轉移至該導體之前或之後移除該等迴路端。

可將具體實施例之方法用於形成藉由一係數四、六等之間距倍增之一特徵(例如，線)圖案。此類特徵可用作各種裝置(例如具有規則電裝置陣列的裝置)中的組件，尤其係用於揮發性與非揮發性記憶體裝置(例如 DRAM、ROM 或快閃記憶體，包括 NAND 快閃記憶體)之記憶體單元陣列的線陣列，與邏輯陣列。

應明白，當一材料之蝕刻速率係曝露至相同蝕刻劑的其他材料之蝕刻速率的至少大約 2 倍大時，該材料係視為可選擇性或優先蝕刻。在某些具體實施例中，該蝕刻速率係曝露至相同蝕刻劑的其他材料之蝕刻速率的至少大約 10 倍大、至少大約 20 倍大或至少大約 40 倍大。在本發明之具體實施例的背景，"選擇性"係用於表示對於一給定蝕刻劑一或多個材料相對於一或多個其他材料之蝕刻速率的一蝕刻速率。如一範例，對於包含一第一層與一第二層之一基板，對包含該第一層之材料有選擇性的一蝕刻化學以一實質上比該第二層更大的速率來蝕刻該第一層。

將在兩個情況之背景下說明本發明之具體實施例。在第一情況中，在一基板中形成藉由一係數四之間距倍增之一特徵圖案。在一第二情況中，在一基板中形成藉由一係數六之間距倍增之一特徵圖案。應明白，可將本文中提供之方法用於形成藉由一大於六係數之間距倍增之特徵。如一範例，可將依據具體實施例之方法用於形成藉由一係數八、十等之間距倍增之特徵。

【實施方式】

現將參考圖式，在所有圖式中相同數字表示相同部件。應明白，該等圖式及其中的特徵不必按比例繪製。此外，儘管以下說明指定特定材料，熟習此項技術者會容易地明白可採用材料之其他組合並使用更少或更大數目之硬遮罩與臨時層，其間具有或不具有額外蝕刻停止層，假定對於所說明的轉移步驟適合的選擇性蝕刻化學可用。

藉由一係數四之間距倍增

參考圖2A，在一具體實施例中，在置放於複數個層上之一光可定義層81中形成一特徵圖案，該複數個層從頂部至底部包括一第一硬遮罩層82、一第二硬遮罩層83、一第三硬遮罩層84及一基板85。該基板可包括要圖案化或摻雜的一頂部半導體層或一晶圓之一部分、要圖案化的一導電層或要圖案化的一絕緣物以形成(例如)鑲嵌特徵。儘管所解說具體實施例包含第一、第二及第三硬遮罩層82至84，應明白可根據需要提供其他層。還可將該第三硬遮罩層84稱為一"蝕刻停止"或"轉移層"。此外，儘管編號為第一、第二及第三(從頂部至底部)，該術語可容易地以相反順序加以使用。

應明白，可將方法具體實施例用於圖案化一半導體晶圓上之一導電層(例如，Si、多晶矽、Al、W、 WSi_x 、Ti、TiN等)以形成導電線，一半導體晶圓或一半導體晶圓上之一絕緣物(例如， SiO_2)以形成鑲嵌特徵。

參考圖2B，使用對包含該等第一與第二硬遮罩層82與83之材料有選擇性之一蝕刻化學來將該特徵圖案轉移至該等

第一與第二硬遮罩層82與83。即，該蝕刻化學以比周圍層(例如該曝露的第三硬遮罩層84)更快之一速率來蝕刻該等第一與第二硬遮罩層82與83。該圖案轉移可同時移除該光可定義層81，或其可在一分離步驟中進行移除。接下來，各向同性地蝕刻(或"修整")該第一硬遮罩層82，如圖2C所示。包含該等第一與第二硬遮罩層82與83之特徵分別定義複數個第一心軸86與複數個第二心軸87。該等第一心軸平行於該等第二心軸延伸。儘管未顯示，在其他配置中若需要還可修整該等第二心軸87以增加其間的間隙，但其保持比該覆蓋第一心軸86更寬。

在所解說具體實施例中，該等第一與第二心軸86與87係向該頁之平面內定向的平行線。每一第一心軸86可具有小於對應的下部第二心軸87之一第二寬度之一第一寬度。可將該第一心軸86實質上置放於該第二心軸87上。在一具體實施例中，該第一心軸86相對於該第二心軸87處於中心。

接下來，參考圖2D，同時在該等第一與第二心軸86與87之側壁上形成間隙壁88。如此項技術中已知，可藉由保形沈積與一間隙壁層之水平部分的一各向異性(或方向性)選擇性移除來形成此類間隙壁。

參考圖2E，蝕刻該等第一與第二心軸86與87之曝露部分89以形成一間隙壁圖案90。接著可將該間隙壁圖案90用作一硬遮罩。例如，如圖2F所示，可隨後將該圖案90轉移至該第三硬遮罩層84，從而在該第三硬遮罩層84中形成線84a之一圖案。因此，藉由一係數四之間距倍增之一特徵

圖案(相對於該光可定義層中形成之特徵圖案)係形成於該基板上。該第三硬遮罩層84將用作一遮罩以將該線84a之圖案轉移至該基板85。應明白，此最低層級之硬遮罩係選用的，但在產生低輪廓、短遮罩特徵以最小化縱橫比相依蝕刻(ARDE)之效應及/或會由直接使用圖2E之結構作為一遮罩來處理該基板85而造成的微負載效應中係有利的。

參考圖3至12，在本發明之一具體實施例中，其解說用於形成藉由一係數四之間距倍增之特徵的一程序。該程序類似於圖2A至2F之程序，不同之處在於採用一初始光可定義層作為該等心軸層之一者。圖3顯示一部分形成之積體電路100的斷面側視圖。

繼續參考圖3，在一基板110之上提供各種遮罩層120至150。該等層120至150將係用以形成一遮罩用於圖案化該基板110，如下所述。可基於針對本文中說明的各種圖案形成與圖案轉移步驟之化學與程序條件的考量來選擇覆蓋該基板110的層120至150之材料。因為一最頂部的選擇性可定義層150與該基板110之間的層可作用以將一圖案轉移至該基板110，故可選擇該選擇性可定義(例如，光可定義)層150與該基板110之間的層120至140之各層以使得其可相對於其他曝露之材料而係選擇性地蝕刻。因為覆蓋該基板110之層120至150之一目標係允許在該基板110中形成清楚定義之圖案，故應明白若使用適合的材料、選擇性蝕刻化學及/或程序條件則可取代該等層120至150之一或多個層。此外，應明白可在該基板110上添加額外的遮罩層以

形成具有相對於該基板110之改良蝕刻選擇性的一遮罩。例如，若該層150係一硬遮罩層，則可在層150上提供一額外光可定義層(未顯示)。本文中說明的各種層之範例性材料包括氧化矽(例如， SiO_2)、金屬氧化物(例如， Al_2O_3)、氮化矽(Si_3N_4)、多晶矽(polySi)、非晶矽(a-Si)、非晶碳(a-C)及介電抗反射塗層(DARC，富矽氮氧化矽)，各材料可以係相對於其他材料之至少三個材料而可靠與選擇性地蝕刻。

繼續參考圖3，該積體電路100從底部至頂部包含該基板110、一轉移層120、一硬遮罩層130、另一硬遮罩層(本文中亦係"臨時層")140及一光可定義(或光阻)層150。該基板110可以係一矽晶圓、另一半導體材料之一晶圓或包括一半導體材料之一層的另一塊狀基板。在某些具體實施例中，該基板110可包含額外層與特徵(未顯示)。該光阻層150可由任一光阻材料形成，包括此項技術中已知的任一光阻材料。該光阻層150可與(例如)157 nm、193 nm、248 nm或365 nm波長的光學掃描器、193 nm波長的浸沒系統、遠紫外線系統(包括13.7 nm的系統)或電子束微影系統相容。適合的光阻材料之範例包括氟化氬(ArF)敏感光阻(即，適合於與一ArF光源一起使用之光阻)與氟化氬(KrF)敏感光阻(即，適合於與一KrF光源一起使用之光阻)。在其他具體實施例中，該層150與任何隨後的光阻層可由可藉由奈米壓印微影術(例如，藉由使用一模或機械力來圖案化該光阻)圖案化之一光阻形成。如一範例，該光阻150

可包含(例如)一化學放大光阻材料，例如，FUJIFILM OLIN Co., Ltd.的FEP-171或Tokyo Ohka Kogyo Co., Ltd.的EP-009。

依據本發明之具體實施例，使用採用較長波長之光學掃描器以致能處理成本之減低。依據本發明之具體實施例的方法致能使用具有大於150 nm或大於200 nm之解析度限制的微影蝕刻系統獲得一半、四分之一、六分之一等該解析度限制的特徵大小。例如，可將248 nm的光學掃描器用於實現使用157 nm或甚至更小的掃描器可獲得的相同特徵間隙(例如，線或溝渠間隙)。

繼續參考圖3，基於選擇用於其他層與該基板110之材料來選擇用於該等層120至150之各層的材料，所有材料係選擇以使得選擇性蝕刻化學可用於以下說明的蝕刻步驟。如一範例，對於該層150係一光阻層，該臨時層140可由矽(例如，非晶矽)形成，該硬遮罩層130可由氮化矽(Si_3N_4)形成，而該轉移層120可由非晶碳或一多晶矽/二氧化矽雙層形成。表1列舉該等層120至150之各層的材料之適合組合。應明白該等層120至150之各層的其他材料係可能的。

表 1

層	組合 1	組合 2	組合 3	組合 4	組合 5
150	光阻	a-C	a-C	Si	SiO_2
140	a-Si	a-Si	a-Si	Si_3N_4 或 SiO_2	Si 或 Si_3N_4
130	Si_3N_4 、 Al_2O_3 或 HfO_2	Si_3N_4	Al_2O_3 或 HfO_2	Al_2O_3 或 HfO_2	Si_3N_4 、Si、 Al_2O_3 或 HfO_2

120	a-C 或 polySi/SiO ₂ 雙層	a-C 或 polySi/SiO ₂ 雙層	a-C 或 polySi/SiO ₂ 雙層	a-C 或 polySi/SiO ₂ 雙層	a-C 或 polySi/SiO ₂ 雙層
-----	--	--	--	--	--

若層 150 並非一光阻層 (組合 2 至 5)，則可在該等硬遮罩層 120 至 150 之最頂部上提供一光阻層。例如，若層 150 由 a-C 形成，則可在該 a-C 層上提供一光可定義層 (除其他層以外，若要求)。儘管表 1 中提供材料與層之特定組合的範例，應明白其他材料與層之組合在本發明之具體實施例的範疇內。

可使用此項技術中已知的任一沈積技術來施加轉移層 120、硬遮罩層 130 及臨時層 140，包括但不限於旋塗式沈積、化學汽相沈積 (CVD)、數位 CVD、原子層沈積 (ALD)、電漿增強 ALD (PEALD) 及物理汽相沈積 (PVD)。通常藉由旋塗來施加該光可定義層 150。

形成層 120 至 150 之一所需堆疊之後，接下來藉由間距倍增來形成一間隙壁圖案。在下述具體實施例中，依據表 1 之組合 1 來選擇層 120 至 150。儘管以下提供之蝕刻化學適合於此組合，應明白其可以係施加至其他組合。

參考圖 4A 與 4B，在該光可定義層 150 中形成包含間隙或溝渠 175 之一圖案 170，其係藉由由光可定義材料形成之特徵 150a 界定。圖 4B 係該圖案 170 在該光可定義層 150 中形成之後的程序中 (或部分形成之) 積體電路 100 之示意性俯視平面圖。圖 4A 係沿圖 4B 之線 4A-4A 之斷面。可藉由 (例如) 使用 248 nm 或 193 nm 光的微影蝕刻來形成該等溝渠 175，其中該光可定義層 150 係透過一主光罩而曝露於輻射並接著

係顯影。在係顯影之後，剩餘光阻材料形成遮罩特徵，例如線150a。

如所示，該等特徵150a可包含平行與伸長之線，其平行長度係其寬度的至少10倍，更一般的係其寬度的至少100倍。儘管其長度之大部分係平行的，由圖23A至23C之說明(以下說明)應明白該等線可特定地包括彎曲或旋轉以便於接點。該等特徵最可用於形成規則線陣列，例如，用於用作記憶體陣列上之邏輯中的導電線。

參考圖5，該光可定義層150中的圖案170係轉移至該臨時層140，從而產生對應的線140a。在所解說具體實施例中，"a"表示該間距。此轉移可使用對該等層140與150之材料有選擇性的一各向異性(或方向性)蝕刻來完成。在一具體實施例中，該圖案轉移包含使用相對於層130與150而針對層140之材料有選擇性的一蝕刻化學。該圖案轉移可使用(例如)一溴化氫(HBr)電漿來完成。在所解說具體實施例中，該蝕刻化學不顯著移除包含層130之材料，其在所解說具體實施例中用作一蝕刻停止。

參考圖6A與6B，藉由相對於該等線140a與該硬遮罩層130的各向同性與選擇性蝕刻來"修整"該等線150a以形成線150b。圖6B係線150a之蝕刻後該積體電路100的示意性俯視平面圖。圖6A係沿圖6B之線6A-6A之斷面。在一具體實施例中，該各向同性蝕刻不蝕刻層130與線140a。或者，亦可藉由相同蝕刻或一分離蝕刻來在一更小程度上修整該等下部線140a。基於層130及線140a與150a的材料來

選擇該蝕刻化學。可使用(例如)一 O_2/Cl_2 、 O_2/HBr 電漿或一 $O_2/SO_2/N_2$ 電漿來各向同性地蝕刻所解說光阻之線 150a。

繼續參考圖 6A 與 6B，線 140a 與 150b 分別定義第一與第二心軸。該等心軸 140a 與 150b 將用作間隙壁之佔位(參見下文)。

接下來，參考圖 7 與 8，在心軸 140a 與 150b 之側壁上同時形成間隙壁。

參考圖 7，一間隙壁材料層 180 係保形地覆蓋沈積於曝露表面上，包括該硬遮罩層 130、該等第一與第二心軸 140a 與 150b 之頂部與側壁。層 180 可具有大致等於要由該層 180 形成之間隙壁之所需寬度的一厚度，考慮由於隨後的處理步驟(例如一間隙壁蝕刻或心軸移除)所致而可能發生的任何尺寸變化。該層 180 可由(例如)氧化物(SiO_2 、 Al_2O_3 、 HfO_2)或氮氧化矽形成。該間隙壁層 180 可以係可相對於該硬遮罩層 130 與該等第一與第二心軸 140a 與 150b 而選擇性蝕刻的。

接下來，參考圖 8，該間隙壁層 180 經受一各向異性(或方向性)蝕刻以優先從該部分形成之積體電路 100 的水平表面移除間隙壁材料。在 SiO_2 間隙壁材料之情況下，可使用(例如)採用一含 CF_4 、 CHF_3 及/或 CH_2F_2 電漿之一反應性離子蝕刻(RIE)來執行此一方向性蝕刻(亦稱為一間隙壁蝕刻)。該蝕刻化學可以係對包含該間隙壁層 180 之材料有選擇性。

繼續參考圖8，藉由"B"來表示該等間隙壁185之寬度，藉由"C"來表示該等第一心軸140a之寬度，而藉由"D"來表示該等第二心軸150b之寬度。在一具體實施例中，"B"可少於或等於 $(C-D)/2$ 。在另一具體實施例中，"B"可少於或等於 $(C-D)/3$ 。在另一具體實施例中，"B"可大致等於 $(C-D)/4$ 。在某些具體實施例中，"B"係選擇以具有大致相等的線/間隙圖案。在一具體實施例中，"B"大致等於"D"。藉由用於形成該等間隙壁185的處理條件(例如，沈積厚度、蝕刻化學、曝露時間)來決定該間隙壁寬度"B"。

應明白，圖8中所示的特徵之位置與寬度將控制最終形成的遮罩特徵之位置與寬度(參見圖10與11)及該基板110中的最終圖案(參見圖12A與12B)。

接下來，參考圖9與10，選擇性地移除該等第一與第二心軸140a與150b之曝露部分(即，未藉由間隙壁185覆蓋的心軸140a與150b之部分)以留下獨立間隙壁。該等獨立間隙壁定義一間隙壁圖案190。圖式顯示向該頁與從該頁延伸的線之圖案190之斷面。在一具體實施例中，使用選擇性地移除該等第一與第二心軸140a與150b之一單一各向異性蝕刻化學來執行心軸移除。在所解說具體實施例中，使用一第一蝕刻化學來執行心軸移除以移除該第二心軸150b之曝露部分，然後藉由一第二蝕刻化學來移除該第一心軸140a之曝露部分。如一範例，若該等第一心軸140a由非晶矽形成而該等第二心軸150b由一光阻材料形成，則可使用一含氧電漿來蝕刻心軸150b並可使用一HBr電漿來蝕刻心

軸 140a。氧化矽間隙壁 185 會阻抗兩個蝕刻，包含硬遮罩層 130 之材料(例如， Si_3N_4)亦會。

接下來，參考圖 11，將該間隙壁之圖案 190 轉移至層 120 與 130，從而形成線 120a 與 130a。圖案轉移可使用針對每一層之一選擇性遮罩蝕刻化學或同時使用相同蝕刻化學來按順序完成(即，轉移至層 130，然後轉移至層 120)。如一範例，若層 130 由 Si_3N_4 形成，則該蝕刻化學可包含一含氟電漿，例如， $\text{CHF}_3/\text{O}_2/\text{He}$ 電漿或一 $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}$ 電漿。如另一範例，若層 130 由 Al_2O_3 或 HfO_2 形成，則可使用一含 BCl_3 電漿。隨後可使用可以係針對層 120 之材料有選擇性的一方向性蝕刻來蝕刻該轉移層 120。如一範例，若層 120 由非晶碳形成，則可使用一含硫與含氧電漿，例如， SO_2/O_2 電漿。

如從圖 10 至 11 之序列所解說，可移除該等間隙壁 185 與該等第一心軸 140a 之剩餘部分以在透過該遮罩之處理蝕刻該基板 110 之前減低遮罩特徵之縱橫比。例如，在該等間隙壁 185 包含氧化矽(例如， SiO_2)且該等第一心軸 140a 包含非晶矽之處，可使用一濕式或乾式蝕刻來執行間隙壁移除。根據所選定移除化學，可在蝕刻該硬遮罩層 130 之後但在蝕刻該轉移層 120 之前執行間隙壁/心軸移除。可相對於該等硬遮罩與轉移層 120、130 來選擇性地移除該等心軸。

接下來，參考圖 12A 與 12B，藉由線 120a 與 130a 用作一遮罩，將該圖案 190 轉移至該基板 110 以在該基板 110 中形

成與間隙或溝渠192交替的線191之一圖案190。圖12B係圖案轉移之後該積體電路100的示意性俯視平面圖。圖12A係沿圖12B之線12A-12A之斷面。儘管在所解說具體實施例中，線120a與130a用作一遮罩用於對該基板110之圖案轉移，應明白線130a可以係移除而線120a可用作該遮罩。可使用基於該基板之材料的一蝕刻化學來將該圖案190轉移至該基板。如一範例，若該基板包含矽，則可使用一各向異性蝕刻(例如， BCl_3/Cl_2 或氟碳電漿蝕刻)來透過形成於該轉移層120中之圖案而選擇性地蝕刻該基板110。若該基板包含一矽晶圓上之 SiO_2 (ILD)，則可使用一氟碳電漿蝕刻化學來形成鑲嵌特徵。若該基板包含一金屬(例如，Al)，則可使用一以氯為主電漿來形成導電線。可隨後選擇性地移除線120a與130a。或者，可使用於該基板110之頂部表面停止的化學機械拋光(CMP)來移除線120a與130a。

繼續參考圖12B，該等線191係藉由迴路端線195於該陣列之端聯合。迴路端線195係於該等心軸線之終端的間隙壁沈積之產物。應注意，在該等上部心軸上之收縮或修整程序期間，該等上部心軸在x與y兩個方向(以及垂直方向)上收縮，從而產生所解說的同心間隙壁迴路。當然，當針對一記憶體陣列定義線時，與所示尺寸相比該等線比其寬度長得多。若需要個別線，則執行一分離遮罩與蝕刻步驟(未顯示)以移除該等間隙壁圖案(圖10或11)或該基板110中之所得線191的終端迴路端。例如，可施加一遮罩來保護

線 191(使該等終端與線 195 露出)並使用一蝕刻化學來移除線 195。隨後移除該保護性遮罩以給出圖 12C 中解說的線 191 之圖案 190。或者，對於一鑲嵌程序，在轉移入下層(圖 11 或 12A 與 12B)之前一保護性遮罩可阻隔該等間隙壁圖案(圖 10 或 11)之端。

因此，使用一單一間隙壁形成步驟在該基板 110 中形成藉由一係數四之間距倍增的線 191(例如，導電線)之一圖案 190。在該積體電路 100 在間距倍增之前針對每一間隙 "a" 包括一心軸之處(參見圖 5)，在間距之後，該間隙 "a" 包含四個線。

應明白，線 191 之圖案 190 可於周邊具有各種積體電路組件，例如著陸墊與非間距倍增之特徵(例如，線)。在隨後的處理步驟中，可對該等線 191 形成互連。

在一具體實施例中，該等線 191 可彼此間隔大約 50 與 100 奈米 (nm) 之間。在另一具體實施例中，該等線 191 可彼此間隔大約 20 與 50 nm 之間。在某些具體實施例中，可選擇該等線之間的間隙以避免該等線之間的電短路。

儘管已將圖 3 至 12 中解說的程序用於形成線，應明白可將該程序用於形成鑲嵌特徵。在此一情況下，該基板 110 可以係一絕緣物(例如， SiO_2)而間隙 192(其係藉由一係數四之間距倍增)表示要形成於該絕緣物中的溝渠之位置，其可使用一導電材料加以填充。

藉由一係數六之間距倍增

將說明用於形成藉由一係數六之間距倍增之特徵(例

案211轉移至該第二硬遮罩層203，如圖13D所解說。接下來，參考圖13E，各向同性與選擇性地蝕刻(相對於該等第二與第三硬遮罩層203與204)該第一硬遮罩層202。

儘管相對於一特定蝕刻序列來說明圖13B至13E，熟習此項技術者應明白可達到圖13E之結構的其他蝕刻序列。

處於該間距倍增程序之此階段的線分別定義該等第一、第二及第三硬遮罩層202至204中的第一、第二及第三心軸212至214。在一具體實施例中，該等第二與第三心軸平行於該第一心軸延伸，至少對於其長度之大部分。接下來，間隙壁材料係保形地沈積於該等心軸212至214上並係各向異性地蝕刻以在該等心軸212至214周圍形成間隙壁215，如圖13F所示。接下來，對於該等心軸212至214用作一遮罩，各向異性地蝕刻該等心軸212至214之曝露部分217以形成相對於該光可定義層201(參見圖13A)中形成之線而藉由一係數六之間距倍增之線之圖案216，如圖13G所示。換言之，在微影蝕刻已定義一線與一間隙(圖13A)之處的間隙中，現定義六個線與六個間隙(圖13G)。

接下來，參考圖13H，使用針對包含該第四硬遮罩層205之材料有選擇性的一蝕刻化學來將該線圖案216轉移至該第四硬遮罩層205。該第四硬遮罩層(或轉移層)205將用作一遮罩用於隨後對該基板206(未顯示)之圖案轉移或透過該遮罩的該基板之其他處理(例如，氧化、氮化、電摻雜、自對準矽化等)。

圖14至21解說依據本發明之另一具體實施例的用於形成

藉由一係數六之間距倍增之特徵的程序，其中一光阻作為該最頂部心軸加倍。

參考圖 14，一部分形成之積體電路 300 從底部至頂部包含一基板 310、一轉移層 320、一第一硬遮罩層 330、一第二硬遮罩層 340、一第三硬遮罩層 350 及一光可定義材料層 360。該轉移層 320 將用作最終遮罩用於對該基板 310 之圖案轉移。在隨後處理步驟中，將在層 340 至 360 中形成心軸，層 360 中之心軸由一光可定義材料形成。然而，如圖 13A 至 13H，層 360 可以係一硬遮罩層而該積體電路 300 進一步包含覆蓋層 360 之一光可定義層。

繼續參考圖 14，該基板 310 可包括要圖案化或摻雜的一頂部半導體層或一晶圓之部分、要圖案化的一導電層或要圖案化的一絕緣物以形成(例如)鑲嵌特徵。該光阻層 360 可由任一光阻材料(包括此項技術中已知的任一光阻材料)形成，並可與 157 nm、193 nm、248 nm 或 365 nm 波長的光學掃描器、193 nm 波長的浸沒系統、遠紫外線系統(包括 13.7 nm 系統)或電子束微影系統相容。

可基於針對本文中說明的各種圖案形成與圖案轉移步驟之化學與程序條件的考量來選擇覆蓋該基板 310 的層 320 至 360 之材料。該等層 320 至 360 之各層可以係選擇以使其可相對於下述步驟之其他曝露材料而係選擇性地蝕刻。因為覆蓋該基板 310 之層 320 至 360 之一目標係允許在該基板 310 中形成清楚定義之圖案，故應明白若使用適合的材料、化學及/或程序條件則可取代該等層 320 至 360 之一或多個

層。此外，應明白可在該基板310上添加額外的遮罩層以形成具有相對於該基板310之改良蝕刻選擇性的一遮罩，例如額外介入蝕刻停止層。如一範例，對於由一光可定義材料形成之層360，層350可由BARC、一旋塗式有機膜或非晶碳形成；層340可由非晶矽形成；層330可由 Si_3N_4 形成；而層320可由非晶碳形成。熟習此項技術者應明白該等層320至360之各層之材料的其他組合與置換係可能的。

參考圖15A與15B，在該光可定義層360中形成包含間隙或溝渠375之一圖案370，其係藉由由光可定義材料形成之特徵360a界定。圖15B係該圖案370在該光可定義層360中形成之後的程序中積體電路300之示意性俯視平面圖。圖15A係沿圖15B之線15A-15A之斷面。可藉由(例如)使用248 nm或193 nm光的微影蝕刻來形成該等溝渠375，其中該光可定義層360係透過一主光罩而曝露於輻射並接著係顯影。層360可由相對於所使用特定化學(參見下文)具有比層350更高之蝕刻速率的材料形成。一般而言，可將一較低解析度微影蝕刻系統(例如，248 nm)用於所解說程序，而仍實現更精細的特徵大小。在一具體實施例中，層360由一248 nm光阻形成。在所解說具體實施例中，藉由"E"來表示間距。

如所示，該等特徵360a可包含平行與伸長之線，其平行長度係其寬度的至少10倍，更一般的係其寬度的至少100倍。儘管其長度之大部分係平行的，由圖23A至23C之說明(以下說明)應明白該等線可特定地包括彎曲或旋轉以便

於接點。該等特徵最可用於形成規則線陣列，例如，用於在記憶體裝置中使用。

參考圖 16，將該光可定義層 360 中的線 360a 之圖案 370 轉移至該等第二與第三硬遮罩層 340 與 350，從而產生線 340a 與 350a。此轉移可使用對層 340 與 350 之材料有選擇性之一各向異性(或方向性)蝕刻來完成。在一具體實施例中，該圖案轉移包含對層 350 之材料有選擇性之一第一蝕刻化學，然後使用對層 340 之材料有選擇性之一蝕刻化學。在另一具體實施例中，可將一單一蝕刻化學用於蝕刻層 340 與 350。如一範例，該圖案轉移可使用 $\text{SO}_2/\text{O}_2/\text{Ar}/\text{N}_2$ 電漿蝕刻層 350，然後使用一 HBr 電漿蝕刻層 340 來完成。在所解說具體實施例中，該蝕刻化學不顯著移除包含層 330 之材料，其在所解說具體實施例中用作一蝕刻停止。或者，圖案轉移可使用透過層 340 與 350 之一噴濺蝕刻(例如， Ar 噴濺蝕刻)來完成，在該情況下噴濺會係定時以便不蝕刻層 330。

參考圖 17，藉由相對於線 340a 與層 330 各向同性與選擇性地蝕刻來修整線 360a 與 350a 以形成線 360c 與 350b。藉由選擇層 360a 與 350a(參見圖 16)之材料的正確組合與一適當的修整化學，可在一修整步驟中實現從圖 16 至圖 17 之一轉變，如所解說。若層 350a 與 350b 係有機的，則可使用 O_2/Cl_2 、 O_2/HBr 或 $\text{O}_2/\text{SO}_2/\text{N}_2$ 電漿。或者，可在多個修整步驟中在不同程度上各向同性與選擇性地修整處於不同層級的不同心軸材料以達到圖 17 之結構。

接下來，參考圖18與19，在心軸340a與350b與360c之側壁上同時形成間隙壁。

參考圖18，一間隙壁材料層380係保形地覆蓋保形地沈積於該積體電路300之曝露表面上，包括層330與該等心軸340a、350b及360c之頂部與側壁。層380可具有大致等於要形成之間隙壁385之所需寬度的一厚度(圖19)，考慮由於隨後的處理步驟(例如一間隙壁蝕刻或心軸移除)所致而可能發生的任何尺寸變化。該層380可由(例如)氧化物(例如， SiO_2 、 Al_2O_3 、 HfO_2)或氮氧化矽形成，對於上述材料組合。更一般而言，該間隙壁層380可以係相對於該硬遮罩層330與該等心軸340a、350b及360c可選擇性蝕刻的。

參考圖19，該間隙壁層380經受一各向異性(或方向性)蝕刻以從該部分形成之積體電路300的水平表面移除間隙壁材料。該蝕刻化學可以係對該間隙壁層380之材料有選擇性。對於所選擇材料組合，可使用(例如)採用一含 CF_4 、 CHF_3 及/或 NF_3 電漿之RIE來執行此一方向性蝕刻(亦稱為一間隙壁蝕刻)。

繼續參考圖19，藉由"F"來表示該等間隙壁385之寬度，藉由"G"來表示該等第一心軸340a之寬度，藉由"H"來表示該等第二心軸350b之寬度，並藉由"I"來表示該等第三心軸360c之寬度。該間隙壁寬度"F"將決定形成於該基板310中的特徵之間的間隙。在一具體實施例中，"F"可少於或等於 $(H-I)/2$ 。在另一具體實施例中，"F"可少於或等於 $(H-I)/3$ 。在另一具體實施例中，"F"可大致等於 $(H-I)/4$ 。"F"

可以係選擇以獲得均勻線/間隙寬度。在一具體實施例中，"G"與"H"之間的差(即，G-H)大致等於"H"與"I"之間的差(即，H-I)。 $"I"$ 可大致等於 $"F"$ 。藉由用於形成該等間隙壁385的處理條件(例如，沈積厚度、蝕刻化學、蝕刻時間)來決定該間隙壁寬度 $"F"$ 。

應明白，圖19中所示的特徵之位置與寬度將控制最終形成的遮罩特徵之位置與寬度(參見圖20與21)及該基板310中的最終圖案(參見圖22A與22B)。

接下來，參考圖19至21，選擇性地移除該等心軸340a、350b及360c之曝露部分(即，未藉由間隙壁385覆蓋的心軸340a、350b及360c之部分)以留下獨立間隙壁385。該等獨立間隙壁385定義一間隙壁圖案390，其可定義要在該基板310中形成的伸長線之圖案。所解說具體實施例係向該頁與從該頁延伸的線之圖案390之斷面。可使用(例如)對該等層340至360之至少一者有選擇性的一蝕刻化學或複數個選擇性蝕刻化學來蝕刻該等心軸。如一範例，該圖案轉移可使用 $\text{SO}_2/\text{O}_2/\text{Ar}/\text{N}_2$ RIE蝕刻心軸350b與360c，然後使用一HBr RIE蝕刻心軸340a來完成。

接下來，參考圖21，將該間隙壁之圖案390轉移至層320與330，從而形成線320a與330a。圖案轉移可使用對各層有選擇性的一蝕刻化學或同時使用相同蝕刻化學或一物理(噴濺蝕刻)來按順序(即，層330，然後係層320)完成。如一範例，若層330由 Si_3N_4 形成，則可使用一含氟電漿，例如， $\text{CHF}_3/\text{O}_2/\text{He}$ 或 $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}$ 電漿。如另一範例，若層

330由 Al_2O_3 或 HfO_2 形成，則可使用一含 BCl_3 電漿。隨後可使用可對包含層320之材料有選擇性的一方向性蝕刻來蝕刻該轉移層320。如一範例，若層320由BARC或非晶碳形成，則可使用一含硫電漿，例如，一 SO_2/O 電漿。

如從圖20至21之序列所解說，可移除該等間隙壁385與該等第一與第二心軸340a與350b之剩餘部分以在透過該遮罩之處理(例如，蝕刻該基板)之前減低遮罩特徵之縱橫比。例如，在該等間隙壁385包含氧化矽(例如， SiO_2)，該等第一心軸340a包含非晶矽及該等第二心軸350b包含非晶碳之處，可使用一濕式或乾式蝕刻(例如，一濕式緩衝氧化物蝕刻或使用一以氟為主電漿之一乾式蝕刻)來執行間隙壁移除。或者，可使用旋塗式填料與化學機械拋光(CMP)來移除該等間隙壁385及心軸340a與350b。該硬遮罩層330可用作一蝕刻停止阻障來保護該轉移層320內的圖案390。根據所選定移除化學，可在蝕刻該硬遮罩層330之後但在蝕刻該轉移層320之前執行間隙壁/心軸移除。可相對於該硬遮罩層330與轉移層320來選擇性地移除該等心軸。

接下來，參考圖22A與22B，藉由線320a與330a用作一遮罩，將該圖案390轉移至該基板310以在該基板310中形成與間隙或溝渠392交替的線391之一圖案390。圖22B係在圖案轉移及移除該等線391之終端的一分離遮罩與蝕刻步驟(參見下文)之後的積體電路300之示意性俯視平面圖。圖22A係沿圖22B之線22A-22A之斷面。儘管在所解說具體實施例中，線320a與330a用作一遮罩用於對該基板310之圖

案轉移，應明白線330a可以係移除而線320a可用作該遮罩。

繼續參考圖22A與22B，若要蝕刻之基板係一半導體晶圓或一導體，則可使用一各向異性蝕刻(例如，一 BCl_3/Cl_2 電漿)以透過形成於該轉移層320中之圖案選擇性地蝕刻該基板310來完成圖案轉移。可隨後選擇性地移除線320a與330a。或者，可使用化學機械拋光(CMP)來移除線320a與330a。

執行一隨後遮罩與蝕刻步驟來移除該等線391之終端。即，施加一遮罩來保護線391(使該等終端露出)並使用一蝕刻化學來移除該等終端。隨後移除該保護性遮罩以給出圖22B中解說的線391之圖案390。或者，對於一鑲嵌程序，在轉移至下層之前一保護性遮罩可阻隔該等間隙壁迴路之端(參見圖12B及相應說明)。

因而，藉由一係數六之間距倍增之線之圖案相對於在該光可定義層360中形成之圖案(參見圖15A)。在該積體電路300在間距倍增之前針對每一間隙"E"包括一心軸與一間隙或溝渠之處(參見圖15A)，在間距倍增之後，該間隙"E"包含六個線391與六個間隙或溝渠392。

在一具體實施例中，該等線391可彼此間隔大約50與100奈米(nm)之間。在另一具體實施例中，該等線391可彼此間隔大約20與50 nm之間。在某些具體實施例中，可選擇該等線之間的間隙以避免該等線之間的電短路。

參考圖23A至23C，解說用於形成對使用方法之具體實

施例形成的線之接點的步驟序列。所解說序列係針對藉由一係數四之間距倍增之線的接點形成之一範例；然而，熟習此項技術者應明白還可將藉此教導之原理用於形成對藉由一係數六、八等之間距倍增之線的接點。

圖 23A 係形成心軸 410 與 415 之後的一部分形成之積體電路 400 之示意性俯視平面圖。該等心軸定義伸長與間距倍增之線。該等間距倍增之線毗連非間距倍增之特徵(例如，導電線、節點或墊)。該積體電路 400 可類似於圖 6A 與 6B 中顯示的積體電路。心軸 415 覆蓋心軸 410，其係藉由間隙 420 界定。該等心軸覆蓋一硬遮罩層 422(可透過該等間隙 420 看到)、一轉移層(未顯示)及一基板 425(參見圖 23C)。該基板包含覆蓋一半導體晶圓 425 之一導電層(例如，Si、多晶矽、Al、W、 WSi_x 、Ti、TiN 等)(參見圖 23C)。該積體電路 400 於該等心軸 410 與 415 之終端包含迴路或彎曲 430。

由以上說明應明白垂直堆疊之心軸 410 與 415 在初始係圖案化時(例如，藉由微影蝕刻)具有相同寬度。然而，在不同的收縮或修整之後，使得上部心軸 415 比下部心軸 410 更窄。因此，選擇具有較窄區段 416 的初始圖案使得該修整程序從該些較窄區段 416 完全移除該上部心軸，從而使下部心軸 410 之區段不具有任何覆蓋之上部心軸。此外，剩餘下部心軸 410 在此較窄區段 416 中包括下部心軸 410 之線之間的相對較寬間隙窗。在圖 23A 之解說中，在每一較窄區段 416 中顯示兩個此類相鄰窗。由隨後圖式應明白，該

區段416中的較窄橋與寬窗之特徵兩者便於間距倍增之特徵與非間距倍增之特徵(例如接點)的電連接。

此外，使該圖案之其他區段417比該等線寬。在修整之後，該上部心軸415保持比在該陣列區段中寬。由隨後圖式應明白，在此類較寬區段417中形成的間隙壁係隔得更開，其亦便於使用非間距倍增之特徵(例如接點)的該等間距倍增之線的分離電連接。因而，如藉由定義該陣列中之該等線的寬區段417、窄區段416及中間區段中的三個不同寬度所顯示，該初始圖案沿該圖案包括改變之線寬以便於要藉由該等側壁間隙壁定義之特徵之中的電連接。

參考圖23B，藉由在該等心軸410、415上保形地覆蓋沈積間隙壁材料並接著使用一方向性間隙壁蝕刻(優先蝕刻該覆蓋保形間隙壁層之水平段)以形成一間隙壁圖案來形成間隙壁431。圖23B中藉由該等心軸410與415之邊緣上的較厚黑色線來表示該等間隙壁431。該等修整與間隙壁蝕刻可以係執行使得其不蝕刻該硬遮罩層422。虛線箭頭423表示導電線426(參見圖23C)將係切割(針對傳統蝕刻)或阻隔(針對鑲嵌製造)的位置。遮罩特徵440(其可在定義圖23C之導電線426之後藉由一分離接點遮罩進行定義)用作接合墊460之位置(參見下文)，其將在對覆蓋該基板425之導電層的圖案轉移之後係形成。所解說箭頭形狀423橫跨上述間隙之較寬窗，使得傳統微影蝕刻可精確地放置該阻隔或切割遮罩。

接下來，參考圖23C，將該間隙壁圖案轉移至覆蓋該基

板425之導電層，並移除覆蓋圖23B所示之箭頭的該等線之部分以形成隔離的導電線426。圖23C之積體電路進一步包含接合墊460，其用於建立對該等線426之電接點。

儘管已將圖23A至23C中解說的序列用於傳統地蝕刻導電線，應明白可將該序列用於在一絕緣(例如， SiO_2)或半導體(例如，矽)基板中針對鑲嵌特徵或線來蝕刻溝渠。

儘管已在某些具體實施例中解說間距倍增之特徵，應明白可在間距倍增之特徵旁邊形成非間距倍增之特徵(例如，著陸墊)。在某些情況下，非間距倍增之特徵可與間距倍增之特徵重疊。

因而，在一具體實施例中，提供用於製造一積體電路之一方法。該方法包含在一基板上提供一第一心軸，該第一心軸具有一第一寬度，以及實質上在該第一心軸上提供一第二心軸，該第二心軸具有小於該第一寬度之一第二寬度。在該等第一與第二心軸之側壁上同時形成間隙壁。相對於該等間隙壁而選擇性地移除該等心軸之至少部分以形成藉由該等間隙壁定義之一間隙壁圖案，並將該間隙壁圖案轉移至該基板。

在另一具體實施例中，提供用於使用層式心軸來形成藉由一係數 $2n$ 沿一維而間距倍增之線之一圖案的方法。該方法包含在一基板上提供 n 層堆疊之心軸，其中 $n \geq 2$ ，該等 n 層之各層包含實質上彼此平行的複數個伸長之心軸，其中處於層 n 的相鄰心軸之間的距離大於處於層 $n-1$ 的相鄰心軸之間的距離。在該等心軸之側壁上同時形成間隙壁。

在另一具體實施例中，提供一部分形成之積體電路("IC")。該部分形成之IC包含一基板上之一第一心軸，該第一心軸具有一第一寬度(A)，以及該第一心軸上之一第二心軸，該第二心軸具有一第二寬度(B)，其中 $A > B$ 。該部分形成之IC進一步包含該等心軸之側壁上的間隙壁，該等間隙壁具有一間隙壁寬度(C)，其中 $C \leq \frac{(A-B)}{2}$ 。

在另一具體實施例中，一遮罩程序包括在兩個或兩個以上堆疊膜上定義一圖案。將該圖案轉移入該等兩個或兩個以上堆疊膜中。相對於該等兩個或兩個以上堆疊膜之一下部膜來減低至少一上部膜中的元件尺寸以產生兩個或兩個以上堆疊心軸。在該等堆疊心軸之側壁上形成側壁間隙壁。

熟習此項技術者應明白可對上述方法與結構進行各種其他省略、添加及修改而不脫離本發明之範疇。例如，且不具有限制性，儘管在線陣列(例如記憶體陣列中)之背景下進行說明，本文教導的間距倍增技術將適用於各種背景。例如，可將本文教導的技術應用於光學元件(例如，繞射光柵)、MEMS結構、邊緣發射器等。在此等應用之某些應用中，不要求對該等間距倍增之特徵之電連接，從而進一步簡化該應用。本文教導的技術可用於延伸低於光可定義大小之特徵大小，但適用於甚至光學解析度不受限制之處，以便採用較便宜的微影蝕刻系統。此外，應明白本文教導的技術可以係延伸至更大數目之心軸層級並可與採用多個間隙壁沈積步驟之技術組合，並且該等程序可以係重複多

次以實現更複雜的圖案。所有此類修改及改變皆旨在落入如隨附申請專利範圍所定義的本發明之範疇內。

【圖式簡單說明】

本發明已由實施方式及附圖係更佳地瞭解，該等附圖僅解說而不限制本發明，且其中：

圖1A至1F係依據一先前技術之間距加倍方法的用於形成導電線之一遮罩圖案序列的示意性斷面側視圖；

圖2A至2F係依據本發明之一具體實施例的用於形成藉由一係數四之間距倍增之一特徵圖案的一程序之示意性斷面側視圖；

圖3至12示意性地解說依據本發明之一具體實施例的類似於圖2A至2F之方法的方法，其用於形成藉由一係數四之間距倍增之線之一圖案；

圖3係依據本發明之一具體實施例的一部分形成之積體電路的示意性斷面側視圖，其從頂部至底部顯示一光可定義層、一臨時層、一硬遮罩層、一轉移層及一基板。

圖4A與4B係依據本發明之一具體實施例的在該光可定義層中形成線之一圖案之後的圖3之部分形成之積體電路的示意性斷面側視與俯視平面圖；

圖5係依據本發明之一具體實施例的在將該線之圖案轉移至該臨時層之後的圖4A與4B之部分形成之積體電路的示意性斷面側視圖；

圖6A與6B係在各向同性地蝕刻(或修整)該光可定義層之後的圖5之部分形成之積體電路的示意性斷面側視與俯視

平面圖。依據本發明之一具體實施例，包含該臨時層與光可定義層之線定義第一與第二心軸；

圖7係依據本發明之一具體實施例的在將一間隙壁材料保形地覆蓋沈積在該基板上之後的圖6A與6B之部分形成之積體電路的示意性斷面側視圖；

圖8係依據本發明之一具體實施例的在蝕刻該間隙壁材料以在該等心軸之側壁上形成間隙壁之後的圖7之部分形成之積體電路的示意性斷面側視圖；

圖9係依據本發明之一具體實施例的在蝕刻掉該等第二心軸之後的圖8之部分形成之積體電路的示意性斷面側視圖；

圖10係依據本發明之一具體實施例的在蝕刻掉該等第一心軸之曝露部分從而在該硬遮罩層上留下線之一圖案之後的圖9之部分形成之積體電路的示意性斷面側視圖；

圖11係依據本發明之一具體實施例的在將該線之圖案轉移至該硬遮罩層與該轉移層之後的圖10之部分形成之積體電路的示意性斷面側視圖；

圖12A與12B係依據本發明之一具體實施例的在將該線之圖案轉移至該基板並移除該等硬遮罩與轉移層之後的圖11之部分形成之積體電路的示意性斷面側視與俯視平面圖；

圖12C係依據本發明之一具體實施例的在已移除該等線之終端或"迴路"之後的圖12A與12B之部分形成之積體電路的示意性俯視平面圖；

圖 13A 至 13H 係依據本發明之一具體實施例的用於形成藉由一係數六之間距倍增之一特徵圖案的一程序之示意性斷面側視圖；

圖 14 至 22B 示意性地解說依據本發明之一具體實施例的類似於圖 13A 至 13H 之方法的方法，其用於形成藉由一係數六之間距倍增之線之一圖案；

圖 14 係依據本發明之一具體實施例的一部分形成之積體電路的示意性斷面側視圖，其從底部至頂部顯示一基板、一轉移層、一第一硬遮罩層、一第二硬遮罩層、一第三硬遮罩層及一光可定義層；

圖 15A 與 15B 係依據本發明之一具體實施例的在該光可定義層中形成線之一圖案之後的圖 14 之部分形成之積體電路的示意性斷面側視與俯視平面圖；

圖 16 係依據本發明之一具體實施例的在將該線之圖案轉移至該等第二與第三硬遮罩層之後的圖 15A 與 15B 之部分形成之積體電路的示意性斷面側視圖；

圖 17 係在藉由各向同性與選擇性蝕刻不同地修整堆疊之心軸之後的圖 16 之部分形成之積體電路的示意性斷面側視圖；依據本發明之一具體實施例，包含該第二硬遮罩層、第三硬遮罩層與光可定義層之線定義第一、第二及第三心軸；

圖 18 係依據本發明之一具體實施例的在將一間隙壁材料保形地覆蓋沈積在該基板上之後的圖 17 之部分形成之積體電路的示意性斷面側視圖；

圖 19 係依據本發明之一具體實施例的在蝕刻該間隙壁材料以在該等心軸之側壁上形成間隙壁之後的圖 18 之部分形成之積體電路的示意性斷面側視圖；

圖 20 係依據本發明之一具體實施例的在蝕刻掉該等第一、第二及第三心軸之曝露部分從而在該第一硬遮罩層上留下線之一圖案之後的圖 19 之部分形成之積體電路的示意性斷面側視圖；

圖 21 係依據本發明之一具體實施例的在將該線之圖案轉移至該第一硬遮罩層與該轉移層之後的圖 20 之部分形成之積體電路的示意性斷面側視圖；

圖 22A 與 22B 係依據本發明之一具體實施例的在將該線之圖案轉移至該基板，移除該等硬遮罩與轉移層並蝕刻掉該等線之終端以留下隔離的線之後的圖 21 之部分形成之積體電路的示意性斷面側視與俯視平面圖；以及

圖 23A 至 23C 係依據本發明之一具體實施例的一部分形成之積體電路的示意性俯視平面圖，其顯示將接點提供至依據圖 2 至 22B 的方法形成之線的一方法。

應明白，該等圖式及其中的特徵並非按比例繪製。

【主要元件符號說明】

10	線
20	層
30	基板
40	心軸
50	間隙壁材料層

60	間隙壁
70	水平表面
80	水平表面
81	光可定義層
82	第一硬遮罩層
83	第二硬遮罩層
84	第三硬遮罩層
84a	線
85	基板
86	第一心軸
87	第二心軸
88	間隙壁
89	曝露部分
90	間隙壁圖案
100	部分形成之積體電路
110	基板
120	轉移層
120a	線
130	硬遮罩層
130a	線
140	硬遮罩層/臨時層
140a	第一心軸/線
150	光可定義層/光阻層
150a	特徵/線

150b	第二心軸/線
170	圖案
175	間隙或溝渠
180	間隙壁材料層
185	間隙壁
190	圖案
191	線
192	間隙或溝渠
195	迴路端線
201	光可定義層
202	第一硬遮罩層
203	第二硬遮罩層
204	第三硬遮罩層
205	第四硬遮罩層
206	基板
210	特徵圖案
211	特徵圖案
212	第一心軸
213	第二心軸
214	第三心軸
215	間隙壁
216	圖案
217	曝露部分
300	部分形成之積體電路

310	基板
320	轉移層
320a	線
330	第一硬遮罩層
330a	線
340	第二硬遮罩層
340a	線/第一心軸
350	第三硬遮罩層
350a	線
350b	線/第二心軸
360	光可定義材料層
360a	特徵/線
360c	線/第三心軸
370	圖案
375	間隙或溝渠
380	間隙壁材料層
385	間隙壁
390	圖案
391	線
392	間隙或溝渠
400	部分形成之積體電路
410	心軸
415	心軸
416	較窄區段

417	較寬區段
420	間隙
422	硬遮罩層
423	虛線箭頭
425	基板/半導體晶圓
426	導電線
430	迴路或彎曲
431	間隙壁
440	遮罩特徵
460	接合墊

五、中文發明摘要：

本發明揭示一種藉由大於二係數之單一間隙壁倍增間距之程序。在一具體實施例中，在一基板上形成 n (其中 $n \geq 2$)層堆疊之心軸(150b)、(140a)，該等 n 層之各層包含實質上彼此平行的複數個心軸(150b)、(140a)。處於層 n 之心軸(150b)在處於層 $n-1$ 之心軸(140a)之上並與其平行，並且處於層 n 的鄰接心軸之間的距離大於處於層 $n-1$ 的鄰接心軸之間的距離。同時在該等心軸(150b)、(140a)之側壁上形成間隙壁(185)。蝕刻掉該等心軸(150b)、(140a)之曝露部分並將藉由該等間隙壁(185)定義之線之一圖案轉移至該基板(110)。

六、英文發明摘要：

Single spacer processes for multiplying pitch by a factor greater than two are provided. In one embodiment, n , where $n \geq 2$, tiers of stacked mandrels (150b), (140a) are formed over a substrate, each of the n tiers comprising a plurality of mandrels (150b), (140a) substantially parallel to one another. Mandrels (150b) at tier n are over and parallel to mandrels (140a) at tier $n-1$, and the distance between adjoining mandrels at tier n is greater than the distance between adjoining mandrels at tier $n-1$. Spacers (185) are simultaneously formed on sidewalls of the mandrels (150b), (140a). Exposed portions of the mandrels (150b), (140a) are etched away and a pattern of lines defined by the spacers (185) is transferred to the substrate (110).

十一、圖式：

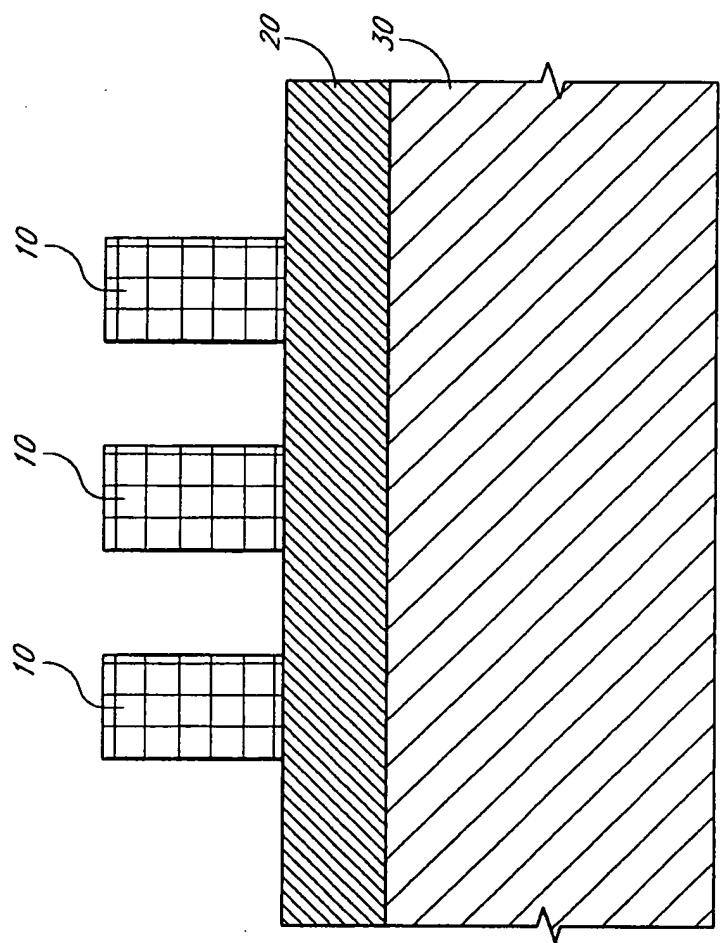


圖 1A

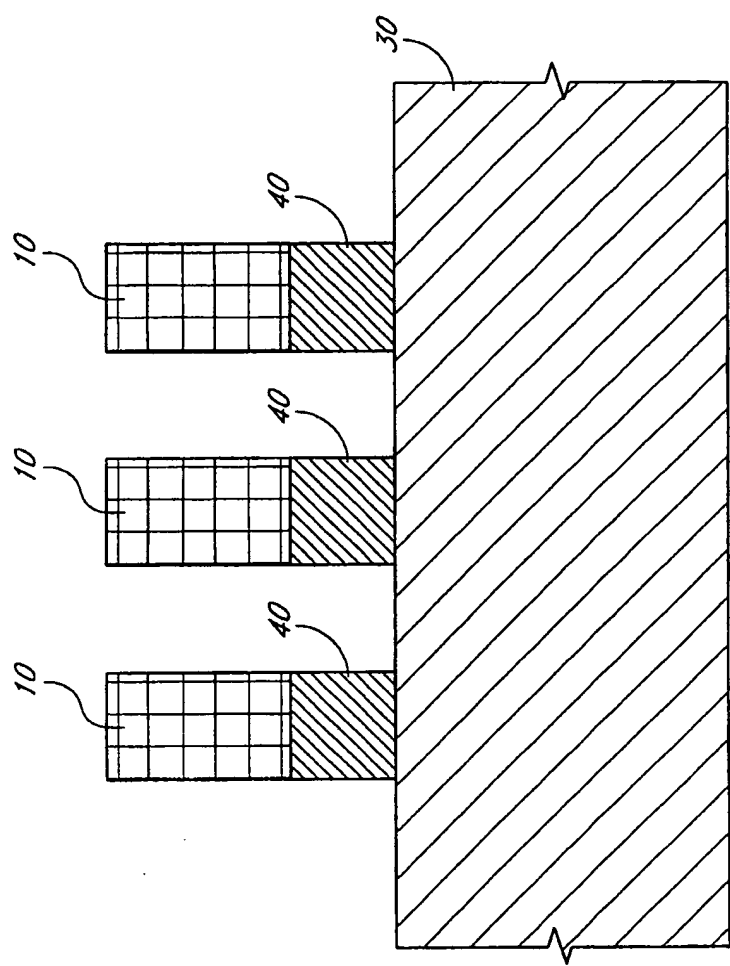


圖 1B

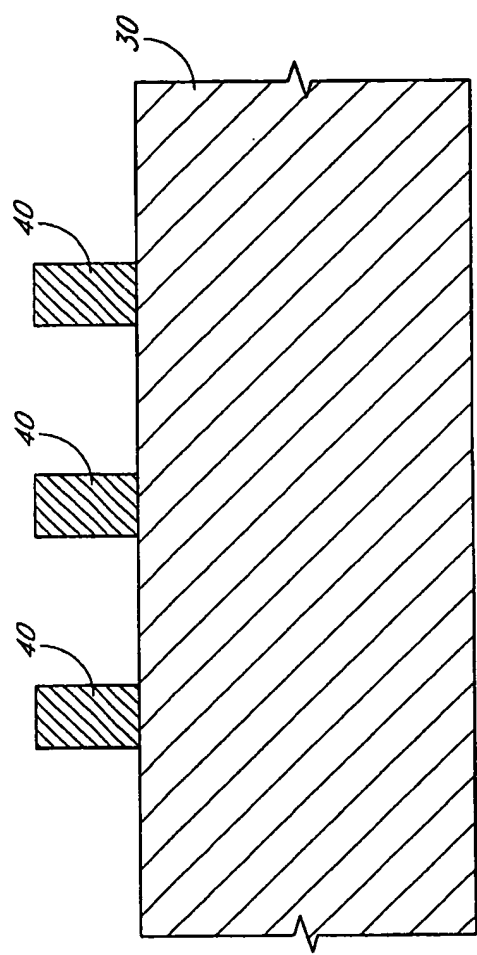


圖 1C

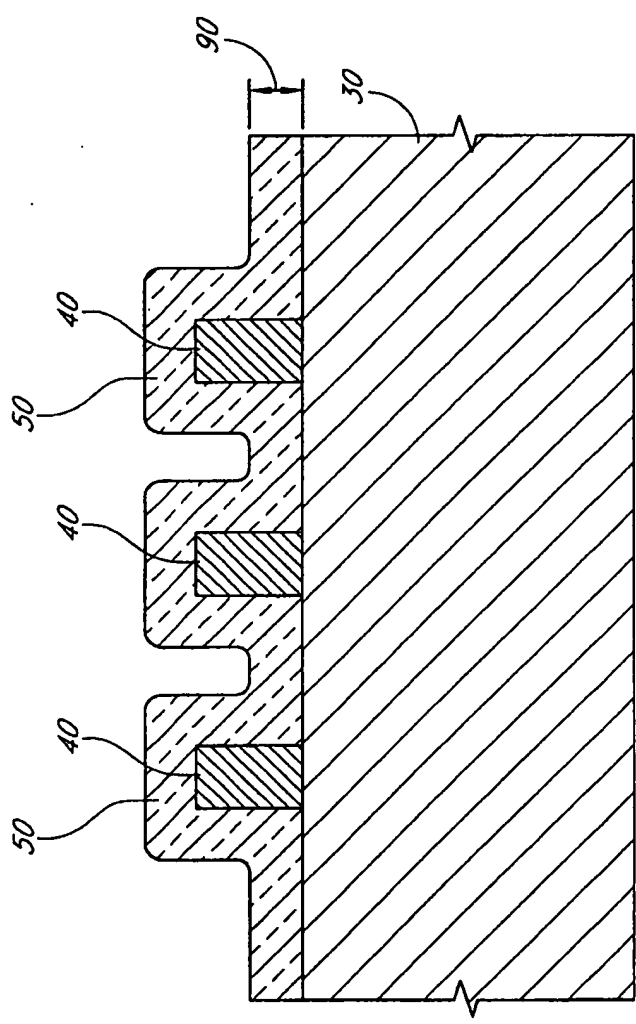


圖 1D



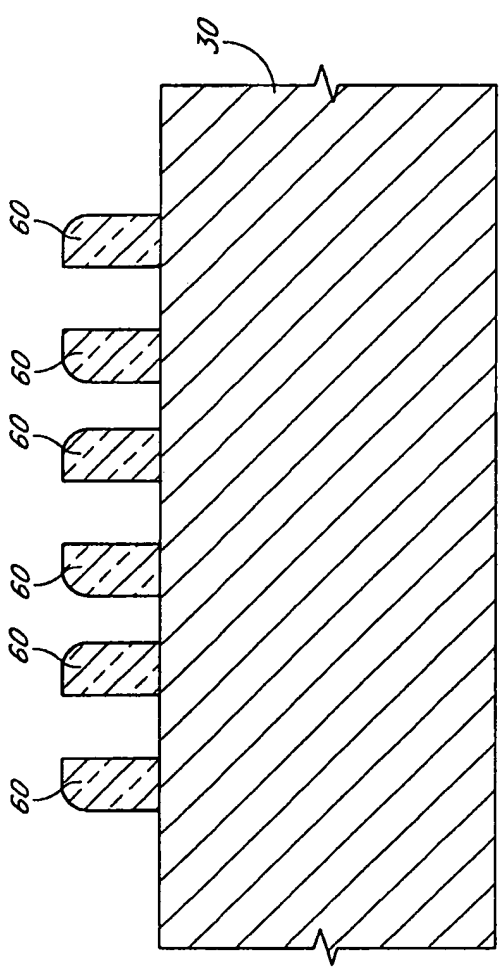


圖 1F

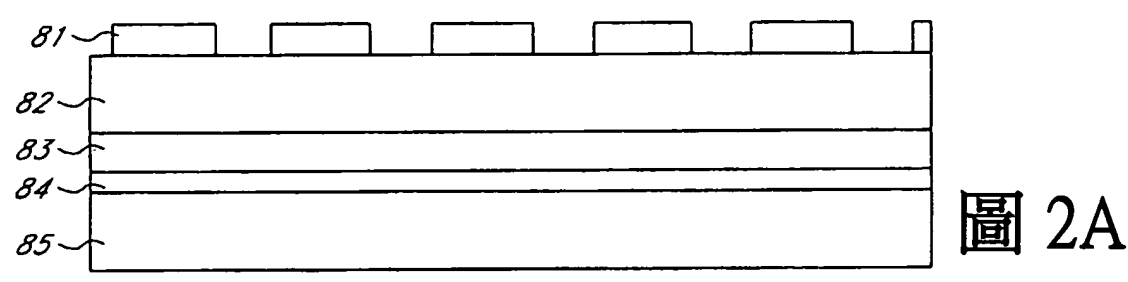


圖 2A

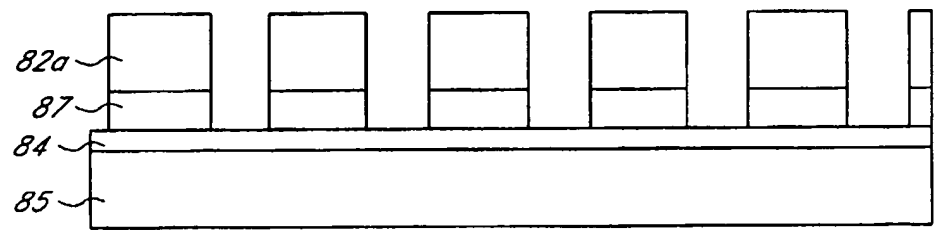


圖 2B

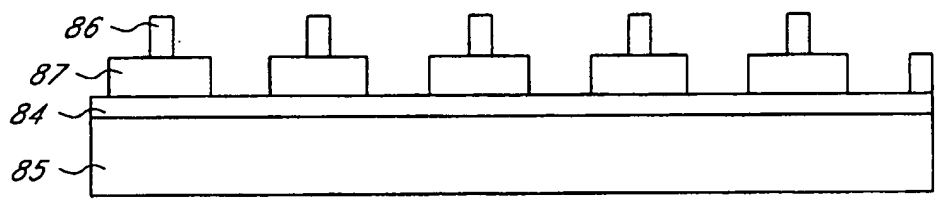


圖 2C

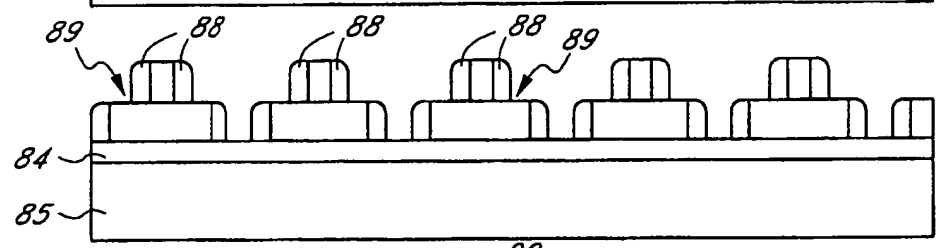


圖 2D

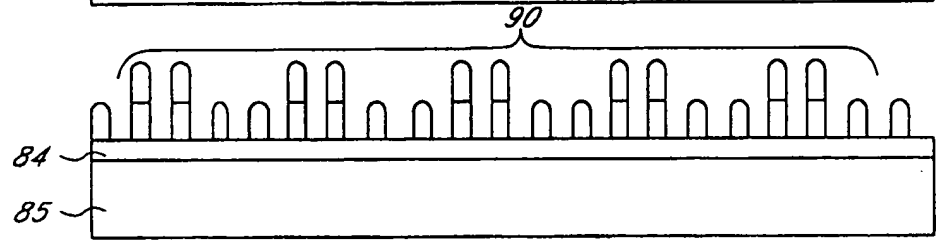


圖 2E

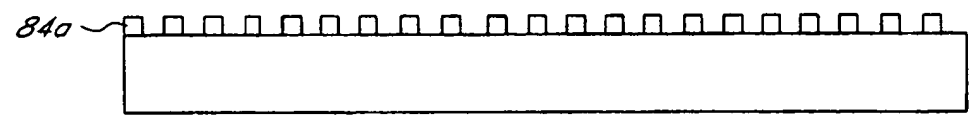


圖 2F

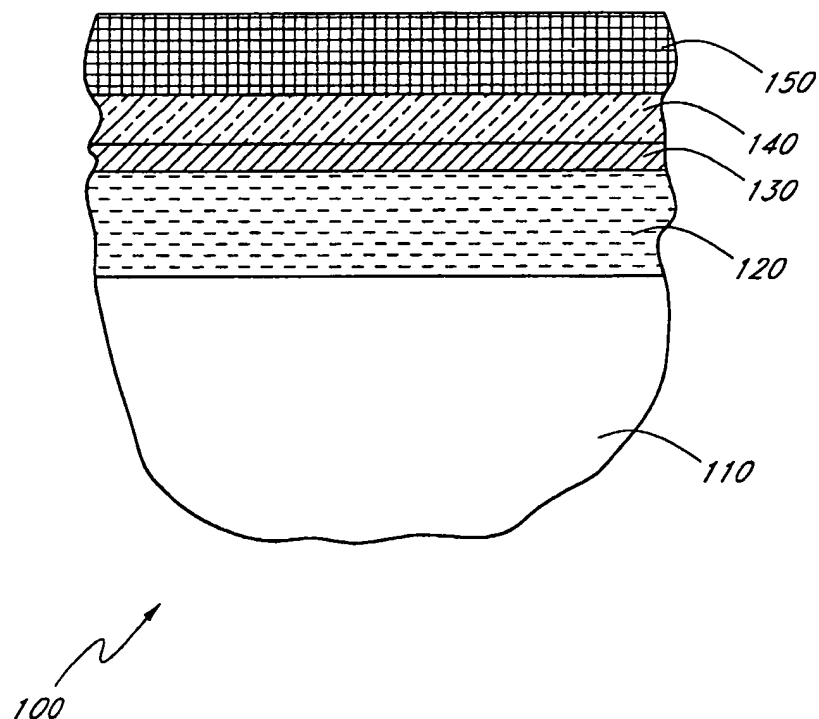


圖 3

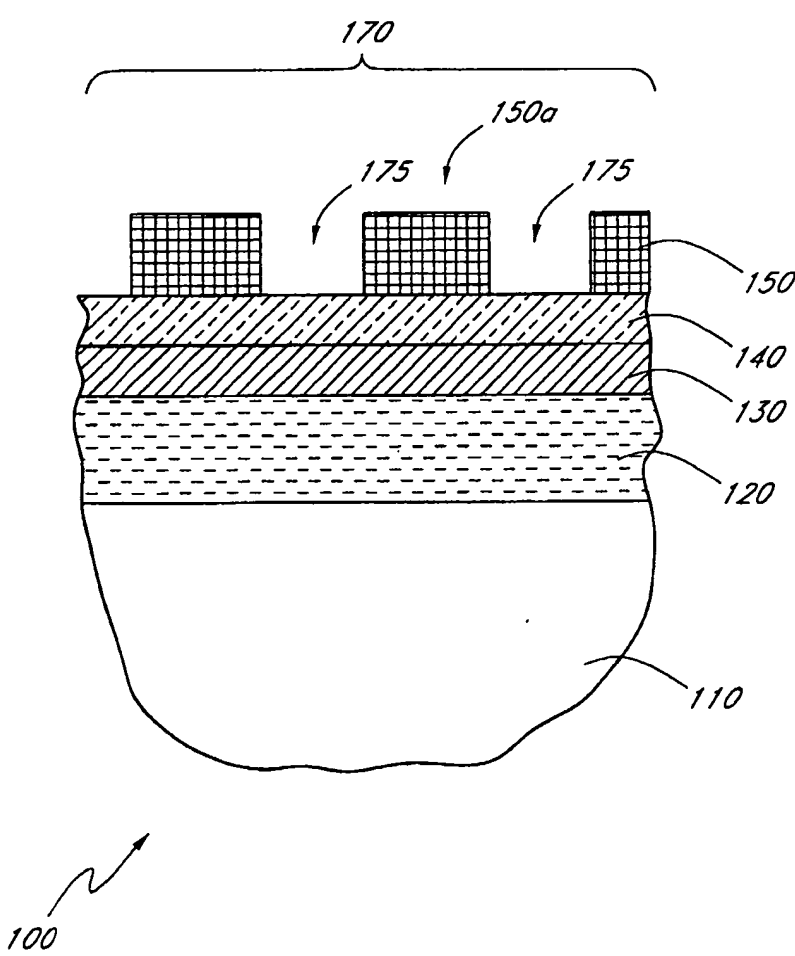


圖 4A

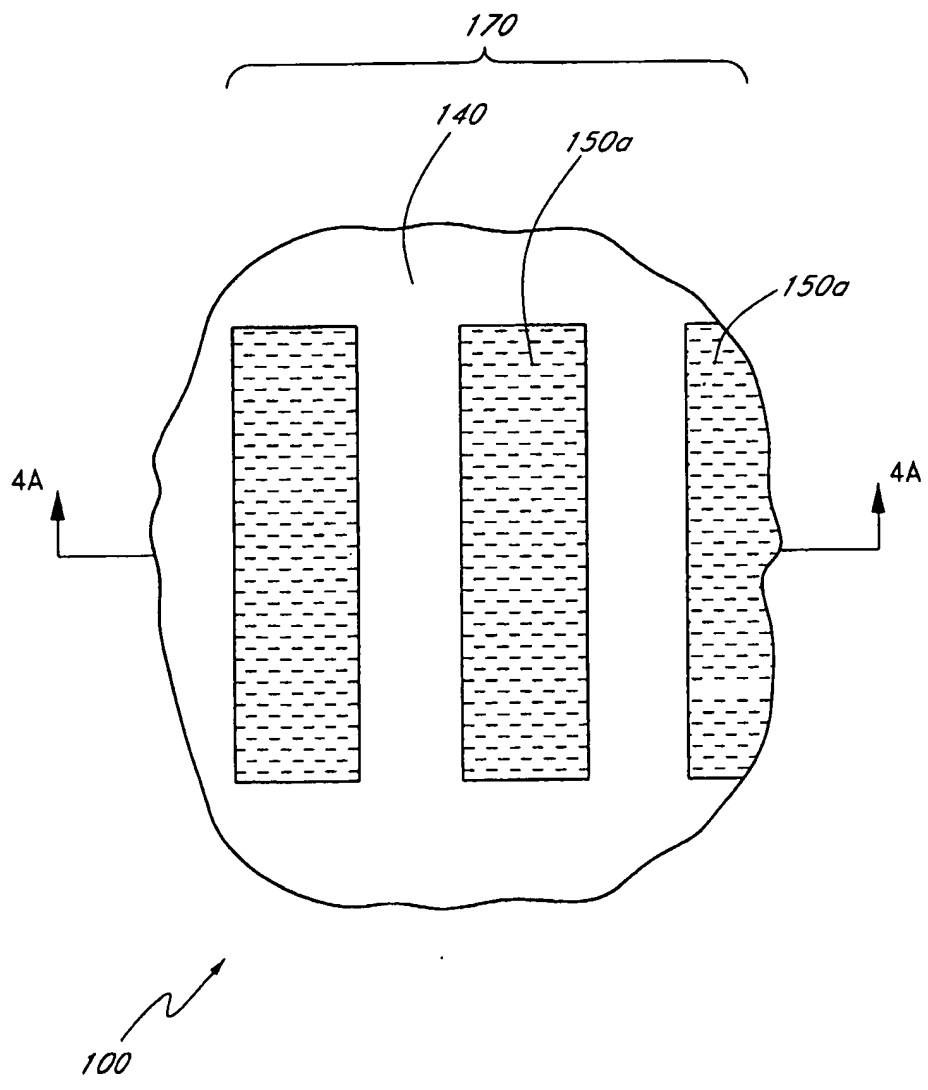


圖 4B

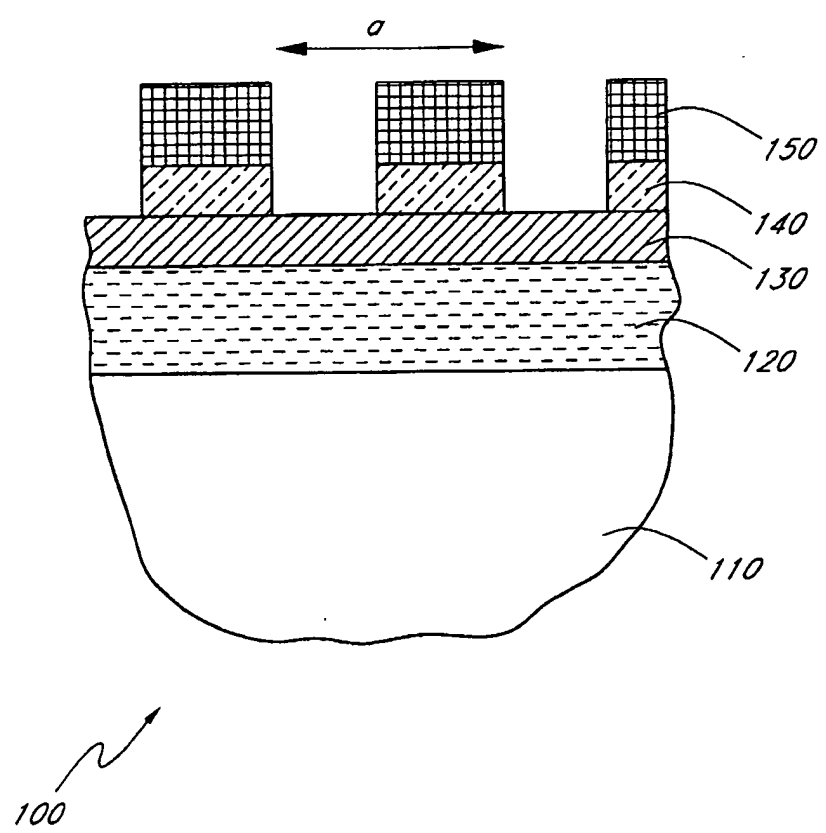


圖 5

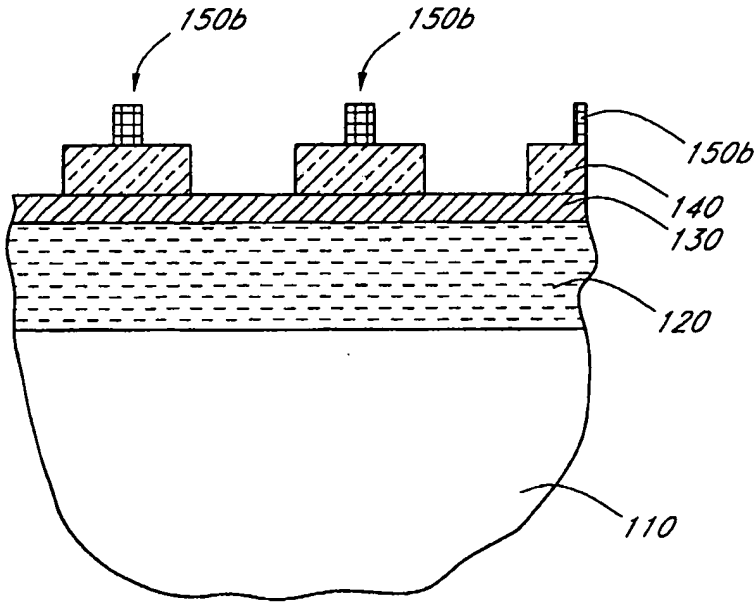


圖 6A

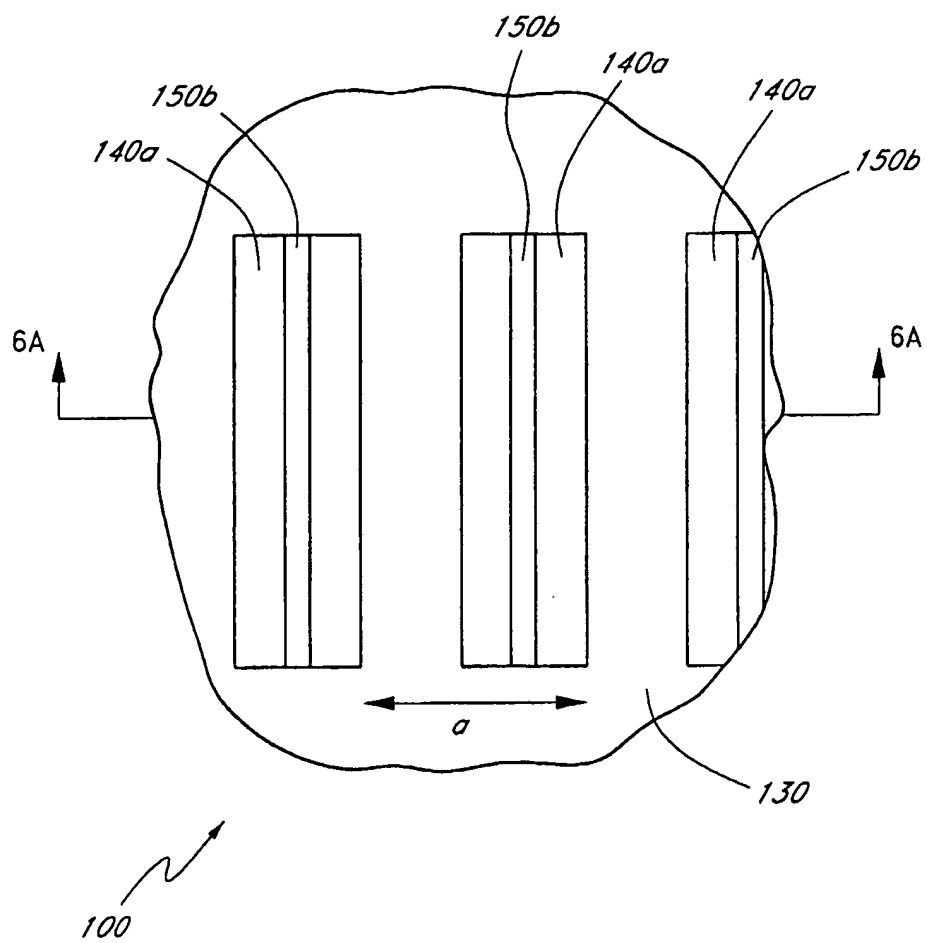


圖 6B

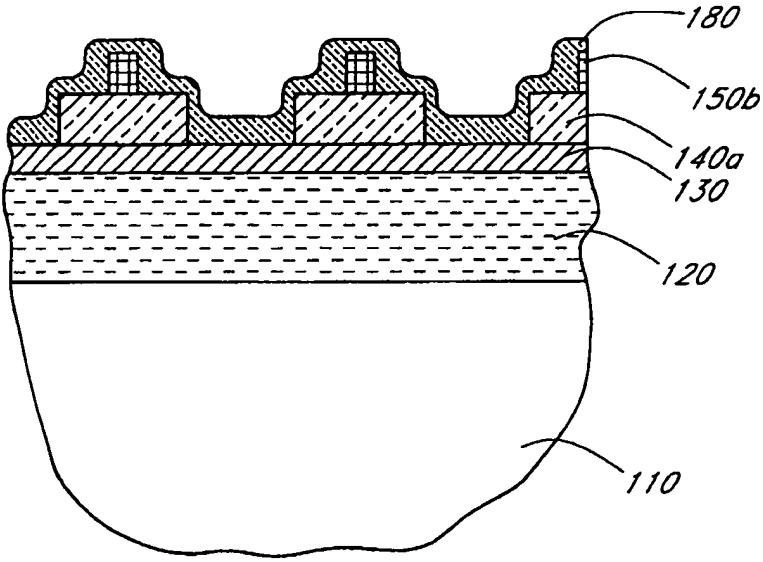


圖 7

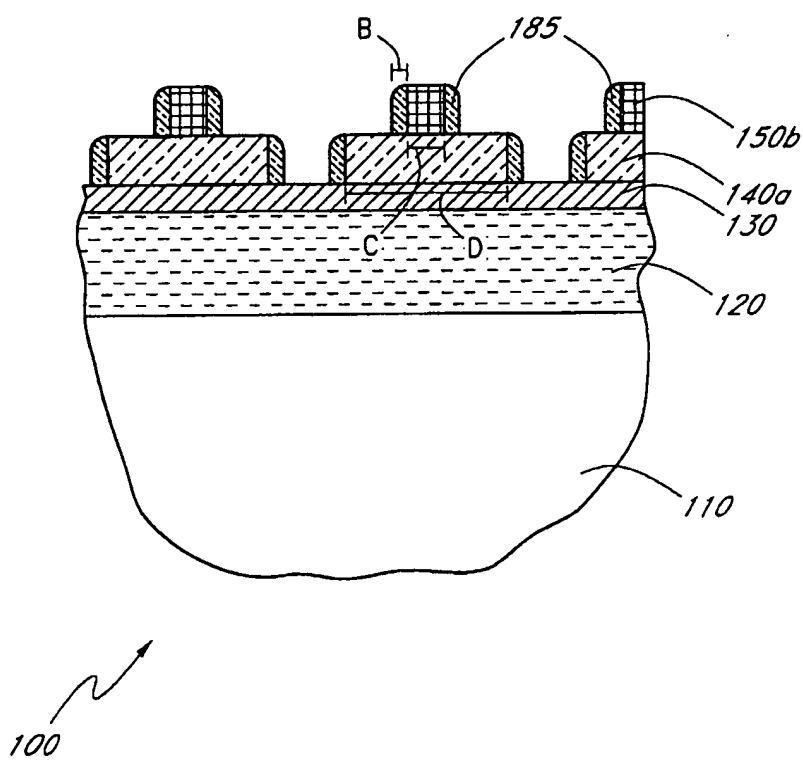


圖 8

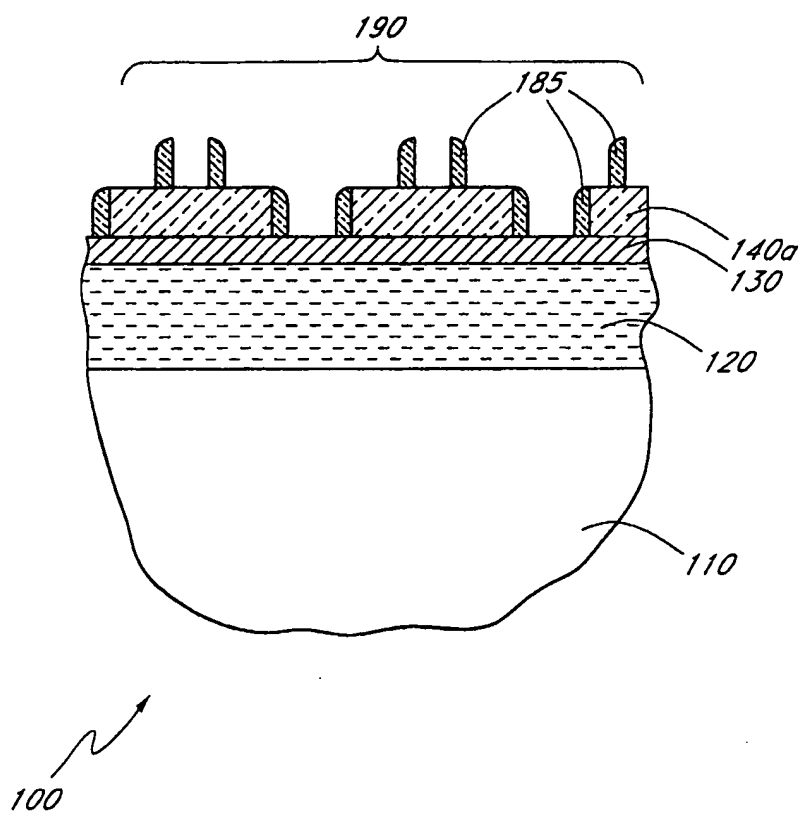


圖 9

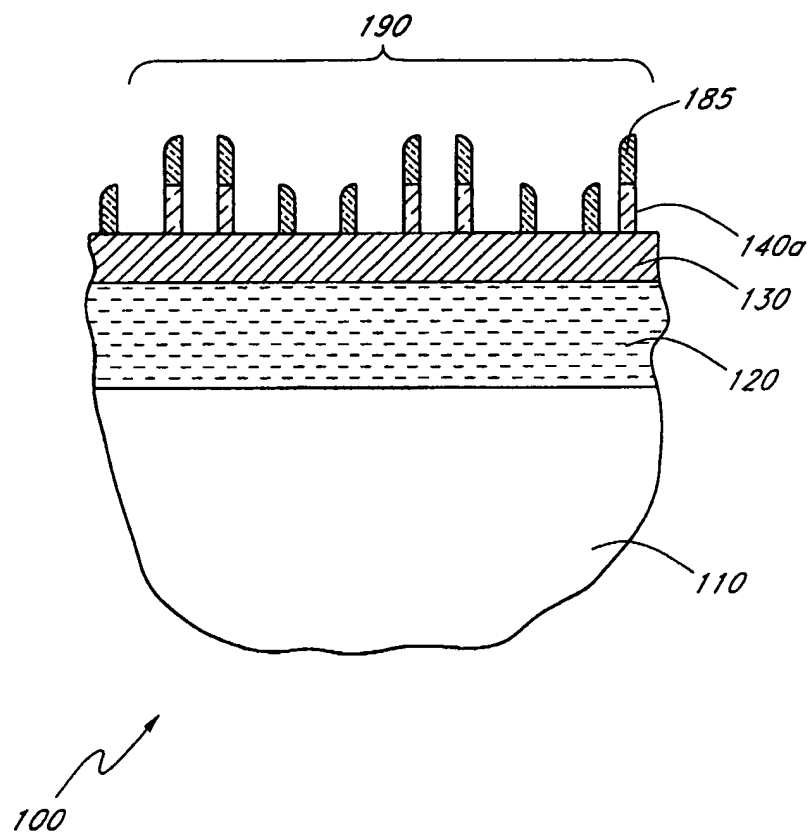


圖 10

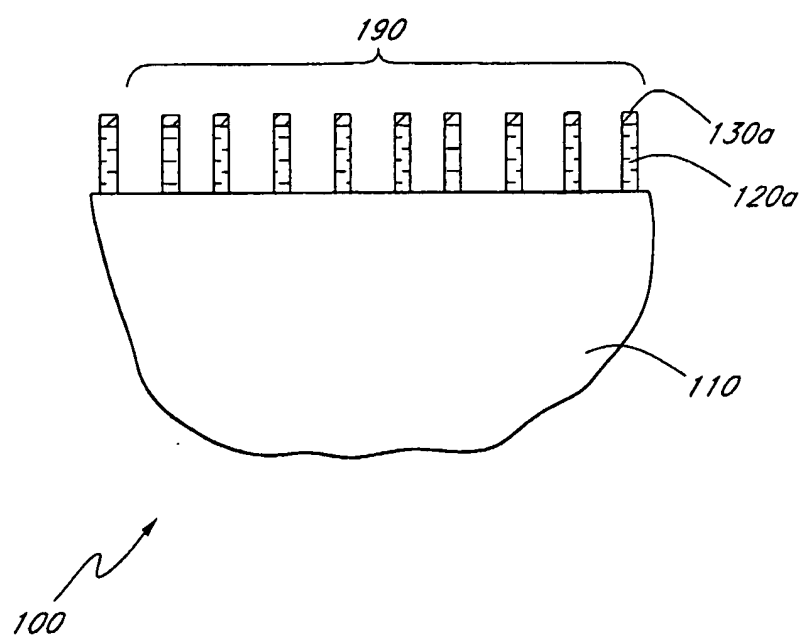


圖 11

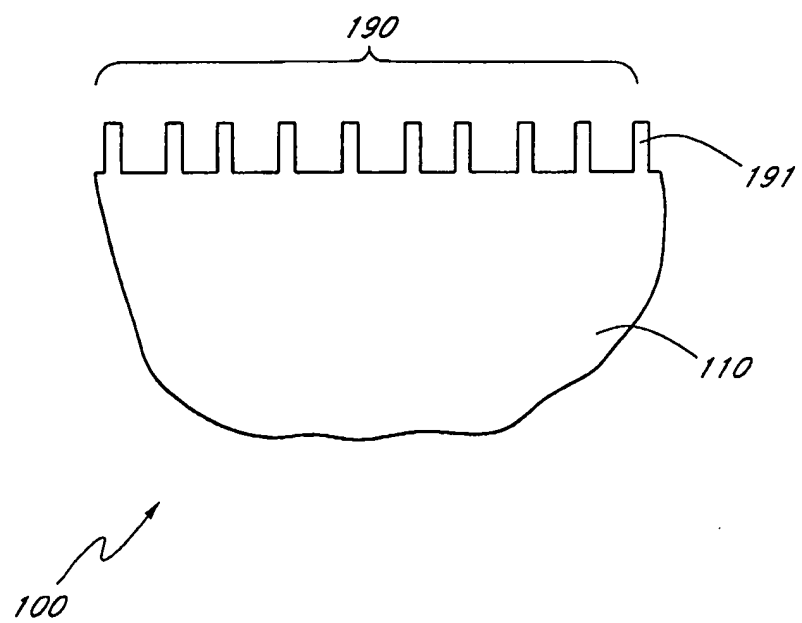


圖 12A

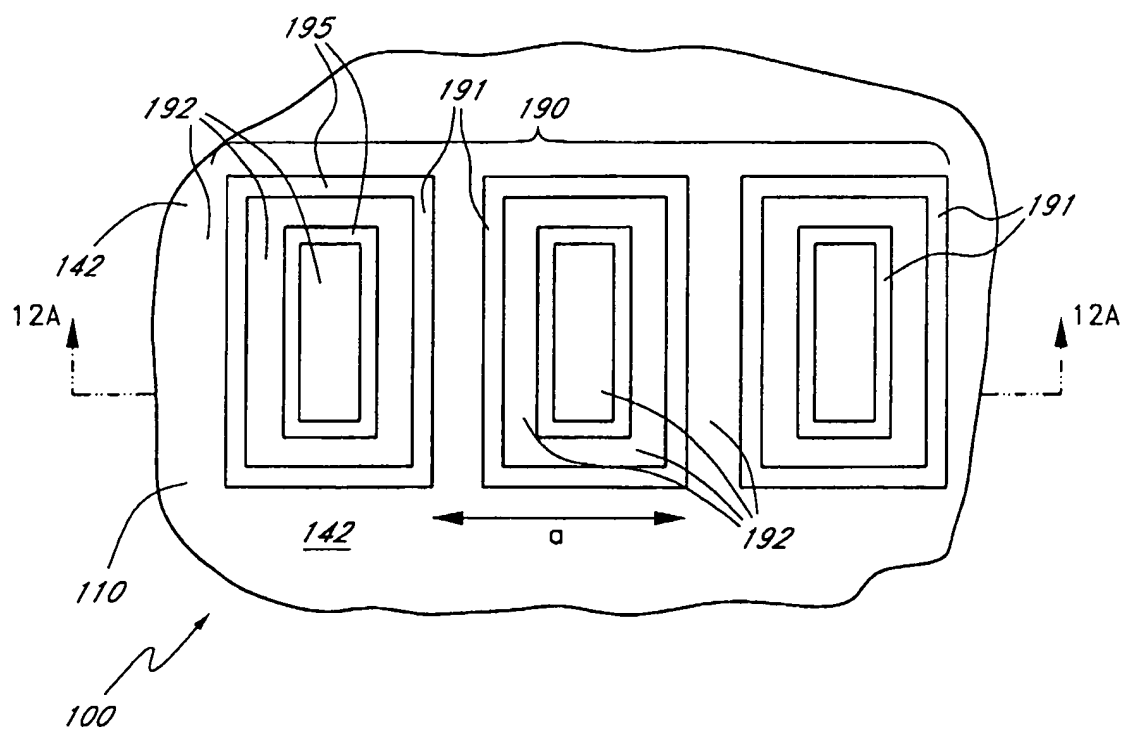


圖 12B

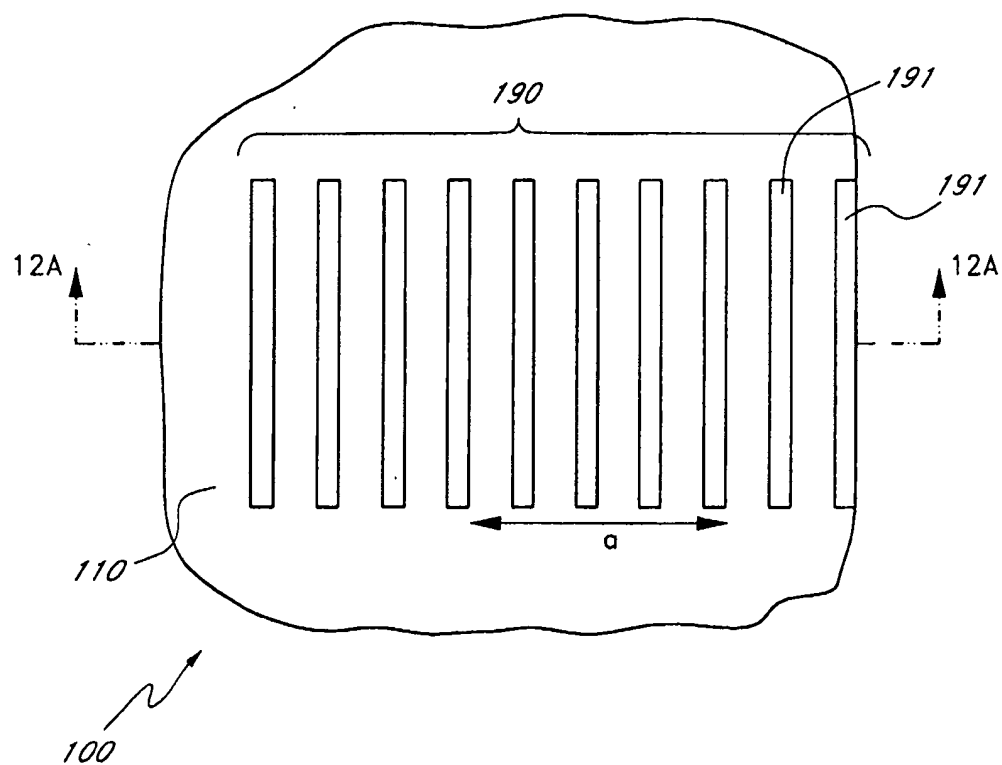


圖 12C

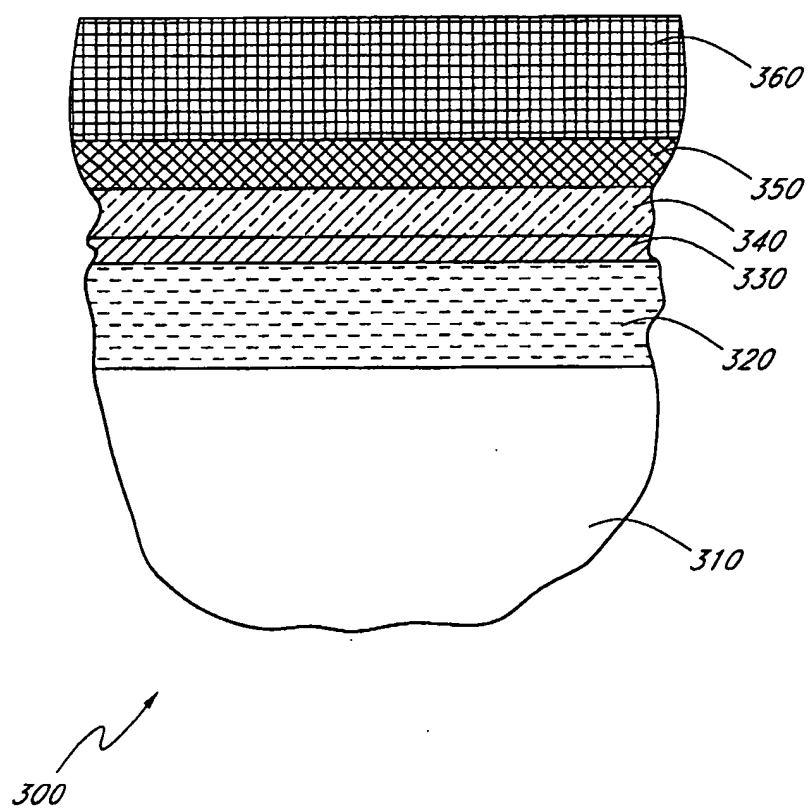


圖 14

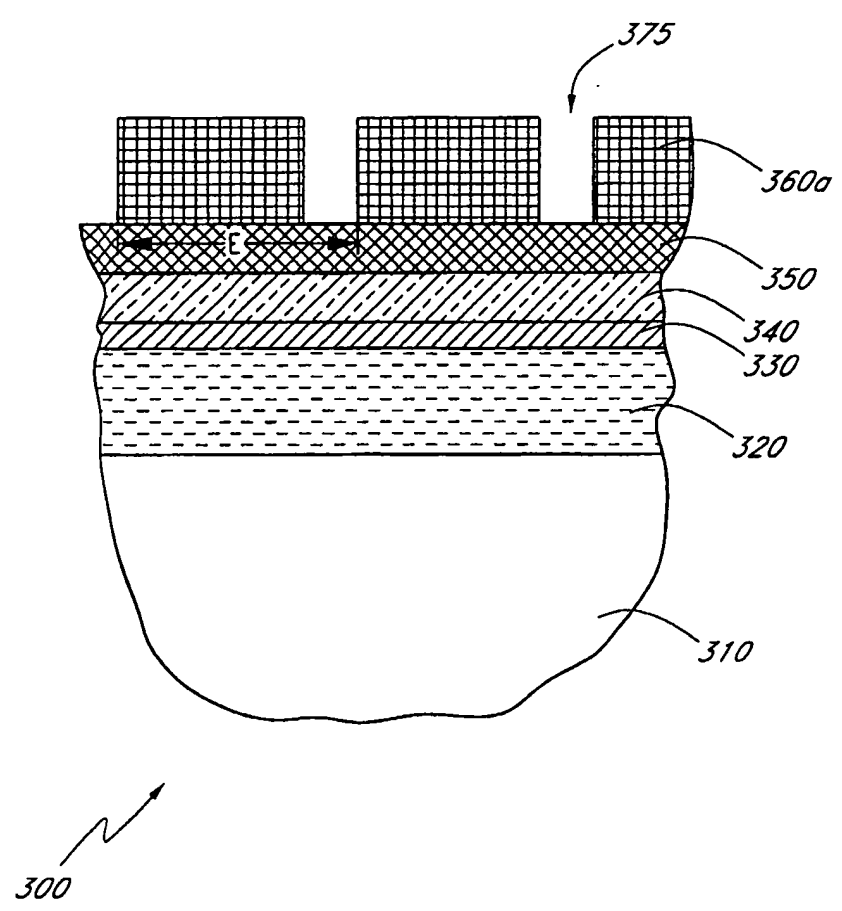


圖 15A

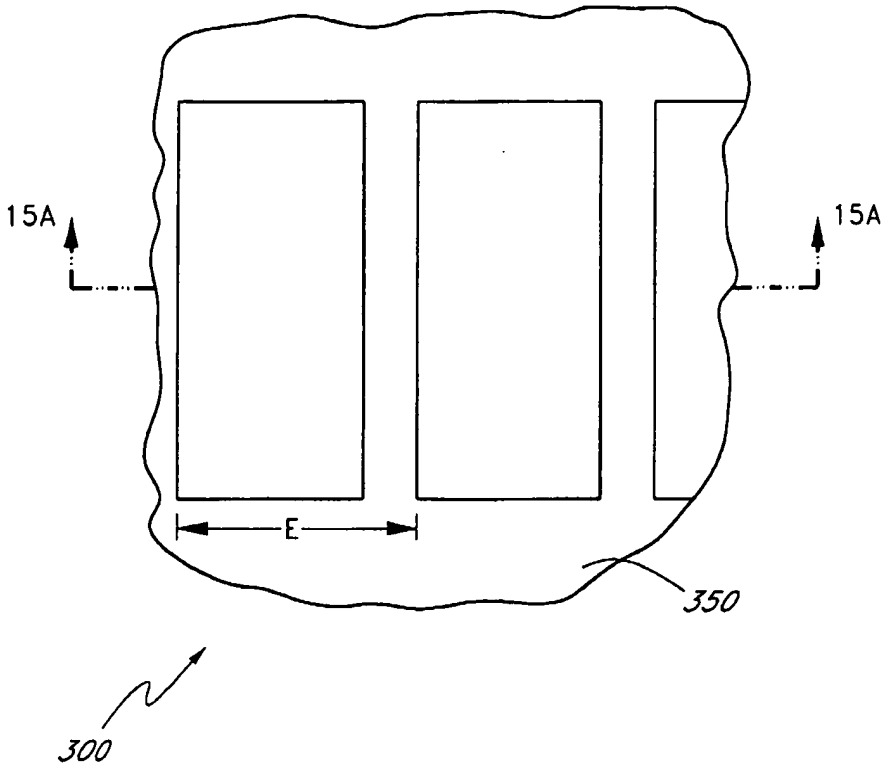


圖 15B

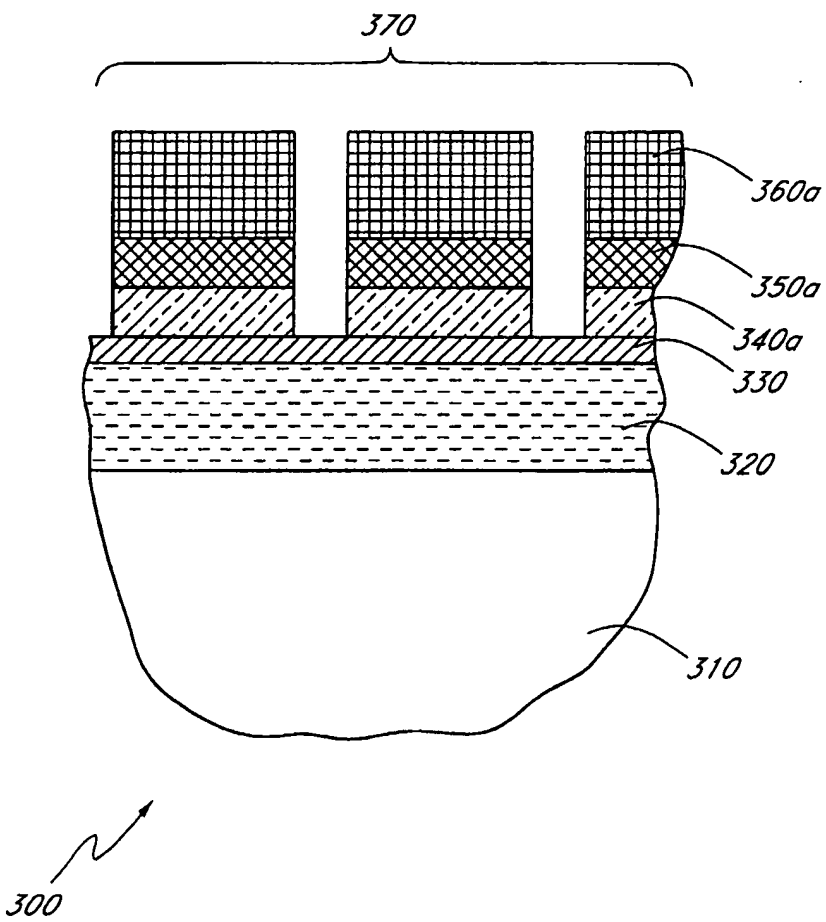


圖 16

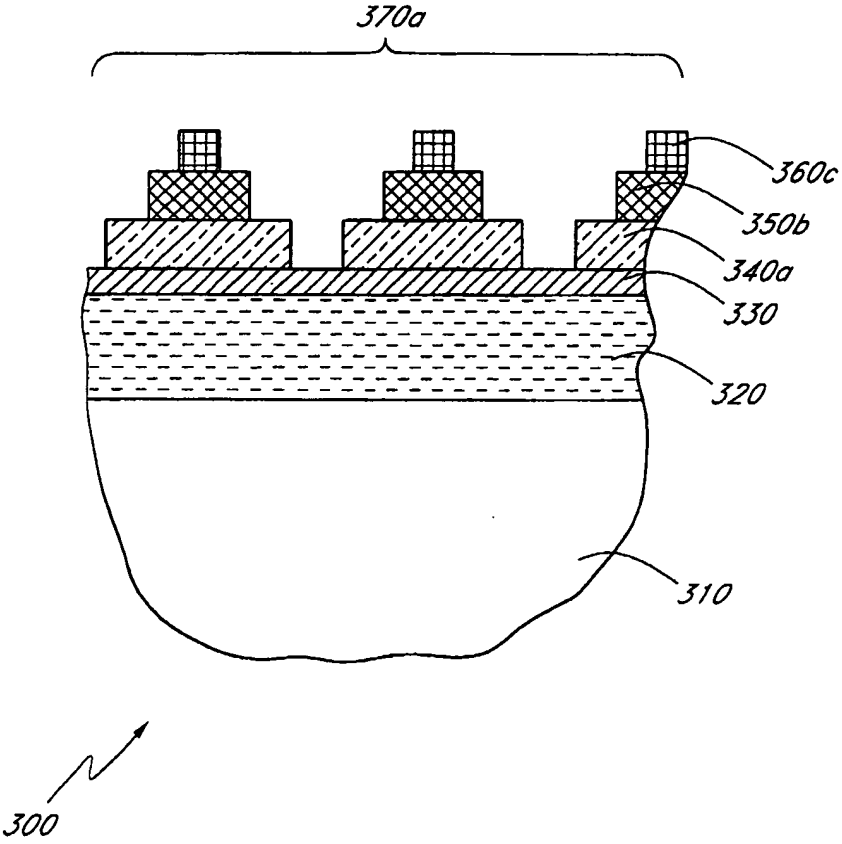


圖 17

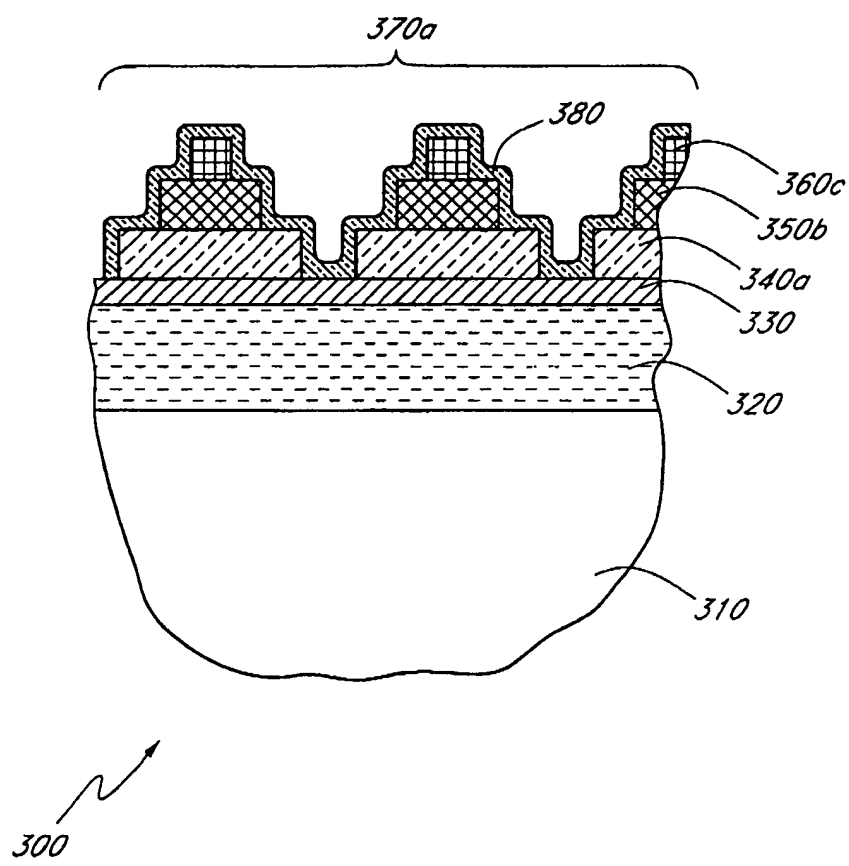


圖 18



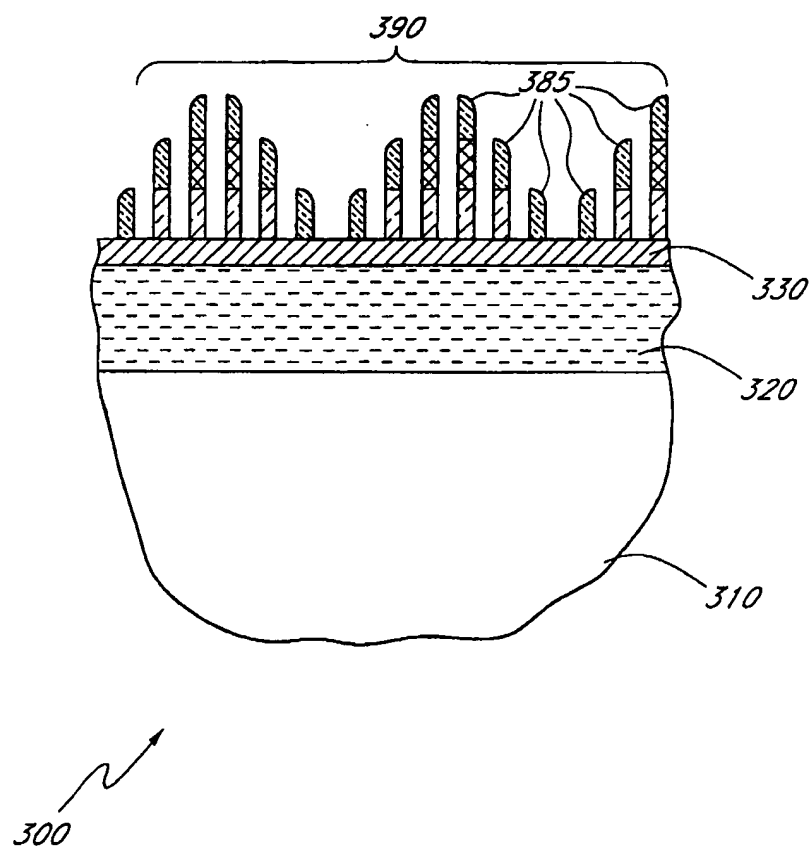


圖 20

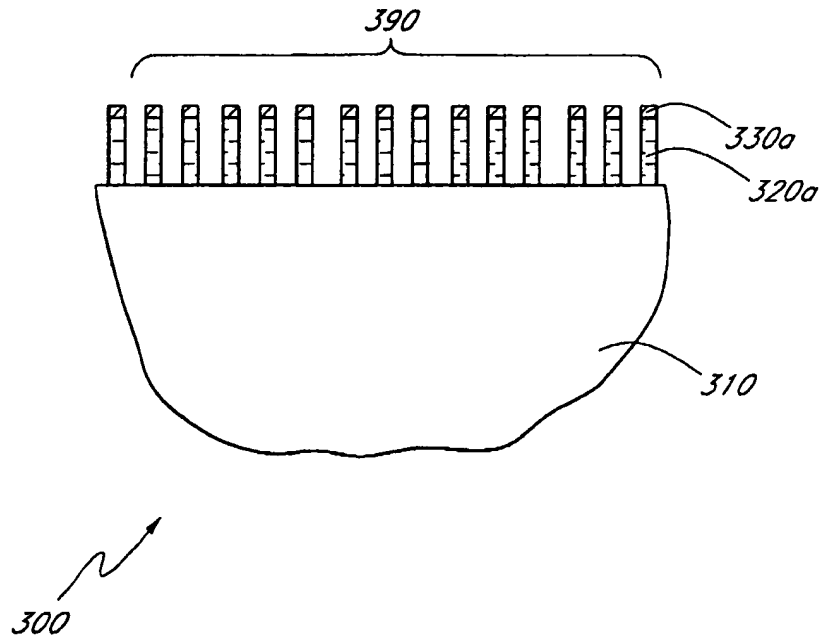


圖 21

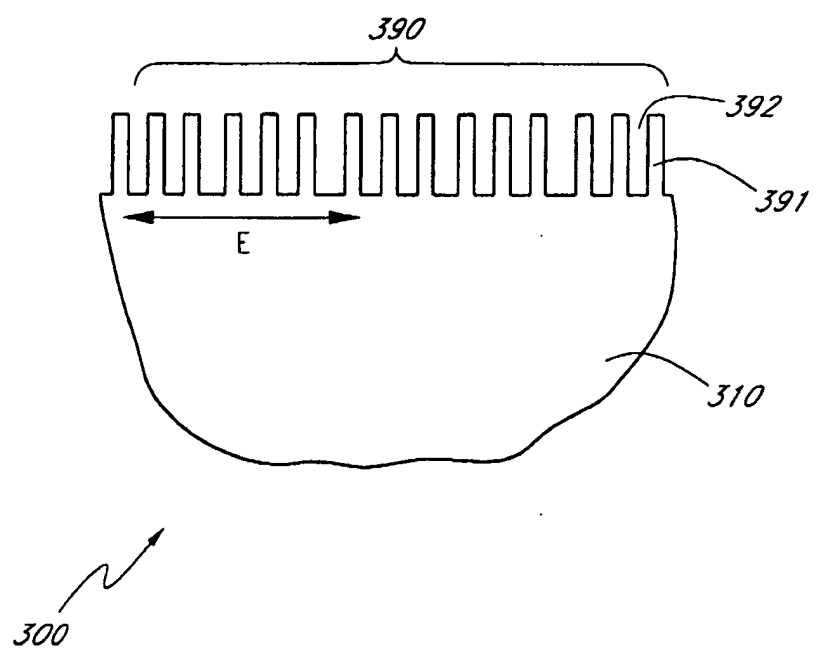


圖 22A

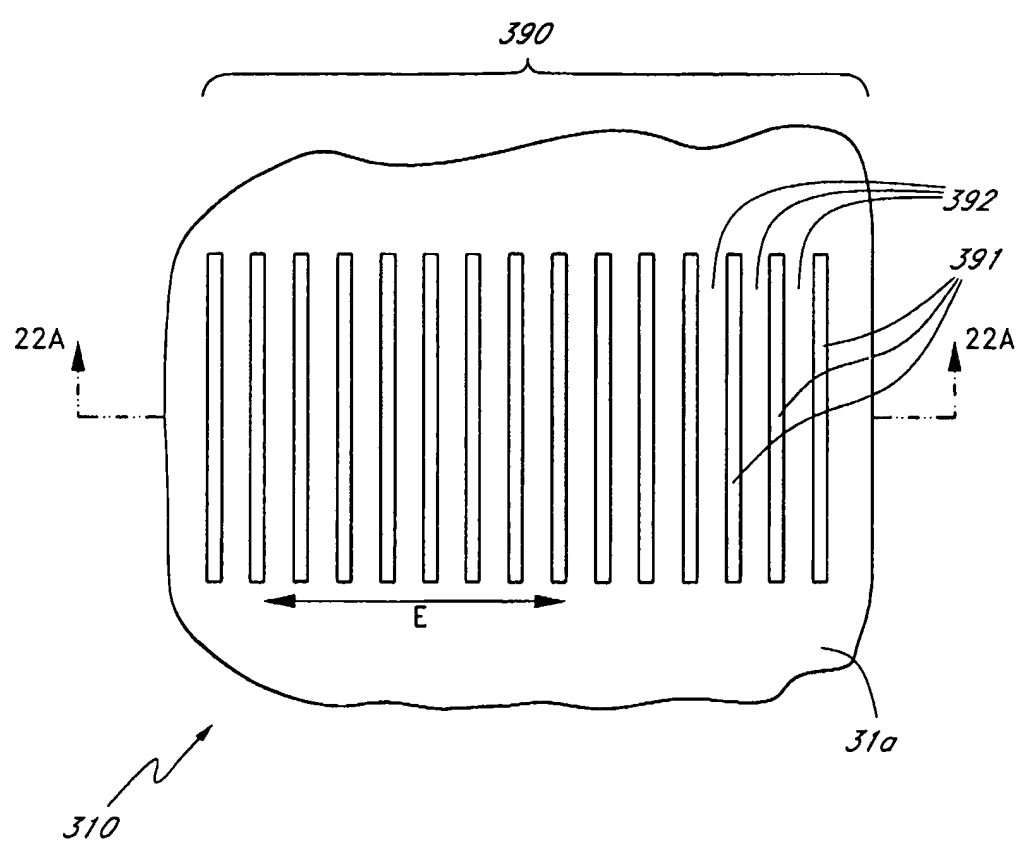


圖 22B

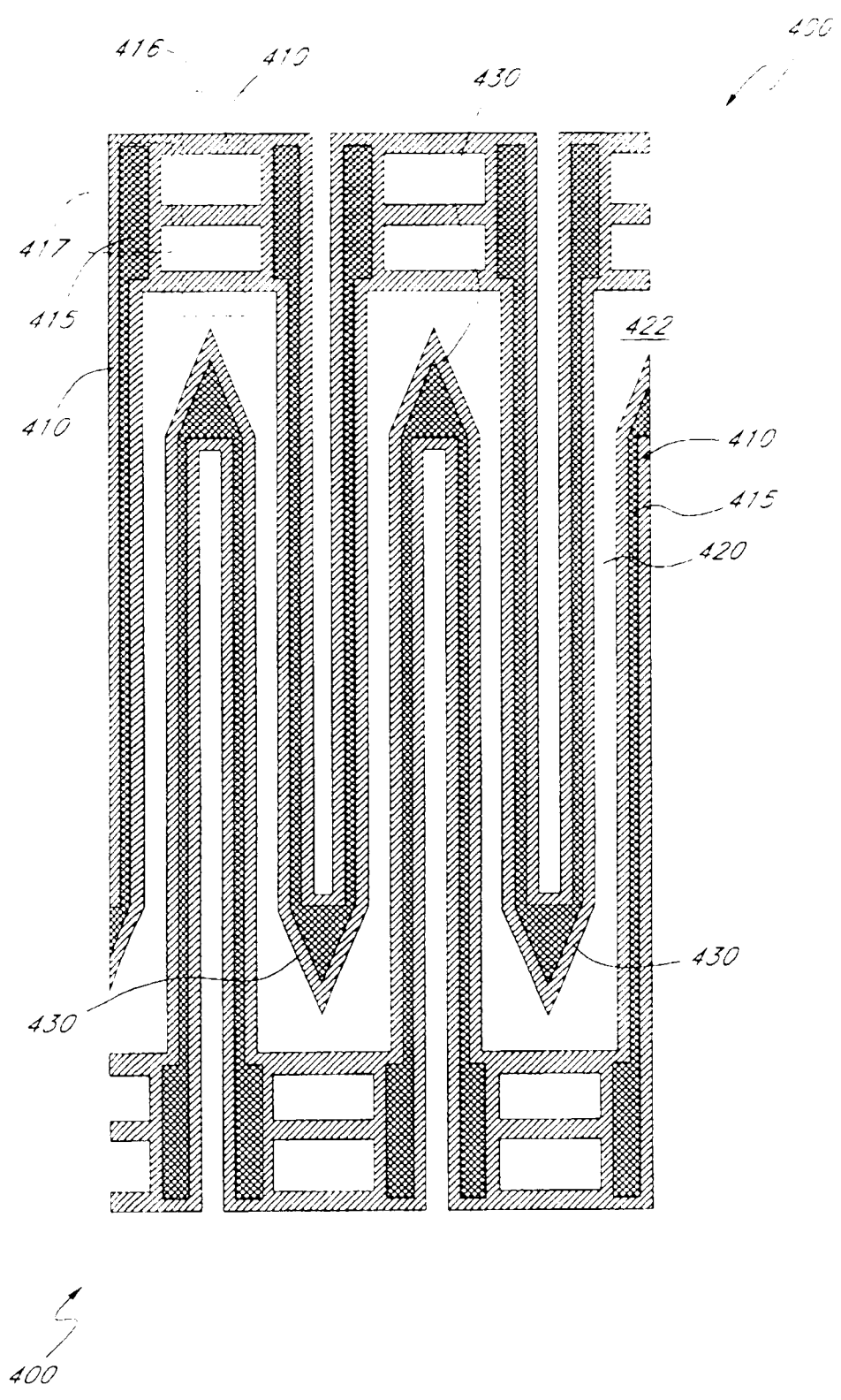


圖 23A

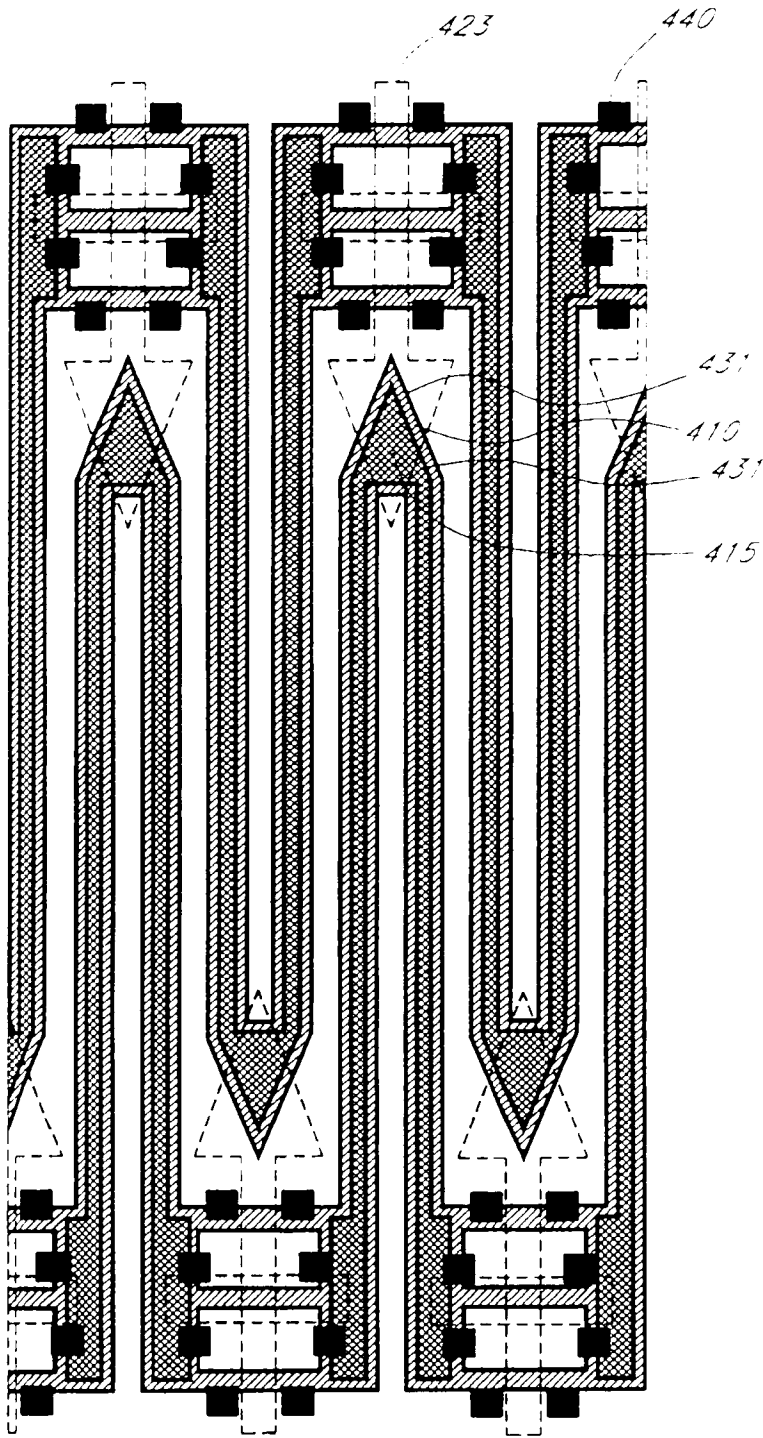


圖 23B

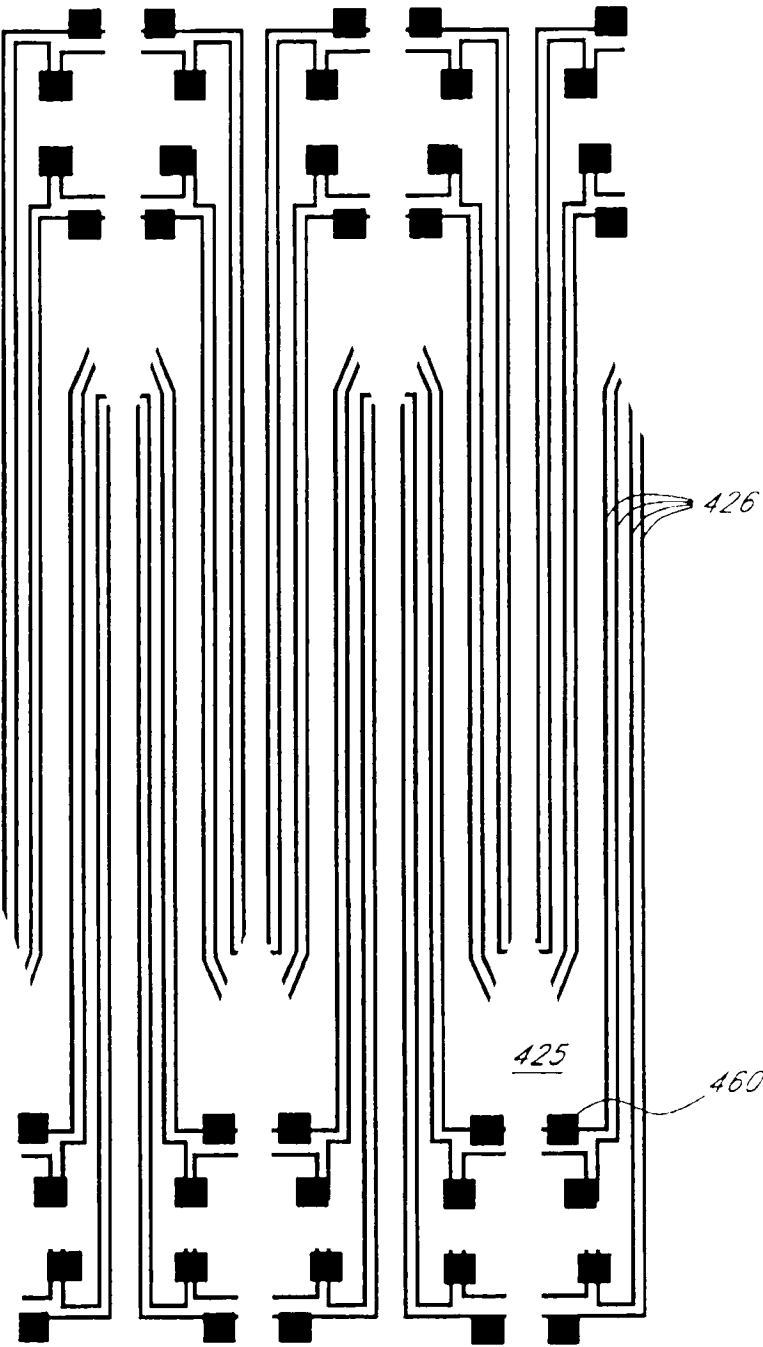


圖 23C

七、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

100	部分形成之積體電路
110	基板
120	轉移層
130	硬遮罩層
140a	第一心軸/線
150b	第二心軸/線
185	間隙壁

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

如，線、間隙)圖案的方法之具體實施例。

參考圖13A，在一具體實施例中，在置放於複數個遮罩層上之一光可定義層201中形成一特徵圖案210，該複數個遮罩層從頂部至底部包括一第一硬遮罩層202、一第二硬遮罩層203、一第三硬遮罩層204、一第四硬遮罩層205及一基板206。如先前具體實施例，該基板可包括要圖案化或摻雜的一頂部半導體層或一晶圓之部分、要圖案化的一導電層或要圖案化的一絕緣物以形成(例如)鑲嵌特徵。在所解說具體實施例中，該等特徵係相對於該頁之平面而垂直定向的線。儘管所解說具體實施例包含第一、第二、第三及第四硬遮罩層202至205，應明白可提供其他硬遮罩與臨時層，例如額外介入蝕刻停止層。

應明白，可將本發明之具體實施例的方法用於圖案化一半導體晶圓上之一導電層(例如，Si、多晶矽、Al、W、 WSi_x 、Ti、TiN等)以形成導電線，一半導體晶圓或一半導體晶圓上之一絕緣物(例如， SiO_2)以形成鑲嵌特徵。

參考圖13B，使用一單一蝕刻或一系列選擇性蝕刻將特徵圖案210轉移至該等第一、第二及第三硬遮罩層202至204。接下來，參考圖13C，各向同性地修整該第一硬遮罩層202。該蝕刻化學選擇性地修整包含該第一硬遮罩層202之材料。該各向同性蝕刻在該第一硬遮罩層202中形成一改變的特徵圖案211。接下來，對於該第一硬遮罩層202用作一遮罩，使用對包含該第二硬遮罩層203之材料有選擇性的一各向異性(或方向性)蝕刻化學來將該改變的特徵圖

十、申請專利範圍：

1. 一種用於製造一積體電路的方法，其包含：

在一基板上提供一第一心軸，該第一心軸具有一第一寬度；

實質上在該第一心軸上提供一第二心軸，該第二心軸具有小於該第一寬度之一第二寬度且係由一不同於該第一心軸之材料所形成；

在該等第一與第二心軸之側壁上同時形成間隙壁；

相對於該等間隙壁而選擇性地移除該等心軸之至少部分以形成藉由該等間隙壁定義之一間隙壁圖案；以及

透過藉由該間隙壁圖案定義之一遮罩來處理該基板。

2. 如請求項 1 之方法，其中處理包含蝕刻以將該間隙壁圖案轉移至該基板。
3. 如請求項 2 之方法，其進一步包含在處理之前將該間隙壁圖案轉移至一下部硬遮罩層並移除該等間隙壁。
4. 如請求項 3 之方法，其中該基板包含一上部層間介電層並且透過該遮罩之處理形成鑲嵌溝渠。
5. 如請求項 4 之方法，其中該間隙壁圖案包含具有連接迴路端的伸長之線，並且該方法進一步包含在處理之前阻隔該等迴路端。
6. 如請求項 3 之方法，其中在該基板上提供該第一心軸包含在一導體上提供該第一心軸。
7. 如請求項 6 之方法，其中該間隙壁圖案包含具有連接迴路端的伸長之線，並且該方法進一步包含在處理之前移

除該等迴路端。

8. 如請求項1之方法，其中提供該第二心軸包含提供平行於該第一心軸延伸之該第二心軸。
9. 如請求項1之方法，其中提供該第二心軸包含提供相對於該第一心軸而處於中心的該第二心軸。
10. 如請求項1之方法，其中同時形成該等間隙壁使該等間隙壁具有小於該第一寬度之一第三寬度。
11. 如請求項1之方法，其中提供該第二心軸包含使用具有一大於大約200 nm之解析度限制的微影蝕刻。
12. 如請求項1之方法，其進一步包含在該第二心軸上提供一第三心軸，該第三心軸具有一第三寬度。
13. 如請求項12之方法，其中提供該第三心軸包含提供具有小於該第二寬度之該第三寬度的該第三心軸。
14. 如請求項13之方法，其中提供該第三心軸包含提供相對於該第二心軸而處於中心的該第三心軸。
15. 如請求項1之方法，其中選擇性地移除包含移除該第一心軸之部分。
16. 如請求項1之方法，其中選擇性地移除包含留下直接在該第二心軸之該等側壁上的間隙壁下面的該第一心軸之部分。
17. 如請求項1之方法，其中形成間隙壁包含在該基板之表面上覆蓋沈積間隙壁材料。
18. 如請求項1之方法，其中同時形成間隙壁包含提供具有少於或等於大約該第一寬度之一半減去該第二寬度之一

半之一寬度的間隙壁。

19. 一種用於使用層式心軸來形成藉由一係數 $2n$ 沿一維而間距倍增之線之一圖案的方法，其包含：

在一基板上提供 n 層堆疊之心軸，其中 $n \geq 2$ ，該等 n 層之各層包含其長度之大部分實質上彼此平行的複數個伸長之心軸，其中處於層 n 之心軸在處於層 $n-1$ 之心軸之上並與其平行，其中處於層 n 之相鄰心軸之間的該距離大於處於層 $n-1$ 之相鄰心軸之間的該距離，其中處於層 n 之該等心軸係由一不同於處於層 $n-1$ 之該等心軸之材料所形成；以及

在該等心軸之側壁上同時形成間隙壁。

20. 如請求項19之方法，其中提供 n 層堆疊之心軸包含提供與處於層 $n-1$ 之心軸直接接觸的處於層 n 之心軸。
21. 如請求項19之方法，其中提供 n 層堆疊之心軸包含提供實質上在處於層 $n-1$ 之心軸上之中心的處於層 n 之心軸。
22. 如請求項19之方法，其進一步包含相對於該等間隙壁而選擇性地移除該等心軸之至少部分以形成藉由該等間隙壁定義之一間隙壁圖案。
23. 如請求項22之方法，其進一步包含將該間隙壁圖案轉移至該基板以形成藉由一係數 $2n$ 之間距倍增之該線之圖案。
24. 如請求項23之方法，其中將該間隙壁圖案轉移至該基板包含形成定義溝渠之該線之圖案。
25. 如請求項19之方法，其中提供 n 層堆疊之心軸包含提供

定義線之心軸。

26. 如請求項19之方法，其中提供n層堆疊之心軸包含提供比處於層n-1之個別心軸窄的處於層n之個別心軸。
27. 如請求項19之方法，其進一步包含在該基板與該等心軸之間提供一或多個硬遮罩層。
28. 如請求項19之方法，其進一步包含在該基板與該等心軸之間提供一轉移層。
29. 如請求項19之方法，其中在該基板上提供n層堆疊之心軸包含在一半導體晶圓上提供n層堆疊之心軸。
30. 如請求項29之方法，其中在該基板上提供n層堆疊之心軸包含在一在該半導體晶圓上包含一層間介電層之基板上提供n層堆疊之心軸。
31. 一種藉由一間隙壁倍增間距之方法所形成之中間積體電路(IC)結構，其包含：

一基板上之一第一心軸，該第一心軸具有一第一寬度(A)，以及該第一心軸上之一第二心軸，該第二心軸具有一第二寬度(B)，其中 $A > B$ ，且其中該第一心軸係由一不同於該第二心軸之材料所形成；以及

該等第一及第二心軸之側壁上的間隙壁，該等間隙壁具有一間隙壁寬度(C)，其中 $C \leq \frac{(A-B)}{2}$ 。

32. 如請求項31之中間積體電路結構，其中該第二心軸實質上在該第一心軸上。
33. 如請求項31之中間積體電路結構，其中 $C \leq \frac{(A-B)}{3}$ 。
34. 如請求項33之中間積體電路結構，其中 $C \approx \frac{(A-B)}{4}$ 。

35. 如請求項31之中間積體電路結構，其中該第二心軸處於相對於該第一心軸之中心。
36. 如請求項31之中間積體電路結構，其進一步包含該第二心軸上之一第三心軸，該第三心軸具有一第三寬度，其中該第三寬度少於該第二寬度。
37. 如請求項36之中間積體電路結構，其中該第三心軸處於相對於該第二心軸之中心。
38. 如請求項31之中間積體電路結構，其中該等第一與第二心軸係平行線。
39. 如請求項31之中間積體電路結構，其中該等間隙壁定義一間隙壁圖案。
40. 如請求項39之中間積體電路結構，其中該間隙壁圖案包含針對一NAND快閃記憶體的一控制閘極堆疊之特徵。
41. 如請求項39之中間積體電路結構，其中該間隙壁圖案包含一邏輯陣列之特徵。
42. 如請求項39之中間積體電路結構，其中該間隙壁圖案包含一閘極陣列之特徵。
43. 如請求項39之中間積體電路結構，其中該間隙壁圖案包含一記憶體陣列之特徵。
44. 如請求項39之中間積體電路結構，其中該間隙壁圖案包含一動態隨機存取記憶體(DRAM)裝置之特徵。
45. 一種遮罩程序，其包含：
在兩個或兩個以上堆疊之膜之上定義一圖案；
將該圖案轉移入該等兩個或兩個以上堆疊之膜中；

相對於該等兩個或兩個以上堆疊之膜之一下部膜來減低至少一上部膜的元件尺寸以產生兩個或兩個以上堆疊之心軸，其中該等下部膜及上部膜係由不同之材料所形成；以及

在該等堆疊之心軸之側壁上形成側壁間隙壁。

46. 如請求項45之程序，其中定義該圖案包含微影蝕刻。
47. 如請求項45之程序，其中定義該圖案包含形成具有一選定寬度之窄區段使得當減少尺寸時在該窄區段中該上部膜係移除，而在減少尺寸之後在該圖案之其他區段中該上部膜保持為一心軸。
48. 如請求項45之程序，其中定義該圖案包含形成具有一選定寬度之寬區段來分離形成於該等寬區段中的該等側壁間隙壁，使得微影蝕刻可定義對藉由該等寬區段中之該等側壁間隙壁定義之特徵的接點，而微影蝕刻不能分離地接觸藉由該圖案之其他區段中之該等側壁間隙壁定義之特徵。
49. 如請求項45之程序，其中定義該圖案包含沿該圖案改變線之寬度以促進藉由該等側壁間隙壁定義之特徵之中的電連接。
50. 如請求項45之程序，其中定義該圖案包含在該圖案之一窗區段中的該下部膜之相鄰段之間包括一窗以相對於藉由該圖案之其他區段中的該下部膜定義之一心軸上形成的間隙壁之分離而增加藉由該窗區段中的該下部膜定義之該心軸上形成的間隙壁之分離。

51. 如請求項 50 之程序，其中該窗區段包含相鄰窗從而允許間隙壁之橫向分離足以致能對藉由該等間隙壁定義之特徵的非間距倍增之接點。

圖 13A

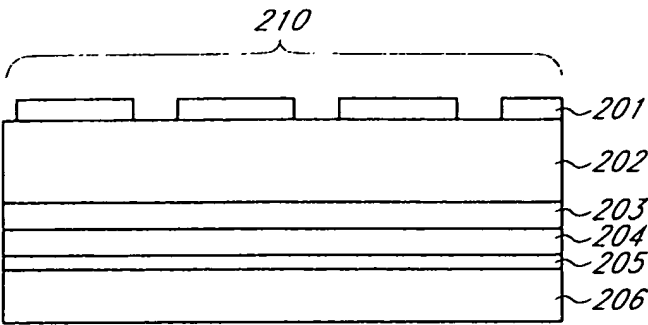


圖 13B

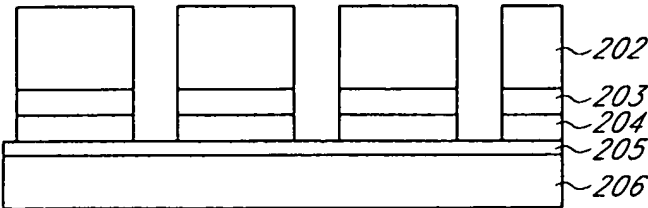


圖 13C

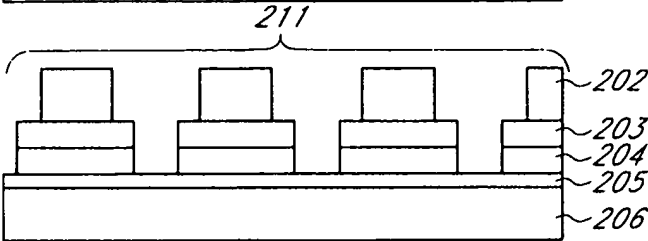


圖 13D

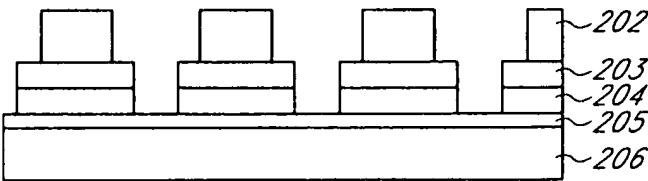


圖 13E

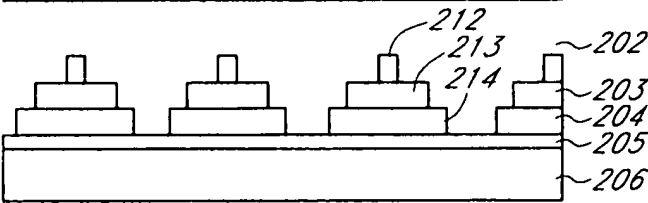


圖 13F

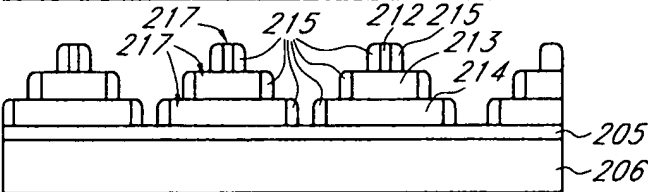


圖 13G

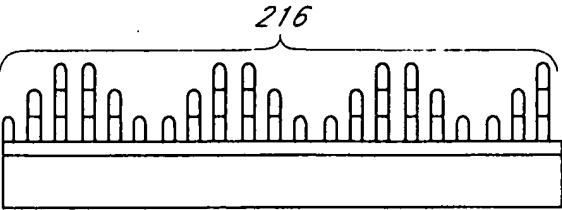


圖 13H

