



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I383453B1

(45)公告日：中華民國 102 (2013) 年 01 月 21 日

(21)申請案號：098119405

(22)申請日：中華民國 98 (2009) 年 06 月 10 日

(51)Int. Cl. : *H01L21/314 (2006.01)**H01L21/335 (2006.01)**H01L29/778 (2006.01)*

(30)優先權：2008/06/19 美國

12/214,737

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：呼達特 曼圖 HUDAIT, MANTU K. (US)；托欽斯基 彼得 TOLCHINSKY, PETER (US)；周 羅倫 CHOW, LOREN A. (US)；盧比契夫 狄米契 LOUBYCHEV, DMITRI (US)；費森撓 約耳 FASTENAU, JOEL M. (US)；劉 艾咪 LIU, AMY W. K. (US)

(74)代理人：林志剛

(56)參考文獻：

US 2006/0076577A1

US 2008/0073639A1

US 2008/0116485A1

審查人員：修宇鋒

申請專利範圍項數：20 項 圖式數：9 共 25 頁

(54)名稱

在矽上形成緩衝層架構的方法與所形成之結構

METHODS OF FORMING BUFFER LAYER ARCHITECTURE ON SILICON AND STRUCTURES FORMED THEREBY

(57)摘要

本案描述形成微電子裝置的方法與相關結構。這些方法可以包含在一基板上形成 GaSb 成核層；在該 GaSb 成核層上形成 Ga(Al)AsSb 緩衝層；在該 Ga(Al)AsSb 緩衝層上形成 In_{0.52}Al_{0.48}As 底阻障層；及在該 In_{0.52}Al_{0.48}As 底阻障層上形成一漸變 In_xAl_{1-x}As 層，如此完成低缺陷裝置級 InGaAs 為主之量子井結構的製造。

Methods and associated structures of forming a microelectronic device are described. Those methods may include forming a GaSb nucleation layer on a substrate, forming a Ga(Al)AsSb buffer layer on the GaSb nucleation layer, forming an In_{0.52}Al_{0.48}As bottom barrier layer on the Ga(Al)AsSb buffer layer, and forming a graded In_xAl_{1-x}As layer on the In_{0.52}Al_{0.48}As bottom barrier layer thus enabling the fabrication of low defect, device grade InGaAs based quantum well structures.

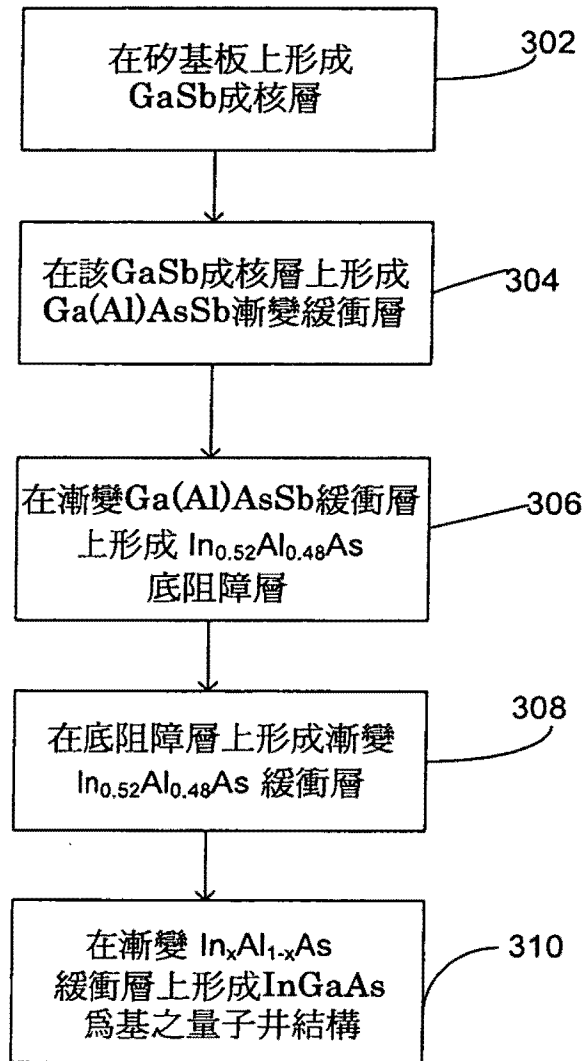


圖3

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：098119405

※申請日：98 年 06 月 10 日

※IPC 分類：

一、發明名稱：(中文／英文)

在矽上形成緩衝層架構的方法與所形成之結構

Methods of forming buffer layer architecture on silicon and structures formed thereby

二、中文發明摘要：

本案描述形成微電子裝置的方法與相關結構。這些方法可以包含在一基板上形成 GaSb 成核層；在該 GaSb 成核層上形成 Ga(Al)AsSb 緩衝層；在該 Ga(Al)AsSb 緩衝層上形成 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層；及在該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層上形成一漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層，如此完成低缺陷裝置級 InGaAs 為主之量子井結構的製造。

三、英文發明摘要：

Methods and associated structures of forming a microelectronic device are described. Those methods may include forming a GaSb nucleation layer on a substrate, forming a Ga(Al)AsSb buffer layer on the GaSb nucleation layer, forming an $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ bottom barrier layer on the Ga(Al)AsSb buffer layer, and forming a graded $\text{In}_x\text{Al}_{1-x}\text{As}$ layer on the $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ bottom barrier layer thus enabling the fabrication of low defect, device grade InGaAs based quantum well structures.

101. 年 月 日 修正 東(本)
10. 10. 3 日 對線

四、指定代表圖：

(一) 本案指定代表圖為：第(3)圖。

(二) 本代表圖之元件符號簡單說明：無

101. 年 月 日 修正 頁(本)
對線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於在矽上形成緩衝層架構的方法與所形成之結構。

【先前技術】

各種電子及光電裝置可以藉由在元素矽（Si）基板上開發薄膜鬆弛晶格常數 III-V 半導體加以完成。能完成 III-V 材料的效能優點的表面層可以主管各種高效電子裝置，例如互補金屬氧化物半導體（CMOS）及量子井（QW）電晶體，這些係由極高遷移率材料，例如但並不限於銻化銦（InSb）、砷化銦鎵（InGaAs）及砷化銦（InAs）。

【發明內容與實施方式】

雖然說明書推論出指明並明確主張視為本發明之權利範圍，但本發明的優點可以由以下本發明說明配合附圖加以迅速了解。

在以下詳細說明中，參考附圖，其顯示本發明可以實施的特定實施例。這些實施例被詳細描述，以使得熟習於本技藝者實施本發明。可以了解的是，本發明的各種實施例雖然不同但並不必然互相排斥。例如，於此所述之特定特性、結構或特徵，配合上一實施例可能可以實施於其他實施例內，而不脫離本發明的精神與範圍。另外，可以了解的是，在各個揭示實施例內的各元件的位置或配置可以

在不脫離本發明的精神與範圍加以修改。因此，以下詳細說明並不作為限制用，本發明之範圍係只為隨附之申請專利範圍加以界定與適當解釋，以配合申請專利範圍的完整範圍。在圖式中，相同元件符號係表示所有圖中之相同或類似功能。

以下描述用以形成微電子結構的方法與相關結構。這些方法可以包含在基板上形成 GaSb 成核層；在該 GaSb 成核層上，形成 Ga(Al)AsSb 漸變 (graded) 緩衝層；在漸變緩衝層上，形成一晶格匹配 InAlAs 底阻障層；及在底阻障層上，形成漸變 $\text{In}_x\text{As}_{1-x}\text{As}$ 緩衝層。一 InGaAs 裝置層然後可以成長在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 緩衝層上，其可以作為一阻障層，及裝置隔離層，用於變質電子遷移率電晶體 (HEMT) 應用。本發明之方法完成 III-V 材料於基板上具有匹配晶格、熱及極性特性的成長。

結晶缺陷可以為在 III-V 半導體磊晶層與矽半導體基板間之晶格錯置 (mismatch)、極性-在-非極性錯置及熱錯置所產生。此錯置可能造成較差電特性，例如低載子遷移率及高洩漏。當在磊晶層與基板間之晶格錯置超出幾百分比時，為錯置所引入的應變可能變成太大，及當此磊晶膜放鬆晶格錯置應變時，缺陷可能產生在磊晶層中。

例如線差排、孿生晶體的很多缺陷傾向於傳遞入其中可能置配有半導體裝置的“裝置層”。這些缺陷可能造成將高品質 InGaAs 材料整合至矽基板上的嚴重問題。在矽上塗覆有 GaAs 的矽上所形成有高品質 InGaAs 薄膜的先前技

藝結構已經被顯示包含大量缺陷及差排，其可能有約 $1 \times 10^6 \text{ cm}^{-2}$ 。本發明之實施例完成在矽上的低缺陷、裝置級 InGaAs 層與 InGaAs 為主之 QW 結構的製造，同時保持優良結構與電特性。

圖 1a 至 1g 顯示形成微電子結構，例如砷化銦鎵（InGaAs）為主之半導體裝置的方法實施例。在一些實施例中，一緩衝層架構可以被形成，用以在矽基板上積集高電子遷移率之 n-通道 InGaAs 裝置結構，以用於低功率及高速 III-V 化合物半導體為主之互補金屬在矽上（CMOS）裝置應用。在一些實施例中，緩衝層架構可以橋接在主動 InGaAs 通道層與矽基板間之材料錯置事件。

圖 1a 顯示基板 100，例如矽基板的一部份之剖面圖。在一實施例中，結構 100 可以包含一基板 100，其可以包含高電阻率，例如但並不限於例如約 1 歐姆-公分至約 5 萬歐姆-公分，並可以為 n 或 p-型矽基板。在各種實施例中，基板 100 可以為高電阻率 n 或 p-型（100）離向（off-oriented）矽基板 100，但本發明範圍並不限於此方面。在一實施例中，基板 100 可以具有藉由自晶塊切斷移除（off-cut）該基板 100 所準備之鄰接（vicinal）面。

基板 100 可以被以約 2 至約 8 度角度朝向（110）方向切斷移除，以在一實施例中，產生具有階台的表面。在其他實施例中，可以使用其他切斷移除取向或沒有切斷移除的基板 100。此高電阻率基板 100 可以提供裝置隔離。再者，基板 100 的切斷移除可以在基板 100 成長後續層，

例如可以隨後在基板 100 上成長 III-V 族層時，免除在反相 (anti-phase) 邊界中之反相域。

成核層 102 可以形成在基板 100 上 (圖 1b)。成核層 102 可以具有很薄、低熔點材料，例如在一實施例中之 GaSb。在一實施例中，成核層 102 可以包含低帶隙 GaSb 成核層 102。在一實施例中，GaSb 成核層 102 可以包含於約 50 埃至約 300 埃的厚度。GaSb 成核層 102 可以免除反相域並可以促成虛擬極性基板 100 的建立。GaSb 成核層 102 的相當低熔點可以促成缺陷的湮沒 (annihilation) / 滑動 (gliding)。較佳地，藉由使用低溫 GaSb 成核層 102，停止缺陷的傳遞。

成核層 102 可以經由金屬有機化學氣相沈積 (MOCVD) 或分子束磊晶 (MBE) 製程、或另一此製程加以形成。在一實施例中，成核層 102 可以使用以填充與 GaSb 材料的原子雙層成階台關係的最低矽基板 100，以建立無反相域虛擬極性基板。在部份實施例中，成核層 102 的形成可以執行於約 400°C 與約 500°C 間之溫度。

成核層 102 可以提供用以滑動差排並可以於矽基板 100 與隨後形成在成核層 102 上之緩衝層 104 間之晶格錯置控制在約 4% 至約 8% (圖 1c)。在一實施例中，緩衝層 104 可以包含大帶隙 Ga(Al)AsSb 緩衝層 104。在一實施例中，Ga(Al)AsSb 緩衝層 104 可以包含於約 0.3 微米至約 5 微米間之厚度。在一實施例中，緩衝層 104 可以成長為晶格匹配至包含約 5.869 埃的晶格參數的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 材料

，其隨後可以形成在緩衝層 104 上。

由於緩衝層 104 的大帶隙，緩衝層 104 也可以作動為在基板 100 上之裝置隔離層，在部份實施例中，緩衝層 104 可以包含漸變緩衝層 104。例如，50/50AlGa 混合物可以與 GaSb 成核層 102 混在一起，並可以成長/漸變以晶格匹配至隨後形成之 InAlAs 層。在一實施例中，AlAs 可以包含由約 5.661 埃的晶格常數及 GaAs 可以包含約 5.6532 埃的晶格常數。緩衝層 104 可以例如由 MOCVD、MBE、化學氣相沈積法（CVD）、及任意適當技術形成。緩衝層 104 的一優點為因為在薄 GaSb 成核層 102 與隨後形成在緩衝層 104 上之薄 InAlAs 底阻障層間只需要單一步階的 Ga(Al)AsSb 緩衝層 104，所以一相當薄層即足夠。

底阻障層 106 可以形成在緩衝層 104 上（圖 1d）。在一實施例中，底阻障層 106 可以包含晶格匹配的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層，以用於 InGaAs 為基的量子井結構。在一實施例中，底阻障層 106 可以包含約導帶 E_c 的 60% 差距（offset）。底阻障層 106 可以由較予以形成於其上的量子井層為高的能隙材料所形成。在一實施例中，底阻障層 106 可以為足夠厚度，以提供對在電晶體堆疊中之電荷載子的位能阻障。在一實施例中，底阻障層 106 可以有於約 100 埃至 250 埃間之厚度。在其他實施例中，底阻障層 106 可以於約 0.5 至約 1.0 微米。

一漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層 108 可以形成在底阻障層 106（圖 1e）及/或在緩衝層 104 上。在一實施例中，在漸變

$\text{In}_x\text{Al}_{1-x}\text{As}$ 層 108 中，銦的濃度可以包含約 52 至約 70% 的銦。在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層 108 中，鋁的百分比可以被調整，以提供平衡應變的漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層。

藉由形成漸變之 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層 108，差排可以沿著在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層內的相對對角面滑動。在一些實施例中，漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層可以於約 0.5 微米至約 2.0 微米間。在一實施例中，成核層 102、緩衝層 104、底阻障層 106、及漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層可以形成差排過濾緩衝層架構 110。此緩衝層架構 110 可以提供予以隨後形成於其上的 InGaAs 量子井 (QW) 結構的壓縮應變。再者，這些層可以控制晶格錯置於約 4% 內，以最小化線差排。

在一例子中， $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層可以成長在晶格匹配的 InP 上，以及， $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子井可以成長在此可以作為阻障層的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 層的上方。根據該量子井 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 中的銦含量 (x)，應變可以控制在 InGaAs 量子井內。例如，當 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 阻障層及 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 量子井被使用時，可以完成約 1.0% 的應變。

在另一實施例中， $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子井結構可以形成在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層上 (其可以作為阻障層)，及應變可以藉由控制在 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子井中及漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層中之銦含量 (x) 而加以控制。在漸變阻障情形中，可以共同控制在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 阻障層與在該 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 通道內的銦含量，以將應變控制在 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 通道內。

緩衝層架構 110 的原處熱循環退火 111 可以在緩衝層

架構 110 的每一步驟的層形成後及/或在整個緩衝層架構層 110 的形成後加以執行（圖 1f）。在一些實施例中，退火可以在量子井層被形成在緩衝層架構 110 之前被執行，以降低/移除差排與缺陷。在一實施例中，緩衝層架構也可以只包含底阻障層 106 與漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層之一，任一者可以作用為對量子井結構的阻障層。

量子井層 112 可以形成在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層 108（圖 1g）上，或量子井層 112 可以形成在底阻障層 106 上。量子井層 112 可以以具有能隙小於漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層 108 與/或底阻障層 106 的材料所形成。在一實施例中，量子井層 112 可以由 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 所形成，其中 x 等於約 0.53 至約 0.8 之間。量子井層 112 可以有足夠厚度，以提供適當通道導通。在一些實施例中，量子井層 112 可以於約 10 至約 50 奈米。相較於 Si 為基之裝置，量子井層 112 可以提供高電子遷移率及速度給 NMOS 裝置，也可以提供高電洞遷移率及速度給 PMOS 裝置。此 n 型通道材料 InGaAs 可以包含相較於漸變 InAlAs 層為較大的導帶差距（ $\Delta E_c \sim 0.60\text{eV}$ ），並在類型 -I 量子井（ InGaAs ）內提供電子束縛。

如圖 1g 所進一步顯示，間隔層 114 可以形成在量子井層 112 上。在一些實施例中，間隔層 114 可以為 $\text{In}_x\text{Al}_{1-x}\text{As}$ 或 InAlAs 間隔層 114。間隔層 114 可以提供在摻雜層與可能形成在通道（即量子井層 112 的通道）內的二維電子氣體（2DEG）間之載子束縛及降低之互動。再者，間隔層

114 可以提供壓縮應變給量子井層 112 的通道。在各種實施例中，間隔層 114 可為約 20 埃至約 30 埃厚。

摻雜層 116 可以形成在間隔層 114 上。摻雜層 116 可以為 Δ 摻雜、調變摻雜及/或其組合。例如，在一實施例中，摻雜層 116 可以為約 3 埃至約 5 埃厚的矽調變 Δ 摻雜層。對於 NMOS 裝置，摻雜可以使用矽及碲 (Te) 雜質加以實施。至於 PMOS 裝置，摻雜可以是鉍 (Be) 或碳 (C)。

仍參考圖 1g，上阻障層 118 可以形成在摻雜層 116 上，以完成裝置堆疊。在一實施例中，上阻障層 118 可以包含 $\text{In}_x\text{Al}_{1-x}\text{As}$ 阻障層。上阻障層 118 可以具有於約 50 埃至約 500 埃間之厚度並可以為用於閘控制之蕭基上阻障層 118。上阻障層 118 可以形成在摻雜層 116 上，並且，在一些實施例中，可以為磷化銦 (InP)。

如圖 1g 所進一步顯示，可以出現有接觸層 120，以作為接觸層，以提供源極與汲極接觸以低接觸電阻並在各種實施例中，可以由 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 所形成。對於 NMOS 裝置，接觸層 120 可以為 n+摻雜，及對於 PMOS 裝置，接觸層 120 可以為 p+摻雜。在一實施例中，接觸層 120 的厚度可以在約 30 埃至約 300 埃之間。

雖然在圖 1g 中未顯示，但完整完成裝置可以更包含源極與汲極電極。再者，介電材料可以形成在上阻障層 118 上，其上形成有閘電極。注意的是，閘極凹槽蝕刻可以在上阻障層 118 內執行，以形成閘極凹槽，其上可以形成有介電層與閘極電極。因此，蕭基接面可以被形成，透

過該接面，此一閘極電極可以控制量子井層 112。

因此，在各種實施例中，裝置可以使用高電子遷移率材料加以形成，以形成具有高速及低功率消耗的高電子遷移率電晶體（HEMT）。此等裝置可以具有小於約 50nm 的尺寸，及約 562GHz 的切換頻率。此等裝置可以操作於約 0.5 至 1.0 伏間，而不會有驅動電流的顯著降低。再者，實施例在閘極長度上，可以提供較矽為基之裝置為低之閘極延遲。

注意三個不同可能路徑，即路徑 A、B 及 C 係為此緩衝層架構的可能路徑，以提供壓縮應變給形成於其上的量子井層（圖 2）。對應於約 1.5eV 能隙之路徑 A 可以藉由提供具有約 52% 的銦濃度的緩衝層及阻障層，即 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 加以取得。雖然此層形成可以提供適當載子束縛特徵，但在此類型層與下層基板間之晶格常數差異可能造成晶格常數失配，因此，在介面造成缺陷。相反地，以虛線所示的路徑 C，其具有相對差的載子束縛特徵，提供降低之晶格常數失配，以避免缺陷。對於路徑 C，可以出現有由約 0%（即 AlAs ）至約 70% 銦（即 $\text{In}_{0.70}\text{Al}_{0.30}\text{As}$ ）的線性增加銦濃度。在此時，在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 或 InGaAlAsSb 緩衝層中之 In 含量係大約與在形成於其上的 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 通道中的 In 含量相同，使得通道並未相對於底阻障層受到應變。雖然在 QW 層內，缺陷較低，但由於在 $\text{In}_x\text{Al}_{1-x}\text{As}$ （例如 $x=0.7$ ）底阻障層與 $\text{In}_x\text{Ga}_{1-x}\text{As}$ （例如 $x=0.7$ ）通道間之低價能帶差距，以及未採用在量子井中

的應變的優點，而載子束縛較差。

爲了完成載子束縛及提供近全放鬆（即變質）結構之放鬆特性兩種效益，可以實施路徑 B。在此實施法中，阻障層可以以具有銦濃度 x 由在 GaAs 成核與緩衝層間之介面處的 0% 變化至等於約 62% 或 63% 的 x 量，然後降低 x 量回到約 52% 如路徑 B 所示的逆漸變方式加以形成。在此方式，可以實現適當載子束縛，同時，提供實質變質分佈。

仍參考圖 2，在此阻障層上，可以形成有 QW 層，其具有相當小能隙。明確地說，在一實施例中，QW 層可以由具有 x 等於 0.7 的砷化銦鎵（即 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ）所形成，使得能隙大約 0.6 eV。爲了對此 QW 結構提供另外的壓縮應變，上阻障層可以由具有 x 等於約 52% 的砷化銦鋁（即 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ）所形成，對應於約 1.5 eV 的能隙。

現參考圖 3，所示爲依據本發明實施例之方法的流程圖。如圖 3 所示，步驟 302 包含在矽基板上形成 GaSb 成核層。再者，在步驟 304，Ga(Al)AsSb 漸變緩衝層可以被形成在 GaSb 成核層上。在步驟 306， $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層可以被形成在 Ga(Al)AsSb 漸變緩衝層上。在步驟 308，漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 緩衝層可以形成在底阻障層上，及在步驟 310，InGaAs 爲主的量子井結構可以形成在漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 緩衝層上。雖然在圖 3 的實施例中，顯示出特定實施法，但本發明範圍並不限於此範圍。

因此，本發明實施例的優點包含但並不限於：在基板

與 HEMT 裝置的通道結構間之橋接晶格常數；在底阻障層、InAlAs 及例如 InGaAs 之通道結構間提供大導帶差距；及提供裝置隔離及由於較大能隙（GaAlAsSb 及 InAlAs 層）緩衝層，免除由緩衝層至通道層的平行導通。本發明實施例之緩衝層架構作用以降低寄生電阻。另外，緩衝層架構作為在 InGaAs 量子井結構內的載子束縛的底阻障層。

雖然前述說明已經指定某些步驟與可以用於本發明方法中之材料，但熟習於本技藝者可以了解，可以完成很多修改與替代。因此，吾人想要所有此等修改、變更、取代及添加可以被認為在隨附申請專利範圍所界定的本發明精神與範圍內。另外，可以了解的是，微電子裝置的部份態樣為在本技藝中所知。因此，可以了解的是，於此所提供之圖係只例示屬於本發明實施的微電子裝置的部份。因此，本發明並不限於此所述之結構。

【圖式簡單說明】

圖 1a 至 1g 表示依據本發明實施例之結構。

圖 2 表示依據本發明實施例之能帶圖。

圖 3 表示依據本發明實施例之流程圖。

【主要元件符號說明】

100：基板

102：成核層

104：緩衝層

101 10.8.1 修正 頁(本)
對線

- 106 : 底阻障層
- 108 : 漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層
- 110 : 緩衝層架構
- 111 : 熱循環退火
- 112 : 量子井層
- 114 : 間隔層
- 116 : 摻雜層
- 118 : 上阻障層
- 120 : 接觸層

七、申請專利範圍：

1.一種在矽上形成緩衝層架構的方法，包含：

在一基板上，形成 GaSb 成核層；

在該 GaSb 成核層上，形成 Ga(Al)AsSb 緩衝層；

在該 Ga(Al)AsSb 緩衝層上，形成 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層；及

在該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層上，形成漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層。

2.如申請專利範圍第 1 項所述之方法，更包含其中該基板包含高電阻率 p-型矽基板，具有朝向 [110] 方向有範圍約 2 至約 8 度的 (100) 切斷移除 (off-cut)。

3.如申請專利範圍第 1 項所述之方法，更包含其中該 GaSb 成核層包含低熔點材料及於約 50 埃至約 300 埃間之厚度。

4.如申請專利範圍第 1 項所述之方法，更包含其中該 Ga(Al)AsSb 緩衝層包含大能隙 Ga(Al)AsSb 緩衝層及於約 0.3 微米至約 2 微米間之厚度。

5.如申請專利範圍第 1 項所述之方法，更包含其中該 Ga(Al)AsSb 緩衝層係晶格匹配至該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層。

6.如申請專利範圍第 1 項所述之方法，更包含藉由漸變該 Ga(Al)AsSb 緩衝層，形成該 Ga(Al)AsSb 緩衝層，以實質晶格匹配該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層。

7.如申請專利範圍第 1 項所述之方法，更包含其中該

101.年0.月3日 修正 頁(本)

漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層包含於約 52%至約 70%間之銦。

8.如申請專利範圍第 1 項所述之方法，更包含在該漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層上，形成 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子井結構，其中該應變可以藉由控制在該 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子井結構中及該 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層中之銦的含量加以控制。

9.如申請專利範圍第 8 項所述之方法，更包含其中該 InGaAs 量子井結構包含由砷化銦銻形成之應變層。

10.如申請專利範圍第 1 項所述之方法，更包含其中形成該成核層、該緩衝層、該底阻障層、及該漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層可以包含形成緩衝層架構，及其中該緩衝層架構可以被原處熱退火，以移除差排。

11.一種在矽上形成緩衝層架構的方法，包含：

形成差排過濾緩衝結構，其包含：配置在一基板上之 GaSb 成核層、配置在該 GaSb 成核層上的 Ga(Al)AsSb 緩衝層、配置在該 Ga(Al)AsSb 緩衝層上的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層、及配置在該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層上的漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層；及

在該差排過濾緩衝結構上，形成量子井結構。

12.如申請專利範圍第 11 項所述之方法，更包含：

在該量子井結構上，形成間隔層；

在該間隔層上，形成 Δ 摻雜層；及

在該 Δ 摻雜層上，形成上阻障層。

13.一種在矽上具有緩衝層的結構，包含：

配置在一基板上之 GaSb 成核層；

配置在該 GaSb 成核層上的 Ga(Al)AsSb 緩衝層；及
配置在該 Ga(Al)AsSb 緩衝層上的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層，

配置在該 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 底阻障層上的漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層。

14.如申請專利範圍第 13 項所述之結構，包含其中該基板包含高電阻率 p-型矽基板，具有朝向 [110] 方向範圍約 2 至約 8 度的 (100) 切斷移除。

15.如申請專利範圍第 13 項所述之結構，其中該 GaSb 成核層包含低熔點材料及於約 50 埃及約 300 埃間之厚度。

16.如申請專利範圍第 13 項所述之結構，其中該 Ga(Al)AsSb 緩衝層包含大能隙 Ga(Al)AsSb 緩衝層及於約 0.3 微米與約 2 微米間之厚度。

17.如申請專利範圍第 13 項所述之結構，其中該漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層包含於約 52% 至約 70% 間之銦。

18.如申請專利範圍第 17 項所述之結構，更包含配置在該漸變 $\text{In}_x\text{Al}_{1-x}\text{As}$ 層上的量子井結構。

19.如申請專利範圍第 18 項所述之結構，更包含配置在該量子井結構上的間隔層、配置在該間隔層上的 Δ 摻雜層、及配置在該 Δ 摻雜層上的上阻障層。

20.如申請專利範圍第 19 項所述之結構，其中該結構包含高電子遷移率電晶體 (HEMT)，其中該量子井結構包含該 HEMT 的通道。

100



圖 1a

102

100

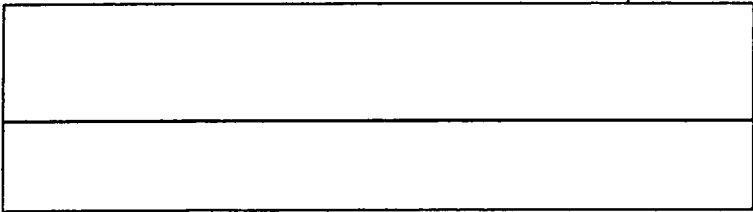


圖 1b

104

102

100

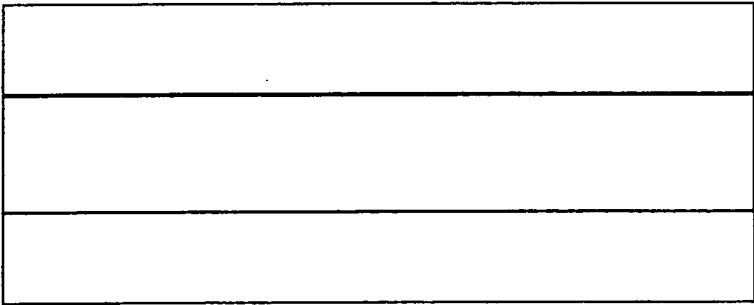


圖 1c

101. 年0月3日修正頁(本)
劃線

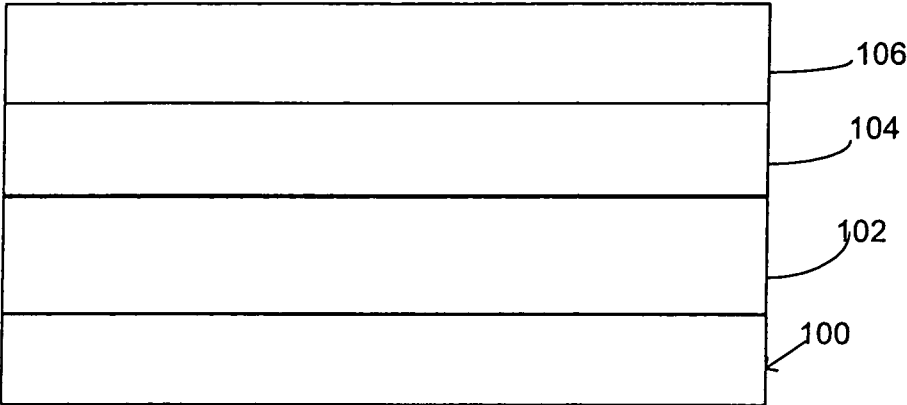


圖 1d

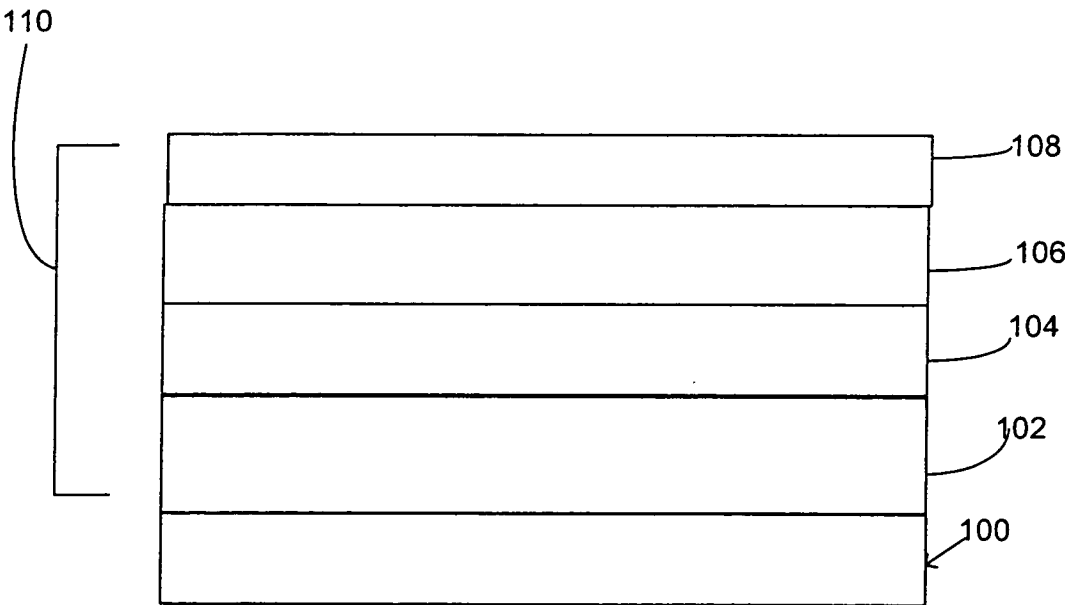


圖 1e

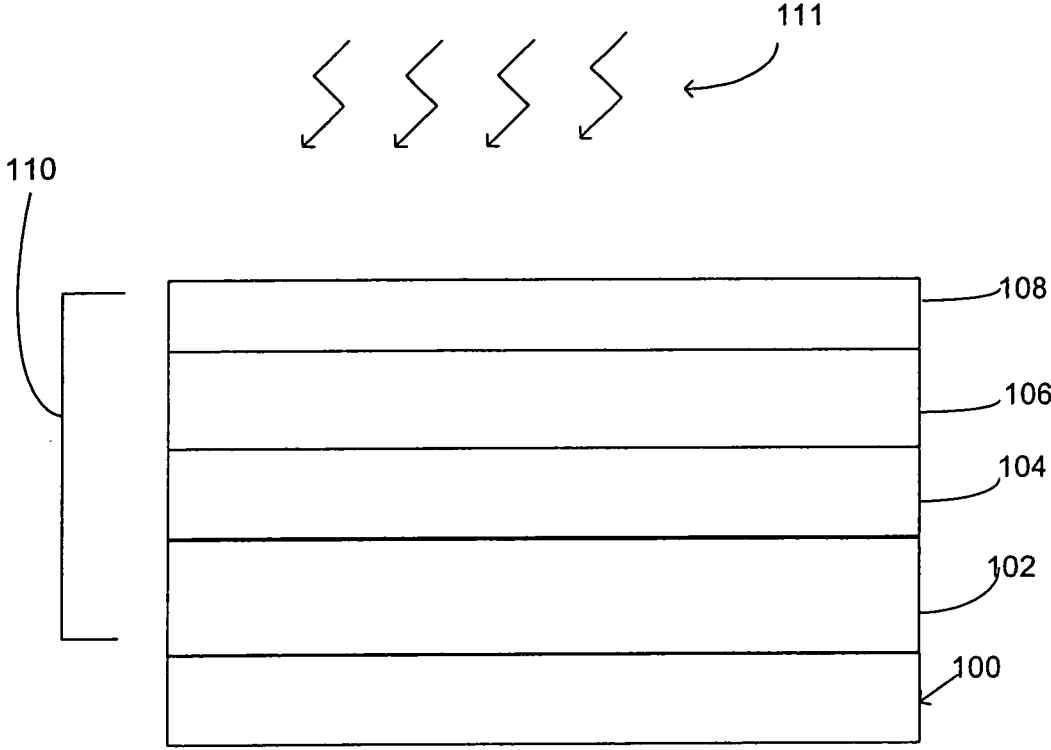


圖 1 f

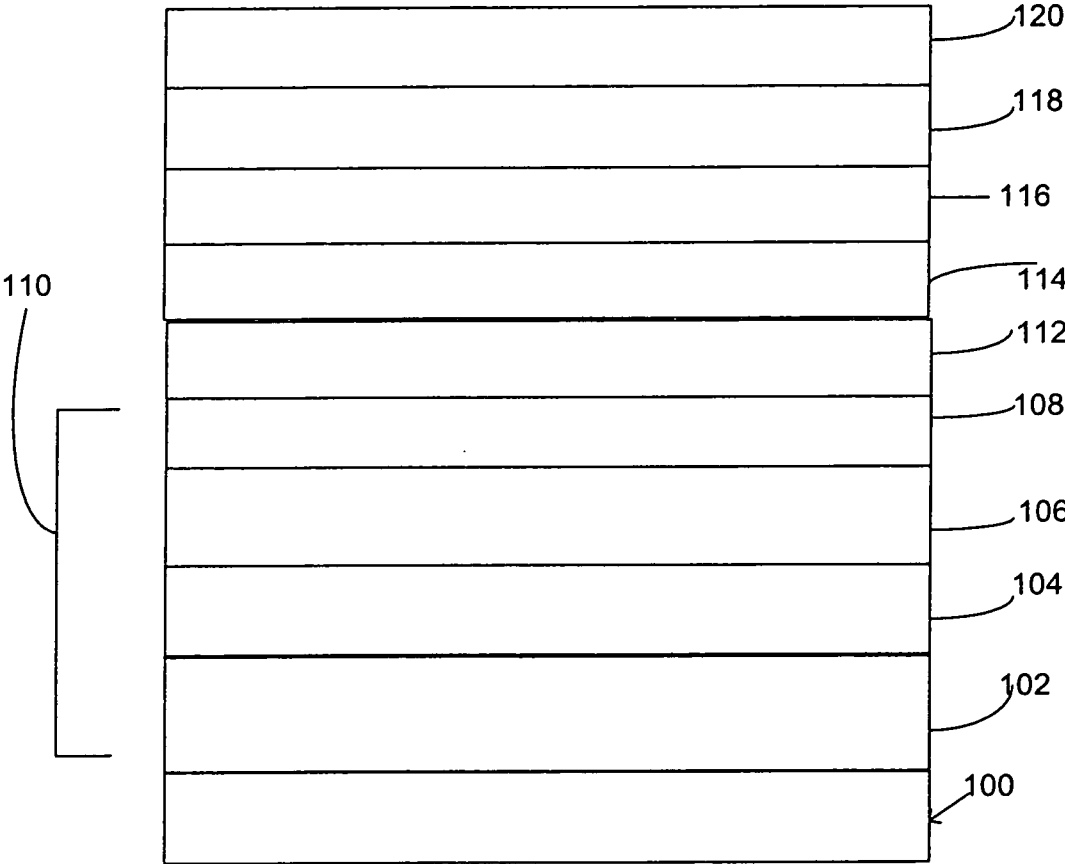


圖 1g

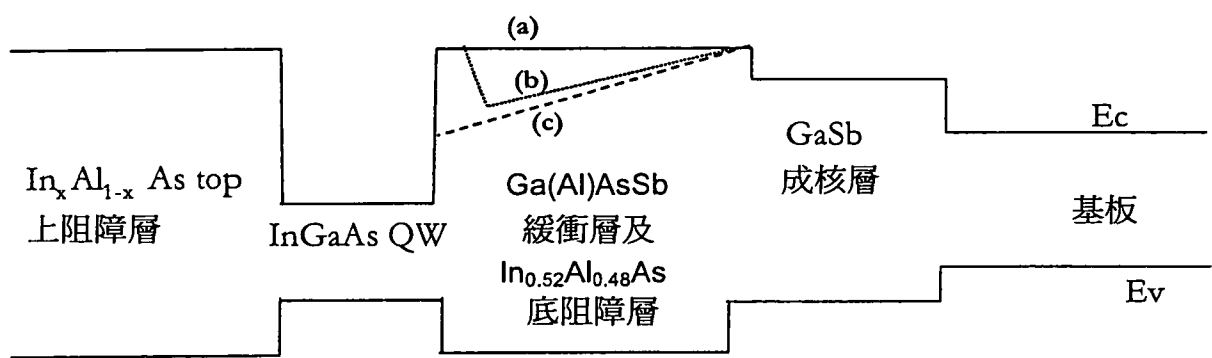


圖 2

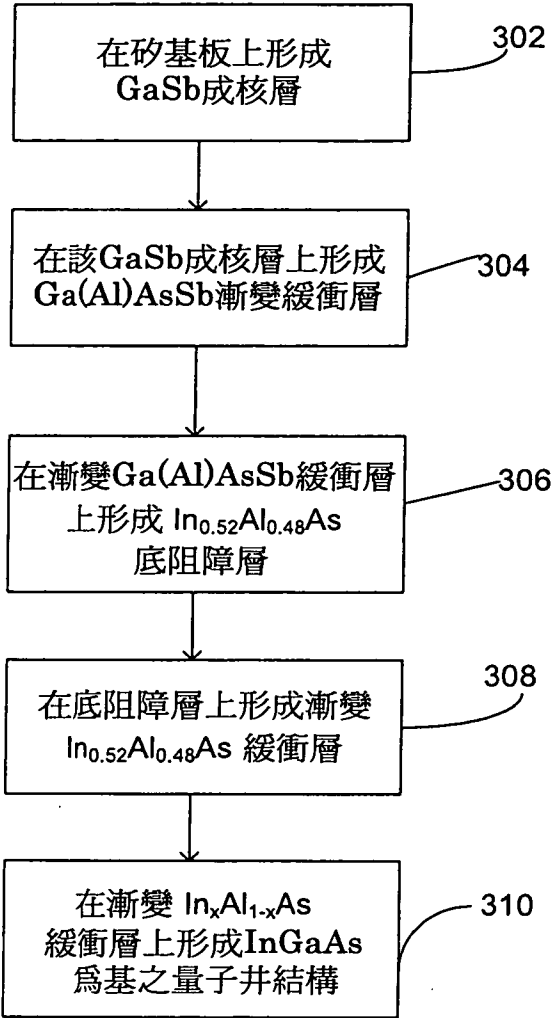


圖3