

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5938685号
(P5938685)

(45) 発行日 平成28年6月22日(2016.6.22)

(24) 登録日 平成28年5月27日(2016.5.27)

(51) Int.Cl.

F 1

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 2 6 Z

請求項の数 1 (全 108 頁)

(21) 出願番号	特願2014-157959 (P2014-157959)	(73) 特許権者	000132747
(22) 出願日	平成26年8月1日(2014.8.1)		株式会社ソフィア
(62) 分割の表示	特願2010-75285 (P2010-75285)		群馬県桐生市境野町7丁目201番地
	の分割	(74) 代理人	100075513
原出願日	平成22年3月29日(2010.3.29)		弁理士 後藤 政喜
(65) 公開番号	特開2014-230847 (P2014-230847A)	(74) 代理人	100120260
(43) 公開日	平成26年12月11日(2014.12.11)		弁理士 飯田 雅昭
審査請求日	平成26年8月28日(2014.8.28)	(72) 発明者	田中 雅也
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内
		(72) 発明者	松橋 光一
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内
		審査官	廣瀬 貴理

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技を統括的に制御する遊技制御手段と、該遊技制御手段からの指令に対応して、遊技の演出に係る制御を行う演出制御手段と、を備える遊技機において、

複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、

前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、

前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、

前記グループ統括制御手段と前記グループ単位制御手段との間で、下り方向及び上り方向の各データ信号が授受されるデータ線と、

を備えることにより前記グループ統括制御手段と前記各グループ単位制御手段との間で相互にデータ送信を可能とし、

前記グループ統括制御手段は、

前記データ線の信号レベルを、下り方向データに対応する信号レベルに設定しながら前記タイミング信号線の信号レベルを繰り返し変化させることで、順次前記グループ単位制御手段に下り方向データを送信する送信手段と、

前記送信手段による下り方向データの送信を規制する規制手段と、を備え、

前記グループ単位制御手段に設けられた記憶領域のうちの所定のアドレスを示すアドレ

ス情報と、複数の制御データと、前記記憶領域の範囲内においてアドレスを更新する際の上限アドレスと戻りアドレスを特定可能なアドレス更新情報を、前記グループ単位制御手段の各々に対して異なるタイミングで送信するとともに、

前記グループ単位制御手段が前記演出装置の出力態様の更新を指示する更新指令情報を、前記グループ単位制御手段の各々に対して同時に送信し、

前記各グループ単位制御手段は、

当該グループ単位制御手段自身を初期化する初期化手段を備え、

前記アドレス情報が示すアドレスを記憶先の開始アドレスとして、送信された制御データを記憶するとともに、制御データを記憶する毎に記憶先のアドレスを順次更新し、

前記上限アドレスが示す記憶領域に制御データを記憶した場合は、前記戻りアドレスに戻るよう記憶先のアドレスを更新し、

前記グループ統括制御手段から前記更新指令情報を受信したことに対応して、前記演出装置の出力態様を更新することを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関する。

【背景技術】

【0002】

サブ中継基板と電飾基板との間の配線を簡素化することができる遊技機として、トップ電飾領域の中央部に配置されたトップLED中央基板をサブ中継基板とシリアル接続し、トップ電飾領域の右側部に配置されたトップLED右基板及びトップ電飾領域の左側部に配置されたトップLED左基板をトップLED中央基板から分離して配線により接続した構成の遊技機が知られている。これにより、サブ中継基板からトップ電飾領域への配線数を減らして配線を簡素化することができる（例えば、特許文献1参照）。

【0003】

また、信号線の本数を削減することができると共に不正行為の発見を容易に行うことができる遊技機として、主基板と副基板との間での信号送信をI²Cバス方式により行い、主基板及び副基板にそれぞれ双方向バスバッファを設けたものがある。この双方向バスバッファは、I²Cバスを構成する二つの双方向シリアルライン（SDA、SCL）をそれぞれ二つの片方向シリアルラインに分岐させるためのものであり、主基板に設けられた双方向バスバッファと副基板に設けられた双方向バスバッファとの間を、それらによって分岐された片方向シリアルラインの信号伝送方向が互いに一致するようにして、四つのシリアル線で接続した構成としている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-212271号公報

【特許文献2】特開2006-15036号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の遊技機では、配線を十分に削減することができなかった。

【0010】

本発明は、グループ統括制御手段とグループ単位制御手段との間の配線を削減することのできる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、遊技を統括的に制御する遊技制御手段と、該遊技制御手段からの指令に対応

10

20

30

40

50

して、遊技の演出に係る制御を行う演出制御手段と、を備える遊技機において、複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段をグループ毎に設け、前記演出制御手段を、前記グループ単位制御手段の各々を統括的に制御するグループ統括制御手段として構成するとともに、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、前記グループ統括制御手段と前記グループ単位制御手段との間で、下り方向及び上り方向の各データ信号が授受されるデータ線と、を備えることにより前記グループ統括制御手段と前記各グループ単位制御手段との間で相互にデータ送信を可能とし、前記グループ統括制御手段は、前記データ線の信号レベルを、下り方向データに対応する信号レベルに設定しながら前記タイミング信号線の信号レベルを繰り返し変化させることで、順次前記グループ単位制御手段に下り方向データを送信する送信手段と、前記送信手段による下り方向データの送信を規制する規制手段と、を備え、前記グループ単位制御手段に設けられた記憶領域のうちの所定のアドレスを示すアドレス情報と、複数の制御データと、前記記憶領域の範囲内においてアドレスを更新する際の上限アドレスと戻りアドレスを特定可能なアドレス更新情報を、前記グループ単位制御手段の各々に対して異なるタイミングで送信するとともに、前記グループ単位制御手段が前記演出装置の出力態様の更新を指示する更新指令情報を、前記グループ単位制御手段の各々に対して同時に送信する。また、前記各グループ単位制御手段は、当該グループ単位制御手段自身を初期化する初期化手段を備え、前記アドレス情報が示すアドレスを記憶先の開始アドレスとして、送信された制御データを記憶するとともに、制御データを記憶する毎に記憶先のアドレスを順次更新し、前記上限アドレスが示す記憶領域に制御データを記憶した場合は、前記戻りアドレスに戻るよう記憶先のアドレスを更新し、前記グループ統括制御手段から前記更新指令情報を受信したことに対応して、前記演出装置の出力態様を更新する。

【発明の効果】

【0016】

本発明によれば、グループ統括制御手段とグループ単位制御手段との間の配線を削減することができる。

【図面の簡単な説明】

【0023】

【図1】本発明の実施の形態の遊技機の説明図である。

【図2】本発明の実施の形態の遊技盤の正面図である。

【図3】本発明の実施の形態のセンターケースの分解斜視図である。

【図4】本発明の実施の形態の可動演出装置が動作する前の状態を示す図である。

【図5】本発明の実施の形態の可動演出装置が動作し、第1演出ユニット及び第2演出ユニットが動作した結果、当接部にて当接している状態を示す図である。

【図6】本発明の実施の形態の第1演出部材の分解斜視図である。

【図7】本発明の実施の形態の第2演出部材の分解斜視図である。

【図8】本発明の実施の形態の遊技機の配線を説明する図である。

【図9】本発明の実施の形態の遊技機の構成を示すブロック図である。

【図10】本発明の実施の形態の演出制御装置の構成を示すブロック図である。

【図11】本発明の実施の形態の演出制御装置に備えられた第1マスタICと遊技盤に備えられた演出装置の構成を示すブロック図である。

【図12】本発明の実施の形態の演出制御装置に備えられた第2マスタICと前面枠に備えられた演出装置の構成を示すブロック図である。

【図13】本発明の実施の形態の遊技盤の構成を示す図である。

【図14】本発明の実施の形態の前面枠の構成を示す図である。

【図15】本発明の実施の形態の演出制御装置と遊技盤に含まれる中継基板及び装飾制御装置の接続状態を説明する図である。

【図16】本発明の実施の形態の演出制御装置と前面枠に含まれる簡易中継基板及び装飾制御装置の接続状態を説明する図である。

10

20

30

40

50

【図 17】本発明の実施の形態の装飾制御装置のブロック図である。

【図 18】本発明の実施の形態の I²C I/O エクスパンダの構成を示すブロック図である。

【図 19】本発明の実施の形態の装飾装置を制御する装飾制御装置の I²C I/O エクスパンダ周辺の回路図である。

【図 20】本発明の実施の形態の装飾制御装置の I²C I/O エクスパンダ周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【図 21】本発明の実施の形態の装飾制御装置（中継基板、簡易中継基板を含む）の入出力に関する接続線の回路図である。

【図 22】本発明の実施の形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレスの説明図である。 10

【図 23】本発明の実施の形態の I²C I/O エクスパンダアドレステーブルの説明図である。

【図 24】本発明の実施の形態の I²C I/O エクスパンダに備えられる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図 25】本発明の実施の形態のマスタ IC が接続線 SDA 及び接続線 SCL を介してデータを出力するスタート条件及びストップ条件の説明図である。

【図 26】本発明の実施の形態のマスタ IC から出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。

【図 27】本発明の実施の形態のマスタ IC が演出制御データを出力する場合の接続線 SDA 及び接続線 SCL の信号レベルのタイミングチャートである。 20

【図 28】本発明の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダとの間で送受信されるデータのフォーマットを説明する図である。

【図 29】本発明の実施の形態のマスタ IC が、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタ IC と I²C I/O エクスパンダとの間で送受信される演出制御データに具体的な数値を適用した図である。

【図 30】本発明の実施の形態のマスタ IC の演出制御データを送信する順序を説明する図である。

【図 31】本発明の実施の形態のマスタ IC が I²C I/O エクスパンダを初期化する場合に、マスタ IC から I²C I/O エクスパンダに送信される初期化指示データのフォーマットを説明する図である。 30

【図 32】本発明の実施の形態の第 1 マスタ IC の異常判定テーブルを説明する図である。

【図 33】本発明の実施の形態の第 2 マスタ IC の異常判定テーブルを説明する図である。

【図 34】本発明の実施の形態の各装飾制御装置（スレーブ）を初期化（リセット）時に CPU とマスタ IC（第 1 マスタ IC 又は第 2 マスタ IC）との間で送受信される情報を説明する図である。

【図 35】本発明の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際に CPU とマスタ IC（第 1 マスタ IC 又は第 2 マスタ IC）との間で送受信される情報を説明する図である。 40

【図 36】本発明の実施の形態の演出制御装置からマスタ IC（第 1 マスタ IC 又は第 2 マスタ IC）に演出制御データを送信する段階を説明する図である。

【図 37】本発明の実施の形態の演出制御装置による処理の手順を示すフローチャートである。

【図 38】本発明の実施の形態の第 1 マスタ IC 側スレーブ初期化開始処理及び第 2 マスタ IC 側スレーブ初期化開始処理の手順を示すフローチャートである。

【図 39】本発明の実施の形態のスレーブ出力開始処理の手順を示すフローチャートである。 50

【図４０】本発明の実施の形態の第１マスタＩＣ及び第２マスタＩＣによる送信中断割込み発生時の処理の手順を示すフローチャートである。

【図４１】本発明の実施の形態の第１マスタＩＣ及び第２マスタＩＣによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【図４２】本発明の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【図４３】本発明の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【図４４】本発明の実施の形態のデータの送信再開処理の継続を判断するための送信処理継続判定表の一例を示す図である。

10

【図４５】本発明の実施の形態のマスタＩＣによるデータ送信処理の手順を示すフローチャートである。

【図４６】本発明の実施の形態のストップコンディション出力処理の手順を示すフローチャートである。

【図４７】本発明の実施の形態のＳＣＬ解放監視処理の手順を示すフローチャートである。

【図４８】本発明の実施の形態のＳＤＡ解放監視処理の手順を示すフローチャートである。

【図４９】本発明の実施の形態のスタートコンディション出力処理の手順を示すフローチャートである。

20

【図５０】本発明の実施の形態のスレーブ側のＩ²ＣＩ／Ｏエクスパンダへのデータ送信処理の手順を示すフローチャートである。

【図５１】本発明の実施の形態のスレーブ側のＩ²ＣＩ／Ｏエクスパンダにおいて、リセット信号発生時の処理の手順を示すフローチャートである。

【図５２】本発明の実施の形態のスレーブ側のＩ²ＣＩ／Ｏエクスパンダにおけるアドレス認識処理などの手順を示すフローチャートである。

【図５３】本発明の実施の形態のスレーブ側のＩ²ＣＩ／Ｏエクスパンダにおけるデータの読み出し処理の手順を示すフローチャートである。

【図５４】本発明の実施の形態のＶＤＰ割込み時に演出制御装置のからの指示によって、第１マスタＩＣ及び第２マスタＩＣによる処理が並列して実行される状態を示すタイミングチャートである。

30

【図５５】本発明の実施の形態における装飾制御装置及び装飾装置の接続例を示す図であり、８セット分のＬＥＤを２つの装飾制御装置によって制御する構成を示す図である。

【図５６】本発明の実施の形態における装飾制御装置がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【図５７】本発明の実施の形態において自己スレーブがバスを占有した場合にバスを解放する手順を説明する図である。

【図５８】本発明の実施の形態において、接続線ＳＤＡが何らかの原因により占有されている状態が発生し、接続線ＳＤＡの占有を検出したＩ²ＣＩ／Ｏエクスパンダが自己をリセットして、バスを解放することを試みる手順を説明する図である。

40

【図５９】本発明の実施の形態においてスレーブ側のＩ²ＣＩ／Ｏエクスパンダによってバスが占有された場合に、マスタＩＣからの指令によってスレーブ側のＩ²ＣＩ／Ｏエクスパンダがバスを解放する手順を説明する図である。

【図６０】本発明の実施の形態において、マスタＩＣからの誤った指令により、スレーブ側のＩ²ＣＩ／Ｏエクスパンダで読み出しモードが発生してバスが占有された場合に、マスタＩＣからの指令によってスレーブがバスを解放する手順を説明する図である。

【図６１】本発明の実施の形態の変形例のＩ²ＣＩ／Ｏエクスパンダの構成を示すブロック図である。

【図６２】本発明の実施の形態の変形例のモードレジスタ１及びモードレジスタ２の一例

50

を示す図である。

【図 6 3】本発明の実施の形態の変形例の初期化指示データの送信再開処理の手順を示すフローチャートである。

【図 6 4】本発明の実施の形態の変形例の初期化段階番号と初期化段階番号に対応して出力用バッファに設定される値の一例を示す図である。

【発明を実施するための形態】

【0024】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0025】

(第1の実施の形態)

10

図1は、本発明の実施の形態の遊技機1の説明図である。

【0026】

遊技機1の前面枠(遊技枠)3は、本体枠(外枠)2にヒンジ4を介して、遊技機1の前面に開閉回動可能に組み付けられる。前面枠3の表側には、遊技盤10(図2参照)が収装される。また、前面枠3には、遊技盤10の前面を覆うカバーガラス(透明部材)を備えたガラス枠18が取り付けられている。

【0027】

ガラス枠18のカバーガラスの周囲には、装飾光が発光される装飾部材9a、9bが備えられている。装飾部材9a、9bの内部にはランプやLED等からなる装飾装置が備えられている。装飾装置を所定の発光態様によって発光させることによって、装飾部材9a、9bが所定の発光態様によって発光する。

20

【0028】

ガラス枠18の左右には、音響(例えば、効果音)を発するスピーカ30が備えられている。また、ガラス枠18の上方には照明ユニット11が備えられている。

【0029】

照明ユニット11には、第1可動式照明13及び第2可動式照明14が左右に配置されている。第1可動式照明13及び第2可動式照明14には、LEDなどの照明部材の他に、照明駆動第1モータ(MOT)13a及び照明駆動第2モータ(MOT)14aが備えられており、演出内容に応じて動作するように制御される。

【0030】

30

照明ユニット11の右下方には、遊技機1において異常が発生したことを報知するための異常報知LED29が備えられている。

【0031】

前面枠3の下部の開閉パネル20には図示しない打球発射装置に遊技球を供給する上皿が、固定パネル22には下皿23及び打球発射装置の操作部24等が備えられる。下皿23には、下皿23に貯まった遊技球を排出するための下皿球抜き機構16が備えられる。前面枠3下部右側には、ガラス枠18を施錠するための鍵25が備えられている。

【0032】

また、遊技者が操作部24を回動操作することによって、打球発射装置は、上皿21から供給される遊技球を発射する。

40

【0033】

また、上皿21の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン17が備えられている。遊技者が演出ボタン17を操作することによって、遊技盤10に設けられた表示装置53(図2参照)における特図変動表示ゲームの演出内容を選択して、表示装置53における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

【0034】

特図変動表示ゲームは、発射された遊技球が遊技盤10に備わる始動口36(図2参照)に入賞した場合に開始される。特図変動表示ゲームでは、表示装置53において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情

50

報の結果態様が特定の結果態様である場合に、遊技機 1 の状態が遊技者に有利な状態（特典が付与される状態）である特別遊技状態に遷移する。

【 0 0 3 5 】

上皿 2 1 の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン 2 6、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン 2 7 が設けられている。さらに、これらの球貸ボタン 2 6 と排出ボタン 2 7 との間には、プリペイドカードの残高を表示する残高表示部 2 8 が設けられる。

【 0 0 3 6 】

図 2 は、本発明の実施の形態の遊技盤 1 0 の正面図である。

【 0 0 3 7 】

図 1 に示す遊技機 1 は、内部の遊技領域 1 0 a 内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠 1 8 のカバーガラスの奥側には、遊技領域 1 0 a を構成する遊技盤 1 0 が設置されている。

【 0 0 3 8 】

遊技盤 1 0 は、各種部材の取付ベースとなる平板状の遊技盤本体 1 0 b（木製又は合成樹脂製）を備え、該遊技盤本体 1 0 b の前面にガイドレール 3 2 で囲まれた遊技領域 1 0 a を有している。また、遊技盤本体 1 0 b の前面であってガイドレール 3 2 の外側には、前面構成部材 3 3 が取り付けられている。そして、このガイドレール 3 2 で囲まれた遊技領域 1 0 a 内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行う。

【 0 0 3 9 】

遊技領域 1 0 a の略中央には、特図変動表示ゲームの表示領域となる窓部 5 2 を形成するセンターケース 5 1 が取り付けられている。センターケース 5 1 に形成された窓部 5 2 の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置 5 3 が配される。表示装置 5 3 は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 5 3 a がセンターケース 5 1 の窓部 5 2 を介して遊技盤 1 0 の前面側から視認可能となるように配されている。なお、表示装置 5 3 は、液晶ディスプレイを備えるものに限らず、E L、C R T 等のディスプレイを備えるものであってもよい。

【 0 0 4 0 】

また、センターケース 5 1 の上部には、大当たりの可能性（信頼度）を報知する信頼度報知装置 1 5 が備えられる。信頼度報知装置 1 5 には、複数色の L E D（例えば、赤、青、緑の 3 色の L E D）が備えられており、信頼度に応じた色及び態様で発光するように制御される。

【 0 0 4 1 】

さらに、センターケース 5 1 の左部には、遊技球が流下可能な球導入路（ワープ流路）5 0 が設けられ、遊技領域 1 0 a に向けて入口 5 0 a が開放した状態で開設されている。球導入路 5 0 は、センターケース 5 1 の内部に連通しており、入口 5 0 a から流入した遊技球は、センターケース 5 1 の裏側を通過して、ユニット側ステージ部 4 9 b 上に排出される。さらに、ユニット側ステージ部 4 9 b 上で転動した遊技球が当該ユニット側ステージ部 4 9 b の下方に配置されたベース側ステージ部 4 9 a 上に流下できるように構成されている。

【 0 0 4 2 】

センターケース 5 1 の周縁部には、複数の装飾具 4 7 が配置される。センターケース 5 1 の左下部には、装飾ランプ 4 8 が配置される。センターケース 5 1 の上部には、複数の装飾ピース 4 6 を上下動可能な状態で配置される。装飾具 4 7、装飾ランプ 4 8 及び装飾ピース 4 6 は、後述する演出制御装置 5 5 0 からの命令に従って演出動作を行う。センターケース 5 1 の構成については、図 3 を参照しながらさらに詳細に説明する。

【 0 0 4 3 】

また、遊技領域 1 0 a のうちセンターケース 5 1 の下方には、遊技球を受入可能（入賞可能）な特図変動表示ゲームを始動させるための始動口 3 6 が配置される。さらに、セン

10

20

30

40

50

ターケース 5 1 の側方（左側方）には、普図変動表示ゲームを始動させるための普図始動ゲート 3 4 が配置される。

【 0 0 4 4 】

さらに、遊技領域 1 0 a には、センターケース 5 1 の左下方及び右下方に、発光によって各種装飾表示を行うサイドランプ 4 5 が配置される。また、サイドランプ 4 5 には、一般入賞口 4 4 が備えられている。

【 0 0 4 5 】

さらに、始動口 3 6 の下方には大入賞口 4 2 が配置され、該大入賞口 4 2 の下方であって遊技領域 1 0 a の下縁部には、入賞せずに流下した遊技球を回収するアウト口 4 3 が開設される。大入賞口 4 2 は、上端側が手前側に倒れる方向に回転して開放可能になっているアタッカ形式の開閉扉 4 2 a を備える。特図変動表示ゲームの結果によって開閉扉 4 2 a を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する。

【 0 0 4 6 】

また、センターケース 5 1、始動口 3 6 やサイドランプ 4 5 等の取付部分を除いた遊技領域 1 0 a 内には、この他、遊技領域 1 0 a には、打球方向変換部材としての風車（図示略）、及び多数の障害釘（図示略）などが配設されている。そして、センターケース 5 1 と、該センターケース 5 1 を挟んで普図始動ゲート 3 4 とは反対側に位置する前面構成部材 3 3 との間に縦長な円弧状の遊技球通路 5 7 が形成されている。

【 0 0 4 7 】

さらに、遊技盤 1 0 には、特図変動表示ゲーム及び普図変動表示ゲームを実行する普図・特図表示器 3 5 が備えられている。普図・特図表示器 3 5 には、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図・特図表示器 3 5 は、遊技状態を表す遊技状態表示 L E D（図示略）と併せて、セグメント L E D として設けられている。

【 0 0 4 8 】

普図始動ゲート 3 4 内には、該普図始動ゲート 3 4 を通過した遊技球を検出するためのゲート S W 3 4 a（図 9 参照）が設けられている。そして、遊技領域 1 0 a 内に打ち込まれた遊技球が普図始動ゲート 3 4 内を通過すると、普図変動表示ゲームが開始される。

【 0 0 4 9 】

また、普図変動表示ゲームを開始できない状態で、普図始動ゲート 3 4 を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が 1 加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

【 0 0 5 0 】

普図変動表示ゲームが開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームに当選して始動口 3 6 が開状態に変換されている状態のことをいう。

【 0 0 5 1 】

なお、普図変動表示ゲームは、表示装置 5 3 の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることによって行うようにする。

【 0 0 5 2 】

普図変動表示ゲームの停止表示が特別の結果態様となった場合には、普図変動表示ゲームに当選したものとして、始動口 3 6 の開閉部材 3 6 a が所定時間（例えば、0 . 5 秒間）開放される。これにより、始動口 3 6 に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。始動口 3 6 の開閉部材 3 6 a は、通常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームに当選した場合）に

10

20

30

40

50

は、ソレノイド（普電 S O L 3 6 b、図 9 参照）によって、逆「ハ」の字状に開いて始動口 3 6 に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられる。

【 0 0 5 3 】

また、本発明の実施の形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づいて、遊技状態として、表示装置 5 3 における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第 2 動作状態）を発生可能となっている。時短動作状態（第 2 動作状態）は、通常動作状態（第 1 動作状態）と比較して始動口 3 6 の開閉部材 3 6 a が開放状態となりやすい状態である。

【 0 0 5 4 】

時短動作状態においては、普図変動表示ゲームの実行時間が通常動作状態における実行時間よりも短くなるように制御され（例えば、10 秒が 1 秒）、単位時間当りの始動口 3 6 の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームに当選したことによって始動口 3 6 が開放される場合に、開放時間が通常動作状態の開放時間よりも長くなるように制御される（例えば、0.3 秒が 1.8 秒）。また、時短動作状態においては、普図変動表示ゲームの 1 回の当選結果に対して、始動口 3 6 が 1 回ではなく、複数回（例えば、2 回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当選結果となる確率が通常動作状態よりも高くなるように制御される。すなわち、通常動作状態よりも始動口 3 6 の開放回数が増加され、始動口 3 6 に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる。

【 0 0 5 5 】

また、始動口 3 6 の内部には、始動口 3 6 を通過した遊技球を検出するための、始動口 S W 3 6 d（図 9 参照）が備えられる。始動口 S W 3 6 d によって遊技球を検出すると、補助遊技としての特図変動表示ゲームを開始する始動権利が発生する。このとき、特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば 4）の範囲内で特図始動記憶として記憶される。

【 0 0 5 6 】

特図変動表示ゲームを直ちに開始できない状態、例えば、既に特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、始動口 3 6 に遊技球が入賞すると、特図始動記憶数が上限数未満（例えば、4 個未満）ならば、特図始動記憶数が 1 加算され、始動口 3 6 に遊技球が入賞したタイミングで抽出された乱数が特図始動記憶として一つ記憶される。そして、特図変動表示ゲームが開始可能な状態となると、特図始動記憶に基づき特図変動表示ゲームが開始される。

【 0 0 5 7 】

補助遊技としての特図変動表示ゲームは、遊技盤 1 0 に設けられた普図・特図表示器 3 5 で実行され、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置 5 3 にて特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）が変動表示される。そして、特図変動表示ゲームの結果として、普図・特図表示器 3 5 の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置 5 3 の表示態様も特別結果態様（例えば、「7, 7, 7」等のゾロ目数字の何れか）となる。なお、普図・特図表示器 3 5 ではなく、表示装置 5 3 のみで特図変動表示ゲームを実行するように構成してもよい。

【 0 0 5 8 】

また、本発明の実施の形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第 2 確率状態）を発生可能となっている。この確変状態（第 2 確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第 1 確率状態）に比べて高い状態である。なお、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

【 0 0 5 9 】

図 3 は、本発明の実施の形態のセンターケース 5 1 の分解斜視図である。

【 0 0 6 0 】

センターケース 5 1 は、遊技盤本体 1 0 b (遊技盤 1 0) の表面側に前面構成部として配置される枠装飾部 6 5 と、遊技盤本体 1 0 b の裏面側に裏面構成部として配置される枠体基部 6 0 とを前後に重合して構成されている。枠装飾部 6 5 は、遊技盤本体 1 0 b の表面に止着される環状の装飾ベース 6 6 を備える。装飾ベース 6 6 の裏面側には、装飾ベース 6 6 と略同じ大きさで円形状に形成された装飾パネルユニット 6 7 を備え、枠装飾部 6 5 は、装飾ベース 6 6 と装飾パネルユニット 6 7 とを前後に重合して構成されている。

【 0 0 6 1 】

装飾ベース 6 6 の下部には、上面に遊技球を前後方向及び左右方向に転動可能なベース側ステージ部 4 9 a が配置され、該ベース側ステージ部 4 9 a と遊技球通路 5 7 との間には装飾ランプ 4 8 が配置されている (図 2 参照) 。そして、ベース側ステージ部 4 9 a を挟んで装飾ランプ 4 8 とは反対側には、遊技球が流下可能な球導入路 (ワープ流路) 5 0 が設けられ、球導入路 5 0 の入口 5 0 a を装飾ベース 6 6 の外方へ向けて開放した状態で開設し、球導入路 5 0 の出口 5 0 b を後述する装飾パネルユニット 6 7 の裏側へ連通している。

10

【 0 0 6 2 】

装飾パネルユニット 6 7 は、略円形状の透明樹脂板で形成されたカバーパネル部 6 9 を備え、該カバーパネル部 6 9 の前面側の周縁に複数の装飾具 4 7 を配置している。装飾パネルユニット 6 7 と枠装飾部 6 5 とを重合すると、装飾具 4 7 が装飾ベース 6 6 の内周縁に沿って配置されるように設定されている (図 2 参照) 。また、カバーパネル部 6 9 の上部には、信頼度報知装置 1 5 が配置されている。

20

【 0 0 6 3 】

また、カバーパネル部 6 9 の裏面側の下部には、上面に遊技球を前後方向及び左右方向に転動可能なユニット側ステージ部 4 9 b が配置される。ユニット側ステージ部 4 9 b は、装飾ベース 6 6 のベース側ステージ部 4 9 a よりも上方に配置される。

【 0 0 6 4 】

さらに、カバーパネル部 6 9 のうち球導入路 5 0 の出口 5 0 b に重合する箇所には球流入口 6 8 を開設し、該球流入口 6 8 を介して球導入路 5 0 とユニット側ステージ部 4 9 b とを連通している。したがって、遊技領域 1 0 a を流下する遊技球が球導入路 5 0 に流入すると、球導入路 5 0 がこの遊技球をユニット側ステージ部 4 9 b 上に導入できるように構成されている。

30

【 0 0 6 5 】

枠体基部 6 0 は、遊技盤 1 0 の裏面側に止着される額縁状の基部ケース 6 1 を前側が開放した状態で備え、該基部ケース 6 1 の内側 (言い換えるとセンターケース 5 1 の内部) に、開口部 6 2 a が前面側に設けられた凹室 6 2 を形成している。

【 0 0 6 6 】

また、基部ケース 6 1 のうち凹室 6 2 の後方には矩形状の窓部 5 2 を前後方向へ貫通して開設し、基部ケース 6 1 の後方から表示装置 5 3 を装着して、表示装置 5 3 の表示部 5 3 a を窓部 5 2 及び凹室 6 2 を通してセンターケース 5 1 の前方へ臨ませている。

40

【 0 0 6 7 】

さらに、窓部 5 2 の上縁部の前側には、役物駆動ソレノイド (図示せず) によって上下動可能な複数の装飾ピース 4 6 が配置され、窓部 5 2 の左右両側の周縁には、表示部 5 3 a の前方へ移動して演出動作を行う可動演出装置 5 8 が備えられる。

【 0 0 6 8 】

そして、枠体基部 6 0 の前方に枠装飾部 6 5 を重合すると、凹室 6 2 の開口部 6 2 a 及び窓部 5 2 をカバーパネル部 6 9 で前方から被覆し、表示装置 5 3 の表示部 5 3 a を枠装飾部 6 5 の内側 (カバーパネル部 6 9 が露出した箇所) からセンターケース 5 1 の前方へ臨ませるように構成されている。

【 0 0 6 9 】

50

図４及び図５は、本発明の実施の形態の可動演出装置５８の構成を説明する図である。

【００７０】

可動演出装置５８は、第１演出ユニット６３と第２演出ユニット６４とを互いに離間した位置に備えて構成され、第１演出ユニット６３及び第２演出ユニット６４が連動して演出動作が実行される。

【００７１】

図４は、可動演出装置５８が動作する前の状態を示す図であり、図５は、可動演出装置５８が動作し、第１演出ユニット６３及び第２演出ユニット６４が動作した結果、当接部（第１当接部１２１及び第２当接部１２２）にて当接している状態を示す図である。

【００７２】

第１演出ユニット６３は、センターケース５１の左側、すなわち、基部ケース６１の窓部５２の周縁の左側に配置される。また、第２演出ユニット６４は、センターケース５１の右側に配置される。センターケース５１の前方から見て第１演出ユニット６３と第２演出ユニット６４との間に凹室６２及び窓部５２を臨ませるように配置される。

【００７３】

第１演出ユニット６３は、表示部５３ａの前方へ移動可能な第１演出部材７０と、該第１演出部材７０の駆動力を発生する第１演出駆動源としての役物駆動第１モータ（ＭＯＴ）７１と、役物駆動第１ＭＯＴ７１から発生した駆動力（回動力）を第１演出部材７０へ伝達する第１演出伝達機構（第１主腕部材７３及び第１副腕部材７４）とを備える。

【００７４】

また、役物駆動第１ＭＯＴ７１の出力軸（第１出力軸）７１ａがセンターケース５１の前後方向に延在し、第１出力軸７１ａには第１駆動ギア７６を共回り可能に軸着している。

【００７５】

第１主腕部材７３は、第１駆動ギア７６と噛合される第１主腕ギア７７が形成され、当該第１駆動ギア７６の上方に軸着される。第１副腕部材７４は、第１駆動ギア７６と噛合される第１副腕ギア７８が形成され、当該第１駆動ギア７６の下方に軸着される。第１主腕部材７３及び第１副腕部材７４は、基部ケース６１と軸着された端部の反対側の端部が互いに異なる位置で第１演出部材７０に軸着し、第１演出部材７０を支持している。

【００７６】

第１演出ユニット６３は、役物駆動第１ＭＯＴ７１を駆動して第１駆動ギア７６をセンターケース５１の正面から見て時計方向へ回動すると、役物駆動第１ＭＯＴ７１の駆動力（回動力）を第１駆動ギア７６及び第１主腕ギア７７を介して第１主腕部材７３へ伝達し、この駆動力により第１主腕部材７３がセンターケース５１の正面から見て反時計方向へ回動する。また、役物駆動第１ＭＯＴ７１の駆動力を第１駆動ギア７６及び第１副腕ギア７８を介して第１副腕部材７４へ伝達し、この駆動力により第１副腕部材７４が第１主腕部材７３と同じ反時計方向へ回動する。この結果、第１演出部材７０が第１主腕部材７３及び第１副腕部材７４に支持された状態で上昇する。

【００７７】

そして、役物駆動第１ＭＯＴ７１の駆動力により第１主腕部材７３及び第１副腕部材７４を上方へ延出して縦向き姿勢に設定すると、図４に示すように、第１演出部材７０を表示部５３ａの前方から外れて位置させた第１演出停止状態となり、第１演出部材７０が窓部５２の側方に位置して、枠装飾部６５の後方及び遊技盤本体１０ｂの後方に隠れる（図２参照）。

【００７８】

一方、第１演出停止状態から役物駆動第１ＭＯＴ７１を駆動して第１駆動ギア７６をセンターケース５１の正面から見て反時計方向へ回動すると、役物駆動第１ＭＯＴ７１の駆動力（回動力）を第１駆動ギア７６及び第１主腕ギア７７を介して第１主腕部材７３へ伝達し、この駆動力により第１主腕部材７３がセンターケース５１の正面から見て時計方向へ回動する。

10

20

30

40

50

【 0 0 7 9 】

また、役物駆動第 1 M O T 7 1 の駆動力を第 1 駆動ギア 7 6 及び第 1 副腕ギア 7 8 を介して第 1 副腕部材 7 4 へ伝達し、この駆動力により第 1 副腕部材 7 4 が第 1 主腕部材 7 3 と同じ時計方向へ回転する。この結果、第 1 演出部材 7 0 が第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 に支持された状態で下降する。

【 0 0 8 0 】

そして、役物駆動第 1 M O T 7 1 の駆動力により第 1 主腕部材 7 3 及び第 1 副腕部材 7 4 を表示部 5 3 a の前方へ延出して横向き姿勢に設定すると、図 5 に示すように、第 1 演出部材 7 0 を表示部 5 3 a の前方へ位置させた第 1 演出実行状態となり、第 1 演出部材 7 0 が表示部 5 3 a とカバーパネル部 6 9 との間の空間部のうち表示部 5 3 a の中央部分の前方に位置する。

10

【 0 0 8 1 】

第 2 演出ユニット 6 4 は、表示部 5 3 a の前方へ移動可能な第 2 演出部材 8 0 と、該第 2 演出部材 8 0 の駆動力を発生する第 2 演出駆動源としての役物駆動第 2 モータ (M O T) 8 1 と、役物駆動第 2 M O T 8 1 から発生した駆動力 (回動力) を第 2 演出部材 8 0 へ伝達する第 2 演出伝達機構 (第 2 主腕部材 8 3 及び第 2 副腕部材 8 4) とを備える。

【 0 0 8 2 】

また、役物駆動第 2 M O T 8 1 を出力軸 (第 2 出力軸) 8 1 a がセンターケース 5 1 の前後方向に延在し、第 2 出力軸 8 1 a には第 2 駆動ギア 8 6 を共回り可能に軸着している。

20

【 0 0 8 3 】

第 2 主腕部材 8 3 は、第 2 駆動ギア 8 6 と噛合される第 2 主腕ギア 8 7 が形成され、当該第 2 駆動ギア 8 6 よりも第 1 演出ユニット 6 3 寄りの位置に軸着される。第 2 副腕部材 8 4 は、第 2 駆動ギア 8 6 と噛合される第 2 副腕ギア 8 8 が形成され、当該第 2 駆動ギア 8 6 の下方に軸着される。第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 は、基部ケース 6 1 と軸着された端部の反対側の端部が互いに異なる位置で第 2 演出部材 8 0 に軸着し、第 2 演出部材 8 0 を支持している。

【 0 0 8 4 】

第 2 演出ユニット 6 4 は、役物駆動第 2 M O T 8 1 を駆動して第 2 駆動ギア 8 6 をセンターケース 5 1 の正面から見て時計方向へ回転すると、役物駆動第 2 M O T 8 1 の駆動力 (回動力) を第 2 駆動ギア 8 6 及び第 2 主腕ギア 8 7 を介して第 2 主腕部材 8 3 へ伝達し、この駆動力により第 2 主腕部材 8 3 がセンターケース 5 1 の正面から見て反時計方向へ回転する。また、役物駆動第 2 M O T 8 1 の駆動力を第 2 駆動ギア 8 6 及び第 2 副腕ギア 8 8 を介して第 2 副腕部材 8 4 へ伝達し、この駆動力により第 2 副腕部材 8 4 が第 2 主腕部材 8 3 と同じ反時計方向へ回転する。この結果、第 2 演出部材 8 0 が第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 に支持された状態で下降する。

30

【 0 0 8 5 】

そして、役物駆動第 2 M O T 8 1 の駆動力により第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 を回転して第 2 演出部材 8 0 を下死点へ到達させ、引き続き第 2 主腕部材 8 3 及び第 2 副腕部材 8 4 を回転して斜め下方へ延出して縦向き姿勢に設定し、第 2 演出部材 8 0 を下死点から僅かに上昇させると、図 4 に示すように、第 2 演出部材 8 0 を表示部 5 3 a の前方から外れて位置させた第 2 演出停止状態となり、第 2 演出部材 8 0 が枠装飾部 6 5 の後方及び遊技盤本体 1 0 b の後方に隠れる (図 2 参照) 。

40

【 0 0 8 6 】

一方、第 2 演出停止状態から役物駆動第 2 M O T 8 1 を駆動して第 2 駆動ギア 8 6 をセンターケース 5 1 の正面から見て反時計方向へ回転すると、役物駆動第 2 M O T 8 1 の駆動力 (回動力) を第 2 駆動ギア 8 6 及び第 2 主腕ギア 8 7 を介して第 2 主腕部材 8 3 へ伝達し、この駆動力により第 2 主腕部材 8 3 がセンターケース 5 1 の正面から見て時計方向へ回転する。

【 0 0 8 7 】

50

また、役物駆動第２ＭＯＴ８１の駆動力を第２駆動ギア８６及び第２副腕ギア８８を介して第２副腕部材８４へ伝達し、この駆動力により第２副腕部材８４が第２主腕部材８３と同じ時計方向へ回転する。この結果、第２演出部材８０が第２主腕部材８３及び第２副腕部材８４に支持された状態で上昇する。

【００８８】

そして、役物駆動第２ＭＯＴ８１の駆動力により第２主腕部材８３及び第２副腕部材８４を表示部５３ａの前方へ延出して横向き姿勢に設定すると、図５に示すように、第２演出部材８０を表示部５３ａの前方へ位置させた第２演出実行状態となり、第２演出部材８０が表示部５３ａとカバーパネル部６９との間の空間部のうち表示部５３ａの中央部分の前方に位置する。

10

【００８９】

図６は、本発明の実施の形態の第１演出部材７０の分解斜視図である。

【００９０】

第１演出部材７０は、センターケース５１の正面から見て略半円形状の部材であり、第１演出ユニット６３側に円弧面を配置した姿勢に設定されている。

【００９１】

第１演出部材７０には、基部となる第１演出ベース１００が備えられる。第１演出ベース１００は、透明な樹脂によって形成される。第１演出ベース１００の上部には、第１主腕部材７３を第１演出ベース１００の前方から軸着する第１主腕軸着部１０１を形成し、第１演出ベース１００の下部には、第１副腕部材７４を第１演出ベース１００の後方から軸着する第１副腕軸着部１０２を形成している。

20

【００９２】

第１演出ベース１００の前面には、光を拡散しながら透過可能な第１光拡散シート１０３が重合される。さらに、第１光拡散シート１０３の前面に透明な第１保護パネル１０４を重合することによって、第１光拡散シート１０３が第１演出部材７０から脱落することを阻止している。

【００９３】

また、第１演出ベース１００の後部を前方へ窪ませて第１基板収納空間部１０５を形成し、該第１基板収納空間部１０５にＬＥＤなどの発光装置（装飾装置６２０、図１７参照）が実装された第１発光基板１０６を収納する。さらに、この状態で第１基板収納空間部１０５を第１ベース蓋部１０７で閉塞し、第１発光基板１０６が第１演出部材７０から脱落することを阻止している。

30

【００９４】

そして、第１発光基板１０６の発光装置から光を発生すると、この光が第１演出ベース１００、第１光拡散シート１０３、第１保護パネル１０４を透過してセンターケース５１の前方へ照射されるように構成されている。

【００９５】

さらに、第１当接部１２１の第１基板収納空間部１０５側には、後部が開放された第１演出磁石ホルダ１２４を窪ませて形成されている。第１演出磁石ホルダ１２４には、ボタン形状の永久磁石からなる第１磁石１２５を磁極が第２演出部材８０側へ向いた姿勢で、第１磁石１２５が第１当接部１２１（第１演出磁石ホルダ１２４）から脱落しないように収納されている。

40

【００９６】

第１発光基板１０６には、装飾装置６２０の発光を制御するためのＩ²ＣＩ／Ｏエキスパンダ６１５（図１７参照）が搭載され、演出制御装置５５０から出力された制御信号（電気信号）など送信するためのデータ線及びクロック線（信号線）が接続される。さらに、装飾装置６２０を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル１０８としてまとめられて接続されている。

【００９７】

図７は、本発明の実施の形態の第２演出部材８０の分解斜視図である。

50

【 0 0 9 8 】

第 2 演出部材 8 0 は、センターケース 5 1 の正面から見て上部に切欠部分がある略平行四辺形状となっている。第 2 演出停止状態においては第 2 演出部材 8 0 の上下両側面を第 2 演出ユニット 6 4 側から第 1 演出ユニット 6 3 側へ向けて下り傾斜させ（図 4 参照）、第 2 演出実行状態においては当該第 2 演出部材 8 0 の左右両側面を第 2 演出ユニット 6 4 側から第 1 演出ユニット 6 3 側へ向けて下り傾斜させる姿勢に設定されている（図 5 参照）。

【 0 0 9 9 】

第 2 演出部材 8 0 には、基部となる第 2 演出ベース 1 1 0 が備えられる。第 2 演出ベース 1 1 0 は、透明な樹脂によって形成される。第 2 演出ベース 1 1 0 の上部には、第 2 主腕部材 8 3 を第 2 演出ベース 1 1 0 の前方から軸着する第 2 主腕軸着部 1 1 1 を形成し、第 2 演出ベース 1 1 0 の下部には、第 2 副腕部材 8 4 を第 2 演出ベース 1 1 0 の後方から軸着する第 2 副腕軸着部 1 1 2 を形成している。

10

【 0 1 0 0 】

さらに、第 2 演出ベース 1 1 0 の前面には、光を拡散しながら透過可能な第 2 光拡散シート 1 1 3 を重合される。第 2 光拡散シート 1 1 3 の前面に透明な第 2 保護パネル 1 1 4 を重合することによって、第 2 光拡散シート 1 1 3 が第 2 演出部材 8 0 から脱落することを阻止している。

【 0 1 0 1 】

また、第 2 演出ベース 1 1 0 の後部を前方へ窪ませて第 2 基板収納空間部 1 1 5 を形成し、該第 2 基板収納空間部 1 1 5 に L E D などの発光装置（装飾装置 6 2 0）が実装された第 2 発光基板 1 1 6 を収納し、この状態で第 2 基板収納空間部 1 1 5 を第 2 ベース蓋部 1 1 7 で閉塞して、第 2 発光基板 1 1 6 が第 2 演出部材 8 0 から脱落することを阻止している。

20

【 0 1 0 2 】

そして、第 2 発光基板 1 1 6 の発光装置から光を発生すると、この光が第 2 演出ベース 1 1 0、第 2 光拡散シート 1 1 3、第 2 保護パネル 1 1 4 を透過してセンターケース 5 1 の前方へ照射されるように構成されている。

【 0 1 0 3 】

さらに、第 2 当接部 1 2 2 の第 2 基板収納空間部 1 1 5 側には、後部が開放された第 2 演出磁石ホルダ 1 2 8 を窪ませて形成されている。第 2 演出磁石ホルダ 1 2 8 には、ボタン形状の永久磁石からなる第 2 磁石 1 2 9 が、第 1 当接部 1 2 1 及び第 2 当接部 1 2 2 を挟んで第 1 磁石 1 2 5 とは対称となる位置に収納されている。

30

【 0 1 0 4 】

第 2 発光基板 1 1 6 には、第 1 発光基板 1 0 6 と同様に、装飾装置 6 2 0 の発光を制御するための I²C I / O エクスパンダ 6 1 5（図 1 7 参照）が搭載され、演出制御装置 5 5 0 から出力された制御信号などを送信するためのデータ線及びクロック線（信号線）が接続される。さらに、装飾装置 6 2 0 を発光させるために必要な電力を供給するための電源線などが接続される。これらの接続線は、ケーブル 1 1 8 としてまとめられて接続されている。

40

【 0 1 0 5 】

可動演出装置 5 8 は、第 1 演出部材 7 0 に第 1 当接部 1 2 1 を備えるとともに、第 2 演出部材 8 0 に第 2 当接部 1 2 2 を備える。そして、第 1 演出ユニット 6 3 を第 1 演出実行状態へ変換するとともに、第 2 演出ユニット 6 4 を第 2 演出実行状態へ変換すると、第 1 当接部 1 2 1 と第 2 当接部 1 2 2 とが当接し、第 1 演出部材 7 0 と第 2 演出部材 8 0 とで 1 つの装飾体を形成する。このとき、第 1 磁石 1 2 5 と第 2 磁石 1 2 9 との間で吸引力を発生するように第 1 磁石 1 2 5 及び第 2 磁石 1 2 9 が配置されている。さらに、この形成された装飾体を表示部 5 3 a の中央部の前方に位置させるように構成している。

【 0 1 0 6 】

図 8 は、本発明の実施の形態の遊技機 1 の配線を説明する図である。

50

【 0 1 0 7 】

図 8 では、遊技盤本体 1 0 b にセンターケース 5 1 が取り付けられ、表示装置 5 3 がセンターケース 5 1 に取り付けられる前の状態を示している。また、表示装置 5 3 の背面には、演出制御装置 5 5 0 が取り付けられている。演出制御装置 5 5 0 には、接続端子 9 0 が備えられており、接続端子 9 0 を介して制御対象の演出装置に対し、制御信号の送信や電力の供給を行う。具体的には、後述する中継基板 6 0 0 にケーブル 9 1 を介して接続する。

【 0 1 0 8 】

また、遊技盤本体 1 0 b の背面下部には、遊技制御装置 5 0 0 や各種制御基板を含む制御ユニット 7 0 0 が配置される。制御ユニット 7 0 0 に搭載される制御基板には、演出制御装置 5 5 0 から送信された制御信号を、装飾制御装置 6 1 0 (図 1 1 参照) に中継する中継基板 6 0 0 が含まれる。装飾制御装置 6 1 0 は、詳細については後述するが、遊技を演出するための発光装置 (例えば、LED) や可動物 (例えば、モータ) などの演出装置の制御を行う。また、中継基板 6 0 0 は、装飾制御装置 6 1 0 と同様に、発光装置や可動物を接続可能である。

【 0 1 0 9 】

中継基板 6 0 0 には、演出制御装置 5 5 0 にケーブル 9 1 を介して接続される上流コネクタ 6 0 1 が備えられる。ケーブル 9 1 の一方のコネクタ 9 1 a は、前述のように、演出制御装置 5 5 0 の接続端子 9 0 に接続される。ケーブル 9 1 の他方のコネクタ 9 1 b は、中継基板 6 0 0 の上流コネクタ 6 0 1 に接続される。さらに、遊技機 1 に備えられた各演出装置の制御を行う装飾制御装置 6 1 0 に接続するためのコネクタ 6 0 2 a ~ 6 0 2 e を備える。

【 0 1 1 0 】

さらに、中継基板 6 0 0 には、接続されたケーブルの接続状態を示す空き端子モニタ 6 0 3 が備えられている。空き端子モニタ 6 0 3 の詳細については、図 1 5 にて説明する。

【 0 1 1 1 】

また、図示は略するが、遊技制御装置 5 0 0 を構成するユニットが、中継基板 6 0 0 のコネクタ装着面を覆うようにして設けられている。そのため、遊技制御装置 5 0 0 は、中継基板 6 0 0 の各コネクタに必要なケーブルを装着した後に取り付けられる配置構成となっている。

【 0 1 1 2 】

前面枠 3 には、当該前面枠 3 に配置されたスピーカ 3 0 及び装飾部材 9 a 、 9 b などを制御するための信号を送信するケーブル 3 b が接続されている。このケーブル 3 b のコネクタは、演出制御装置 5 5 0 の接続端子 9 2 に接続される。

【 0 1 1 3 】

遊技盤本体 1 0 b には、サイドランプ 4 5 を取り付けるための開口部 4 5 b が形成されている。サイドランプ 4 5 には、電力及び信号を送信するケーブル 4 5 a が接続され、開口部 4 5 b から遊技盤 1 0 の裏面側へ導入される。遊技盤 1 0 の裏面側へ導入されたケーブル 4 5 a は、中継基板 6 0 0 に接続され、例えば、コネクタ 6 0 2 d に接続される。

【 0 1 1 4 】

また、遊技盤 1 0 の下部には、図 2 に示したように、始動口 3 6 及び大入賞口 4 2 が配置される。始動口 3 6 が配置されている遊技盤 1 0 の裏側には、普図変動表示ゲームに当選した場合に開放される開閉部材 3 6 a を開閉するための普電ソレノイド (SOL) 3 6 b が配置される。また、特図変動表示ゲームに当選した場合に、大入賞口 4 2 を開閉するための大入賞口 SOL 4 2 b も遊技盤 1 0 の裏側に配置されている。普電 SOL 3 6 b 及び大入賞口 SOL 4 2 b には、制御信号の入力を受け付けるためのケーブル (図示略) が接続され、このケーブルは遊技制御装置 5 0 0 に接続されている。また、ケーブル 4 2 c は、大入賞口 4 2 の内部に備えられる演出用の LED を点灯させるための電力及び信号を伝達するケーブルとして中継基板 6 0 0 に接続され、例えば、コネクタ 6 0 2 f に接続される。

10

20

30

40

50

【0115】

前述のように、遊技盤10の中央部には、センターケース51が取り付けられている。センターケース51の内部には、第1演出部材70及び第2演出部材80によって構成される可動演出装置58が備えられる。図8では、第1演出部材70及び第2演出部材80が当接面(121, 122)で当接している状態となっている。

【0116】

また、可動演出装置58の第1演出ユニット63及び第2演出ユニット64には、前述のように、第1演出部材70及び第2演出部材80を稼動させるためのモータ(役物駆動第1モータ71、役物駆動第2モータ81)が備えられている。そして、これらのモータを制御するための信号及びモータを駆動させるための電力を供給するためのケーブル652が可動演出装置58に接続されている。また、可動演出装置58には、これらのモータの動作状態を検知するためのモータ位置検出センサ(図示せず)が備えられており、センシング結果を受信するためのケーブル651が接続されている。ケーブル652及びケーブル651は、センターケース51の開口部51bから遊技盤10の裏面側に延びており、中継基板600に接続される。例えば、ケーブル652はコネクタ602cに接続され、ケーブル651はコネクタ602eに接続される。

10

【0117】

さらに、演出制御装置550から出力された制御信号を、センターケース51の内部に配置されたLEDなどの演出装置を制御するための装飾制御装置610(図11参照)へ伝達するケーブル653が接続される。ケーブル653は、センターケース51に設けられた開口部51aから遊技盤10の裏面側の中継基板600に接続され、例えば、コネクタ602aに接続される。

20

【0118】

図9は、本発明の実施の形態の遊技機1の構成を示すブロック図である。

【0119】

遊技機1は、遊技を統括的に制御する遊技制御装置500、各種演出を行うために表示装置53及びスピーカ30等を制御する演出制御装置550、遊技球を払い出すために図示しない払出モータを制御する払出制御装置580を備える。

【0120】

まず、遊技制御装置500の構成について説明する。なお、演出制御装置550については、図10にて説明する。

30

【0121】

遊技制御装置500は、遊技用マイコン501、入力I/F(Interface)505、出力I/F(Interface)506、及び外部通信端子507を備える。

【0122】

遊技用マイコン501は、CPU502、ROM(Read Only Memory)503及びRAM(Random Access Memory)504を備える。

【0123】

CPU502は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ROM503は、遊技制御のための不変の情報(プログラム、データ等)を記憶している。RAM504は、遊技制御時にワークエリアとして利用される。

40

【0124】

外部通信端子507は、遊技制御装置500の設定情報等を検査する検査装置等の外部機器に遊技制御装置500を接続する。

【0125】

CPU502は、入力I/F505を介して各種入力装置(始動口SW36d、一般入賞口SW44a~44n、ゲートSW34a、カウントSW42d、ガラス枠開放SW18a、前面枠開放SW3a、球切れSW54、振動センサ55、及び磁気センサ56)からの検出信号を受けて、大当たり抽選等、種々の処理を行う。

【0126】

50

始動口SW36dは、始動口36に遊技球が入賞したことを検出するスイッチである。一般入賞口SW44a~44nは、一般入賞口44に遊技球が入賞したことを検出するスイッチである。

【0127】

ゲートSW34aは、普図始動ゲート34を遊技球が通過したことを検出するスイッチである。カウントSW42dは、大入賞口42に遊技球が入賞したことを検出するスイッチである。

【0128】

ガラス枠開放SW18aは、ガラス枠18が開放されたことを検出するスイッチである。前面枠開放SW3aは、前面枠3が開放されたことを検出するスイッチである。

10

【0129】

球切れSW54は、遊技機1の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【0130】

振動センサ55は、遊技機1に与えられた振動を検出するセンサであり、遊技機1を振動させるなどの不正行為を検出する。磁気センサ56は、始動口36の第2始動入賞口、一般入賞口44、大入賞口42、及び普図始動ゲート34付近に設けられ、磁力を検出するセンサである。磁気センサ56は、各入賞口付近に磁石を近づけて、遊技領域10aに発射された遊技球を各入賞口に導く不正を検出する。

【0131】

20

また、CPU502は、出力I/F506を介して、普図・特図表示器35、普電SOL36b、大入賞口SOL42b、払出制御装置580、及び演出制御装置550に指令信号を送信して、遊技を統括的に制御する。

【0132】

普図・特図表示器35には、前述のように、特図変動表示ゲーム及び普図変動表示ゲームが実行される。さらに、特図変動表示ゲームの未処理回数（特図始動記憶数）及び普図変動表示ゲームの未処理回数（普図始動記憶数）が表示される。普図変動表示ゲームが当たりとなるか否かを示す乱数を含む普図始動記憶、及び特図変動表示ゲームが当たりとなるか否かを示す乱数を含む特図始動記憶が記憶されている。

【0133】

30

普電SOL36bは、普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材36aを開放することによって、始動口36に遊技球が入賞しやすい状態にする。

【0134】

大入賞口SOL42bは、特図変動表示ゲームの結果が特別の結果態様となって、特別遊技状態（大当たり状態）となった場合に、大入賞口42の開閉扉42aを開放して、遊技球が入賞しやすい状態に変換する。

【0135】

遊技制御装置500は、外部情報端子508から図示しない情報収集端末装置を介して、遊技機データを図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機1の遊技データを収集管理する計算機である。

40

【0136】

払出制御装置580は、遊技球が一般入賞口44又は大入賞口42に入賞した場合に、入賞した入賞口に対応する数の遊技球の払出指令を遊技制御装置500から受信する。また、球貸ボタン26が操作された場合にも所定数の遊技球の払い出しを行う払出指令を遊技制御装置500から受信する。払出制御装置580は、受信した払出指令に基づいて、図示しない払出モータを制御し、払出指令に指定された数の遊技球を払い出す。

【0137】

遊技制御装置500は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データと

50

して、出力 I / F 5 0 6 を介して、演出制御装置 5 5 0 へ送信する。

【 0 1 3 8 】

図 1 0 は、本発明の実施の形態の演出制御装置 5 5 0 の構成を示すブロック図である。

【 0 1 3 9 】

演出制御装置 5 5 0 は、遊技制御装置 5 0 0 から入力される遊技データに基づいて、演出内容を決定し、表示装置 5 3 を制御するとともに、遊技盤 1 0 及び前面枠 3 に備えられた各種演出装置を制御する。演出装置には、LED などの発光装置やモータ又はソレノイドなどの可動物が含まれる。

【 0 1 4 0 】

演出制御装置 5 5 0 は、CPU 5 5 1、制御 ROM 5 5 2、RAM 5 5 3、画像 ROM 5 5 4、音 ROM 5 5 5、VDP 5 5 6、音 LSI 5 5 7、入力 I / F 5 5 8 b、出力 I / F 5 5 8 a、電源投入検出回路 5 5 9、第 1 マスタ IC 5 7 0 a、第 2 マスタ IC 5 7 0 b、NOR ゲート回路 5 6 1 及び監視タイマ回路 5 6 2 を備える。さらに、演出制御装置 5 5 0 は、遊技盤 1 0 に接続される接続端子 9 0 と、前面枠 3 に接続される接続端子 9 2 を備える。なお、第 1 マスタ IC 5 7 0 a 及び第 2 マスタ IC 5 7 0 b に共通の機能については、単に「マスタ IC」として説明する。

10

【 0 1 4 1 】

CPU 5 5 1 は、遊技制御装置 5 0 0 から送信された指令信号が通信割込としての割込信号 (INT) として入力され、入力された指令信号に基づいて、各種演出を制御する。また、CPU 5 5 1 には、第 1 マスタ IC 5 7 0 a 及び第 2 マスタ IC 5 7 0 b からマスタ割込としての割込信号 (INT) が入力されるとともに、VDP 5 5 6 から画像更新割込としての割込信号 (INT) が入力される。

20

【 0 1 4 2 】

さらに、CPU 5 5 1 は、監視タイマ回路 5 6 2 からタイムアウト割込としての割込信号 (INT) が入力される。監視タイマ回路 5 6 2 は、複数種類の監視タイマが内蔵されており、CPU 5 5 1 によって設定された監視タイマ値がタイムアップすると、CPU 5 5 1 に割込信号を出力する。CPU 5 5 1 は、割込信号の入力を受け付けると、実行中の処理を中断し、入力された割込信号に対応する処理を実行する。

【 0 1 4 3 】

制御 ROM 5 5 2 には、演出制御のための不変の情報 (プログラム、データ等) が格納されている。RAM 5 5 3 は、演出制御時にワークエリアとして利用される。

30

【 0 1 4 4 】

画像 ROM 5 5 4 は、VDP 5 5 6 に接続され、表示装置 5 3 に表示される画像データを格納する。VDP 5 5 6 は、表示装置 5 3 への画像出力を制御するプロセッサである。

【 0 1 4 5 】

また、VDP 5 5 6 は、表示装置 5 3 に表示される画像を更新する周期 (33ms 周期) と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号を CPU 5 5 1 に割込信号として入力する。

【 0 1 4 6 】

40

音 ROM 5 5 5 は、音 LSI 5 5 7 に接続され、前面枠 3 に備えられたスピーカ 3 0 から出力される音データを格納する。音 LSI 5 5 7 は、スピーカ 3 0 からの音声出力を制御する回路である。

【 0 1 4 7 】

入力 I / F 5 5 8 b は、フィルタ 5 6 5 a 及び 5 6 5 b を介して外部から入力された情報を受け付けるインタフェースである。具体的には、前面枠 3 に備えられた演出ボタン 1 7 が操作されたことを示す信号の入力を受け付けたり、遊技盤 1 0 に備えられたモータ位置検出センサによって検出された各モータの位置情報などの入力を受け付けたりする。

【 0 1 4 8 】

電源投入検出回路 5 5 9 は、演出制御装置 5 5 0 に電源が投入された場合に、第 1 マス

50

タIC570a及び第2マスタIC570bのレジスタをデフォルト状態(すべて0)に初期化するリセット信号を発生させ、NORゲート回路561に出力する。

【0149】

また、CPU551は、所定の条件が成立した場合に、バス563を介してリセット信号を出力I/F558aに出力する。そして、出力I/F558aは、入力されたりセット信号をNORゲート回路561に出力し、さらに、NORゲート回路561から、第1マスタIC570a及び第2マスタIC570bに当該リセット信号を出力する。所定の条件とは、例えば、すべての装飾制御装置610において、エラーフラグが「ON」になった場合などである(図32及び図33参照)。

【0150】

また、出力I/F558aは、ドライバ564a及びドライバ564bを介して、遊技盤10や前面枠3に備えられた演出装置(モータ又はソレノイドなどの可動物で駆動する演出装置)へ制御信号を出力する。

【0151】

なお、電源投入検出回路559からNORゲート回路561に入力されるリセット信号と、CPU551から出力I/F558aを介してNORゲート回路561に入力されるリセット信号は、いずれの場合にもLOWレベルの状態のときにリセットを指令する信号として機能する。そのため、電源投入検出回路559及びCPU551の少なくとも一方からNORゲート回路561にリセット信号が出力されていれば、NORゲート回路561を介してリセット信号が第1マスタIC570a及び第2マスタIC570bに入力される。

【0152】

図11は、本発明の実施の形態の演出制御装置550に備えられた第1マスタIC570aと遊技盤10に備えられた演出装置の構成を示すブロック図である。

【0153】

遊技盤10は、第1マスタIC570aに接続される中継基板600、当該中継基板600に接続される装飾装置基板625及び補助遊技装置ユニット12を備える。

【0154】

中継基板600は、第1マスタIC570aから送信された電気信号を、遊技盤10に備えられた装飾制御装置610に送信(中継)する。また、中継基板600には、装飾制御装置610と同様に、演出装置を制御する機能を有し、当該中継基板600に直接接続された装飾装置基板625を制御する。

【0155】

装飾装置620は、装飾制御装置610に備えられるI²C I/Oエクスパンダ615(図17参照)によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えばLEDなどである。装飾装置基板625は、サイドランプ45(図8参照)に設けられる基板であり、サイドランプ45の発光装置(LED)が搭載されている。このサイドランプ45の発光装置は、中継基板600に備えられるI²C I/Oエクスパンダ615によって、直接制御される。

【0156】

補助遊技装置ユニット12には、LEDなどの発光装置である装飾装置620、可動物である役物駆動第1モータ(MOT)71及び役物駆動第2MOT81が含まれている。補助遊技装置ユニット12内の装飾装置620は、当該補助遊技装置ユニット12に含まれる装飾制御装置610によって制御される。本発明の実施の形態では、役物駆動第1MOT71及び役物駆動第2MOT81は、中継基板600によって制御されるように構成されているが、装飾装置620と同様に当該補助遊技装置ユニット12に含まれる装飾制御装置610によって制御されるように構成してもよい。

【0157】

役物駆動第1MOT71及び役物駆動第2MOT81は、電流が流れると回転動作することによって演出動作を行う駆動装置である。役物駆動第1MOT71及び役物駆動第2

10

20

30

40

50

MOT81は、演出制御装置550のドライバ564により中継基板600を経由して直接制御されるので、I²C I/Oエクスパンダ615を介在させる処理は行われない。

【0158】

本発明の実施の形態では、役物駆動第1MOT71及び役物駆動第2MOT81は、可動演出装置58に含まれ、具体的には、役物駆動第1MOT71は第1演出ユニット63、役物駆動第2MOT81は第2演出ユニット64に含まれている。

【0159】

演出制御装置550は、役物駆動第1MOT71及び役物駆動第2MOT81を制御することによって、第1演出ユニット63及び第2演出ユニット64が連動した演出動作を実行させる。

10

【0160】

第1マスタIC570aは、制御対象となる装飾装置620を制御する装飾制御装置610に個別に割り当てられたアドレスを指定して、指定した個別アドレスの装飾制御装置610に装飾装置620の制御内容を出力する。なお、装飾制御装置610の個別アドレスは、正確には、装飾制御装置610に含まれるI²C I/Oエクスパンダ615(図17参照)の個別アドレスである。

【0161】

第1マスタIC570aは、接続線SDA、接続線SCL、接続線GND、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseの7種類の接続線を介して、中継基板(装飾制御装置)600に接続される。これらの接続線は、第1マスタIC570aと中継基板600とを接続するケーブル91(図8参照)により構成される。

20

【0162】

接続線SDAは、演出制御装置550と装飾制御装置610との間でデータ信号を授受するための接続線であり、本発明の実施の形態におけるデータ線として機能する。接続線SCLは、接続線SDAでのデータ通信に用いられるクロック信号を入出力するための接続線であり、本発明の実施の形態におけるタイミング信号線として機能する。接続線GNDは、接続線Vcc、接続線Vled、接続線Vms、及び接続線Vseで供給される電源のグランドである。

【0163】

接続線Vccは、中継基板600及び装飾制御装置610にロジック用の電源を供給するための接続線である。接続線Vledは、LED(装飾装置620)を発光させるための電源を供給するための接続線である。接続線Vmsは、補助遊技装置ユニット12に含まれるモータやソレノイド(具体的には、役物駆動第1MOT71、役物駆動第2MOT81)に電源を供給するための接続線である。接続線Vseは、各種センサ(演出装置に含まれるモータの状態を検出する状態検出センサであって、具体的には、モータ位置検出センサ560aが相当する)に電源を供給するための接続線である。

30

【0164】

中継基板600と補助遊技装置ユニット12との間は、演出制御装置550と中継基板600との間を接続する7種類の接続線が接続される。本発明の実施の形態では、モータ位置検出センサ560a、役物駆動第1MOT71及び役物駆動第2MOT81は、中継基板600によって直接制御されるため、前述した7種類の接続線のうち、接続線Vms及び接続線Vse以外の5種類の接続線が、補助遊技装置ユニット12の最上流に配置された装飾制御装置610に接続される。具体的には、中継基板600と装飾制御装置610との間は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL及び接続線GNDが接続される。

40

【0165】

なお、図8に示した配線(ケーブル)と各接続線を対応させると、演出制御装置550から中継基板600に引き渡される各種接続線(接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線Vms、接続線Vse、及び接続線GND)は、ケーブル91に含まれている。

50

【 0 1 6 6 】

また、これらの各種接続線は、中継基板 6 0 0 からさらに分岐して別の基板に引き渡され、中継基板 6 0 0 から分岐する接続線 V c c、接続線 V l e d、接続線 S D A、及び接続線 S C L はケーブル 6 5 3 に、接続線 V m s はケーブル 6 5 2 に、接続線 V s e はケーブル 6 5 1 に含まれている。また、中継基板 6 0 0 から分岐する接続線 G N D が、ケーブル 6 5 1 ~ 6 5 3 の全てに含まれている。

【 0 1 6 7 】

第 1 マスタ I C 5 7 0 a と装飾制御装置 6 1 0 とは、接続線 S D A 及び接続線 S C L によって 2 ライン双方向通信を行う。第 1 マスタ I C 5 7 0 a は、C P U 5 5 1 からの指令に基づいて、装飾制御装置 6 1 0 との間に接続された接続線 S D A 及び接続線 S C L の各信号レベルを制御する（第 1 の）信号レベル制御手段として機能する。

10

【 0 1 6 8 】

第 1 マスタ I C 5 7 0 a は、中継基板 6 0 0 及び装飾制御装置 6 1 0 にデータを送信する場合には、まず、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることにより、装飾制御装置 6 1 0 へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置 6 1 0 に対してスタートコンディションを発行（出力）する）。

【 0 1 6 9 】

この後、第 1 マスタ I C 5 7 0 a は、接続線 S C L の信号レベルを L O W に変更し、接続線 S C L の信号レベルが L O W である間に接続線 S D A の信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線 S C L の信号レベルを L O W から H I G H に変化させる。接続線 S C L の信号レベルが H I G H に変化すると、装飾制御装置 6 1 0 は接続線 S D A の信号レベルを取得し、送信データの最初のビットとして認識する。次いで、第 1 マスタ I C 5 7 0 a は、接続線 S C L の信号レベルを H I G H から L O W に戻す。

20

【 0 1 7 0 】

この手順を 1 回実行すると、第 1 マスタ I C 5 7 0 a から装飾制御装置 6 1 0 へ 1 ビットのデータが送信され、最終的にはこの手順が 8 回繰り返されることで、送信データの 8 ビットすべてが第 1 マスタ I C 5 7 0 a から装飾制御装置 6 1 0 へ送信される（1 バイト分のデータが送信される）。

30

【 0 1 7 1 】

そして、第 1 マスタ I C 5 7 0 a は、最後の 8 ビット目のデータ送信が終了すると、接続線 S C L の信号レベルを H I G H から L O W に戻した際に、接続線 S D A を解放して装飾制御装置 6 1 0 からの返答信号を受信することを待機する受信待機状態にする。

【 0 1 7 2 】

受信待機状態になると、装飾制御装置 6 1 0 は、接続線 S D A を介して 1 ビットの返答信号（後述する A C K 又は N A C K）を第 1 マスタ I C 5 7 0 a に返す。次いで、第 1 マスタ I C 5 7 0 a は、接続線 S C L の信号レベルを L O W から H I G H に変化させて返答信号のレベルを取り込み、所定時間後に接続線 S C L の信号レベルを H I G H から L O W に変化させると、装飾制御装置 6 1 0 は接続線 S D A を解放する。

40

【 0 1 7 3 】

第 1 マスタ I C 5 7 0 a は、このような 1 バイト分のデータ送信（下り方向データの送信）と 1 ビット分の返答信号の受信（上り方向データの受信）とを交互に繰り返し、装飾制御装置 6 1 0 へ出力すべきデータがすべて出力されるまで継続する。第 1 マスタ I C 5 7 0 a は、出力すべきデータの出力が終了した場合には、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを L O W から H I G H に変更させることにより、装飾制御装置 6 1 0 へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置 6 1 0 に対してストップコンディションを発行する）。

【 0 1 7 4 】

入力用バッファ 5 7 1 は、装飾制御装置 6 1 0 から接続線 S D A を介して入力されたデ

50

ータが一時的に記憶される記憶装置である。

【0175】

具体的には、第1マスタIC570aが入力モードに設定された場合において、装飾制御装置610から第1マスタIC570aに送信されたデータが、フィルタ575aによりノイズが除去されて入力用バッファ571に一時的に記憶される。

【0176】

出力用バッファ572は、装飾制御装置610に接続線SDAを介して出力するデータが一時的に記憶される。

【0177】

リセットレジスタ(REG)573は、バス563に接続され、演出制御装置550のCPU551からの指令を受け付けてリセット信号をコントローラ574に出力する。コントローラ574は、第1マスタIC570aを統括的に制御し、各種処理を実行する。

【0178】

フィルタ575aは、接続線SDAから入力されたデータのノイズを除去する。ドライバ576aは、接続線SDAからデータを出力する場合に、トランジスタ578aが動作可能な電圧をトランジスタ578aに印加する。

【0179】

接続線SDAは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フィルタ575a及びトランジスタ578aに接続されている。

【0180】

トランジスタ578aは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられている。トランジスタ578aのゲートはドライバ576aに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

【0181】

トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SDAに印加された電圧は降下せず、その結果、接続線SDAはHIGHレベルとなる。一方、トランジスタ578aのゲートに印加される電圧がトランジスタ578aを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線SDAの電圧が低下し、その結果、接続線SDAはLOWレベルとなる。

【0182】

なお、トランジスタ578aは、10ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線SDAには、通常のI²Cバス使用で用いられる電流値よりもはるかに大きい10ミリアンペア程度の電流を流すことが可能であり、演出制御装置550と装飾制御装置610との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【0183】

ドライバ576aは、データを接続線SDAから出力する場合に、トランジスタ578aにドレインとソースとの間に電流を流すためにトランジスタ578aのゲートにトランジスタ578aが動作可能な値の電圧を印加する。そして、ドライバ576aは、接続線SDAの電圧を、HIGHレベル又はLOWレベルに設定することによって、データを接続線SDAから出力する。

【0184】

また、フィルタ575bは、接続線SCLから入力されたデータのノイズを除去する。ドライバ576bは、接続線SCLからデータを出力する場合に、トランジスタ578bが動作可能な電圧をトランジスタ578bに印加する。

【0185】

接続線SCLは、プルアップ抵抗Rによって所定の電圧が印加され(図21参照)、フ

10

20

30

40

50

ィルタ５７５ｂ及びトランジスタ５７８ｂに接続されている。

【０１８６】

トランジスタ５７８ｂは、電力消費を抑えるために電界効果トランジスタ（ＦＥＴ）が用いられている。トランジスタ５７８ｂのゲートはドライバ５７６ｂに接続され、ドレインはプルアップ抵抗Ｒにより所定の電圧が印加された接続線ＳＣＬに接続され、ソースは接地されている。

【０１８７】

トランジスタ５７８ｂのゲートに印加される電圧がトランジスタ５７８ｂを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線ＳＣＬに印加された電圧は降下せず、その結果、接続線ＳＣＬはＨＩＧＨレベルとなる。一方、トランジスタ５７８ｂのゲートに印加される電圧がトランジスタ５７８ｂを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線ＳＣＬの電圧が低下し、その結果、接続線ＳＣＬはＬＯＷレベルとなる。

【０１８８】

なお、トランジスタ５７８ｂは、１０ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。そのため、接続線ＳＣＬには、通常のＩ^２Ｃバス使用で用いられる電流値よりもはるかに大きい１０ミリアンペア程度の電流を流すことが可能であり、演出制御装置５５０と装飾制御装置６１０との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【０１８９】

ドライバ５７６ｂは、クロック信号を接続線ＳＣＬから出力する場合に、トランジスタ５７８ｂにドレインとソースとの間に電流を流すためにトランジスタ５７８ｂのゲートにトランジスタ５７８ｂが動作可能な値の電圧を印加する。そして、ドライバ５７６ｂは、接続線ＳＣＬの電圧を、ＨＩＧＨレベルとＬＯＷレベルとに繰り返し変化させることによって、クロック信号を接続線ＳＣＬから出力する。

【０１９０】

電源投入リセット回路５７７は、第１マスタＩＣ５７０ａに電源が投入されて、電源投入リセット回路５７７内の電圧が所定値に達した場合に、入力用バッファ５７１及び出力用バッファ５７２などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ５７４に出力する。なお、電源投入リセット回路５７７については、第１マスタＩＣ５７０ａの外部に設け、後述する第２マスタＩＣ５７０ｂの共通としてもよい。

【０１９１】

コマンドレジスタ（ＲＥＧ）５８１は、演出制御装置５５０のＣＰＵ５５１からコマンドを受け付けるためのレジスタである。本発明の実施の形態では、コマンドレジスタ５８１には、ＳＴＡ、ＳＴＯ、ＳＩ、及びＭＯＤＥの各ビットが予め割り当てられており、ＣＰＵ５５１によって、各ビット毎個別に“０”又は“１”が設定可能となっている。

【０１９２】

ＳＴＡは、第１マスタＩＣ５７０ａが制御対象の装飾制御装置６１０に対し、スタート条件（スタートコンディション）の出力を指示するためのビットである。ＳＴＡに“１”が設定されると、第１マスタＩＣ５７０ａは、制御対象の装飾制御装置６１０に対し、スタートコンディションを発行（出力）し、スタート条件を成立させる。

【０１９３】

ＳＴＯは、第１マスタＩＣ５７０ａが制御対象の装飾制御装置６１０に対し、ストップ条件（ストップコンディション）の出力を指示するためのビットである。ＳＴＯに“１”が設定されると、第１マスタＩＣ５７０ａは、制御対象の装飾制御装置６１０に対し、ストップコンディションを発行（出力）し、ストップ条件を成立させる。

【０１９４】

ＳＩは、第１マスタＩＣ５７０ａから、演出制御装置５５０において割込みを発生させるときに設定されるビットである。第１マスタＩＣ５７０ａからＣＰＵ５５１に割込みを

10

20

30

40

50

発生させるときには、コントローラ 574 によって S I に “ 1 ” が設定され、割込信号 (I N T) が C P U 551 に入力される。その後、S I に “ 1 ” が設定されている間は、第 1 マスタ I C 570 a は処理を中断しているが、C P U 551 によって S I に “ 0 ” が設定されると、第 1 マスタ I C 570 a は、割込を中断して処理を再開する。

【 0195 】

M O D E は、データを送信するモードを指定するビットであり、“ 1 ” が設定されている場合には「バッファモード」、 “ 0 ” が設定されている場合には「バイトモード」が指定される。バッファモードは、連続する複数バイトのデータを 1 度にまとめて送信するモードであり、最大 68 バイトのデータの送信が可能である。また、バイトモードは、1 回の送信で 1 バイトのデータだけが送信可能なモードであり、バイト単位でのデータの送受信に利用される。

10

【 0196 】

ステータスレジスタ (R E G) 582 は、第 1 マスタ I C 570 a のステータスを示す情報が格納される。下位 2 ビットには常に “ 0 ” が設定され、上位 5 ビットにステータスコードが設定される。

【 0197 】

自身アドレス設定レジスタ (R E G) 583 は、第 1 マスタ I C 570 a がスレーブ (装飾制御装置) として機能する場合に設定されるレジスタである。市販されているマスタ I C は、通常、マスタとしての機能とスレーブとしての機能を備えており、用途に応じて使用される。自身アドレス設定 R E G 583 には、第 1 マスタ I C 570 a がスレーブとして機能する場合に、自身を特定するためのアドレスが設定される。

20

【 0198 】

図 12 は、本発明の実施の形態の演出制御装置 550 に備えられた第 2 マスタ I C 570 b と前面枠 3 に備えられた演出装置の構成を示すブロック図である。

【 0199 】

前面枠 3 には、第 2 マスタ I C 570 b に接続される簡易中継基板 1600、当該簡易中継基板 1600 に接続される装飾制御装置 610、スピーカ 30、モータ位置検出センサ 560 b、照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a などが含まれる。

【 0200 】

簡易中継基板 1600 は、第 2 マスタ I C 570 b から送信された電気信号を、前面枠 3 に備えられた装飾制御装置 610 に送信 (中継) する。なお、簡易中継基板 1600 は、中継基板 600 とは異なり、 I^2C I / O エクスパンダ 615 を備えていないので、簡易中継基板 1600 に備えた電子部品には、演出装置を制御するための演算処理を実行する機能を有していない。したがって、簡易中継基板 1600 に直接接続された照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a を、自己の判断によって制御することができないため、簡易中継基板 1600 は、第 2 マスタ I C 570 b から受信した電気信号を入力して、照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a へ中継する役目を果たしている。

30

【 0201 】

照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a は、演出制御装置 550 から送信された信号に基づいて内部に備えられた発光部材を駆動させ、各種演出を実行する。

40

【 0202 】

また、演出制御装置 550 は、演出ボタン 17 から当該演出ボタン 17 が操作されたことを示す信号が簡易中継基板 1600 を介して入力される。さらに、モータ位置検出センサ 560 b によって検出された照明駆動第 1 M O T 13 a 及び照明駆動第 2 M O T 14 a の位置情報が、簡易中継基板 1600 を介して入力される。

【 0203 】

さらに、簡易中継基板 1600 は、演出制御装置 550 の音 L S I 557 からの信号を受信し、スピーカ 30 から出力する。

【 0204 】

50

なお、第2マスタIC570bの構成は、第1マスタIC570aと同じ構成であるため、第2マスタIC570bの各構成には同じ符号を割り当てて説明を省略する。また、第2マスタIC570bは、第1マスタIC570aと同様に、CPU551からの指令に基づいて、装飾制御装置610との間に接続された接続線SDA及び接続線SCLの各信号レベルを制御する(第2の)信号レベル制御手段として機能する。

【0205】

なお、演出制御装置550と中継基板600との接続方法、及び中継基板600と中継基板600以外の装飾制御装置610との接続方法については、図13～図16にて詳細を後述する。また、中継基板600及び装飾制御装置610の構成などについては、図17～図21にて詳細を後述する。

10

【0206】

装飾制御装置610は、主として、遊技盤10及び前面枠3に取り付けられている。前面枠3に取り付けられた装飾制御装置610が制御する装飾装置(LED)620は、装飾部材9a、9b、照明ユニット11、及び異常報知LED29を照射するものである。一方、遊技盤10に取り付けられる装飾制御装置610は、センターケース51、表示装置53、及び演出制御装置550を一体化して構成される補助遊技装置ユニット12に含まれている。

【0207】

図13では、遊技盤10に備えられる中継基板600及び補助遊技装置ユニット12に含まれる装飾制御装置610の構成及び接続形態について説明する。図14では、前面枠3に備えられる簡易中継基板1600及び装飾制御装置610の構成及び接続形態について説明する。

20

【0208】

図13は、本発明の実施の形態の遊技盤10の構成を示す図である。

【0209】

補助遊技装置ユニット12を構成するセンターケース51は、前述したように、枠装飾部65と枠体基部60とを組み合わせる構成される。

【0210】

枠装飾部65には、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610などが複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠装飾部65が一体構成される。

30

【0211】

また、枠体基部60にも、変動表示ゲームなどの補助遊技の演出を行うための演出装置や当該演出装置を制御するための装飾制御装置610が複数個備えられる。これらの装飾制御装置610同士を所定の信号ケーブルにより相互に接続し、さらに、この装飾制御装置610に制御される演出装置もケーブルで接続することにより、当該枠体基部60が一体構成される。

40

【0212】

ゆえに、枠装飾部65や枠体基部60は、本実施形態における一体型演出ユニットを構成している。これに対し、サイドランプ45などは、一体型演出ユニットに含まれない単体の演出装置であるので、分離型演出装置を構成することになる。

【0213】

なお、補助遊技装置ユニット12に含まれる演出装置のすべてが補助遊技装置ユニット12内部の装飾制御装置610によって制御される必要はない。例えば、本発明の実施の形態では、センターケース51内に配置される可動物は、中継基板600を介して、演出制御装置550により直接制御される。

【0214】

装飾制御装置610には、前述のように、装飾装置620を制御するためのIC/I/O

50

Ｏエキスパンダ６１５が搭載され、Ｉ^２ＣＩ／Ｏエキスパンダ６１５には、個々のＩ^２ＣＩ／Ｏエキスパンダ６１５を識別するための個別アドレスが割り当てられている。本発明の実施の形態では、前述のように、Ｉ^２ＣＩ／Ｏエキスパンダ６１５の個別アドレスが、装飾制御装置６１０の個別アドレスとして利用される。

【０２１５】

演出制御装置５５０は、Ｉ^２ＣＩ／Ｏエキスパンダ６１５の個別アドレスを指定して制御信号を送信することによって、装飾装置６２０を個別に制御して演出動作を実行することが可能となる。各装飾制御装置６１０には、原則的に、それぞれ異なる個別アドレス（図中に「a d＝」で示す）が割り当てられる。

【０２１６】

また、装飾制御装置６１０は、接続形態によって、分岐型（分岐基板）、連結型（連結基板）及び終端型（終端基板）の三種類に分類される。分岐型、連結型及び終端型いずれの装飾制御装置６１０にも装飾装置６２０を接続可能であり、接続された装飾装置６２０を制御することが可能である。

【０２１７】

分岐型の装飾制御装置６１０は、下流側に複数の装飾制御装置６１０が直接接続され、これらの複数の装飾制御装置６１０に受信した制御信号を送信する。連結型の装飾制御装置６１０は、下流側に一つの装飾制御装置６１０が接続され、接続された装飾制御装置６１０に受信した制御信号を送信する。終端型の装飾制御装置６１０は、下流側に装飾制御装置６１０が接続されず、装飾装置６２０の制御のみを行う。分岐型、連結型、終端型の装飾制御装置６１０の詳細に関しては、図１７を用いて後述する。

【０２１８】

なお、上流側とは、演出制御装置５５０から途中の装飾制御装置６１０を経て末端の装飾制御装置６１０までへ電気信号を送信する構成において、この電気信号を送信する側のことである。反対に、下流側とは、この電気信号を受信する側のことである。

【０２１９】

要するに、演出制御装置５５０から末端の装飾制御装置６１０への信号ケーブルを順に辿っていったときに、より演出制御装置５５０に近い側へ接続されている装飾制御装置６１０が上流側となり、より末端の装飾制御装置６１０に近い側へ接続されている装飾制御装置６１０が下流側となる。例えば、装飾制御装置６１０Ａ、６１０Ｃは、装飾制御装置６１０Ｈの上流側に配置されており、装飾制御装置６１０Ｉ、６１０Ｊは、装飾制御装置６１０Ｈの下流側に配置されていることになる。

【０２２０】

ここで、本発明の実施の形態では、前述のように、可動演出装置５８を構成する第１演出部材７０及び第２演出部材８０の可動部分に装飾制御装置６１０が配置されている。言い換えれば、図６において、第１演出部材７０の可動部（第１演出ベース１００）に装飾制御装置６１０（第１発光基板１０６）が配置され、図７において、第２演出部材８０の可動部（第２演出ベース１１０）に装飾制御装置６１０（第２発光基板１１６）が配置されている。

【０２２１】

このとき、従来のシフトレジスタのように、各装飾制御装置６１０をデイジーチェーンで配線すると、デイジーチェーンの末端となる何れか一方の装飾制御装置６１０だけは、入力用のケーブルのみを接続するだけで済む。しかし、デイジーチェーンの途中に接続される構成となる他方の装飾制御装置６１０には、入力用のケーブルと出力用のケーブルを接続する必要がある。可動部に複数のケーブルが接続されると、可動部とともに装飾制御装置６１０（第１発光基板１０６、第２発光基板１１６）自体が可動する構造となってケーブルも移動するため、配線の引き回しが困難になってしまうおそれがある。さらに、ケーブルの移動により、ケーブルを構成する接続線が断線する可能性が生じ、演出に影響を与えるおそれがある。

【０２２２】

本発明の実施の形態では、第1演出部材70及び第2演出部材80に配置された装飾制御装置610を末端型とし、これらの装飾制御装置610の上流に分岐型の装飾制御装置610を配置している。そのため、末端型の装飾制御装置610(第1発光基板106、第2発光基板116)には、第1演出部材70及び第2演出部材80の外部に備えた他の装飾制御装置610へ信号を伝達するケーブルが、接続されない構造となる。このように装飾制御装置610を配置すれば、可動部に配置された装飾制御装置610には入力ケーブルのみを接続すればよいことになる。したがって、デジチェーンで配線する場合と比較して、配線の引き回しが容易になり、断線する可能性を少なくすることができる。

【0223】

装飾制御装置610は、受信した制御信号の宛先アドレスが自宛でない場合、下流側にさらに装飾制御装置610が接続されていれば受信した制御信号を送信する。また、送信先がなければ受信した制御信号を破棄する。

【0224】

装飾制御装置610は、16個のポートに対応するLEDを制御することが可能であり、装飾制御装置610に搭載されたLEDと、当該装飾制御装置610に接続された外部の装飾装置基板625に搭載されたLEDとの合計数が16以下であれば、両方のLEDを制御することが可能である。すなわち、一体型の装飾制御装置610(I²C I/Oエクスパンダ615と装飾装置620がともに配置される主動型基板に相当)では、装飾装置基板625(I²C I/Oエクスパンダ615が配置されず、装飾装置620が配置される従動型基板に相当)をさらに接続することによって、内部に備えられた装飾装置620と外部に接続した装飾装置620の両方を制御することが可能である。

【0225】

こうすることによって、離れて配置された装飾装置620を1つの装飾制御装置610で制御することが可能となり、装飾制御装置610の数を最小限にすることができる。

【0226】

中継基板600は、上流側では演出制御装置550に搭載された第1マスタIC570aに接続し、第1マスタIC570aから送信された制御信号を受信する。また、下流側では補助遊技装置ユニット12に含まれる装飾制御装置610A(正確には一体型演出ユニットである枠体基部60に含まれる装飾制御装置610A)に接続する。さらに、中継基板600は、遊技盤10に備えられた分離型演出装置である装飾装置基板625(サイドランプ45(図8参照)に設けられた基板)に接続し、当該中継基板600に備えられたI²C I/Oエクスパンダ615によって、当該装飾装置基板625に搭載された装飾装置620を制御する。

【0227】

補助遊技装置ユニット12には、装飾制御装置610A~610Jが含まれる。装飾制御装置610Aは、分岐型の装飾制御装置であり、装飾制御装置610B及び装飾制御装置610Cに第1マスタIC570aから受信した制御信号を送信する。また、装飾制御装置610Bには、装飾装置基板625Bが接続されており、装飾装置基板625Bに配置されたLEDなどの演出装置(装飾装置620)が装飾制御装置610Bによって制御される。

【0228】

装飾制御装置610Cは、分岐型の装飾制御装置610であり、下流側の装飾制御装置610D及び装飾制御装置610Hに受信した制御信号を送信する。装飾制御装置610Dは、分岐型の装飾制御装置610Eが接続され、さらに、装飾装置基板625Dに含まれる装飾装置620Dを制御する。

【0229】

装飾制御装置610Eには、第1演出部材70を制御する装飾制御装置610Fと、第2演出部材80を制御する装飾制御装置610Gとが接続される。第1演出部材70及び第2演出部材80は、連動して演出動作が実行される。装飾制御装置610Fは、第1演出部材70に含まれる第1発光基板106に配置され(図6)、また、装飾制御装置61

10

20

30

40

50

0 G は、第 2 演出部材 8 0 に含まれる第 2 発光基板 1 1 6 に配置されている (図 7) 。

【 0 2 3 0 】

なお、第 1 発光基板 1 0 6 自体が装飾制御装置 6 1 0 F として機能し、第 2 発光基板 1 1 6 自体が装飾制御装置 6 1 0 G として機能していてもよい。

【 0 2 3 1 】

本発明の実施の形態では、装飾制御装置 6 1 0 F は第 1 演出部材 7 0 に含まれる L E D などを制御し、装飾制御装置 6 1 0 G は第 2 演出部材 8 0 に含まれる L E D などを制御する。なお、第 1 演出部材 7 0 及び第 2 演出部材 8 0 をそれぞれ表示部 5 3 a の前方に移動させるための駆動力を出力するための役物駆動第 1 M O T 7 1 及び役物駆動第 2 M O T 8 1 は、中継基板 6 0 0 によって制御される。

10

【 0 2 3 2 】

演出制御装置 5 5 0 は、変動表示ゲーム実行時など、所定の条件を満たすと、第 1 演出ユニット 6 3 (第 1 演出部材 7 0) 及び第 2 演出ユニット 6 4 (第 2 演出部材 8 0) を制御して演出動作を実行する。具体的には、第 1 演出ユニット 6 3 に含まれる役物駆動第 1 M O T 7 1 及び第 2 演出ユニット 6 4 に含まれる役物駆動第 2 M O T 8 1 を制御するために、中継基板 6 0 0 の個別アドレス (「 0 0 0 0 」) を指定して、これらのモータを動作させるための制御信号を送信する。さらに、第 1 演出部材 7 0 に含まれる L E D などの発光装置を制御する制御信号を、第 1 演出部材 7 0 を制御する装飾制御装置 6 1 0 F の個別アドレス (「 0 1 1 0 」) を指定して送信する。同様に、第 2 演出部材 8 0 に含まれる L E D などの発光装置を制御する制御信号を、第 2 演出部材 8 0 を制御する装飾制御装置 6 1 0 G の個別アドレス (「 0 1 1 1 」) を指定して送信する。その後、ストップコンディ

20

【 0 2 3 3 】

装飾制御装置 6 1 0 H は、連結型の装飾制御装置 6 1 0 であり、さらに、連結型の装飾制御装置 6 1 0 I 及び終端型の装飾制御装置 6 1 0 J が接続される。終端型の装飾制御装置 6 1 0 J は、装飾装置基板 6 2 5 J に含まれる装飾装置 6 2 0 J を制御する。

【 0 2 3 4 】

本発明の実施の形態では、装飾制御装置 6 1 0 H 及び装飾制御装置 6 1 0 I は、信頼度報知装置 1 5 に含まれる演出装置 (L E D) を制御する。所定の条件を満たした場合には、演出制御装置 5 5 0 の第 1 マスタ I C 5 7 0 a から所定の態様を示すようにするための制御信号が送信され、指定された態様で演出を行う。

30

【 0 2 3 5 】

図 1 4 は、本発明の実施の形態の前面枠 3 の構成を示す図である。

【 0 2 3 6 】

本発明の実施の形態の遊技機 1 には複数の仕様があり、通常版遊技機 1 と廉価版遊技機 1 とがある。通常版遊技機 1 は、標準仕様の装飾部材を備えている前面枠 3 (以下、通常版前面枠 3 とする) を備えている。廉価版遊技機 1 は、標準仕様の装飾部材よりも廉価なコストで構成された装飾部材を備えている前面枠 3 (以下、廉価版前面枠 3 ' とする) を備えている。図 1 4 の上側には、通常版前面枠 3 の構成を示し、下側には、廉価版前面枠 3 ' の構成を示しており、遊技機 1 では、何れか一方の仕様の前面枠 3 のみを取り付けられて演出制御装置 5 5 0 と接続されるので、第 2 マスタ I C 5 7 0 b には、通常版前面枠 3 か廉価版前面枠 3 ' の何れか一方のみが接続される。

40

【 0 2 3 7 】

通常版前面枠 3 と廉価版前面枠 3 ' とは、装飾部材 9 a 、 9 b に含まれる装飾装置 6 2 0 の数が相違し、さらに、装飾装置 6 2 0 を制御する装飾制御装置 6 1 0 の数も相違する。具体的には、通常版前面枠 3 の装飾部材 9 a 、 9 b は 7 つの装飾制御装置 6 1 0 によって制御され、廉価版前面枠 3 ' の装飾部材 9 a ' 、 9 b ' は 5 つの装飾制御装置 6 1 0 によって制御される。装飾部材 9 a 、 9 b は、装飾部材 9 a ' 、 9 b ' よりも多くの L E D によって照射するので、通常版前面枠 3 のほうが廉価版前面枠 3 ' よりも明るくなり、実行可能な演出のバリエーションを増やすことも可能である。このため、通常版前面枠 3 が

50

取り付けられた場合の装飾装置 6 2 0 の制御と、廉価版前面枠 3 ' が取り付けられた場合の装飾装置 6 2 0 の制御が相違する。

【 0 2 3 8 】

このため、通常版前面枠 3 に取り付けられる装飾制御装置 6 1 0 の個別アドレスと廉価版前面枠 3 ' に取り付けられる装飾制御装置 6 1 0 の個別アドレスに同じアドレスを割り当てた場合には、演出制御装置 5 5 0 から装飾制御装置 6 1 0 へ送信する演出制御データを、通常版前面枠 3 の場合と廉価版前面枠 3 ' の場合とで異ならせる必要があるため、遊技機 1 に取り付けられる前面枠 3 に応じて通常版用の演出制御装置 5 5 0 と廉価版用の演出制御装置 5 5 0 をそれぞれ用意しなければならない。したがって、製造メーカーが遊技機 1 を出荷する場合には、通常版用の演出制御装置 5 5 0 と廉価版用の演出制御装置 5 5 0 とを用意しなければならず、製造コストが上昇してしまう。

10

【 0 2 3 9 】

そこで、本発明の実施の形態では、通常版前面枠 3 と廉価版前面枠 3 ' とで制御が異なる装飾制御装置 6 1 0 の個別アドレスには、異なるアドレスを割り当て、演出制御装置 5 5 0 から装飾制御装置 6 1 0 へ送信する演出制御データが、通常版前面枠 3 の場合と廉価版前面枠 3 ' の場合とで共通となるように構成することで、一つの演出制御装置 5 5 0 で通常版用の制御と廉価版用の制御とを実行できるように構成した。こうすることによって、通常版用の演出制御装置 5 5 0 と廉価版用の演出制御装置 5 5 0 とをそれぞれ用意する必要がなくなり、製造コストを抑えることができる。なお、本発明の実施の形態では、遊技盤 1 0 の構成については、通常版であっても廉価版であっても同じ構成となっている。

20

【 0 2 4 0 】

以下、通常版前面枠 3 及び廉価版前面枠 3 ' の構成について具体的に説明する。

【 0 2 4 1 】

通常版前面枠 3 には、第 2 マスタ IC 5 7 0 b に接続される簡易中継基板 1 6 0 0 を備える。簡易中継基板 1 6 0 0 には、分岐型の装飾制御装置 6 1 0 K 及び照明駆動モータ (1 3 a 、 1 4 a) が接続される。

【 0 2 4 2 】

装飾制御装置 6 1 0 K は、照明ユニット 1 1 内に配置され、装飾装置基板 6 2 5 K に備えられた装飾装置 6 2 0 を制御する。具体的には、照明ユニット 1 1 に含まれる LED や異常報知 LED 2 9 などが制御される。

30

【 0 2 4 3 】

また、装飾制御装置 6 1 0 K は、分岐型の装飾制御装置であり、装飾制御装置 6 1 0 L 及び装飾制御装置 6 1 0 P に受信した制御信号を送信する。装飾制御装置 6 1 0 L ~ 6 1 0 N は、通常版前面枠 3 の左側部分の装飾部材 9 a を制御する。また、装飾制御装置 6 1 0 P ~ 6 1 0 R は、通常版前面枠 3 の右側部分の装飾部材 9 b を制御する。

【 0 2 4 4 】

通常版前面枠 3 の左側部分の装飾部材 9 a は、連結型の装飾制御装置 6 1 0 L 、 6 1 0 M 及び終端型の装飾制御装置 6 1 0 N を含む。装飾制御装置 6 1 0 L は、演出制御装置 5 5 0 の第 2 マスタ IC 5 7 0 b から送信された制御信号を、装飾制御装置 6 1 0 K から受信し、装飾制御装置 6 1 0 M 及び 6 1 0 N に送信する。

40

【 0 2 4 5 】

通常版前面枠 3 の右側部分の装飾部材 9 b は、前述のように、連結型の装飾制御装置 6 1 0 P 、 6 1 0 Q 及び終端型の装飾制御装置 6 1 0 R を含む。装飾制御装置 6 1 0 P は、演出制御装置 5 5 0 の第 2 マスタ IC 5 7 0 b から送信された制御信号を、装飾制御装置 6 1 0 K から受信し、装飾制御装置 6 1 0 Q 及び 6 1 0 R に送信する。

【 0 2 4 6 】

また、装飾部材 9 a 及び装飾部材 9 b に含まれる装飾制御装置 6 1 0 L ~ 6 1 0 R にも、それぞれ異なる個別アドレスが割り当てられており、第 2 マスタ IC 5 7 0 b から送信された制御信号に基づいて、それぞれ別々の演出動作を実行させることができる。具体的には、照明ユニット 1 1 に含まれる装飾制御装置 6 1 0 K の個別アドレスには「 0 0 0 0

50

」、装飾部材 9 a に含まれる装飾制御装置 6 1 0 L、6 1 0 M 及び 6 1 0 N の個別アドレスには「0 0 0 1」「0 0 1 0」及び「0 0 1 1」、装飾部材 9 b に含まれる装飾制御装置 6 1 0 P、6 1 0 Q 及び 6 1 0 R の個別アドレスには「0 1 0 0」「0 1 0 1」及び「0 1 1 0」が割り当てられている。

【0 2 4 7】

一方、廉価版前面枠 3 ' は、通常版前面枠 3 と同様に、第 2 マスタ I C 5 7 0 b に接続される簡易中継基板 1 6 0 0 と、ほぼ同様の機能を有する基板（以下、廉価版の簡易中継基板 1 6 0 0 ' とする）を備える。ただし、廉価版前面枠 3 ' では、簡易中継基板 1 6 0 0 ' に分岐型の装飾制御装置 6 1 0 S のみが接続されており、照明駆動モータ（1 3 a、1 4 a）を備えずにコストダウンが図られている。

10

【0 2 4 8】

装飾制御装置 6 1 0 S は、照明ユニット 1 1 内に配置されており、装飾装置基板 6 2 5 S に備えられた装飾装置 6 2 0 を制御する。具体的には、照明ユニット 1 1 に含まれる L E D や異常報知 L E D 2 9 などが制御され、通常版前面枠 3 と同様である。また、装飾制御装置 6 1 0 S は、通常版前面枠 3 の照明ユニット 1 1 を制御する装飾制御装置 6 1 0 K と同一の基板であり、同じ個別アドレス（「0 0 0 0」）が割り当てられている。そのため、通常版前面枠 3 の装飾制御装置 6 1 0 K と、廉価版前面枠 3 ' の装飾制御装置 6 1 0 S では、同じ制御が実行される。

【0 2 4 9】

また、装飾制御装置 6 1 0 S は、分岐型の装飾制御装置であり、装飾制御装置 6 1 0 T 及び装飾制御装置 6 1 0 V に受信した制御信号を送信する。装飾制御装置 6 1 0 T 及び 6 1 0 U は、通常版前面枠 3 の左側部分の装飾部材 9 a ' を制御する。また、装飾制御装置 6 1 0 V 及び 6 1 0 W は、通常版前面枠 3 の右側部分の装飾部材 9 b ' を制御する。

20

【0 2 5 0】

また、廉価版前面枠 3 ' では、左側の装飾部材 9 a ' を制御する装飾制御装置 6 1 0 T 及び 6 1 0 U、及び右側の装飾部材 9 b ' を制御する装飾制御装置 6 1 0 V 及び 6 1 0 W が取り付けられている。装飾制御装置 6 1 0 T は、通常版前面枠 3 の装飾制御装置 6 1 0 L と同一の基板であり、同じ個別アドレス（「0 0 0 1」）が割り当てられている。同様に、装飾制御装置 6 1 0 V は、通常版前面枠 3 の装飾制御装置 6 1 0 P と同一の基板であり、同じ個別アドレス（「0 0 0 1」）が割り当てられている。そのため、通常版前面枠 3 の装飾制御装置 6 1 0 L と、廉価版前面枠 3 ' の装飾制御装置 6 1 0 T では、同じ制御が実行され、通常版前面枠 3 の装飾制御装置 6 1 0 P と、廉価版前面枠 3 ' の装飾制御装置 6 1 0 V では、同じ制御が実行される。

30

【0 2 5 1】

装飾制御装置 6 1 0 U 及び 6 1 0 W には、同じ個別アドレス（「0 1 1 1」）が割り当てられている。したがって、廉価版前面枠 3 ' では、左右の装飾部材で装飾制御装置 6 1 0 U 及び 6 1 0 W で同じ制御が実行され、すなわち、制御対象の L E D による照射が同じタイミングで実行される。また、装飾制御装置 6 1 0 U 及び 6 1 0 W には、通常版前面枠 3 の装飾制御装置 6 1 0 に割り当てられていない個別アドレスが割り当てられている。

【0 2 5 2】

そして、通常版前面枠 3 と廉価版前面枠 3 ' の何れに使用される場合であっても、演出制御装置 5 5 0 からは、装飾部材 9 a、9 b、9 a '、9 b ' に含まれる装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 に割り当てられたすべての個別アドレスに対して演出制御データが送信される。

40

【0 2 5 3】

以上のように、廉価版前面枠 3 ' には、備えられている装飾制御装置のうち、装飾制御装置 6 1 0 M、6 1 0 N、6 1 0 Q 及び 6 1 0 R（第 1 の仕様依存型グループ単位制御手段）に相当するものが存在せず、代わりに、装飾制御装置 6 1 0 U 及び 6 1 0 W（第 2 の仕様依存型グループ単位制御手段）が取り付けられている。通常版前面枠 3 には、装飾制御装置 6 1 0 M、6 1 0 N、6 1 0 Q 及び 6 1 0 R（第 1 の仕様依存型グループ単位制御

50

手段)が取り付けられているのに対し、廉価版前面枠3'には、より少ない数の装飾制御装置610U及び610W(第2の仕様依存型グループ単位制御手段)が取り付けられている。

【0254】

また、装飾制御装置610Kと装飾制御装置610S、装飾制御装置610Lと装飾制御装置610T、装飾制御装置610Vと装飾制御装置610Pは、互いに、通常版前面枠3と廉価版前面枠3'とに共通利用可能な基板として構成されている。

【0255】

したがって、本発明の実施の形態の演出制御装置550は、通常版用の制御と廉価版用の制御とを共通化することが可能となり、前面枠ごとに制御を変更する必要が無く、演出制御装置550の製造コストを削減することができる。

10

【0256】

なお、以降の説明では、特に断らない限り、本発明の実施の形態の遊技機1では通常版前面枠が取り付けられているものとする。

【0257】

なお、廉価版前面枠3'では、個別アドレスが「0010」、「0011」、「0101」及び「0110」となるI²C I/Oエクスパンダ615は使用されず、通常版前面枠3では、個別アドレスが「0111」となるI²C I/Oエクスパンダ615は使用されない。そのため、いずれの前面枠3であっても、異常判定テーブル3300(図33参照)において、接続されないI²C I/Oエクスパンダ615が存在することになる。しかしながら、後述するように、異常判定テーブル3300に登録されている少なくとも1つのI²C I/Oエクスパンダ615と、第2マスタIC570bとの間で正常にデータ送信が行われていれば、正常に動作していると判定されるため、これが原因で処理が中断することはない。

20

【0258】

図15は、本発明の実施の形態の演出制御装置550と遊技盤10に含まれる中継基板600及び装飾制御装置610の接続状態を説明する図である。

【0259】

図15では、演出制御装置550、中継基板600、装飾制御装置610A、610B及び610Cの接続について説明する。また、説明の都合上、装飾制御装置610として、1個の中継基板600と、装飾制御装置610Cよりも下流に接続されている各装飾制御装置(610D~610J)については記載を省略する。なお、各装飾制御装置610間の接続はそれぞれ同じである。

30

【0260】

演出制御装置550は、接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線M11~M14、接続線M21~M24、接続線M31~M34、接続線SL1、接続線SL2、接続線SE1~3、接続線Vms、及び接続線Vseによって中継基板600と接続される。

【0261】

接続線Vcc、接続線Vled、接続線SDA、接続線SCL、接続線GND、接続線Vms、及び接続線Vseについては、図11にて説明した通りである。

40

【0262】

接続線M11~M14は、第1演出ユニット63に含まれる役物駆動第1MOT71の第1~4相を制御するための信号が送信される。接続線M21~M24は、第2演出ユニット64に含まれる役物駆動第2MOT81の第1~4相を制御するための信号が送信される。役物駆動第1MOT71、役物駆動第2MOT81は4相駆動のステッピングモータを用いている。

【0263】

接続線M31~M34は、モータを制御するための接続線であるが、本発明の実施の形態では、中継基板600に対応するモータが接続されないため、接続状態を表示する空き

50

端子モニタ 603 が接続される。空き端子モニタ 603 は、接続線 M31 ~ M34 に対応した、4 個の LED によって構成されており、各接続線が断線しているか否かを確認することができる。したがって、一部又は全部の接続線が断線している場合には、空き端子モニタ 603 の一部が点灯しないことになるので、ケーブルの品質を悪いと判断することができる。

【0264】

特に、本発明の実施の形態の遊技機 1 のように、第 1 マスタ IC 570a と中継基板 600 とを接続するケーブル 91 には、電源を供給するための接続線 GND、接続線 Vcc、接続線 Vled、接続線 Vms、及び接続線 Vse が含まれている（図 11 若しくは図 15 参照）。これらの電力を供給する線は、安定した動作を実現するために、十分な電流量が確保できる断面積の大きい（太い）ケーブルが本来であれば用いられる。

10

【0265】

しかしながら、ケーブル 91 の様なフラット形状のケーブルを用いる場合には、コネクタを接続する関係から、各ケーブルの断面積の大きさを同一（共通化）する必要がある。そこで、断面積の大きいケーブルを代わりに、複数の接続線を用いて電源供給を行うことが考えられ、例えば、接続線 GND として 6 本のケーブルを使用し、接続線 Vms として 3 本のケーブルを使用するといった構成を実現することができる。

【0266】

このとき、電力を供給する接続線の一部が断線していても、すべての接続線が断線していなければ、見た目上は問題なく動作していることになるので、LED を点灯させたり、モータを駆動させたりすることが可能であるが、十分な電流量が確保できていない状態であるため、ケーブル上で異常な発熱が発生したりする恐れがある。このような場合に、空き端子モニタ 603 に電力を供給する線を接続することによって、一見正常に動作していても、一部の接続線が断線しているような品質の劣るケーブルを発見することができ、障害が発生する前に交換したり必要なメンテナンスを行ったりすることが可能となる。

20

【0267】

また、中継基板 600 は、役物駆動モータ（役物駆動第 1 MOT71、役物駆動第 2 MOT81）を駆動するために、接続線 Vms から供給された電力を各モータに供給する。なお、装飾ピース 46 を上下動させるための役物駆動ソレノイドに供給される電力についても接続線 Vms から供給される。

30

【0268】

また、中継基板 600 には、役物駆動モータの回転位置を検出するためのモータ位置検出センサ 560a が接続される。接続線 SE1 ~ 3 は、モータ位置検出センサ 560 による検出結果を受信するための接続線であり、中継基板 600 は、モータ位置検出センサ 560a によって検出された役物駆動モータの回転位置を、接続線 SE1 ~ 3 を介して演出制御装置 550 に送信する。

【0269】

接続線 SL1 及び接続線 SL2 は、役物駆動ソレノイドを制御するための接続線である。接続線 SL1 及び接続線 SL2 も、役物駆動ソレノイドを使用しないときは、前述の接続線 M31 ~ M34 と同様に、接続状態を表示する空き端子モニタ 603 が接続される。

40

【0270】

中継基板 600 を含む装飾制御装置 610 は、接続線 Vcc、接続線 Vled、接続線 SDA、接続線 SCL、及び接続線 GND（以下、この 5 種類の接続線を束ねたものを一つのハーネスという）を介して互いに接続される。

【0271】

また、装飾制御装置 610A にはハーネスを介して装飾制御装置 610B 及び装飾制御装置 610C が接続され、装飾制御装置 610C にはハーネスを介して図示しない装飾制御装置 610D が接続される。

【0272】

各装飾制御装置 610 は、ハーネスを自身に接続するための取付口となるコネクタを備

50

える。このコネクタは各装飾制御装置 6 1 0 で共通であるため、各接続線の接続順が共通となっており、誤配線を防止することができる。

【 0 2 7 3 】

図 1 6 は、本発明の実施の形態の演出制御装置 5 5 0 と、通常版前面枠 3 に含まれる簡易中継基板 1 6 0 0 及び装飾制御装置 6 1 0 の接続状態を説明する図である。

【 0 2 7 4 】

図 1 6 では、演出制御装置 5 5 0、簡易中継基板 1 6 0 0、装飾制御装置 6 1 0 K、6 1 0 L 及び 6 1 0 P の接続について説明する。また、説明の都合上、装飾制御装置 6 1 0 として、装飾制御装置 6 1 0 L 及び装飾制御装置 6 1 0 P よりも下流に接続されている各装飾制御装置については記載を省略する。

10

【 0 2 7 5 】

演出制御装置 5 5 0 は、接続線 V c c、接続線 V l e d、接続線 S D A、接続線 S C L、接続線 G N D、接続線 M 1 1 ~ M 1 4、接続線 M 2 1 ~ M 2 4、接続線 M 3 1 ~ M 3 4、接続線 S L 1、接続線 S L 2、接続線 S E 1 ~ 3、接続線 V m s、及び接続線 V s e に加え、演出ボタン 1 7 からのボタン信号を受信する接続線及び音信号をスピーカ 3 0 に送信する接続線によって簡易中継基板 1 6 0 0 と接続される。

【 0 2 7 6 】

接続線 V c c、接続線 V l e d、接続線 S D A、接続線 S C L、接続線 G N D、接続線 V m s、及び接続線 V s e については、図 1 5 にて説明したように、演出制御装置 5 5 0 と遊技盤 1 0 とを接続する場合と同様に、下流側に配置されている各装飾制御装置 6 1 0 に各種信号を送受信する。

20

【 0 2 7 7 】

接続線 M 1 1 ~ M 1 4 は、照明ユニット 1 1 に含まれる第 1 可動式照明 1 3 の照明駆動第 1 M O T 1 3 a を制御するための信号が送信される。接続線 M 2 1 ~ M 2 4 は、照明ユニット 1 1 に含まれる第 2 可動式照明 1 4 の照明駆動第 2 M O T 1 4 a を制御するための信号が送信される。

【 0 2 7 8 】

接続線 M 3 1 ~ M 3 4 は、モータを制御するための接続線であるが、本発明の実施の形態では、対応するモータが簡易中継基板 1 6 0 0 に接続されないため、中継基板 6 0 0 と同様に、接続状態を表示する空き端子モニタ 6 0 3 が接続される。

30

【 0 2 7 9 】

さらに、照明駆動モータ（照明駆動第 1 M O T 1 3 a、照明駆動第 2 M O T 1 4 a）を駆動するために、接続線 V m s から供給された電力を各モータに供給する。

【 0 2 8 0 】

また、簡易中継基板 1 6 0 0 には、照明駆動モータの回転位置を検出するためのモータ位置検出センサ 5 6 0 b が接続される。簡易中継基板 1 6 0 0 は、モータ位置検出センサ 5 6 0 b によって検出された照明駆動モータの回転位置を、接続線 S E 1 ~ 3 を介して演出制御装置 5 5 0 に送信する。

【 0 2 8 1 】

ここで、装飾制御装置 6 1 0 に設けられた I²C I / O エクスパンダ 6 1 5（図 1 8 で後述）が装飾装置 6 2 0 を制御する方法について説明する。

40

【 0 2 8 2 】

演出制御装置 5 5 0 は、遊技制御装置 5 0 0 から入力された遊技データに基づいて、演出装置（装飾装置 6 2 0）の出力態様を決定する。そして、演出制御装置 5 5 0 は、決定された出力態様となるように、制御対象となる装飾制御装置 6 1 0 の個別アドレス（I²C I / O エクスパンダ 6 1 5 の個別アドレス）を含む演出制御データ（演出制御情報）を中継基板 6 0 0 に出力する。このとき、演出制御データは、中継基板 6 0 0 から接続線 S D A を介してすべての制御対象の装飾制御装置 6 1 0 に出力される。

【 0 2 8 3 】

なお、本発明の実施の形態では装飾制御装置 6 1 0 によって制御される演出装置は主と

50

してLED等の発光装置であるため、LEDの発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、LEDの点灯/点滅/消灯が指示され、さらに、LEDの点滅周期や点灯輝度も指示される。

【0284】

各装飾制御装置610には、前述のようにあらかじめ一意な個別アドレスが設定されており、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置610のI²C I/Oエクスパンダ615は、演出制御データを取り込んで、対応する装飾装置620の出力態様を制御するとともに、8ビット目のデータが

10

【0285】

以上のように、マスタICは、当該マスタICに接続されるすべての装飾制御装置610に演出制御データを送信し、当該演出制御データに含まれる個別アドレスに対応する装飾制御装置610において、要求した出力態様となるように演出装置を制御することができる。

【0286】

なお、各装飾制御装置610には、個別アドレス以外にも、装飾制御装置610のI²C I/Oエクスパンダ615を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべてのI²C I/Oエクスパンダ615に対して共通に設けられたアドレスであり、個別アドレスとして使用することはできない。また、このリセットアドレスの値を変更することもできないように構成されている(詳細は後述する)。

20

【0287】

演出制御装置550は、装飾制御装置610(正確には、装飾制御装置610のI²C I/Oエクスパンダ615)を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板600又は簡易中継基板1600に出力する。このとき、初期化指示データ演出制御データは、中継基板600又は簡易中継基板1600を介して、演出制御装置550に接続されるすべての装飾制御装置610に対して接続線SDAから出力される。

30

【0288】

各装飾制御装置610には、リセット用の共通アドレスがあらかじめ設定されているので、入力されたデータに含まれるアドレスと、リセット用の共通アドレスとが一致するか否かを判定する。一致すると判定された場合には、装飾制御装置610のI²C I/Oエクスパンダ615は、返答信号をマスタICに出力するとともに、入力データを初期化指示データとして取り込み、I²C I/Oエクスパンダ615自身を初期化する。

【0289】

なお、I²C I/Oエクスパンダ615が初期化されると、当該初期化されたI²C I/Oエクスパンダ615によって制御される演出装置はオフ状態となる。

【0290】

このように、装飾制御装置610は、演出制御装置550からの指令に基づく制御を行うので、演出制御装置550と装飾制御装置610との関係は、演出制御装置550の第1マスタIC570a及び第2マスタIC570bがマスタであり、各装飾制御装置610のI²C I/Oエクスパンダ615がスレーブとなる。

40

【0291】

図15及び図16では、中継基板600以外の装飾制御装置610の制御対象は、LEDなどの発光装置である装飾装置620となっているが、モータやソレノイドなどの可動物を制御することも可能である。この場合には、演出装置がモータやソレノイドなどの駆動源となることから、これらの駆動源の動作態様が演出装置の出力態様に相当する。演出制御データには、駆動源の作動/停止指示が含まれ、さらに動作速度を指定することも可

50

能である。

【0292】

なお、遊技機1の構成として、通常版前面枠3の代わりに廉価版前面枠3'を設けた場合でも、廉価版前面枠3'に含まれる各種基板の接続状態は、図16とほぼ同等の構成となる。

【0293】

ただし、廉価版前面枠3'には、照明駆動モータ(照明駆動第1MOT13a、照明駆動第2MOT14a)が設けられていないため、廉価版の簡易中継基板1600'には、照明駆動モータが接続されるコネクタが存在せず、接続線M11~M14、及び接続線M21~M24も使用されない。そのため、廉価版の簡易中継基板1600'では、接続線M11~M14、及び接続線M21~M24にも、空き端子モニタ603が接続される。

10

【0294】

また、廉価版前面枠3'には、モータ位置検出センサ560bが設けられていないため、廉価版の簡易中継基板1600'では、接続線SE1~3をグランドに接続して、一定のレベルの信号が、常時、演出制御装置550に入力されるように構成している。

【0295】

図17は、本発明の実施の形態の装飾制御装置610のブロック図である。

【0296】

本発明の実施の形態の装飾制御装置610は、前述のように、接続形態に基づいて、分岐型、連結型、及び終端型の3種類に分類される。図17には、分岐型の装飾制御装置610Xに終端型の装飾制御装置610Yが接続されている例を示している。さらに、装飾制御装置610Yには、装飾装置基板625が接続されている。

20

【0297】

分岐型の装飾制御装置とは、I²C I/Oエキスパンダ615と、I²C I/Oエキスパンダ615が受信する信号を受け入れるためのコネクタ(上流コネクタ)と、上流コネクタから受け入れた信号を、複数の装飾制御装置610に伝達するコネクタ(下流コネクタ)を備えたものである。例えば、図中の装飾制御装置610Xのように、内部にI²C I/Oエキスパンダ615及びLED(装飾装置620)を備え、さらに、一つの上流コネクタ611と二つの下流コネクタ612A、612Bを備える。

【0298】

接続線SDA及び接続線SCLは、装飾制御装置610内で二つに分岐し、一方は、そのまま次の装飾制御装置610Yに出力するための下流コネクタ612Bに接続される。他方は、さらに分岐し、一方はI²C I/Oエキスパンダ615に接続され、他方は別の下流コネクタ612Aに接続される。

30

【0299】

また、装飾制御装置610XのI²C I/Oエキスパンダ615の出力側には、制御対象となる装飾装置620が接続される。I²C I/Oエキスパンダ615の出力側は、図20で説明するポート0~15によって構成される。さらに、装飾制御装置610のすべてのポートが、図19で後述する電流制限抵抗R0~R15を介して、内部のLEDに接続されている。なお、この電流制限抵抗R0~R15も、装飾制御装置610に備えられている。

40

【0300】

前述したように、I²C I/Oエキスパンダ615は、演出制御装置550から入力された演出制御データに含まれるアドレスと、当該I²C I/Oエキスパンダ615に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I²C I/Oエキスパンダ615に接続されている装飾装置620を制御する。

【0301】

なお、下流コネクタが1個しか備えないために、上流コネクタから受け入れた信号が、1つの装飾制御装置610にのみ伝達可能となっている装飾制御装置は、連結型の装飾制

50

御装置となる。例えば、前述した装飾制御装置 610X にて、下流コネクタ 612B のみが備えられ、下流コネクタ 612A が存在しないようなものが該当する。

【0302】

また、終端型の装飾制御装置とは、 I^2C I/O エクスパンダ 615 と、 I^2C I/O エクスパンダ 615 が受信する信号を受け入れるためのコネクタ（上流コネクタ）を有するが、上流コネクタから受け入れた信号を、他の装飾制御装置 610 に伝達しないものである。例えば、図中の装飾制御装置 610Y は、 I^2C I/O エクスパンダ 615 及び LED（装飾装置 620）を備え、装飾制御装置 610Y の外部に接続される装飾装置基板 625 に備わる LED に電流を流すための接続線、装飾装置基板 625 の LED に電源電圧を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 610 と装飾装置基板 625 とが接続される。

10

【0303】

装飾装置基板 625 は、 I^2C I/O エクスパンダ 615 を備えておらず、LED などの発光装置のみを備えた基板である。この場合、装飾装置基板 625 に備えた LED に接続される電流制限抵抗を、装飾装置基板 625 に設けることになるが、 I^2C I/O エクスパンダ 615 が備えられた装飾制御装置 610 に設けてもよい。

【0304】

なお、装飾装置基板 625 に設けた LED の数に対応して、装飾制御装置 610 から装飾装置基板 625 へ渡されることになる、これらの LED に電流を流すための接続線の数決定される。例えば、装飾装置基板 625 に二つの LED を備えた場合には、 I^2C I/O エクスパンダ 615 のポートと対応する LED とを接続するための 2 本の制御線と、Vled から供給された電力を供給する電源線 1 本とが、少なくとも必要となる。

20

【0305】

そして、装飾制御装置 610Y に設けられた I^2C I/O エクスパンダ 615 も、演出制御装置 550 から入力された演出制御データに含まれるアドレスと、当該 I^2C I/O エクスパンダ 615 に設定されているアドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 I^2C I/O エクスパンダ 615 に接続されている装飾装置 620 を制御する。この場合、中央の装飾制御装置 610 に設けられた装飾装置 620 と、装飾装置基板 625 に設けられた装飾装置 620 の両方が、 I^2C I/O エクスパンダ 615 によって制御される。

30

【0306】

このように、装飾装置基板 625 を設けて、装飾制御装置 610 から一部の装飾装置（LED）を分離させることで、離れた箇所に配置された LED であっても、共通の I^2C I/O エクスパンダ 615 により制御することができる。

【0307】

なお、装飾制御装置 610 は、前述したように、LED などの発光装置の代わりに、ソレノイドやモータなどの可動物を制御することが可能であり、具体的には、図 20 にて後述する。

【0308】

図 18 は、本発明の実施の形態の I^2C I/O エクスパンダ 615 の構成を示すブロック図である。

40

【0309】

I^2C I/O エクスパンダ 615 は、接続線 SDA に接続されるトランジスタ 630、接続線 SDA に接続されるフィルタ 631、接続線 SDA に接続されるドライバ 632、接続線 SCL に接続されるフィルタ 633、バスコントローラ 634、出力設定レジスタ 635、出力コントローラ 636、 I^2C I/O エクスパンダ 615 の出力側の各ポート 0 ~ 15 に接続されるドライバ 637、各ポート 0 ~ 15 に接続されるトランジスタ 638A ~ 638P、及びリセット信号発生回路 639 を備える。さらに、本発明の実施の形態では、他の I^2C I/O エクスパンダ 615 によって接続線 SDA が占有されているかを判断するためのバス監視 WDT（ウォッチドッグタイマ）640、及び I^2C I/O

50

Ｏエキスパンダ６１５自身が接続線ＳＤＡを占有しているか否かを判断するための自己占有ＷＤＴ６４１を備えている。

【０３１０】

フィルタ６３１は、接続線ＳＤＡに接続され、接続線ＳＤＡから入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ６３４に出力する。ドライバ６３２は、返答信号を接続線ＳＤＡから出力する場合に、トランジスタ６３０が動作可能な電圧をトランジスタ６３０に印加する。

【０３１１】

ドライバ６３２は、接続線ＳＤＡからデータ（返答信号）を出力する場合に、トランジスタ６３０が動作可能な電圧をトランジスタ６３０に印加する。

10

【０３１２】

トランジスタ６３０は、電力消費を抑えるために電界効果トランジスタ（ＦＥＴ）が用いられており、トランジスタ６３０のゲートはドライバ６３２に接続され、ドレインはプルアップ抵抗Ｒにより所定の電圧が印加された接続線ＳＤＡに接続され、ソースは接地されている。

【０３１３】

トランジスタ６３０のゲートに印加される電圧がトランジスタ６３０を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ６３０のゲートに印加される電圧がトランジスタ６３０を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線ＳＤＡの電圧が低下する。なお、トランジスタ６３０は、１０ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。

20

【０３１４】

ドライバ６３２は、データ（返答信号）を接続線ＳＤＡから出力する場合に、トランジスタ６３０にドレインとソースとの間に電流を流すためにトランジスタ６３０のゲートにトランジスタ６３０が動作可能な値の電圧を印加する。そして、ドライバ６３２は、接続線ＳＤＡの電圧をＨＩＧＨからＬＯＷへ繰り返し変化させることによって、データを接続線ＳＤＡから出力する。

【０３１５】

フィルタ６３３は、接続線ＳＣＬに接続され、接続線ＳＣＬから入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ６３４に出力する。

30

【０３１６】

また、Ｉ^２ＣＩ／Ｏエキスパンダ６１５には、当該Ｉ^２ＣＩ／Ｏエキスパンダ６１５に備わるアドレス設定用端子Ａ０～Ａ３によって固有のアドレスが設定されており、バスコントローラ６３４に入力されている。さらに、Ｉ^２ＣＩ／Ｏエキスパンダ６１５をリセットするためのアドレスも、あらかじめ設定されている。

【０３１７】

バスコントローラ６３４は、接続線ＳＤＡから入力されたデータのアドレスがＩ^２ＣＩ／Ｏエキスパンダ６１５に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

40

【０３１８】

また、バスコントローラ６３４は、接続線ＳＤＡから入力されたデータのアドレスがＩ^２ＣＩ／Ｏエキスパンダ６１５に設定されたリセット用のアドレスと一致するか否かを判定し、一致している場合に当該データを初期化指示データとして取り込み、当該Ｉ^２ＣＩ／Ｏエキスパンダ６１５を初期化する。

【０３１９】

また、バスコントローラ６３４は、接続線ＳＣＬの信号レベルのＬＯＷからＨＩＧＨへの変化回数が８回に達し、８ビット目のデータを取り込んだ後、接続線ＳＣＬの信号レベルがＨＩＧＨからＬＯＷへ変化すると、返答信号を接続線ＳＤＡから第１マスタＩＣ５７０ａに出力する。さらに、接続線ＳＣＬの信号レベルがＬＯＷからＨＩＧＨへ変化するこ

50

とが確認され、再度接続線 S C L の信号レベルが H I G H から L O W へ変化すると、接続線 S D A を開放する。つまり、接続線 S C L の信号レベルの L O W から H I G H への変化回数が 9 回になるタイミングで返答信号を出力する。

【 0 3 2 0 】

出力設定レジスタ 6 3 5 には、当該 I²C I / O エクスパンダ 6 1 5 の動作モードやポート 0 ~ 1 5 の出力状態が設定される。バスコントローラ 6 3 4 が接続線 S D A から初期化指示データを取り込んで、当該 I²C I / O エクスパンダ 6 1 5 が初期化された場合には、出力設定レジスタ 6 3 5 は、すべてのポート 0 ~ 1 5 に電流が流れないように初期状態に設定される。

【 0 3 2 1 】

出力コントローラ 6 3 6 は、出力設定レジスタ 6 3 5 に設定されたデータに基づいて、ポートドライバ 6 3 7 を介して、各ポート 0 ~ 1 5 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ 6 3 4 が接続線 S D A から演出制御データを取り込むと、演出制御データに指定されている内容に更新される。

【 0 3 2 2 】

すなわち、第 1 マスタ I C 5 7 0 a から受信した演出制御データに基づいて、出力設定レジスタ 6 3 5 に設定し、ストップコンディションを受信した時点で、各ポート 0 ~ 1 5 の出力状態を更新して演出装置に反映させる。したがって、シフトレジスタのように、L A T 信号を受信する必要もなく、すなわち、L A T 信号を受信するための配線を必要とすることなく、演出制御を行うことができる。特に、ポート出力状態を、複数の I²C I / O エクスパンダ 6 1 5 で同時に更新する必要がある場合に有効であり、異なる I²C I / O エクスパンダ 6 1 5 に制御される演出装置であっても、同時に演出動作を実行するように制御できるため、より演出効果を高めることが可能となる。

【 0 3 2 3 】

ドライバ 6 3 7 は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ 6 3 8 A ~ 6 3 8 P が動作可能な電圧を当該トランジスタに印加する。

【 0 3 2 4 】

トランジスタ 6 3 8 A ~ 6 3 8 P のゲートはドライバ 6 3 7 に接続され、ドレインは図 1 9 及び図 2 0 に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【 0 3 2 5 】

トランジスタ 6 3 8 A ~ 6 3 8 P のゲートに印加される電圧がトランジスタ 6 3 8 A ~ 6 3 8 P を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、6 3 8 A ~ 6 3 8 P のゲートに印加される電圧がトランジスタ 6 3 8 を動作させる所定値以上であれば、図 1 9 に示す電源 V l e d、又は図 2 0 に示す電源 V m o t や電源 V s o l からゲートに印加されている所定の電圧が、トランジスタ 6 3 8 のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

【 0 3 2 6 】

また、装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、I²C I / O エクスパンダ 6 1 5 のポート端子に接続されたすべての演出装置 (L E D などの装飾装置 6 2 0) を同時に制御することが可能であるので、I²C I / O エクスパンダ 6 1 5 のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

【 0 3 2 7 】

そして、各装飾制御装置 6 1 0 に備わる I²C I / O エクスパンダ 6 1 5 同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。すなわち、各装飾制御装置 6 1 0 に備わる I²C I / O エクスパンダ 6 1 5 は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

10

20

30

40

50

【 0 3 2 8 】

したがって、各装飾制御装置 6 1 0 を統括する演出制御装置 5 5 0 は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

【 0 3 2 9 】

リセット信号発生回路 6 3 9 には、 I^2C I/O エクスパンダ 6 1 5 に電源を供給する接続線 V_{cc} に接続される V_{cc} 端子、及び外部からのリセット信号を受け付ける $RESET$ 端子が接続されている。

【 0 3 3 0 】

リセット信号発生回路 6 3 9 は、 I^2C I/O エクスパンダ 6 1 5 に電源が投入され、電圧が所定値まで立ち上がると、リセット信号を発生させ、発生させたりセット信号をバスコントローラ 6 3 4、出力設定レジスタ 6 3 5、及び出力コントローラ 6 3 6 に入力することによって初期化する。

10

【 0 3 3 1 】

なお、外部から LOW レベルのリセット信号が入力された場合には、リセット信号発生回路 6 3 9 はリセット信号を出力するので、演出制御装置 5 5 0 の CPU 5 5 1 から、 NOR ゲート回路 5 6 1 を経由して、 $RESET$ 端子からリセット信号を入力するようにしてもよい。 $RESET$ 端子を使用しない場合には、図 1 9 及び図 2 0 に示すように $RESET$ 端子は $HIGH$ にプルアップされていてもよい。

【 0 3 3 2 】

バス監視 WDT 6 4 0 は、他の I^2C I/O エクスパンダ 6 1 5 が接続線 SDA を占有していることを検出するために用いられる。バス監視 WDT 6 4 0 は、フィルタ 6 3 1 とバスコントローラ 6 3 4 との間に接続され、接続線 SDA の信号レベルを取り込んで、連続して LOW レベルとなっている時間を計測する。さらに、バス監視 WDT 6 4 0 は、リセット信号発生回路 6 3 9 に接続されており、接続線 SDA が占有されてから所定の時間が経過すると、自身のリセット信号発生回路 6 3 9 を作動させて、当該 I^2C I/O エクスパンダ 6 1 5 を初期化する。

20

【 0 3 3 3 】

なお、接続線 SDA は、他の I^2C I/O エクスパンダ 6 1 5 にも接続されているので、接続線 SDA が接続された全ての I^2C I/O エクスパンダ 6 1 5 において、接続線 SDA の占有状態が検出されることになる。そして、これらの I^2C I/O エクスパンダ 6 1 5 の内部に備えられたリセット信号発生回路 6 3 9 が作動することにより、接続線 SDA が接続されているすべての I^2C I/O エクスパンダ 6 1 5 が初期化される。

30

【 0 3 3 4 】

自己占有 WDT 6 4 1 は、自身 (I^2C I/O エクスパンダ 6 1 5) による接続線 SDA の占有を検出するために使用される。バスコントローラ 6 3 4 は、ドライバ 6 3 2 を作動して接続線 SDA をロウレベルに駆動させている間は、自己占有 WDT 6 4 1 を作動させ、接続線 SDA をロウレベルに駆動させていない間は、自己占有 WDT 6 4 1 を停止させる。そして、自己占有 WDT 6 4 1 が一定時間連続して作動すると、自己占有 WDT 6 4 1 は、リセット信号発生回路 6 3 9 にリセット信号を発生させて当該 I^2C I/O エクスパンダ 6 1 5 を初期化する。

40

【 0 3 3 5 】

これにより、バスコントローラ 6 3 4 自身が接続線 SDA をロウレベルに駆動させている期間 (当該 I^2C I/O エクスパンダ 6 1 5 が接続線 SDA を占有している期間) を、監視することが可能となる。自己占有 WDT 6 4 1 は、マスタ IC から受信したデータに対する返答信号 (ACK , $NACK$) を送信するために接続線 SDA を占有するタイミングで時間の計測を開始し、所定の時間が経過すると、リセット信号発生回路 6 3 9 にリセット信号を発生させる。この構成により、自己占有 WDT 6 4 1 によって接続線 SDA の占有が検出された場合には、自身の I^2C I/O エクスパンダ 6 1 5 のみがリセットされる。

【 0 3 3 6 】

50

図19は、本発明の実施の形態の装飾装置620を制御する装飾制御装置610の I^2C I/Oエクスパンダ615周辺の回路図である。

【0337】

I^2C I/Oエクスパンダ615は、入力端子としてNC端子、RESET端子、SCL端子、SDA端子、Vcc端子、A0～A3端子、及びGND端子を備え、出力端子として、PORT0～PORT15を備える。

【0338】

RESET端子には、プルアップ抵抗Rを介して I^2C I/Oエクスパンダ615に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にHIGHに維持されている。

【0339】

SCL端子は接続線SCLに接続され、SDA端子は接続線SDAに接続される。

【0340】

Vcc端子には、 I^2C I/Oエクスパンダ615に供給される電源が接続される。さらに、Vcc端子には、電源ノイズを除去するコンデンサCPが接続される。

【0341】

A0端子～A3端子は、 I^2C I/Oエクスパンダ615に個別アドレスを設定するための端子である。なお、 I^2C I/Oエクスパンダ615の個別アドレスは、通常、4ビットで表現され、この端子に I^2C I/Oエクスパンダ615の電源が印加されている場合にはバスコントローラ634に「1」が設定され、この端子がグランドに接続されている場合にはバスコントローラ634に「0」が設定される。

【0342】

したがって、図19に示す I^2C I/Oエクスパンダ615の個別アドレスは「0100」となる。GND端子は、電圧をグランドするための端子である。

【0343】

PORT0端子～PORT15端子は、電流制限抵抗R0～R15を介してLED0～LED15からなる装飾装置620に接続される。なお、PORT0のように、ポート1個に対して1個のLEDを接続してもよいが、PORT1～15のように、ポート1個に対して複数個のLEDを接続してもよい。

【0344】

すべてのポートにLEDを1個ずつ設ける場合は、1個の I^2C I/Oエクスパンダ615によって、最大で16個のLEDを制御できることになる。また、各ポートに接続されるLEDの個数が異なる場合は、1個のポートに直列に接続されたすべてのLEDを1種類のLEDということにすれば、1個の I^2C I/Oエクスパンダ615によって、最大で16種類のLEDを制御できることになる。

【0345】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P（図18参照）のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0346】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

【0347】

なお、 I^2C I/Oエクスパンダ615のPORT0端子～PORT15端子には、LEDの代わりに、モータやソレノイドを接続して、このモータやソレノイドを遊技に用いる演出装置として構成することも可能である。以下、図20を参照しながら I^2C I/Oエクスパンダ615を用いてモータやソレノイドを制御する場合について説明する。

【 0 3 4 8 】

図 2 0 は、本発明の実施の形態の装飾制御装置 6 1 0 の $I^2C I / O$ エクスパンダ 6 1 5 周辺の回路図であり、モータやソレノイドを制御する場合を示す図である。

【 0 3 4 9 】

ここで使用されるモータはステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回動する。本発明の実施の形態では、モータの各相の信号端子が P O R T 0 端子 ~ P O R T 3 端子に接続される。

【 0 3 5 0 】

モータに接続されている P O R T 0 端子 ~ P O R T 3 端子に接続されるトランジスタ 6 3 8 A ~ 6 3 8 D のいずれかのゲートに対してドライバ 6 3 7 から電圧が印加されると、電圧が印加されたトランジスタ 6 3 8 A ~ 6 3 8 D のドレインからソースへ電流が流れることが可能になり、P O R T 0 端子 ~ P O R T 3 端子に接続されるモータに電流が流れ、役物駆動用のモータが駆動する。

10

【 0 3 5 1 】

なお、各 P O R T 0 端子 ~ P O R T 3 端子とモータとを接続する接続線は分岐し、分岐した一方の接続線は、モータに供給される電源にダイオード D 及びツェナダイオード Z D を介して接続される。

【 0 3 5 2 】

また、P O R T 端子 1 5 は、使用されるソレノイドに接続される。ソレノイドに接続されている P O R T 1 5 端子に接続されるトランジスタ 6 3 8 P のゲートに対してドライバ 6 3 7 から電圧が印加されると、電圧が印加されたトランジスタ 6 3 8 P のドレインからソースへ電流が流れることが可能になり、P O R T 1 5 端子に接続されるソレノイドに電流が流れ、ソレノイドによって駆動される図示しない演出装置が駆動する。

20

【 0 3 5 3 】

なお、図 2 0 では、 $I^2C I / O$ エクスパンダ 6 1 5 にモータ及びソレノイドの双方が接続されているが、一つの $I^2C I / O$ エクスパンダ 6 1 5 に対して、モータ及びソレノイドの少なくとも一方だけを接続した構成でもよい。

【 0 3 5 4 】

例えば、ステッピングモータだけを制御するグループとしての $I^2C I / O$ エクスパンダ 6 1 5 を専用に設けたり、ソレノイドだけを制御するグループとしての $I^2C I / O$ エクスパンダ 6 1 5 を専用に設けたりするようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

30

【 0 3 5 5 】

図 2 1 は、本発明の実施の形態の装飾制御装置 6 1 0、中継基板 6 0 0 及び簡易中継基板 1 6 0 0 の回路構成を説明するための図であり、特に、信号線や電源線の入出力に関する接続状態を説明するための図である。

【 0 3 5 6 】

本図においては、装飾制御装置 6 1 0、中継基板 6 0 0 及び簡易中継基板 1 6 0 0 のうち、分岐型の装飾制御装置 6 1 0 (例えば、装飾制御装置 6 1 0 A など) について説明を行うこととし、最後に、連結型の装飾制御装置 6 1 0、終端型の装飾制御装置 6 1 0、中継基板 6 0 0、簡易中継基板 1 6 0 0 との相違点の説明を行うことにする。

40

【 0 3 5 7 】

なお、本図においては、前述した分岐型の装飾制御装置 6 1 0 X に備えられる部品と、同一の付番を付けて説明を行う。

【 0 3 5 8 】

分岐型の装飾制御装置 6 1 0 は、上流コネクタ 6 1 1、下流コネクタ 6 1 2 (6 1 2 A、6 1 2 B)、及び $I^2C I / O$ エクスパンダ 6 1 5 を備える。

【 0 3 5 9 】

上流コネクタ 6 1 1 は、当該装飾制御装置 6 1 0 よりも上流の装飾制御装置 6 1 0 に接

50

続されるコネクタである。下流コネクタ 6 1 2 A 及び 6 1 2 B は、当該装飾制御装置 6 1 0 よりも下流側の装飾制御装置 6 1 0 に接続される。

【 0 3 6 0 】

二つの下流コネクタ 6 1 2 A、6 1 2 B に接続線 S D A を接続するために、上流コネクタ 6 1 1 から延びる内部接続線 S D A 2 1 1 1 は分岐 2 1 0 1 で第 1 接続線 S D A 2 1 2 1 と第 2 接続線 S D A 2 1 3 1 とに分岐する。第 1 接続線 S D A 2 1 2 1 は下流コネクタ 6 1 2 A に接続され、第 2 接続線 S D A 2 1 3 1 は下流コネクタ 6 1 2 B に接続される。

【 0 3 6 1 】

同じく、上流コネクタ 6 1 1 から延びる内部接続線 S C L 2 1 1 2 は分岐 2 1 0 2 で第 1 接続線 S C L 2 1 2 2 と第 2 接続線 S C L 2 1 3 2 とに分岐する。第 1 接続線 S C L 2 1 2 2 は下流コネクタ 6 1 2 A に接続され、第 2 接続線 S C L 2 1 3 2 は下流コネクタ 6 1 2 B に接続される。

【 0 3 6 2 】

さらに、接続線 S D A を I²C I / O エクスパンダ 6 1 5 に接続するために、第 2 接続線 S D A 2 1 3 1 は分岐 2 1 0 3 で分岐し、分岐した第 2 接続線 S D A 2 1 3 1 は I²C I / O エクスパンダ 6 1 5 の図 1 9 及び図 2 0 に示す S D A 端子に接続される。また、接続線 S C L を I²C I / O エクスパンダ 6 1 5 に接続するために、第 2 接続線 S C L 2 1 3 2 は分岐 2 1 0 4 で分岐し、分岐した第 2 接続線 S C L 2 1 3 2 は I²C I / O エクスパンダ 6 1 5 の図 1 9 及び図 2 0 に示す S C L 端子に接続される。以下、I²C I / O エクスパンダ 6 1 5、分岐 2 1 0 3 から I²C I / O エクスパンダ 6 1 5 に接続される接続線 S D A、及び分岐 2 1 0 4 から I²C I / O エクスパンダ 6 1 5 に接続される接続線 S C L を含む構成を I²C I / O エクスパンダ部 2 1 8 1 とする。

【 0 3 6 3 】

なお、I²C I / O エクスパンダ 6 1 5 には、I²C I / O エクスパンダ 6 1 5 の電源電圧となる電圧 V_{cc} が供給されている。また、図 2 1 では図示されていないが、I²C I / O エクスパンダ 6 1 5 からは、装飾制御装置 6 1 0 に設けられた L E D (装飾装置 6 2 0) を駆動する各ポート 0 ~ 1 5 の信号線 (図 1 9 参照) が出力されている。

【 0 3 6 4 】

さらに、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 が上流の装飾制御装置 6 1 0 に接続線 S D A を介して出力する信号、及び上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 に接続線 S D A を介して入力される信号のノイズを除去するために、内部接続線 S D A 2 1 1 1 にはツェナダイオード Z D 2 1 4 1 が接続されている。

【 0 3 6 5 】

具体的には、内部接続線 S D A 2 1 1 1 は分岐 2 1 0 5 で分岐し、分岐した内部接続線 S D A 2 1 1 1 はツェナダイオード Z D 2 1 4 1 のカソード側に接続され、ツェナダイオード Z D 2 1 4 1 のアノード側は接地されている。

【 0 3 6 6 】

このため、内部接続線 S D A 2 1 1 1 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード Z D 2 1 4 1 によって逃がされる。

【 0 3 6 7 】

また、上流の装飾制御装置 6 1 0 から、当該装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 2 1 1 2 にはツェナダイオード Z D 2 1 4 2 が接続されている。

【 0 3 6 8 】

具体的には、内部接続線 S C L 2 1 1 2 は分岐 2 1 0 6 で分岐し、分岐した内部接続線 S C L 2 1 1 2 はツェナダイオード Z D 2 1 4 2 のカソード側に接続され、ツェナダイオード Z D 2 1 4 2 のアノード側は接地されている。

【 0 3 6 9 】

このため、内部接続線 S C L 2 1 1 2 に印加された所定以上の電圧 (例えば、パルス性

10

20

30

40

50

のノイズ信号)は、ツェナダイオードZ D 2 1 4 2によって逃がされる。

【0370】

また、当該装飾制御装置610のI²C I/Oエキスパンダ615が、下流コネクタ612Aに接続された装飾制御装置610に接続線SDAを介して出力する信号、及び下流コネクタ612Aに接続された装飾制御装置610から装飾制御装置610のI²C I/Oエキスパンダ615へ接続線SDAを介して入力される信号のノイズを除去するために、第1接続線SDA2121にはツェナダイオードZ D 2 1 4 3が接続されている。

【0371】

具体的には、第1接続線SDA2121は分岐2107で分岐し、分岐した第1接続線SDA2121はツェナダイオードZ D 2 1 4 3のカソード側に接続され、ツェナダイオードZ D 2 1 4 3のアノード側は接地されている。

10

【0372】

このため、第1接続線SDA2121に印加された所定以上の電圧(例えば、パルス性のノイズ信号)は、ツェナダイオードZ D 2 1 4 3によって逃がされる。

【0373】

また、第1接続線SDA2121に接続されるツェナダイオードZ D 2 1 4 3と同じく、第2接続線SDA2131にもツェナダイオードZ D 2 1 4 5が接続される。

【0374】

また、装飾制御装置610のI²C I/Oエキスパンダ615から下流コネクタ612Aに接続された装飾制御装置610へ接続線SCLを介して入力される信号のノイズを除去するために、第1接続線SCL2122にはツェナダイオードZ D 2 1 4 4が接続されている。

20

【0375】

具体的には、第1接続線SCL2122は分岐2108で分岐し、分岐した第1接続線SCL2122はツェナダイオードZ D 2 1 4 4のカソード側に接続され、ツェナダイオードZ D 2 1 4 4のアノード側は接地されている。

【0376】

このため、第1接続線SCL2122に印加された所定以上の電圧(例えば、パルス性のノイズ信号)は、ツェナダイオードZ D 2 1 4 4によって逃がされる。

【0377】

また、第1接続線SCL2122に接続されるツェナダイオードZ D 2 1 4 4と同じく、第2接続線SCL2132にもツェナダイオードZ D 2 1 4 6が接続される。

30

【0378】

さらに、当該装飾制御装置610のI²C I/Oエキスパンダ615に電源電圧を供給する接続線Vccに接続される上流コネクタ601のVcc端子から延びる内部接続線Vcc2171と、上流コネクタ601のGND端子から延び、接地されている内部接続線GND2172とは、平滑コンデンサC2161及びバイパスコンデンサCP2162を介して接続されている。

【0379】

平滑コンデンサC2161は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサCP2162は、電源の電圧のノイズを除去するためのコンデンサである。

40

【0380】

このため、装飾制御装置610のI²C I/Oエキスパンダ615に供給される電源電圧は、平滑コンデンサC2161により電圧が平滑化され、バイパスコンデンサCP2162によりノイズが除去されて、I²C I/Oエキスパンダ615に供給される。

【0381】

同じく、下流コネクタ612A、612BのVcc端子から延びる内部接続線Vcc2173と、GND端子から延びる内部接続線GND2174とは、平滑コンデンサC2161及びバイパスコンデンサCP2162を介して接続されている。これによって、平滑

50

化され、ノイズが除去された電圧が下流の装飾制御装置 6 1 0 に接続される接続線 V c c に印加される。

【 0 3 8 2 】

以上、分岐型の装飾制御装置 6 1 0 について説明を行ったが、次に、連結型の装飾制御装置 6 1 0 について説明する。

【 0 3 8 3 】

なお、下流コネクタ 6 1 2 A に加え、接続線 S D A に接続されるツェナダイオード Z D 2 1 4 3、及び接続線 S C L に接続されるツェナダイオード Z D 2 1 4 4、内部接続線 V c c 2 1 7 3、内部接続線 G N D 2 1 7 4、平滑コンデンサ C 2 1 6 1 及びバイパスコンデンサ C P 2 1 6 2 を備える構成を第 1 の下流コネクタ部 2 1 8 2 とする。

10

【 0 3 8 4 】

また、下流コネクタ 6 1 2 B に加え、接続線 S D A に接続されるツェナダイオード Z D 2 1 4 5、及び接続線 S C L に接続されるツェナダイオード Z D 2 1 4 6、内部接続線 V c c 2 1 7 3、内部接続線 G N D 2 1 7 4、平滑コンデンサ C 2 1 6 1 及びバイパスコンデンサ C P 2 1 6 2 を備える構成を第 2 の下流コネクタ部 2 1 8 3 とする。

【 0 3 8 5 】

装飾制御装置 6 1 0 が連結型の場合には、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

【 0 3 8 6 】

そのため、内部接続線 S D A 2 1 1 1 及び内部接続線 S C L 2 1 1 2 は、分岐 2 1 0 3、2 1 0 4 では分岐しない構成となり、第 2 接続線 S D A 2 1 3 1 及び第 2 接続線 S C L 2 1 3 2 は存在しない点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

20

【 0 3 8 7 】

また、連結型の装飾制御装置 6 1 0 は、第 2 の下流コネクタ部 2 1 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【 0 3 8 8 】

次に、終端型の装飾制御装置 6 1 0 について説明する。

【 0 3 8 9 】

装飾制御装置 6 1 0 が終端型の場合には、基板内に下流コネクタを備えない構成となるので、下流コネクタ 6 1 2 A、6 1 2 B がともに存在しない。

30

【 0 3 9 0 】

そのため、内部接続線 S D A 2 1 1 1 及び内部接続線 S C L 2 1 1 2 は、分岐 2 1 0 1、2 1 0 2、2 1 0 3、2 1 0 4 で分岐することなく、I²C I / O エクスパンダ 6 1 5 へ接続される点が、分岐型の装飾制御装置 6 1 0 とは異なる構成となる。

【 0 3 9 1 】

また、終端型の装飾制御装置 6 1 0 は、第 1 の下流コネクタ部 2 1 8 2 及び第 2 の下流コネクタ部 2 1 8 3 を構成する電子部品が存在しない点も、分岐型の装飾制御装置 6 1 0 と異なる構成となる。他の構成は分岐型の装飾制御装置 6 1 0 と同様の構成となる。

【 0 3 9 2 】

40

次に、中継基板 6 0 0 について説明する。

【 0 3 9 3 】

中継基板 6 0 0 は、連結型の装飾制御装置 6 1 0 と同様に、基板内に一つの下流コネクタのみを備える構成となるので、下流コネクタ 6 1 2 A は存在するが下流コネクタ 6 1 2 B が存在しない。

【 0 3 9 4 】

そのため、内部接続線 S D A 2 1 1 1 及び内部接続線 S C L 2 1 1 2 は、分岐 2 1 0 3、2 1 0 4 では分岐しない構成となり、第 2 接続線 S D A 2 1 3 1 及び第 2 接続線 S C L 2 1 3 2 が存在しないので、連結型の装飾制御装置 6 1 0 と同様の構成となる。

【 0 3 9 5 】

50

ただし、中継基板 600 は、接続線 SDA 及び接続線 SCL の電圧をプルアップするためのプルアップ抵抗を備えている点で、連結型の装飾制御装置 610 と異なる。

【0396】

具体的には、図 21 に示すように、中継基板 600 では、第 1 マスタ IC 570a に接続される上流側の接続線 SDA、及び装飾制御装置 610 に接続される下流側の接続線 SDA の電圧をプルアップするためのプルアップ抵抗 R2151 が、第 1 接続線 SDA2121 に接続される。同じく、第 1 マスタ IC 570a に接続される上流側の接続線 SCL、及び装飾制御装置 610 に接続される下流側の接続線 SCL の電圧をプルアップするためのプルアップ抵抗 R2152 が、第 1 接続線 SCL2122 に接続される。

【0397】

より詳しく説明すると、第 1 接続線 SDA2121 は分岐 2109 で分岐し、分岐した第 1 接続線 SDA2121 はプルアップ抵抗 R2151 に接続される。同じく第 1 接続線 SCL2122 は分岐 2110 で分岐し、分岐した第 1 接続線 SCL2122 はプルアップ抵抗 R2152 に接続される。以下、接続線 SDA の電圧をプルアップするためのプルアップ抵抗 R2151、及び接続線 SCL の電圧をプルアップするためのプルアップ抵抗 R2152 をあわせてプルアップ抵抗部 2180 とする。

【0398】

次に、簡易中継基板 1600 について説明する。

【0399】

簡易中継基板 1600 は、分岐型の装飾制御装置 610 と同様に、基板内に複数の下流コネクタ（下流コネクタ 612A、612B）を備える。ただし、簡易中継基板 1600 は、I²C I/O エクスパンダ部 2181 に相当する回路を備えておらず、代わりに、中継基板 600 に備えている前述のプルアップ抵抗部 2180 に相当する回路が設けられている点が、分岐型の装飾制御装置 610 と異なる構成である。他の構成は分岐型の装飾制御装置 610 と同様の構成となる。

【0400】

なお、前述のプルアップ抵抗部 2180 の構成は、本実施形態では、中継基板 600 と簡易中継基板 1600 だけに設けられており、装飾制御装置 610 や演出制御装置 550 には設けていない構成となっているが、接続線 SDA 及び接続線 SCL のレベルが正しく生成できるのであれば、装飾制御装置 610 や演出制御装置 550 に設けられていてもよい。要するに、プルアップ抵抗 R2151 及び R2152 は、接続線 SDA 及び接続線 SCL を駆動するトランジスタのドレインの端子に電圧 Vcc を供給可能な箇所に備えられていればよい。

【0401】

例えば、プルアップ抵抗 R2151 及び R2152 が第 1 マスタ IC 570a に備えられていれば、中継基板 600、簡易中継基板 1600 若しくは装飾制御装置 610 内にプルアップ抵抗部 2180 が備えられている必要はない。

【0402】

図 22 は、本発明の実施の形態の演出制御装置 550 から装飾制御装置 610 に出力されるデータに含まれるスレーブアドレス 2200 の説明図である。

【0403】

スレーブアドレス 2200 は、上位 3 ビットからなる固定アドレス部 2201 及び下位 5 ビットからなる可変アドレス部 2202 によって構成される。

【0404】

固定アドレス部 2201 は、「110」の値があらかじめ設定され、I²C I/O エクスパンダ 615 によって変更することができない。

【0405】

可変アドレス部 2202 は、I²C I/O エクスパンダ 615 によって設定可能である。可変アドレス部 2202 は、制御対象となる I²C I/O エクスパンダ 615 の A0 ~ A3 の端子に設定されているパターンに対応した 4 ビットの I²C I/O エクスパンダア

10

20

30

40

50

ドレス 2203 と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R/W 識別データ 2204 とによって構成される。

【0406】

演出制御装置 550 から装飾制御装置 610 に出力される演出制御データは、書き込み要求であるので、R/W 識別データ 2204 には、通常「0」が登録される。

【0407】

図 23 は、本発明の実施の形態の I²C I/O エクスパンダアドレステーブル 2300 の説明図である。

【0408】

I²C I/O エクスパンダアドレステーブル 2300 は、第 1 マスタ IC 570a によって管理されるテーブルである。I²C I/O エクスパンダアドレステーブル 2300 は、スレーブアドレス 2301 と I²C I/O エクスパンダアドレス 2302 との対応関係を示している。

10

【0409】

スレーブアドレス 2301 には、演出制御装置 550 により送受信の対象として指定される装飾制御装置 610 のスレーブアドレスが格納されている。スレーブアドレスは、図 20 で前述したように、上位 3 ビットからなる固定アドレス部と、4 ビットの I²C I/O エクスパンダアドレスと、1 ビットの R/W 識別データとを組み合わせで構成される。

【0410】

I²C I/O エクスパンダアドレス 2302 には、図 19 や図 20 で前述したように、各スレーブアドレスに対応する 4 ビットの I²C I/O エクスパンダアドレスが登録される。

20

【0411】

ただし、I²C I/O エクスパンダアドレスのうち、アドレス「1000」及びアドレス「1011」（図 23 の網掛けされたエントリ）は、各 I²C I/O エクスパンダ 615 を相互に識別するための固有のアドレスとしては使用できない。

【0412】

アドレス「1000」は、すべての装飾制御装置 610 に対して共通の指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。アドレス「1011」は、ソフトウェアによって、第 1 マスタ IC 570a に接続されているすべての装飾制御装置 610 を無条件にリセットする場合に用いられる共通アドレスである。

30

【0413】

以上のように、装飾制御装置 610 の I²C I/O エクスパンダ 615 に設定可能なアドレスは 14 個であるため、演出制御装置 550 は、14 個の I²C I/O エクスパンダ 615 を制御することができる。また、各装飾制御装置 610 には、PORT0 ~ PORT15 が備えられているので、16 個（言い換えれば 16 種類）の LED を制御することが可能である。よって、演出制御装置 550 は、224 個（言い換えれば 224 種類）の LED を制御することが可能である。

【0414】

40

図 24 は、本発明の実施の形態の I²C I/O エクスパンダ 615 に備えられる出力設定レジスタ 635 に割り当てられたワークレジスタを説明するための図である。

【0415】

I²C I/O エクスパンダ 615 の出力設定レジスタ 635 には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。

【0416】

ワークレジスタは、I²C I/O エクスパンダ 615 に対してあらかじめ定義されている設定を行うための情報や、I²C I/O エクスパンダ 615 に接続されている演出装置（装飾装置 620、例えば、LED）の出力態様を特定するための情報を記憶するものである。

50

【0417】

また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶する。なお、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、記憶領域毎に異なるレジスタ番号が付与されている。

【0418】

レジスタ番号「00h」及びレジスタ番号「01h」は、 I^2C I/Oエクスパンダ615の初期設定を行うためのモードレジスタに対応する。レジスタ番号「00h」の記憶領域にはレジスタ名「MODE1」が付与されている。また、レジスタ番号「01h」の記憶領域にはレジスタ名「MODE2」が付与されている。レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、 I^2C I/O 10
エクスパンダ615の初期設定が行われる。

【0419】

なお、「MODE2」のレジスタのビット3（OCH）は、 I^2C I/Oエクスパンダ615の出力設定レジスタ635に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。本発明の実施の形態では、図18にて説明したように、「0」が設定されており、ストップコンディションを受信した時点で出力設定レジスタ635に格納された演出制御データを出力し、演出装置の出力状態を実際に制御するように設定されている。

【0420】

レジスタ番号「02h」～「11h」（レジスタ名「PWM0」～「PWM15」）には、装飾装置620に含まれるLEDなどの制御対象のパラメータが設定される。レジスタ番号「02h」～「11h」の記憶領域のいずれかに値が書き込まれると、 I^2C I/O 20
エクスパンダ615に接続される発光装置（装飾装置620）を構成する16個のLEDのうち、値が書き込まれたレジスタ番号に対応するLEDの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「02h」の記憶領域に値が書き込まれた場合には、図19に示すポート0に接続されたLED0の輝度が調整される。

【0421】

なお、 I^2C I/Oエクスパンダ615は、前述のように、モータやソレノイドといった可動物を制御することも可能である。 I^2C I/Oエクスパンダ615にソレノイドが 30
接続される場合には、ソレノイドが接続されるポートに対応するレジスタ番号には、ソレノイドを通电させて作動させるか、通电せずに未作動の状態にするかを示す値が書き込まれる。また、 I^2C I/Oエクスパンダ615にモータが接続される場合には、モータが接続されるポートに対応するレジスタ番号には、モータの目標回転位置を示す値が書き込まれる。

【0422】

レジスタ番号「12h」（レジスタ名「GRPPWM」）及びレジスタ番号「13h」（レジスタ名「GRPFRQ」）には、制御対象全体の動作パターンなどを指定するパラメータが設定される。レジスタ番号「12h」及び「13h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED（16個のLED）全体の点滅パターンが 40
設定される。具体的には、レジスタ番号「12h」には、LED全体のオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「13h」には、LED全体の点滅周期が設定される。

【0423】

レジスタ番号「14h」（レジスタ名「LEDOUT0」）～「17h」（レジスタ名「LEDOUT3」）には、各ポートで制御されるLEDの出力状態が設定される。各レジスタには、それぞれ4つつつLEDの出力状態を設定することが可能となっている。

【0424】

レジスタ番号「14h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED0～LED3の出力状態が設定される。同様に、レジスタ番号「15h」の記憶領域にはLED4～LED7の出力状態、レジスタ番号「16h」の記憶領域にはLED 50

8 ~ L E D 1 1 の出力状態、レジスタ番号「 1 7 h 」の記憶領域には L E D 1 2 ~ L E D 1 5 の出力状態が設定される。

【 0 4 2 5 】

レジスタ番号「 1 8 h 」 ~ 「 1 A h 」 (レジスタ名「 S U B A D R 1 」 ~ 「 S U B A D R 3 」) にはサブアドレスが設定される。レジスタ番号「 1 8 h 」 ~ 「 1 A h 」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第 1 サブアドレス ~ 第 3 サブアドレスが設定される。

【 0 4 2 6 】

レジスタ番号「 1 B h 」 (レジスタ名「 A L L C A L L A D R 」) にはすべての装飾制御装置 6 1 0 に対する指令を出力するためのオールコールアドレスが設定される。オールコールアドレスは、例えば、電源投入時などにすべての装飾制御装置 6 1 0 で初期化処理を実行する場合などに使用される。

10

【 0 4 2 7 】

図 2 5 は、本発明の実施の形態のマスタ I C が接続線 S D A 及び接続線 S C L を介してデータを出力するスタート条件及びストップ条件の説明図である。

【 0 4 2 8 】

接続線 S C L は、データの非送信時には信号レベルが H I G H になっている。マスタ I C は、装飾制御装置 6 1 0 にデータを出力する際に、接続線 S C L の信号レベルを L O W から H I G H に変化させ、装飾制御装置 6 1 0 が接続線 S D A のデータを取り込むためのストロブ信号として作用させる。

20

【 0 4 2 9 】

接続線 S D A は、データの非送信時には信号レベルが H I G H になっており、接続線 S C L のクロック信号に合わせて接続線 S D A からデータが出力される。

【 0 4 3 0 】

マスタ I C は、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【 0 4 3 1 】

装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、接続線 S D A 及び接続線 S C L からスタート条件となる信号が入力されると、データの出力が開始されることを認識する。

30

【 0 4 3 2 】

マスタ I C は、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを L O W から H I G H に変化させることで、データの出力が終了することを示すストップ条件となる信号を出力する。

【 0 4 3 3 】

装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 は、ストップ条件となる信号が入力されると、データの出力が終了することを認識する。本発明の実施の形態では、前述のように、装飾制御装置 6 1 0 がストップ条件となる信号を受信すると、当該装飾制御装置 6 1 0 が制御する演出装置 (装飾装置 6 2 0) の制御を開始する。

40

【 0 4 3 4 】

図 2 6 は、本発明の実施の形態のマスタ I C から出力されたデータが入力された装飾制御装置 6 1 0 が返答信号を出力するタイミングチャートである。

【 0 4 3 5 】

装飾制御装置 6 1 0 は、スタート条件が成立してから接続線 S C L の信号レベルの変化回数を計数し、接続線 S C L のクロック信号に合わせて接続線 S D A から入力されるデータを取り込む。

【 0 4 3 6 】

そして、装飾制御装置 6 1 0 は、スタート条件が成立してから接続線 S C L の信号レベルの変化回数が 9 回に達する直前に、返答信号をマスタ I C に接続線 S D A を介して出力

50

する。換言すると、装飾制御装置 610 は、接続線 SDA から 8 ビット目のデータを取り込んだ後に、接続線 SCL の信号レベルが HIGH から LOW に変化する契機に、当該接続線 SDA を介して返答信号を出力する。

【0437】

なお、図 26 に示すように、データの受信に成功したことを示す返答信号 (ACK の返答信号) は LOW レベルによって示され、データの受信に失敗したことを示す返答信号 (NACK の返答信号、図では ACK 出力なしに相当) は HIGH レベルによって示される。

【0438】

また、マスタ IC は、スタート条件が成立してから接続線 SCL の信号レベルが 8 回変化すると、接続線 SDA を解放することによって、装飾制御装置 610 から返答信号の入力を待機する。そして、マスタ IC は、接続線 SDA を解放したまま、接続線 SCL の信号レベルを変化させて、装飾制御装置 610 からの返答信号を取り込む。

【0439】

図 27 は、本発明の実施の形態のマスタ IC が演出制御データを出力する場合の接続線 SDA 及び接続線 SCL の信号レベルのタイミングチャートである。

【0440】

まず、マスタ IC は、データの出力を開始する場合には、接続線 SCL の信号レベルを HIGH に維持したまま、接続線 SDA の信号レベルを HIGH から LOW に変化させることによって、スタート条件を示す信号を出力し、データの出力を開始することを装飾制御装置 610 に通知する。

【0441】

次に、マスタ IC は、合計 7 ビットからなる制御対象となる装飾制御装置 610 のスレーブアドレスを出力する。さらに、マスタ IC は、読み出し要求である書き込み要求であるかを示す情報を 8 ビット目に出力する。

【0442】

そして、マスタ IC は、接続線 SCL の信号レベルが 9 回目に HIGH になるときに、装飾制御装置 610 から返答信号が入力されるので、ACK の返答信号であれば接続線 SDA の信号レベルが LOW に変化し、NACK の返答信号であれば接続線 SDA の信号レベルが HIGH に変化する。

【0443】

次に、マスタ IC は、アドレスデータの出力後、8 の倍数となるビット数でデータを出力する。さらに、データの 8 ビット目を出力した後、ACK の返答信号が入力されるのを待ってデータの 9 ビット目を出力する。以降、8 の倍数番目に相当するビットのデータを出力すると、ACK の返答信号が入力されるのを確認してから、(8 の倍数 + 1) 番目のビットを出力し、全データが出力されるまで繰り返す。

【0444】

なお、マスタ IC は、データの 8 の倍数番目となるビットを出力した後、所定時間経過しても ACK の返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線 SDA を介して、再度アドレスデータを出力し、ACK の返答信号を確認しながら、もう一度、データを 1 ビット目から出力する。

【0445】

また、マスタ IC は、データの最後のビットのデータを出力した後、ACK の返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

【0446】

なお、図 27 では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計 24 ビット (スレーブアドレス 8 ビット、データ 16 ビット) のデータを出力しているが、送信するデータのサイズに応じて、24 ビット以上であってもよいし、24 ビット以下であってもよい。

10

20

30

40

50

【 0 4 4 7 】

図 2 8 は、本発明の実施の形態のマスタ I C が、スレーブの個別アドレスを指定して装飾制御装置 6 1 0 に演出制御データを設定する場合において、マスタ I C と I²C I / O エクスパンダ 6 1 5 との間で送受信されるデータのフォーマットを説明する図である。

【 0 4 4 8 】

最初に出力される 8 ビットのデータ 2 8 0 1 には、データ送信の対象となる装飾制御装置 6 1 0 のアドレス「A 0 ~ A 6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R / W 識別データとが含まれる。アドレス「A 0 ~ A 6」のうち、「A 4 ~ A 6」は値「1 1 0」となる固定アドレス部であり、「A 0 ~ A 3」は I²C I / O エクスパンダ 6 1 5 の A 0 ~ A 3 の端子に設定されている個別アドレスに相当する（図 1 9 参照）。なお、データ 2 8 0 1 は、図 2 7 における「ADDRESS」及び「R / W」に対応するデータである。

10

【 0 4 4 9 】

次に出力される 8 ビットのデータ 2 8 0 2 には、I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5（図 1 8 参照）に割り当てられているコントロールレジスタへの設定データが含まれる。データ 2 8 0 2 は、図 2 7 において 1 番目に送信される「DATA」に対応するデータである。

【 0 4 5 0 】

ここで、コントロールレジスタについて説明する。コントロールレジスタは 8 ビットからなり、上位 3 ビット「A I 0 ~ A I 2」が出力設定レジスタ 6 3 5 のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位 5 ビット「D 0 ~ D 4」がワークレジスタにおけるアクセス開始位置（書き込みを開始する先頭位置、又は読み出しを開始する先頭位置）を指定するレジスタアドレスである。

20

【 0 4 5 1 】

自動書込パラメータは、マスタ I C によって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス（オートインクリメントを禁止）するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス（オートインクリメントを許可）するのかを指定するパラメータであり、具体的には「0 0 0」、「1 0 0」、「1 0 1」、「1 1 0」、「1 1 1」の何れかの値を設定することができる。

【 0 4 5 2 】

自動書込パラメータに「0 0 0」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセスし、開始位置以外の領域はアクセスしない。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域のみがアクセスされ、他の記憶領域にはアクセスされない。すなわち、特定のレジスタアドレスの記憶領域の値のみを変更する場合に使用される。複数のレジスタアドレスの記憶領域の値を連続して変更する場合には、以下に示すように、オートインクリメントを許可することによって、アドレスの指定を省略することができる。

30

【 0 4 5 3 】

自動書込パラメータに「1 0 0」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1 B h」となる記憶領域をアクセスした後は、レジスタ番号が「0 0 h」となる記憶領域をアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」→「1 6 h」→・・・→「1 B h」→「0 0 h」→「0 1 h」→・・・となる領域（すなわち、すべての領域）を、繰り返しアクセスする。

40

【 0 4 5 4 】

自動書込パラメータに「1 0 1」の値を設定すると、自動書込パラメータに「1 0 0」

50

の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「11h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」となる記憶領域をアクセスし、以降、レジスタ番号が「02h」～「11h」となる区間の記録領域（LEDの輝度調整に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」→「16h」→・・・→「1Bh」→「00h」→「01h」→・・・となる領域を、順にアクセスする。そして、レジスタ番号が「11h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」→「03h」→・・・→「11h」→「02h」→「03h」→・・・となる領域を、繰り返

10

【0455】

自動書込パラメータに「110」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「12h」となる記憶領域をアクセスし、以降、レジスタ番号が「12h」～「13h」となる区間の記録領域（LEDの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域をアクセスした後は、レジスタ番号が「15h」→「16h」→・・・→「1Bh」→「00h」→「01h」→・・・となる領域を、順にアクセスする。そして、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「12h」→「13h」→「12h」→「13h」→・・・となる領域を、繰り返しアクセスする。

20

【0456】

自動書込パラメータに「111」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域をアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。ただし、一旦、レジスタ番号が「13h」となる記憶領域をアクセスした後は、レジスタ番号が「02h」となる記憶領域をアクセスし、以降、レジスタ番号が「02h」～「13h」となる区間の記録領域（LEDの輝度及び点滅周期に関する領域）を繰り返

30

【0457】

ここで、図28の説明に戻ると、コントロールレジスタの設定データ2802に続いて、ワークレジスタの設定データ2803が出力される。設定データ2803は、図27において2番目以降に送信される「DATA」に対応するデータである。

40

【0458】

自動書込パラメータを「000」とした場合には、設定データ2803は、レジスタアドレスが指定する1箇所の記憶領域を更新するための8ビットのデータとなる。自動書込パラメータを「000」以外の値とした場合には、この設定データ2803は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な8の倍数となるビットのデータとなる。

【0459】

図29は、本発明の実施の形態のマスタICが、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタICとI²C I/Oエクスパンダ615との間で送受信される演出制御データに具体的な数値を適用した図で

50

ある。図 29 では、オートインクリメントを禁止して、ワークレジスタの特定の記憶領域を 1 箇所だけを更新する演出制御データを示しており、具体的には、 I^2C I/O エクスパンダ 615 の PORT0 端子 ~ PORT3 端子に接続される LED の発光状態を更新する場合について説明する。

【0460】

まず、最初に出力される 8 ビットのデータ 2901 には、送信先の装飾制御装置 610 の I^2C I/O エクスパンダ 615 のスレーブアドレスを示す「1101100」が割り当てられている。

【0461】

次に出力される 8 ビットのデータ 2902 には、自動書込パラメータ、及び LED の出力データを設定するために割り当てられている I^2C I/O エクスパンダ 615 の出力設定レジスタ 635 のコントロールレジスタに設定される値が含まれる。

【0462】

ここでは、 I^2C I/O エクスパンダ 615 の PORT0 端子 ~ PORT3 端子に接続される LED の発光状態を設定するので、レジスタアドレスには LEDOUT0 (アドレス = 10100) を指定することにする。

【0463】

なお、自動書込パラメータには、オートインクリメントを禁止するために「000」が指定されている。

【0464】

次に、出力される 8 ビットのデータ 2903 には、送信先の装飾制御装置 610 によって制御される装飾装置 620 の発光態様を設定するデータが含まれる。具体的には、LEDOUT0 レジスタに設定されるデータが割り当てられている。これにより、 I^2C I/O エクスパンダ 615 の PORT0 端子 ~ PORT3 端子に接続される LED の発光状態 (点灯、消灯、点滅など) が指定され、指定された状態で LED が発光する。

【0465】

このようにして、 I^2C I/O エクスパンダ 615 の PORT0 端子 ~ PORT3 端子の LED の発光状態が制御されるが、 I^2C I/O エクスパンダ 615 の他の PORT 端子 (PORT4 ~ PORT15) も、コントロールレジスタデータ 2902 の値を指定して、出力データ 2903 を設定することで個別に制御可能である。PORT 端子に、モータやソレノイドが接続されていても、同様に制御される。

【0466】

図 30 は、本発明の実施の形態のマスタ IC の演出制御データを送信する順序を説明する図である。図 30 では、オートインクリメントを許可して、ワークレジスタのすべての記憶領域を更新する場合に、演出制御データに含まれる各データを送信する順序を規定している。

【0467】

まず、マスタ IC は、制御対象となる装飾制御装置 610 の個別アドレスを特定可能な 8 ビットのデータ (図 28 のデータ 2801 と同一フォーマットのデータ) を送信する。

【0468】

次に、マスタ IC は、制御対象の I^2C I/O エクスパンダ 615 の出力設定レジスタ 635 のコントロールレジスタに設定されるデータ (図 28 のデータ 2802 と同一フォーマットのデータ) を送信する。図 30 においては、オートインクリメントを許可してワークレジスタのすべての記憶領域を更新するため、自動書込パラメータには「100」が指定され、書き込み又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「00h」が指定される。

【0469】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置 610 の I^2C I/O エクスパンダ 615 においては、レジスタ番号「00h」の記憶領域 (モードレジスタ 1) が最初に更新されることになる。

10

20

30

40

50

【0470】

次に、マスタICは、コントロールレジスタ設定値の送信後、モードレジスタ1に書き込む値（合計8ビット）を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信するとモードレジスタ1の値を更新し、レジスタ番号をインクリメントして次の「01h」の記憶領域（モードレジスタ2）を更新するための準備をする。

【0471】

さらに、マスタICは、モードレジスタ2に書き込む値（合計8ビット）を送信し、以降、レジスタ番号が「02h」～「1Bh」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「00h」～「1Bh」のすべてのレジスタの値が更新される。

10

【0472】

なお、I²C I/Oエクスパンダ615は、ワークレジスタの最終となる「1Bh」の記憶領域を更新すると、レジスタ番号を「00h」に変更して、モードレジスタ1の更新を待つ状態となる。

【0473】

図31は、本発明の実施の形態のマスタICがI²C I/Oエクスパンダ615を初期化する場合に、マスタICからI²C I/Oエクスパンダ615に送信される初期化指示データのフォーマットを説明する図である。

20

【0474】

演出制御装置550のCPU551がマスタICに対して装飾制御装置610の初期化を行うように指示すると、マスタICは、配下に接続されているすべての装飾制御装置610に初期化指示データを送信する。

【0475】

最初に出力される8ビットのデータ3101には、図29に示す固定アドレス「110」と、共通アドレスであるリセットアドレス「1011」（図23参照）とが含まれる。なお、このデータ3101は、図27における「ADDRESS」に対応するものであり、「R/W」のビットには、書き込みを示す「0」が設定される。

30

【0476】

次に出力される8ビットのデータ3102には、第1所定値「10100101」が設定され、次に出力される8ビットのデータ3103には、第2所定値「01011010」が設定される。なお、データ3102は、図27において1番目に送信される「DATA」に対応し、データ3103は、図27において2番目に送信される「DATA」に対応する。

【0477】

マスタICに接続されるすべてのI²C I/Oエクスパンダ615は、リセットアドレス、第1所定値、及び第2所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【0478】

40

リセットアドレスの出力後に、さらに第1所定値及び第2所定値の両方を出力するようにした理由は、マスタICがリセットアドレス「1011」を送信していないにもかかわらず、ノイズなどの影響によってI²C I/Oエクスパンダ615が誤ってリセットアドレス「1011」を取り込むことによって、誤ったタイミングで初期化が実行されることを防止するためである。

【0479】

また、リセットアドレスは、個別アドレスとは異なって、すべて（換言すれば複数）のI²C I/Oエクスパンダ615に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを1回送信するだけで、すべて（複数）のI²C I/Oエクスパンダ615を選択して初期化することになるので、I²C I/Oエクスパンダ615を

50

個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

【0480】

なお、図31では、第1所定値と第2所定値とを異なる値としたが、同じ値であってもよい。また、第1所定値及び第2所定値のいずれかが1回送信されるようにしてもよい。

【0481】

図32は、本発明の実施の形態の第1マスタIC570aの異常判定テーブル3200を説明する図である。

【0482】

異常判定テーブル3200は、演出制御装置550のRAM553に格納される。異常判定テーブル3200は、演出制御装置550の第1マスタIC570aと、当該第1マスタIC570aに接続されるI²C I/Oエクスパンダ615との接続状態を監視するために設けられている。異常判定テーブル3200は、接続状態に応じて、各I²C I/Oエクスパンダ615に対応した情報が格納される。

10

【0483】

異常判定テーブル3200は、I/Oエクスパンダアドレス3201、スレーブアドレス3202、エラーカウンタ3203、比較値3204、及びエラーフラグ3205を含む。

【0484】

I/Oエクスパンダアドレス3201には、第1マスタIC570aに接続されるI²C I/Oエクスパンダ615のA0～A3の端子に設定されているアドレス(図19参照)に対応している。

20

【0485】

スレーブアドレス3202には、図23に示したI²C I/Oエクスパンダアドレステーブル2300に登録されているスレーブアドレスが登録される。

【0486】

エラーカウンタ3203は、第1マスタIC570aからI²C I/Oエクスパンダ615に演出制御データを送信し、当該I²C I/Oエクスパンダ615からACKを2回連続して受信できなかった場合にインクリメントされる。

【0487】

30

比較値3204には、I²C I/Oエクスパンダ615に障害が発生しているか否かを判定するために、エラーカウンタ3203の値と比較するための値が登録される。なお、比較値3204の値は、制御対象の演出装置の種類に応じて設定してもよい。

【0488】

エラーフラグ3205には、当該エントリのI²C I/Oエクスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

【0489】

I²C I/Oエクスパンダ615に障害が発生しているか否かを判定する方法について具体的に説明すると、エラーカウンタ3203の値が、比較値3204に設定された所定値に達した場合、エラーフラグ3205に「ON」が設定され、当該エントリに対応するI²C I/Oエクスパンダ615に障害が発生したことが登録される。

40

【0490】

本発明の実施の形態では、後述するように、演出制御データの出力処理(図37参照)は、VDP割込(約33.3ms周期)に同期して実行されるようにしている。

【0491】

前述したように、第1マスタIC570aからI²C I/Oエクスパンダ615への2回目の演出制御データの送信に対して、I²C I/Oエクスパンダ615からのACKが受信できなければ、エラーカウンタ3003がインクリメントされる。

【0492】

したがって、異常が発生している場合には、データ出力処理の実行周期が33.3ms

50

で、比較値 3004 が「300」であるので、 $33.3\text{ms} \times 300 = 10\text{s}$ で $I^2C I / O$ エクスパンダ 615 に関する異常が発生したことを検出する。

【0493】

図 33 は、本発明の実施の形態の第 2 マスタ IC 570b の異常判定テーブル 3300 を説明する図である。

【0494】

第 2 マスタ IC 570b の異常判定テーブル 3300 は、第 1 マスタ IC 570a の異常判定テーブル 3200 と同様に、演出制御装置 550 の RAM 553 に格納される。異常判定テーブル 3300 は、演出制御装置 550 の第 2 マスタ IC 570b と、当該第 2 マスタ IC 570b に接続される $I^2C I / O$ エクスパンダ 615 との接続状態を監視す

10

【0495】

本発明の実施の形態では、第 1 マスタ IC 570a と第 2 マスタ IC 570b の両方に接続される装飾制御装置 610 が存在しないため、制御対象の各装飾制御装置 610 の I / O エクスパンダアドレスがマスタ IC ごとに設定される。したがって、図 32 及び図 33 には、同じ値の I / O エクスパンダアドレスが設定されている。なお、 I / O エクスパンダアドレスには一つのアドレスのみ設定可能であるため、一つの装飾制御装置 610 を複数のマスタ IC が制御する場合には共通のアドレスを設定する必要がある。

20

【0496】

本発明の実施の形態のマスタ IC には、デバイスの動作を構成し、シリアルデータを送受信するために使用される複数のレジスタが備えられている。図 11 及び図 12 に示したコマンドレジスタ (REG) 581 は、このようなレジスタの一つであり、接続された装飾制御装置 610 にスタートコンディションやストップコンディションを出力することなどを指示する。

【0497】

演出制御装置 550 は、マスタ IC を介して装飾制御装置 (スレーブ) 610 に演出指示を送信し、各種演出処理を実行する。図 34 には各スレーブを初期化する手順、図 35 には各スレーブに演出制御データを送信する手順の概要を示す。

30

【0498】

図 34 は、本発明の実施の形態の各装飾制御装置 (スレーブ) を初期化 (リセット) 時に CPU 551 とマスタ IC (第 1 マスタ IC 570a 又は第 2 マスタ IC 570b) との間で送受信される情報を説明する図である。

【0499】

演出制御装置 550 の CPU 551 は、スレーブ初期化開始処理が開始されると、コマンド REG 581 のスタートコンディション (STA) 及びストップコンディション (STO) の実行を指示するビットに “1” を設定する (3401)。

【0500】

マスタ IC は、コマンド REG 581 に設定された情報 (STO、STA) に従って、制御対象の各装飾制御装置 (スレーブ) 610 に対し、まず先にストップコンディションを出力し、次いでスタートコンディションを出力する (3411)。ストップコンディションを出力することによってデータの送信が完了した旨を各スレーブに通知し、その後、スタートコンディションを出力することによって、各スレーブにおいてコマンドの入力を受け付ける準備を完了させる。

40

【0501】

マスタ IC は、スタートコンディションを出力すると、CPU 551 に割込信号 (INT) を入力して割込みを発生させる。割込みが発生した CPU 551 は、送信指示データの送信再開処理 (1) を開始する (3402)。送信指示データの送信再開処理 (1) では、出力用バッファ 572 にリセット用アドレスを設定する。リセット用アドレスは、各

50

スレーブをリセットするためにあらかじめ定められている固定アドレスである。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。

【0502】

マスタICは、出力用バッファ572に設定されたリセット用アドレスに対し、所定のデータ（リセット指令）を出力する（3412）。リセット指令は、図31にて説明した第1所定値（データ3102）及び第2所定値（データ3103）に対応する。

【0503】

マスタICは、リセット用アドレスを出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（2）を開始する（3403）。送信指示データの送信再開処理（2）では、出力用バッファ572にリセット指令の前半の値を設定する。リセット指令の前半の値は、図31にて説明した第1所定値（データ3102）に対応する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の前半の値を出力する（3413）。

【0504】

その後、マスタICは、リセット指令の前半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（3）を開始し（3404）、出力用バッファ572にリセット指令の後半の値を設定する。このとき、コマンドREG581のSTA及びSTOには“0”が設定される。マスタICは、出力用バッファ572に設定されたリセット指令の後半の値を出力する（3414）。リセット指令の後半の値は、図31にて説明した第2所定値（データ3103）に対応する。

【0505】

さらに、マスタICは、リセット指令の後半の値を出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、送信指示データの送信再開処理（4）を開始し（3405）、コマンドREG581のSTAに“0”、STOに“1”が設定し、マスタICにストップコンディションの出力を指示する。

【0506】

マスタICは、コマンドREG581に設定された情報に従って、各スレーブにストップコンディションを出力する（3415）。

【0507】

以上の処理によって、各スレーブが初期化される。なお、初期化に失敗した場合には（3406）、ステップ3402から処理を再開する。

【0508】

図35は、本発明の実施の形態の各装飾制御装置（スレーブ）に演出制御データを送信する際にCPU551とマスタIC（第1マスタIC570a又は第2マスタIC570b）との間で送受信される情報を説明する図である。

【0509】

演出制御装置550のCPU551は、演出制御を行う場合に、まず、コマンドREG581のスタートコンディション（STA）及びストップコンディション（STO）の実行を指示するビットに“1”を設定する（3501）。

【0510】

マスタICは、コマンドREG581のSTA及びSTOに設定された値（“1”）に基づいて、各スレーブにストップコンディションを出力し、その後、スタートコンディションを出力する（3511）。

【0511】

そして、マスタICは、スタートコンディションを各スレーブに出力すると、各スレーブで演出制御データを受信する準備が整うため、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、出力用バッファ572に制御対象のスレーブのアドレス及び制御内容を示す演出制御データを設定する（3502）。このと

10

20

30

40

50

き、コマンドREG581のSTA及びSTOには“0”を設定する。

【0512】

マスタICは、出力用バッファ572に設定されたアドレス及び演出制御データを各スレーブに出力する(3512)。このとき、出力されたアドレスに対応するスレーブは、受信した演出制御データに基づいて演出処理を実行する。

【0513】

そして、マスタICは、アドレス及び演出制御データを各スレーブに出力すると、CPU551に割込信号を入力して割込みを発生させる。割込みが発生したCPU551は、コマンドREG581のSTAに“1”、STOに“0”を設定する(3503)。その後、マスタICは、再度スタートコンディションを出力する、いわゆるリスタートコンディションを出力する(3513)。

10

【0514】

続いて、CPU551及びマスタICは、別のアドレスを指定して同様の処理を行う(3504、3514、3505、3515)。CPU551によって最後のn個めのスレーブに対する演出制御データの出力が完了し(3506)、さらに、マスタICが演出制御データに対応するスレーブに出力すると(3516)、全データの出力が完了したため、ストップコンディションを出力する。具体的には、マスタICが最終のスレーブに演出制御データを出力完了したときに、割込信号を入力してCPU551に割込みを発生させ、割込みが発生したCPU551は、コマンドREG581のSTAに“0”、STOに“1”を設定し(3507)、その後、マスタICがストップコンディションを出力する(3517)。

20

【0515】

図36は、本発明の実施の形態の演出制御装置550からマスタIC(第1マスタIC570a又は第2マスタIC570b)に演出制御データを送信する段階を説明する図である。

【0516】

演出制御装置550のCPU551は、後述するスレーブ出力データ編集処理が実行されると、RAM553に出力データ準備領域を確保し、出力データ準備領域に各スレーブに対する演出制御データを格納する。

【0517】

また、出力データ準備領域は、スレーブ毎にさらに領域が分割され、各スレーブに対応するアドレス及び演出内容に対応する演出制御データが格納される。具体的には、アドレスは図30に示した送信順序1のデータに対応し、演出制御データは図30に示した送信順序2から30までのデータに対応する。

30

【0518】

さらに、CPU551は、未送信の演出制御データが上書きされないように、出力データ退避領域をさらにRAM553に確保し、スレーブ出力データ退避処理によって出力データ準備領域に記憶されたデータを出力データ退避領域に退避させる。その後、退避されたデータは所定のタイミングでマスタICの出力用バッファ572に設定される。

【0519】

なお、出力データ準備領域及び出力データ退避領域はマスタICごとにRAM553に確保され、本発明の実施の形態では、第1マスタIC570a及び第2マスタIC570bに対応した領域がそれぞれ確保される。

40

【0520】

図37は、本発明の実施の形態の演出制御装置550による処理の手順を示すフローチャートである。

【0521】

図37に示す処理は、演出制御装置550のCPU551によって実行される。

【0522】

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ37

50

01～3706の処理を実行し、ステップ3707の処理でVDP556から画像更新周期と同期する同期信号（例えば、33.3ms秒周期の同期信号）が割込信号としてCPU551に入力されるまで待機する。そして、以降、VDP556から画像更新周期と同期する同期信号が割込信号としてCPU551に入力される毎に、ステップ3705～3721の処理を繰り返し実行する。

【0523】

まず、演出制御装置550は、演出制御装置550のRAM553の初期化などを含む初期化処理を実行する（3701）。このとき、後述する第1マスタIC570aに関する初期化段階番号と、第2マスタIC570bに関する初期化段階番号とを、ともに“0”に設定しておく。

10

【0524】

そして、演出制御装置550は、出力I/F558aとNORゲート回路561を介してリセットパルス（リセットパルス）を第1マスタIC570a及び第2マスタIC570bに入力し、第1マスタIC570a及び第2マスタIC570bをハード的に初期化する（3702）。

【0525】

続いて、演出制御装置550は、第1マスタIC570aに接続されたすべての装飾制御装置610のI²C I/Oエクスパンダ615を初期化するために、第1マスタIC570aから初期化指示データ（初期化指示データ）を出力する第1マスタIC570a側スレーブ初期化開始処理を実行する（3703）。同様に、第2マスタIC570bに接続されたすべての装飾制御装置610のI²C I/Oエクスパンダ615を初期化するために、第2マスタIC570bから初期化指示データ（初期化指示データ）を出力する第2マスタIC570b側スレーブ初期化開始処理を実行する（3704）。スレーブ初期化開始処理の詳細については、図38にて説明する。

20

【0526】

さらに、演出制御装置550は、第1マスタIC570に関する初期化段階番号と、第2マスタIC570bに関する初期化段階番号とが、ともに“0”になるまで待機する（3705）。初期化段階番号とは、第1マスタIC570a及び第2マスタIC570bの各々に関して初期化処理の進捗を示す番号であり、電源投入直後に演出制御装置550が起動した直後では“0”となっているが、初期化処理が開始されると、段階を追って“1”から“4”まで1つずつインクリメントされ、初期化処理が完了すると、再度、“0”に戻されるものである。なお、図42にて説明する初期化指示データの送信再開処理において、設定されている初期化段階番号の値に対応する処理が順次実行される。

30

【0527】

すべてのマスタ及びスレーブの初期化が完了すると、演出制御装置550は、VDP556から画像更新周期と同期する同期信号（VDP割込）の受け入れ、及びタイマ割り込みの受け入れを許可する（3706）。

【0528】

演出制御装置550は、図36にて説明したように、RAM553上に格納された演出制御データを上書きされないように退避するスレーブ出力データ退避処理を実行する（3707）。退避領域に退避された出力データは、前述したように、所定のタイミングでマスタICに設定される。

40

【0529】

そして、演出制御装置550は、表示装置53に画像を表示するために、VDP556に画像を表示させる指令となるデータを出力する（3708）。さらに、スピーカ30から音を遊技状態に応じて出力させるために、音制御データを音LSI557に出力する。音LSI557は、入力された音制御データに基づいてスピーカ30から音を出力させる（3709）。

【0530】

次に、演出制御装置550は、第1マスタIC570a及び第2マスタIC570bから装飾制御装置610に演出制御データを出力するスレーブ出力開始処理を実行する（3

50

710)。ここで制御される装飾制御装置610は、主としてLEDなどの発光体を制御するものであり、発光制御装置又は発光制御スレーブとされる。スレーブ出力開始処理の詳細については、図39にて後述する。

【0531】

演出制御装置550は、スレーブ出力開始処理が終了すると、VDP556に次に出力されるデータを編集し(3711)、さらに、音LSI557に出力される音制御データを編集する(3712)。

【0532】

さらに、演出制御装置550は、発光体を制御する装飾制御装置610に送信するための演出制御データを編集するスレーブ出力データ編集処理を実行する(3713)。スレーブ出力データ編集処理では、図36で説明したように、各スレーブの演出制御データを生成し、RAM553上に確保された出力データ準備領域に格納する。

10

【0533】

次に、演出制御装置550は、図32に示した異常判定テーブル3200を参照し、第1マスタIC570aに接続された発光制御スレーブに関するエラー判定処理を実行する(3714)。

【0534】

エラー判定処理では、演出制御装置550が、異常判定テーブル3200の発光制御スレーブに対応するエントリのエラーフラグ3205がすべて「ON」となっているか否か、つまりすべての発光制御スレーブでエラーが発生しているか否かを判定する。言い換えれば、エラーフラグ3205が「OFF」となっている発光制御スレーブが少なくとも1つ以上あるか否かを判定する。このエラー判定処理によって、すべての発光制御スレーブでエラーが発生していると判定された場合には、第1マスタIC570a及び第1マスタIC570aに接続されたすべての発光制御スレーブのリセットする条件が成立したものとされる。

20

【0535】

演出制御装置550は、ステップ3714のエラー判定処理の結果に基づいてリセット条件が成立しているか否かを判定する(3715)。前述のように、ステップ3714のエラー判定処理の時点ですべての発光制御スレーブのエラーフラグ3205が「ON」になっている場合には、リセット条件が成立したと判定される。

30

【0536】

演出制御装置550は、リセット条件が成立したと判定された場合には(3715の結果が「Y」)、第1マスタIC570aを初期化し(3716)、第1マスタIC570aに接続されるすべてのI²C I/Oエクスパンダ615(装飾制御装置610)に対して同時に初期化指示データを出力する第1マスタIC570a側スレーブ初期化開始処理を実行する(3717)。

【0537】

このように、リセット条件が成立したと判定された場合には、ステップ3717の処理で、第1マスタIC570aに接続されるすべてのI²C I/Oエクスパンダ615に対して、同時に初期化を指示する。すなわち、すべてのI²C I/Oエクスパンダ615を同時に選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことが可能となり、I²C I/Oエクスパンダ615を正常な状態へ迅速に復帰させることができる。このとき、CPU551がバス563を介してリセットREG573に初期化指示情報を書き込むことにより、第1マスタIC570aをソフト的にリセットする。

40

【0538】

なお、ステップ3715の処理でリセット条件成立と見なされた場合は、第1マスタIC570aにおいて異常が発生している可能性があるので、ステップ3716の処理で第1マスタIC570aも初期化するようにしている。

【0539】

50

第1マスタIC570aは、CPU551からの指令によって、接続線SDAとSCLの信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、第1マスタIC570a自身に異常が発生していることも考えられる。

【0540】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551（演算処理手段）により第1マスタIC570aが初期化される。これにより、第1マスタIC570aで異常が発生している場合であっても確実に第1マスタIC570aを制御可能にすることができる。

【0541】

さらに、演出制御装置550は、第2マスタIC570bについても同様に、エラー判定処理を実行し（3718）、リセット条件が成立しているか否かを判定する（3719）。そして、リセット条件が成立している場合には、第2マスタIC570bをリセットし（3720）、第2マスタIC570bに接続されたスレーブを初期化する第2マスタIC570b側スレーブ初期化開始処理を実行する（3721）。その後、VDP556から同期信号がCPU551に入力されるまで待機する。

【0542】

このように、図37に示した処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550の第1マスタIC570a及び第2マスタIC570bから装飾制御装置610のI²C I/Oエクスパンダ615に演出制御データを送信する。そして、I²C I/Oエクスパンダ615は、受信した演出制御データに基づいて装飾装置620を制御するため、表示装置53における演出と装飾装置620における演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【0543】

また、表示装置53の画像を更新する周期と同期して第1マスタIC570a及び第2マスタIC570bから送信された演出制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエクスパンダ615によってワークレジスタ（図24参照）の値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0544】

また、表示装置53の画像を更新する周期と同期して、ステップ3714及び3718でエラー判定処理を実行するので、エラーを判定する頻度を適切に設定することができる。すなわち、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大し、逆に、エラー判定処理の実行頻度が少なすぎると、異常の発生を適切なタイミングで検出できなくなる。表示装置53の画像を更新する周期と同期させてエラー判定を行うことによって、適切なタイミングでエラーを検出することが可能となり、各処理における不具合の発生に対して適切に対応することができる。

【0545】

図38は、本発明の実施の形態の第1マスタIC570a側のスレーブ初期化開始処理及び第2マスタIC570b側のスレーブ初期化開始処理の手順を示すフローチャートである。

【0546】

第1マスタIC570a側のスレーブ初期化開始処理は、図37のステップ3703及び3717で実行され、第2マスタIC570b側のスレーブ初期化開始処理は、同じくステップ3704又はステップ3721で実行される処理である。

【0547】

第1マスタIC570a側の初期化開始処理では、まず、演出制御装置550のCPU551は、マスタ割込み及びタイム割込みを禁止する（3801）。そして、初期化対象のマスタに第1マスタIC570aを選択する（3802）。

【0548】

また、第2マスタIC570b側のスレーブ初期化開始処理では、第1マスタIC570a側スレーブ初期化開始処理と同様に、CPU551は、マスタ割込み及びタイム割込みを禁止する(3811)。そして、初期化対象のマスタに第2マスタIC570bを選択する(3812)。

【0549】

以降の処理では、第1マスタIC570a側スレーブ初期化開始処理及び第2マスタIC570b側スレーブ初期化開始処理について、選択されたマスタに対して共通の処理が実行される。

【0550】

CPU551は、選択されたマスタの初期化段階番号に“1”を設定する(3803)。さらに、選択したマスタに関する監視タイマを設定し(3804)、タイムアウトの監視を開始する(3805)。

10

【0551】

CPU551は、選択されたマスタのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“0”を設定する(3806)。

【0552】

STAは、前述したように、スタートコンディションの出力を指示するためのビットであり、STOは、ストップコンディションの出力を指示するためのビットである。各ビットに“1”が設定されると、マスタICによって対応する信号が出力される。ステップ3806の処理では、スタートコンディション及びストップコンディションの両方の信号が出力される。

20

【0553】

SIは、前述のマスタ割込みの発生を報知するためのビットであり、“1”が設定されている場合にはマスタICからCPU551に割込みの発生が要求された状態となり、このビットが“0”に変更されるまで、割込みを発生させたマスタICは、処理を待機する状態となる。そして、CPU551によって、このビットに“0”を設定すると、CPU551に発生している割込みが解除され、処理を待機していたマスタICは、次に行われるべき処理を再開する。ステップ3806の処理では、“0”が設定されているため、割込みの発生が解除されて、処理を待機していたマスタICが動作を再開する。

【0554】

30

MODEは、データを送信するモードを指定するためのビットであり、“1”が設定されている場合には「バッファモード」、「0”が設定されている場合には「バイトモード」が指定される。ステップ3806の処理では、“0”が設定されているため、バイトモードでデータがやり取りされる。

【0555】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3807)、呼び出し元に復帰する。

【0556】

図39は、本発明の実施の形態のスレーブ出力開始処理の手順を示すフローチャートである。

40

【0557】

スレーブ出力開始処理は、図37に示すステップ3710で実行される処理であり、各マスタから発光制御スレーブに演出制御データを送信するために必要な処理である。

【0558】

CPU551は、まず、マスタ割込み及びタイム割込みを禁止する(3901)。次に、第1マスタIC570aに対応するスタートフラグを“オン”に設定する(3902)。さらに、第1マスタIC570aの監視タイマを設定し(3903)、タイムアウトの監視処理を開始する(3904)。スタートフラグとは、スタートコンディションが出力され、演出制御データの送信が開始されたか否かを示すフラグであり、マスタIC毎に設定される。スタートフラグは、演出制御装置550のRAM553に記憶される。

50

【0559】

さらに、CPU551は、第1マスタIC570aのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する(3905)。ステップ3905の処理では、MODEに“1”が設定されるため、バッファモードでデータが送受信される。

【0560】

また、第2マスタIC570bについても同様に、CPU551は、第2マスタIC570bのスタートフラグをオンに設定する(3906)。さらに、監視タイマを設定し(3907)、タイムアウトの監視処理を開始する(3908)。さらに、第2マスタIC570bのコマンドREG581に対し、STAに“1”、STOに“1”、SIに“0”、及びMODEに“1”を設定する(3909)。

10

【0561】

CPU551は、各マスタの先頭のスレーブ(装飾制御装置610)を選択する(3910)。各マスタICには、演出制御データを送信するスレーブの順序があらかじめ設定されている。ステップ3910の処理で当該順序の先頭のスレーブを設定し、後述する演出制御データの送信再開処理において、第1マスタIC570aに接続される各スレーブに演出制御データを順次送信する。

【0562】

さらに、CPU551は、リトライカウンタを0に設定する(3911)。リトライカウンタとは、各マスタに演出制御データを送信する場合において、送信失敗時にインクリメントされるカウンタである。リトライカウンタが所定の数値よりも大きくなった場合には何らかの障害が発生したものと判断することができる。

20

【0563】

その後、CPU551は、マスタ割込み及びタイムアウト割込みを許可し(3912)、呼び出し元に復帰する。

【0564】

図40は、本発明の実施の形態の第1マスタIC570a側及び第2マスタIC570b側の送信中断割込み発生時の処理の手順を示すフローチャートである。

【0565】

送信中断割込みは、いわゆるマスタ割込みであり、中断時の状態に応じて処理が実行される。

30

【0566】

CPU551は、まず、第1マスタIC570aからのマスタ割込みが発生した場合には、第1マスタIC570aに関するタイムアウトの監視を終了する(4001)。さらに、第1マスタIC570aの初期化段階番号及びスタートフラグを取得する(4002)。

【0567】

同じく、CPU551は、第2マスタIC570bからのマスタ割込みが発生した場合には、第2マスタIC570bに関するタイムアウトの監視を終了し(4011)、第2マスタIC570bの初期化段階番号及びスタートフラグを取得する(4012)。

40

【0568】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”であるか否かを判定する(4003)。初期化段階番号が“0”の場合とは、初期化処理が実行中でない状態であることを示している。すなわち、初期化段階番号が“0”以外の場合には初期化処理が実行中であることを示している。

【0569】

CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4003の結果が「N」)、前述のように、初期化処理中であるため、初期化指示データの送信再開処理を実行する(4004)。初期化指示データの送信再開処理の詳細については、図42にて後述する。

50

【0570】

一方、CPU551は、初期化対象のマスタICの初期化段階番号が“0”でない場合には(4003の結果が「Y」)、初期化処理を既に終えており、演出制御データを送信している途中であるため、演出制御データの送信再開処理を実行する(4005)。演出制御データの送信再開処理の詳細については、図43にて後述する。

【0571】

図41は、本発明の実施の形態の第1マスタIC570a及び第2マスタIC570bによるタイムアウト割込み発生時の処理の手順を示すフローチャートである。

【0572】

本処理は、第1マスタIC570a又は第2マスタIC570bにおいて所定の時間が経過しても復帰しない場合に発生するタイム割込みが発生した場合に各マスタICを初期化するために実行される処理である。

10

【0573】

CPU551は、第1マスタIC570aにおいてタイムアウト割込みが発生した場合には、第1マスタIC570aをソフトリセットする(4101)。さらに、第1マスタIC570aに接続されたスレーブを初期化する第1マスタIC570a側スレーブ初期化開始処理(図38)を実行する(4102)。

【0574】

CPU551は、第2マスタIC570bにおいてタイムアウト割込みが発生した場合には、第2マスタIC570bをソフトリセットする(4111)。さらに、第2マスタIC570bに接続されたスレーブを初期化する第2マスタIC570b側スレーブ初期化開始処理(図38)を実行する(4112)。

20

【0575】

図42は、本発明の実施の形態の初期化指示データの送信再開処理の手順を示すフローチャートである。

【0576】

CPU551は、まず、ステータスコードに基づいて初期化指示データの送信処理を継続するか否かを判断し(4201)、判断結果に応じて処理を分岐する(4202)。ステータスコードは、マスタICの状態を示す値であり、ステータスレジスタ(REG)582に設定されている。ステップ4201の処理では、設定されているステータスコードと現在の初期化段階番号との組合せから、図44にて後述する送信処理継続判定表440を参照して、初期化指示データの送信処理を継続するか否かを判定する。初期化段階番号とステータスコードとの関係については、図44にて詳細を説明する。

30

【0577】

初期化段階番号は、マスタICの初期化を行っているときに、その処理段階に応じて“1”～“4”の何れかの値が設定されるものであり、マスタICの初期化が完了すると“0”に設定されるものである。ただし、マスタICの初期化が完了して、初期化段階番号が“0”になると、当該初期化指示データの送信再開処理が呼び出されない(図40の呼び出し元の処理にてステップS4003の分岐がある)ので、ここでは、初期化段階番号が“1”～“4”となっていることを前提に説明を行う。

40

【0578】

CPU551は、初期化段階番号とステータスコードとの組合せによる判定結果が「継続」でない場合には(4202の結果が「N」、正常な状態ではない(例えば、データ送信に失敗した状態になる)ので、初期化の開始を示す値“1”を初期化段階番号に設定する(4203)。さらに、監視タイマを設定し、タイムアウトの監視を開始する(4204)。

【0579】

最後に、CPU551は、ストップコンディション及びスタートコンディションを出力するように、処理対象のマスタICのコマンドREG581のSTAに“1”、STOに“1”、SIに“0”、MODEに“0”を設定し(4205)、呼び出し元の処理に復

50

帰する。

【0580】

一方、CPU551は、初期化段階番号とステータスコードとの組合せによる判定結果が「継続」となっている場合には(4202の結果が「Y」)、初期化処理が正常に実行されているため、初期化段階番号に基づいて処理を分岐する(4206)。

【0581】

CPU551は、初期化段階番号が“1”の場合には、処理対象のマスタICの出力用バッファ572にリセット用アドレスを設定する(4207)。

【0582】

初期化段階番号に“1”が設定されている場合は、マスタICからスタートコンディションが出力されたことを意味する。図44の送信処理継続判定表4400を参照すると、ステータスコードは、スタートコンディション又はリスタートコンディションが送信されたことを示す“08h”又は“10h”が設定されることになる。したがって、初期化段階番号に“1”が設定されており、かつ、ステータスコードに“08h”又は“10h”が設定されている場合に、ステップ4207以降の処理が実行される。

10

【0583】

CPU551は、初期化段階番号をインクリメントし(4208)、監視タイマを設定し、タイムアウトの監視を開始する(4209)。最後に、処理を継続するために、処理対象のマスタICのコマンドREG581のSTA、STO、SI及びMODEにそれぞれ“0”を設定し(4210)、呼び出し元の処理に復帰する。

20

【0584】

また、初期化段階番号が“2”の場合には、CPU551は、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の前半の値を設定する(4211)。

【0585】

初期化段階番号に“2”が設定されている場合は、マスタICの出力用バッファ572にリセット用アドレスが設定された状態であることを意味する。図44の送信処理継続判定表4400を参照すると、ステータスコードは、スレーブのアドレス(ここでは、リセット用アドレス)が送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“18h”が設定されることになる。ただし、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“20h”が設定される。したがって、初期化段階番号に“2”が設定されており、かつ、ステータスコードに“18h”が設定されている場合に、ステップ4211以降の処理が実行される。

30

【0586】

CPU551は、出力用バッファ572に値が設定されると、初期化段階番号が“1”の場合と同様に、ステップ4208から4210までの処理を実行する。

【0587】

CPU551は、初期化段階番号が“3”の場合には、処理対象のマスタICの出力用バッファ572にリセット指令を示す値の後半の値を設定する(4212)。

【0588】

40

初期化段階番号に“3”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の前半の値が設定された状態であることを意味する。図44の送信処理継続判定表4400を参照すると、ステータスコードは、出力用バッファ572に設定されたデータが送信済みであり、かつ、各スレーブから信号を正常に受信したことを示すACKが応答されたことを示す“28h”が設定されることになる。ただし、ステータスコードは、各スレーブから信号を正常に受信できなかったことを示すNACKが応答された場合には“30h”が設定される。したがって、初期化段階番号に“3”が設定されており、かつ、ステータスコードに“28h”が設定されている場合に、ステップ4212以降の処理が実行される。

【0589】

50

CPU551は、出力用バッファ572に値が設定されると、初期化段階番号が“1”の場合と同様に、ステップ4208から4210までの処理を実行する。

【0590】

初期化段階番号に“4”が設定されている場合は、マスタICの出力用バッファ572にリセット指令の後半の値が設定された状態であることを意味する。図44の送信処理継続判定表4400を参照すると、初期化段階番号が“3”の場合と同様に、ステータスコードに“28h”又は“30h”が設定されており、ステータスコードに“28h”の場合に、ステップ4212以降の処理が実行される。

【0591】

初期化段階番号が“4”の場合には、初期化処理に必要な処理が終了したため、CPU551は、処理対象のマスタICに接続されたすべての装飾制御装置610のエラーフラグをオフに設定し(4213)、さらに、エラーカウンタを0に設定して初期化する(4214)。そして、初期化段階番号を初期化処理中でないことを示す“0”に設定する。最後に、初期化処理を完了させ、処理対象のマスタICから、当該マスタICに接続されたすべての装飾制御装置610にストップコンディションを出力するために、処理対象のマスタICのコマンドREG581のSTOに“1”、STA、SI及びMODEにそれぞれ“0”を設定し(4216)、呼び出し元の処理に復帰する。

【0592】

図43は、本発明の実施の形態の演出制御データの送信再開処理の手順を示すフローチャートである。

【0593】

CPU551は、まず、ステータスコードに基づいて実行する処理を判断し(4301)、処理を継続、データを再送、又はデータの送信を中止するかによって分岐する(4302)。ステップ4301の処理では、ステータスコードとスタートフラグに設定された値との組合せに基づいて、図44にて後述する送信処理継続判定表4400を参照して実行する処理を判断する。

【0594】

スタートフラグは、第1マスタIC570a及び第2マスタIC570bの各々に関して、演出制御データを送信するタイミングを制御するためのフラグである。具体的には、図37のステップ3710のスレーブ出力開始処理(図39)が実行されると、スタートフラグが“オン”に設定される。また、後述するように、出力用バッファ572に演出制御データを設定すると、スタートフラグは“オフ”に設定される。ステータスコードは、前述のように、マスタICの状態を示す値であり、ステータスレジスタ(REG)582に設定されている。スタートフラグとステータスコードとの関係については、図44にて詳細を説明する。

【0595】

CPU551は、スタートフラグとステータスコードとの組合せによって処理を継続すると判定された場合には(4302の結果が「継続」)、演出制御データの送信が正常に行われていることになる。このとき、スタートフラグが“オン”の場合には、前述のように、スタートコンディションが出力された後であるため、対応するステータスコードは、“08h”又は“10h”となる。一方、スタートフラグが“オフ”の場合、正常に処理が行われていれば、ステータスコードには正常にデータの送信が完了したことを示す“28h”が設定されている。

【0596】

そこで、CPU551は、スタートフラグが“オン”であるか否かを判定する(4303)。スタートフラグが“オン”である場合には(4303の結果が「Y」)、RAM553上に準備されていたデータを出力用バッファ572に設定する(4304)。そして、スタートフラグを“オフ”に設定し(4305)、監視タイマを設定し、タイムアウトの監視を開始する(4306)。最後に、処理対象のマスタICのコマンドREG581のSTA、STO及びSIをそれぞれ“0”に設定し、出力用バッファ572に設定され

10

20

30

40

50

たデータをバッファモードで送信するために、MODEを“1”に設定し(4307)、呼び出し元の処理に復帰する。

【0597】

一方、CPU551は、スタートフラグが“オフ”である場合には(4303の結果が「N」)、選択されたスレーブ(装飾制御装置610)に対応するエラーフラグを“オフ”に設定し(4308)、さらに、エラーカウンタを初期化する(4309)。

【0598】

その後、CPU551は、すべてのスレーブに対して送信再開処理が完了したか否かを判定する(4310)。そして、すべてのスレーブに対して処理が完了した場合には(4310の結果が「Y」)、ストップコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTO及びMODEに“1”、STA及びSIに“0”を設定し(4311)、呼び出し元の処理に復帰する。

10

【0599】

CPU551は、すべてのスレーブに対して処理が完了していない場合には(4310の結果が「N」)、リトライカウンタを0に設定し(4312)、次の処理対象のスレーブを選択する(4313)。そして、選択されたスレーブへの出力データを準備し(4314)、スタートフラグを“オン”に設定し(4315)、監視タイマを設定し、タイムアウトの監視を開始する(4316)。

【0600】

最後に、CPU551は、スタートコンディションを出力し、データを送信するモードを「バッファモード」に指定するようにコマンドREG581のSTA及びMODEに“1”、STO及びSIに“0”を設定し(4317)、呼び出し元の処理に復帰する。

20

【0601】

CPU551は、スタートフラグとステータスコードとの組合せによって、演出制御データを再送すると判定された場合には(4302の結果が「再送」)、リトライカウンタの値をインクリメントする(4318)。そして、リトライカウンタの値が、指定された値に到達したか否かを判定する(4319)。このときの指定された値は、図32又は図33に示した異常判定テーブル3200又は異常判定テーブル3300に設定されており、現在選択されているスレーブに対応する比較値3204に対応する。

【0602】

30

CPU551は、リトライカウンタの値が指定値に到達していない場合には(4322の結果が「N」)、現在選択中にスレーブを再度選択し(4320)、選択スレーブに出力するデータを準備し(4314)、ステップ4315以降の処理を実行する。

【0603】

一方、CPU551は、リトライカウンタの値が指定値に到達した場合には(4322の結果が「Y」)、選択されているスレーブのエラーフラグ3205に“ON”を設定し、ステップ4310以降の処理を実行する。

【0604】

最後に、CPU551は、スタートフラグとステータスコードとの組合せによって、演出制御データの送信再開処理を中止すると判定された場合には(4302の結果が「中止」)、呼び出し元の処理に復帰する。演出制御データの送信再開処理が中止される場合とは、接続線SDA又は接続線SCLが何らかの理由で占有され、さらに、この占有状態を解除できないため、データの送受信を行えない状態になっている場合である。

40

【0605】

図44は、本発明の実施の形態のデータの送信再開処理の継続を判断するための送信処理継続判定表4400の一例を示す図である。

【0606】

送信処理継続判定表4400には、前述のように、データ送信再開処理の継続を判断するための情報が格納される。データ送信再開処理には、初期化指示データの送信再開処理(図42)と、演出制御データの送信再開処理(図43)とが含まれ、送信処理継続判定

50

表 4 4 0 0 には各場合について処理の継続判断が登録されている。

【 0 6 0 7 】

送信処理継続判定表 4 4 0 0 には、ステータスコード 4 4 0 1、初期化指示データ送信再開処理の継続判断 4 4 0 2、演出制御データ送信再開処理の継続判断 4 4 0 3、及び状態 4 4 0 4 が含まれる。

【 0 6 0 8 】

ステータスコード 4 4 0 1 は、前述のように、実行される処理に関わらず、マスタ I C の状態を示す値である。

【 0 6 0 9 】

状態 4 4 0 4 は、ステータスコード 4 4 0 1 に対応するマスタ I C の状態である。例えば、ステータスコードが “ 0 8 H ” の場合には、スタートコンディションの送信が完了した状態を示す。また、ステータスコードが “ 1 0 H ” の場合には、スタートコンディションの再送信、すなわち、リスタートコンディションの送信が完了したことを示している。

10

【 0 6 1 0 】

また、本発明の実施の形態では、接続線 S D A 又は接続線 S C L が何らかの理由で占有され、さらに、解除できなかった場合には、ステータスコード 4 4 0 1 に “ 7 0 H ” 又は “ 7 8 H ” が設定される。

【 0 6 1 1 】

続いて、ステータスコードに対応する初期化指示データ送信再開処理の継続判断 4 4 0 2 及び演出制御データ送信再開処理の継続判断 4 4 0 3 について説明する。

20

【 0 6 1 2 】

初期化指示データ送信再開処理では、初期化段階番号に対応する段階ごとに処理が実行されており、初期化指示データ送信再開処理の継続判断 4 4 0 2 は、初期化段階番号ごとに定義されている。具体的には、図に示すように、初期化段階番号の値とステータスコードの値との組合せに対応して、「継続」又は「再開」が定義されている。

【 0 6 1 3 】

継続判断 4 4 0 2 の値が「継続」の場合には、初期化指示データ送信再開処理が正常に処理されていることを示している。具体的には、初期化段階番号が 1 の場合にスタートコンディションの出力が成功した場合や、初期化段階番号が 2 の場合にアドレスの送信が成功した場合に継続判断 4 4 0 2 の値が「継続」になる。すなわち、初期化指示データ送信再開処理で実行された処理と、ステータスレジスタ (R E G) 5 8 2 に設定されたステータスコードとが整合している場合に継続判断 4 4 0 2 の値が「継続」になる。

30

【 0 6 1 4 】

一方、継続判断 4 4 0 2 の値が「再開」の場合には、初期化指示データ送信再開処理が正常に処理されていない場合など、初期化指示データ送信再開処理を再度開始する場合に設定される。すなわち、初期化指示データ送信再開処理で実行された処理と、ステータスレジスタ (R E G) 5 8 2 に設定されたステータスコードとが整合しない場合であり、例えば、データの送信に失敗した場合などである。

【 0 6 1 5 】

演出制御データ送信再開処理では、スタートフラグの設定値に基づいて処理が実行されており、演出制御データ送信再開処理の継続判断 4 4 0 3 は、スタートフラグの設定値ごとに定義されている。具体的には、図に示すように、スタートフラグの値とステータスコードの値との組合せに対応して、「継続」、「再送」又は「中止」が定義されている。

40

【 0 6 1 6 】

スタートフラグは、スタートコンディションが出力された後、最初にデータが送信されたタイミングで O N に設定され、処理が継続されると O F F に設定される。すなわち、初期設定が終了するとスタートフラグが O F F に設定され、その後、継続してデータが送信される。継続判断 4 4 0 3 の値が「継続」の場合は、スタートコンディション送信後 (スタートフラグが O N) にステータスコードが「 0 8 H 」又は「 1 0 H 」に設定されていた場合、データ送信後 (スタートフラグが O F F) にデータ送信の成功を示すステータスコ

50

ード「28H」が設定されている場合となる。

【0617】

一方、接続線SDA又は接続線SCLが何らかの理由で占有状態になっており、解除できない場合には、データを送受信することができないため、データの送受信を中止する。具体的には、ステータスコード4401が「70H」又は「78H」の場合である。

【0618】

その他の場合、すなわち、データの送受信が可能な状態でステータスコードとスタートフラグとの整合していない場合には、「再送」が設定されており、演出制御データを再送する処理が実行される。

【0619】

図45は、本発明の実施の形態のマスタICによるデータ送信処理の手順を示すフローチャートである。本処理は、第1マスタIC570a及び第2マスタIC570bの共通処理であり、CPU551によって、コマンドレジスタ581(図11及び図12参照)のSIのビットに“0”が設定されると、割込み処理の発生によって待機していたマスタICが、当該処理を開始する。

【0620】

まず、マスタICのコントローラ574は、ストップコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTOに“1”が設定されているか否かを判定する(4501)。

【0621】

コントローラ574は、ストップコンディションの出力が要求されている場合には(4501の結果が「Y」)、ストップコンディション出力処理を実行する(4502)。ストップコンディション出力処理は、接続線SCL及び接続線SDAの信号レベルに応じてストップコンディションを実行するために必要な処理を実行する。ストップコンディション出力処理の詳細については、図46にて後述する。

【0622】

コントローラ574は、さらに、スタートコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTAに“1”が設定されているか否かを判定する(4503)。スタートコンディションの出力が要求されている場合には(4503の結果が「Y」)、スタートコンディション出力処理を実行する(4506)。スタートコンディション出力処理は、接続線SCL及び接続線SDAの信号レベルに応じてスタートコンディションを実行するために必要な処理を実行する。スタートコンディション出力処理の詳細については、図49にて後述する。

【0623】

コントローラ574は、スタートコンディションの出力が要求されている場合には(4503の結果が「N」)、STCDの値をステータスコードに設定する(4506)。STCDは、設定されるステータスコードを代入するための変数である。ステータスコードに値を設定すると、本処理を終了する。

【0624】

コントローラ574は、ストップコンディションの出力が要求されていない場合には(4501の結果が「N」)、スタートコンディションの出力が要求されているか否か、すなわち、コマンドREG581のSTAに“1”が設定されているか否かを判定する(4505)。スタートコンディションの出力が要求されている場合には(4505の結果が「Y」)、スタートコンディション出力処理を実行する(4506)。そして、スタートコンディション出力処理で設定されたSTCDの値をステータスコードに設定する(4507)。その後、コマンドREG581のSIに“1”を設定することによって送信中断割込みを発生させる。

【0625】

コントローラ574は、スタートコンディションの出力が要求されていない場合には(4505の結果が「N」)、スレーブへのデータ送信処理を実行する(4508)。そし

10

20

30

40

50

て、スレーブへのデータ送信処理で設定された S T C D の値をステータスコードに設定する (4 5 0 7)。その後、コマンド R E G 5 8 1 の S I に “ 1 ” を設定することによって送信中断割込みを発生させる。

【 0 6 2 6 】

図 4 6 は、本発明の実施の形態のストップコンディション出力処理の手順を示すフローチャートである。

【 0 6 2 7 】

ストップコンディションは、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを L O W から H I G H に変更させることによって出力される。ストップコンディション出力処理では、処理開始時の各接続線の信号レベルに応じて処理を

10

【 0 6 2 8 】

コントローラ 5 7 4 は、ストップコンディション出力処理を開始すると、接続線 S C L 及び接続線 S D A の信号レベルに応じて処理を分岐させる (4 6 0 1)。

【 0 6 2 9 】

コントローラ 5 7 4 は、接続線 S C L の信号レベル及び接続線 S D A の信号レベルがともに H I G H の場合には、トランジスタ 5 7 8 b (図 1 1 又は図 1 2) をオンさせて、接続線 S C L の信号レベルを L O W に設定する (4 6 0 2)。ステップ 4 6 0 2 の処理が終了した後、又は、接続線 S C L の信号レベルが L O W、かつ、接続線 S D A の信号レベルが H I G H の場合には、トランジスタ 5 7 8 a (図 1 1 又は図 1 2) をオンさせて、接続線 S D A の信号レベルを L O W に設定する (4 6 0 3)。

20

【 0 6 3 0 】

コントローラ 5 7 4 は、ステップ 4 6 0 3 の処理が終了した後、又は、接続線 S C L の信号レベル及び接続線 S D A の信号レベルがともに L O W の場合には、接続線 S C L を解放するための S C L 解放監視処理を実行する (4 6 0 4)。

【 0 6 3 1 】

S C L 解放監視処理は、L O W レベルとなっている接続線 S C L の信号レベルを H I G H に設定することによって、データの送受信が可能な状態にする処理である。S C L 解放監視処理の詳細については、図 4 7 にて後述する。なお、S C L 解放監視処理が正常に終了すると、接続線 S C L の信号レベルは H I G H に設定されている。また、接続線 S C L の信号レベルを H I G H に設定することができず、接続線 S C L を解放できなかった場合には、送信中断割込みを発生させる。

30

【 0 6 3 2 】

コントローラ 5 7 4 は、ステップ 4 6 0 4 の処理が終了した後、又は、接続線 S C L の信号レベルが H I G H、かつ、接続線 S D A の信号レベルが L O W の場合には、接続線 S D A を解放するための S D A 解放監視処理を実行する (4 6 0 5)。

【 0 6 3 3 】

S D A 解放監視処理は、接続線 S D A の信号レベルを L O W から H I G H に変更する処理であり、何らかの理由で接続線 S D A が占有され、信号レベルが L O W のままになっている場合には、占有された接続線 S D A を解放する処理を含んでいる。S D A 解放監視処理の詳細については、図 4 8 にて後述する。なお、S C L 解放監視処理が正常に終了すると、接続線 S D A の信号レベルは L O W から H I G H に変更されており、このとき、接続線 S C L の信号レベルが H I G H に維持されているため、ストップコンディションが成立する。また、接続線 S D A を解放できなかった場合には、送信中段割込みを発生させる。

40

【 0 6 3 4 】

図 4 7 は、本発明の実施の形態の S C L 解放監視処理の手順を示すフローチャートである。

【 0 6 3 5 】

コントローラ 5 7 4 は、S C L 解放監視処理が開始されると、トランジスタ 5 7 8 b (図 1 1 又は図 1 2) をオフすることで、接続線 S C L を解放する (4 7 0 1)。このとき

50

、接続線 SCL に接続されている他の IC (I/O エクスパンダ 615 等) の全てが接続線 SCL を解放していれば、接続線 SCL の信号レベルが HIGH に変更される。続いて、接続線 SCL の信号レベルが HIGH に変更され、接続線 SCL が解放されたか否かを判定する (4702)。

【 0636 】

コントローラ 574 は、接続線 SCL の信号レベルが HIGH になっている場合には (4702 の結果が「 Y 」)、処理が成功したため、呼び出し元の処理に復帰する。一方、接続線 SCL の信号レベルが HIGH になっていない場合には (4702 の結果が「 N 」)、所定の時間が経過するまで、接続線 SCL の信号レベルが HIGH になったか否かを判定する (4702)。

10

【 0637 】

コントローラ 574 は、所定の時間が経過しても接続線 SCL の信号レベルが HIGH にならない場合には (4703 の結果が「 Y 」)、接続線 SCL を解放できないことを示す「 78H 」をステータスコードに設定し (4704)、送信中断割込みを発生させる。

【 0638 】

図 48 は、本発明の実施の形態の SDA 解放監視処理の手順を示すフローチャートである。

【 0639 】

接続線 SDA の信号レベルを HIGH にすることができない場合、すなわち、接続線 SDA が占有された場合には、接続線 SDA を介してデータを出力することができない。そこで、ドライバ 576a によってトランジスタ 578a に動作可能な電圧を印加しないことによってトランジスタ 578a をオンにさせずに (接続線 SDA を解放した状態で)、接続線 SCL の信号レベルを少なくとも 9 回変化させる。

20

【 0640 】

このような処理を行うことによって、読み出しモード (詳細は後述) となった I²C I/O エクスパンダ 615 は、接続線 SCL の信号レベルの変化に合わせて接続線 SDA にデータを出力するが、接続線 SCL の信号レベルの変化が少なくとも 9 回行われる途中において、マスタ IC からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線 SDA は解放されているので HIGH レベルとなり、読み出しモードとなった I²C I/O エクスパンダ 615 は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線 SDA を解放することになる。RCVF は、この 9 回の接続線 SCL の信号レベルの変化が実行されたか否かを示すフラグである。

30

【 0641 】

このようにして、読み出しモードとなった I²C I/O エクスパンダ 615 から強制的に接続線 SDA を解放させるので、接続線 SDA の信号レベルは HIGH に維持されるようになる。以下、SDA 解放監視処理の手順を説明する。

【 0642 】

コントローラ 574 は、まず、RCVF にオフを設定する (4801)。その後、トランジスタ 578a (図 11 又は図 12) をオフすることで、接続線 SDA を解放する (4802)。このとき、接続線 SDA に接続されている他の IC (I/O エクスパンダ 615 等) の全てが接続線 SDA を解放していれば、接続線 SDA の信号レベルが HIGH に変更される。

40

【 0643 】

コントローラ 574 は、接続線 SDA の信号レベルが HIGH であるか否かを判定する (4803)。接続線 SDA の信号レベルが HIGH であれば (4803 の結果が「 Y 」)、接続線 SDA を解放できたため、呼び出し元の処理に復帰する。

【 0644 】

一方、コントローラ 574 は、接続線 SDA の信号レベルが HIGH でない場合には (4803 の結果が「 N 」)、所定の時間が経過するまで、接続線 SDA の信号レベルが HIGH になったか否かを判定する (4804)。所定の時間が経過すると (4804 の結

50

果が「Y」)、接続線SDAが占有状態であると判定して、ステップ4805以降の接続線SDAを解放する処理を実行する。

【0645】

コントローラ574は、まず、接続線SC Lに信号を入力した回数を示す変数LPの値に0を設定する(4805)。続いて、図47にて説明したSC L解放監視処理を実行する(4806)。さらに、SC L解放監視処理によってHIGHに変更された接続線SC Lの信号レベルを、トランジスタ578aをオンさせることでLOWに設定する(4807)。ステップ4806及び4807の処理によって、接続線SC Lの信号レベルはLOWからHIGH、さらにHIGHからLOWに変化する。さらに、LPに1を加算することによって(4808)、接続線SC Lの信号レベルの変更回数をカウントする。

10

【0646】

コントローラ574は、LPの値が9になったか否か、すなわち、接続線SC Lの信号レベルの変更回数が9回に到達したか否かを判定する(4809)。LPの値が9に到達していない場合には(4809の結果が「N」)、ステップ4806から4808までの処理を再度実行する。

【0647】

コントローラ574は、LPの値が9に到達した場合には(4809の結果が「Y」)、接続線SDAの信号レベルがHIGHであるか否かを判定する(4810)。接続線SDAの信号レベルがHIGHになっていない場合には(4810の結果が「N」)、所定の時間が経過するまで、接続線SDAの信号レベルがHIGHになったか否かを判定する(4811)。所定の時間が経過しても接続線SDAの信号レベルがHIGHに設定されない場合には(4811の結果が「Y」)、接続線SDAが解放できないことを示す「70H」をステータスコードに設定し(4812)、送信中断割込みを発生させる。

20

【0648】

一方、コントローラ574は、接続線SDAの信号レベルがHIGHに設定されている場合には(4810の結果が「Y」)、トランジスタ578aをオンさせて接続線SDAの信号レベルをLOWに設定し(4813)、SC L解放監視処理を実行する(4814)。さらに、トランジスタ578aをオフさせて接続線SDAを解放し(4815)、RCVFをオンに設定する(4816)。

【0649】

30

なお、接続線SC Lの信号レベルを9回変化させることで接続線SDAを解放させる仕組みについては、図59にて詳細を説明する。

【0650】

図49は、本発明の実施の形態のスタートコンディション出力処理の手順を示すフローチャートである。

【0651】

スタートコンディションは、接続線SC Lの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変更させることによって出力される。スタートコンディション出力処理では、処理開始時の各接続線の信号レベルに応じて処理を実行する。

40

【0652】

コントローラ574は、スタートコンディション出力処理を開始すると、接続線SC L及び接続線SDAの信号レベルに応じて処理を分岐させる(4901)。

【0653】

コントローラ574は、接続線SC Lの信号レベルがHIGH、かつ、接続線SDAの信号レベルがLOWの場合には、トランジスタ578b(図11又は図12)をオンさせて、接続線SC Lの信号レベルをLOWに設定する(4902)。

【0654】

コントローラ574は、ステップ4902の処理が終了した後、又は、接続線SC Lの信号レベル及び接続線SDAの信号レベルがともにLOWの場合には、SDA解放監視処

50

理を実行する(4903)。続いて、RCVFの値がオンであるか否かを判定する(4904)。SDA解放監視処理の実行が正常に完了すると、接続線SDAの信号レベルはHIGHに設定されている。

【0655】

コントローラ574は、RCVFの値がオンでない場合(4904の結果が「N」)、又は、接続線SCLの信号レベルがLOW、かつ、接続線SDAの信号レベルがHIGHの場合には、SCL解放監視処理を実行する(4905)。RCVFの値がオンの場合には、SCL解放監視処理が実行済みであり(図48のステップ4814)、接続線SCLの信号レベルがHIGHになっているためである。

【0656】

コントローラ574は、RCVFの値がオンの場合(4904の結果が「Y」)、又は、ステップ4905のSCL解放監視処理の実行後、スタートコンディションの再出力(リスタートコンディション)が完了したことを示す「10H」をSTCDに設定する(4907)。

【0657】

コントローラ574は、接続線SCLの信号レベル及び接続線SDAの信号レベルがともにHIGHの場合には、スタートコンディションの出力が完了したことを示す「08H」をSTCDに設定する(4906)。

【0658】

ステップ4906又はステップ4907の処理が終了した時点では、接続線SCLの信号レベル及び接続線SDAの信号レベルがともにHIGHに設定されている。そこで、コントローラ574は、トランジスタ578a(図11又は図12)をオンさせて、接続線SDAの信号レベルをLOWに設定する(4908)。このように処理することによって、接続線SCLの信号レベルをHIGHに維持した状態で、接続線SDAの信号レベルをHIGHからLOWに変更されるため、スタートコンディションが成立する。

【0659】

コントローラ574は、続いて、トランジスタ578bをオンさせて、接続線SCLの信号レベルをLOWに設定する(4909)。さらに、FBFの値をオンに設定する(4910)。FBFは、スタートコンディションが成立した直後であることを示すフラグであり、例えば、スタートコンディション成立後にデータを送信する場合に、FBFがオンであれば、最初に送信されたデータであるからスレーブのアドレスと判断する。そして、アドレス受信後にFBFをオフに設定することによって、受信したデータが演出制御データであることを各スレーブが認識することができる。

【0660】

図50は、本発明の実施の形態のスレーブ側のI²C I/Oエクスパンダ615へのデータ送信処理の手順を示すフローチャートである。

【0661】

コントローラ574は、まず、データの送信回数を格納する変数CTRを0に初期化する(5001)。続いて、トランジスタ578b(図11又は図12)をオンさせて、接続線SCLの信号レベルをLOWに設定し(5002)、トランジスタ578a(図11又は図12)をオフさせて、接続線SDAを解放する(5003)。このとき、接続線SDAに接続されている他のIC(I/Oエクスパンダ615等)の全てが接続線SDAを解放していれば、接続線SDAの信号レベルがHIGHに変更される。

【0662】

コントローラ574は、接続線SDAの信号レベルがHIGH(第2のレベル)であるか否か、すなわち、接続線SDAが解放されているか否かを判定する(5004)。接続線SDAの信号レベルがHIGHでない場合には(5004の結果が「N」)、接続線SDAの信号レベルがHIGHになるまで待機する。即ち、接続線SDAがLOWレベル(第1のレベル)であれば、占有状態であると判定して、I/Oエクスパンダ615へのデータ送信を規制することになる。

10

20

30

40

50

【0663】

一方、コントローラ574は、接続線SDAの信号レベルがHIGHの場合には(5004の結果が「Y」)、変数CTRの値が8か否か、すなわち、データの送信回数が8回に到達したか否かを判定する(5005)。

【0664】

コントローラ574は、データの送信回数が8回に到達していない場合には(5005の結果が「N」)、接続線SDAを介してスレーブにデータを出力し、CTRに1を加算する(5006)。続いて、SCL解放監視処理を実行し(5007)、ステップ5002以降の処理を実行することによってさらにデータを出力する。

【0665】

一方、コントローラ574は、データの送信回数が8回に到達すると(5005の結果が「Y」)、スレーブ側のI²C I/Oエクスパンダ615から接続線SDAを介して返答信号が出力される(5008)。

【0666】

コントローラ574は、出力された返答信号を接続線SDAから取り込み(5009)、SCL解放監視処理を実行する(5010)。さらに、ステップ5009の処理で取り込まれた返答信号の内容が“ACK”であるか否かを判定する(5011)。

【0667】

コントローラ574は、スレーブからの返答信号の内容が“ACK”の場合には(5011の結果が「Y」)、トランジスタ578bをオンさせて、接続線SCLの信号レベルをLOWに設定し(5012)、スレーブによって接続線SDAを解放させる(5013)。さらに、現在のデータ送信モードがバッファモードであるか否かを判定する(5014)。

【0668】

コントローラ574は、現在のデータ送信モードがバッファモードの場合には(5014の結果が「Y」)、最終バイトの送信が完了したか否かを判定する(5015)。最終バイトの送信が完了しておらず、さらにデータを送信する場合には(5015の結果が「N」)、FBFの値にオフを設定し、データの送信回数を示す変数CTRに0を設定する(5016)。FBFは、前述のように、スタートコンディションが成立した直後であることを示すフラグであり、最初のデータ送信後にオフに設定することによって、スレーブのアドレスの送信が終了していることを示すフラグとして扱うことができる。その後、接続線SDAの信号レベルがHIGHになるまで待機し(5004)、次のデータを送信する。

【0669】

コントローラ574は、現在のデータ送信モードがバッファモードでない場合、すなわち、バイトモードの場合(5014の結果が「N」)、若しくは、最終バイトの送信が完了した場合には(5015の結果が「Y」)、FBFがオンに設定されているか否かを判定する(5017)。FBFがオンに設定されている場合には(5017の結果が「Y」)、FBFをオフに設定し、アドレスの送信が成功したことを示すステータスコード「18H」をSTCDに設定する(5018)。一方、FBFがオンに設定されていない場合には(5017の結果が「N」)、データの送信が成功したことを示すステータスコード「28H」をSTCDに設定する(5019)。

【0670】

また、コントローラ574は、スレーブからの返答信号の内容が返答信号の内容が“ACK”でない場合、すなわち、データを受信できなかったことを示す“NACK”であった場合には(5011の結果が「N」)、トランジスタ578bをオンさせて、接続線SCLの信号レベルをLOWに設定する(5012)。

【0671】

さらに、コントローラ574は、FBFがオンに設定されているか否かを判定する(5021)。FBFがオンに設定されている場合には(5021の結果が「Y」)、アドレ

10

20

30

40

50

スの送信が失敗したことを示すステータスコード 20H を S T C D に設定する (5 0 2 2)。一方、F B F がオンに設定されていない場合には (5 0 2 1 の結果が「N」)、データの送信が失敗したことを示すステータスコード 30H を S T C D に設定する (5 0 2 3)。以上の処理が終了すると、呼び出し元の処理に復帰する。

【 0 6 7 2 】

図 5 1 から図 5 3 は、本発明の実施の形態のスレーブ側の I²C I / O エクスパンダ 6 1 5 における処理の手順を示すフローチャートである。

【 0 6 7 3 】

図 5 1 は、本発明の実施の形態のスレーブ側の I²C I / O エクスパンダ 6 1 5 における処理の手順を示すフローチャートである。

10

【 0 6 7 4 】

スレーブ側の I²C I / O エクスパンダ 6 1 5 は、図 1 8 にて説明したように、バスコントローラ 6 3 4 によって各種制御を実行する。

【 0 6 7 5 】

バスコントローラ 6 3 4 は、まず、リセット信号発生回路 6 3 9 (図 1 8 参照、以下同様) によってリセット信号が発生すると、自身 (I²C I / O エクスパンダ 6 1 5) の初期化処理を実行する (5 1 0 1)。このとき、ドライバ 6 3 2 によってトランジスタ 6 3 0 がオフし、接続線 S D A が解放される。また、ドライバ 6 3 7 によって、ポート 0 ~ 1 5 に接続されるトランジスタ 6 3 8 A ~ 6 3 8 P の全てがオフする。また、出力設定レジスタ 6 3 5 が、予め定められた初期状態に設定される。次いで、接続線 S C L 及び接続線 S D A の信号レベルを取り込む。そして、接続線 S C L 及び接続線 S D A の信号レベルがともに H I G H である状態 5 1 0 3 になるまで待機する (5 1 0 2)。

20

【 0 6 7 6 】

バスコントローラ 6 3 4 は、接続線 S C L 及び接続線 S D A が状態 5 1 0 3 になると (5 1 0 2 の結果が「Y」)、接続線 S C L 及び接続線 S D A のいずれか一方の信号レベルが変化するまでのまま待機する (5 1 0 4)。

【 0 6 7 7 】

バスコントローラ 6 3 4 は、状態 5 1 0 3 から接続線 S D A の信号レベルが L O W に変化した場合には (5 1 0 4 の結果が「S D A」)、変数 C N を 0 に設定し、状態番号を 1 に設定し、データを一時的に格納する準備領域をクリアする (5 1 0 5)。変数 C N は、データを受信した回数を示すカウンタである。また、状態番号は、マスタから送信された信号に応じて設定され、例えば、スレーブに要求された処理 (書き込み処理、読み出し処理など) などに対応する。なお、接続線 S C L 及び接続線 S D A の信号レベルがともに H I G H である状態 5 1 0 3 から接続線 S D A の信号レベルが L O W に変化した場合にはスタートコンディションがマスタ I C から出力されたことに相当し、状態番号 1 は、スタートコンディションが出力されたことを示している。

30

【 0 6 7 8 】

このとき、接続線 S C L の信号レベルが H I G H、接続線 S D A の信号レベルが L O W である状態 5 1 0 6 になっている。バスコントローラ 6 3 4 は、接続線 S C L 又は接続線 S D A の信号レベルが変化するまで待機する (5 1 0 7)。

40

【 0 6 7 9 】

バスコントローラ 6 3 4 は、状態 5 1 0 6 から接続線 S C L の信号レベルが L O W に変化した場合には (5 1 0 7 の結果が「S C L」)、変数 C N が 8 になったか否か、すなわち、8 回データを受信したか否かを判定する (5 1 0 8)。変数 C N の値が 8 になっていない場合には (5 1 0 8 の結果が「N」)、この段階で接続線 S C L 及び接続線 S D A の信号レベルがともに L O W である状態 5 1 0 9 になっている。その後、接続線 S C L 又は接続線 S D A の信号レベルが変化するまで待機する (5 1 1 0)。

【 0 6 8 0 】

バスコントローラ 6 3 4 は、接続線 S D A の信号レベルが H I G H に変化した場合には (5 1 1 0 の結果が「S D A」)、接続線 S C L の信号レベルが L O W、接続線 S D A

50

の信号レベルがHIGHである状態5111に移行し、接続線SCL又は接続線SDAの信号レベルが変化するまで待機する(5112)。

【0681】

バスコントローラ634は、接続線SDAの信号レベルがLOWに変化した場合には(5112の結果が「SDA」)、状態5109に移行し、接続線SCL又は接続線SDAの信号レベルが変化するまで待機する(5110)。

【0682】

一方、バスコントローラ634は、接続線SCLの信号レベルがHIGHに変化した場合には(5112の結果が「SCL」)、状態番号が1又は2であるか否か、すなわち、スタートコンディション出力後であるか、又は要求された処理が書き込み要求であるかを判定する(5115)。

10

【0683】

バスコントローラ634は、状態番号が1又は2である場合には(5115の結果が「Y」)、変数CNの値に1加算し、受信バッファに格納されたデータを取り込む(5116)。状態番号が1又は2でない場合(5115の結果が「N」)、又はステップ5116の処理が終了すると、接続線SCL及び接続線SDAの信号レベルがともにHIGHである状態5103となり、接続線SCL又は接続線SDAの信号レベルが変化するまで待機する(5104)。

【0684】

バスコントローラ634は、接続線SCL及び接続線SDAの信号レベルがHIGHである状態5103の場合に、接続線SCLの信号レベルがLOWに変化すると(5104の結果が「SCL」)、変数CNが8になったか否か、すなわち、8回データを受信したか否かを判定する(5117)。変数CNの値が8になっていない場合には(5117の結果が「N」)、この段階で接続線SCLの信号レベルがLOW、接続線SDAの信号レベルがHIGHである状態5111になっており、ステップ5112以降の処理を実行する。一方、変数CNの値が8になった場合には(5117の結果が「Y」)、図52に示すステップ5201以降の処理を実行する。

20

【0685】

また、バスコントローラ634は、接続線SCLの信号レベルがHIGH、接続線SDAの信号レベルがLOWである状態5106の場合に、接続線SDAの信号レベルがHIGHに変化すると(5107の結果が「SDA」)、状態番号が2、すなわち、要求された処理が読み出し要求であるか否かを判定する(5118)。なお、接続線SCLの信号レベルがHIGH、接続線SDAの信号レベルがLOWである状態5106から、接続線SDAの信号レベルがHIGHに変化することは、ストップコンディションが出力されたことに相当する。

30

【0686】

バスコントローラ634は、状態番号が2の場合には(5118の結果が「Y」)。準備領域に格納されたデータを設定レジスタに格納する(5119)。状態番号が2でない場合(5118の結果が「N」)、又はステップ5119の処理が終了すると、状態番号に0をセットする(5120)。このとき、接続線SCL及び接続線SDAの信号レベルがともにHIGHである状態5103となっているため、接続線SCL又は接続線SDAの信号レベルが変化するまで待機し(5104)、処理を継続する。

40

【0687】

図52は、本発明の実施の形態のスレーブ側のI²C I/Oエクスパンダ615におけるアドレス認識処理などの手順を示すフローチャートである。

【0688】

なお、本実施形態で用いるI²C I/Oエクスパンダ615は、読み出しモードの発生が可能なものでも不可能なものでも使用可能である。そのため、何れのタイプのI²C I/Oエクスパンダ615を設けた場合を想定して、フローチャートの説明を行うことにする。

50

【0689】

ここで、読み出しモードについて説明する。

【0690】

本実施形態では、マスタICからI²C I/Oエクスパンダ615へ所定単位バイトのデータ送信を行う毎に、I²C I/Oエクスパンダ615からマスタICへ1ビットの返答信号を受信する構成により、マスタICからI²C I/Oエクスパンダ615へ演出制御データを送信するようになっている。

【0691】

ところで、遊技機によっては、I²C I/Oエクスパンダ615からマスタICへ所定単位バイトのデータ送信を行うように構成できたほうが、都合がよいことも考えられる。例えば、I²C I/Oエクスパンダ615にて、遊技に係わる各種センサの検出状態を検出し、マスタICへ伝達するような仕様の遊技機を開発するような場合である。

10

【0692】

このような遊技機で用いられるI²C I/Oエクスパンダ615は、マスタICからの要求により、I²C I/Oエクスパンダ615の内部で「読み出しモード」を発生させ、マスタICからのSCL信号の変化に対応させて、I²C I/Oエクスパンダ615からマスタICへ所定単位バイトのデータ送信を行う毎に、マスタICからI²C I/Oエクスパンダ615からへ1ビットの返答信号を送信する構成にすることが好ましい。

【0693】

具体的には、マスタICからスレーブ側のI²C I/Oエクスパンダ615に送信されるアドレスデータのうち、R/W識別データ2204のビットが「1」となる場合を、読み出しモードを発生させるための要求（以下、「読み出し要求」とする）として、予め定義しておくことにする。

20

【0694】

バスコントローラ634は、接続線SCL及び接続線SDAの信号レベルがHIGHである状態で接続線SCLの信号レベルがLOWに変化した場合に（図51の5104の結果が「SCL」）、データを8回受信、すなわち、データの受信が完了すると（5117の結果が「Y」）、マスタIC側で接続線SDAが解放される（5201）。

【0695】

続いて、バスコントローラ634は、状態番号が1であるか否か、すなわち、スタートコンディションが出力された直後であるか否かを判定する（5202）。状態番号が1である場合には（5202の結果が「Y」）、受信したアドレスが自身（I²C I/Oエクスパンダ615）に付与されているアドレスと一致するか否かを確認する（5203、5204）。

30

【0696】

受信したアドレスと自身のアドレスとが一致しない場合には（5204の結果が「N」）、状態番号を0に設定し（5217）、ステップ5213以降の処理を実行する。ここでは、受信したアドレスが前述の「読み出し要求」に相当し、且つ、当該処理を行うI²C I/Oエクスパンダ615が前述の読み出しモードを発生不可能なものであるときにも、ステップ5204の判定結果を「N」とする。

40

【0697】

一方で、受信したアドレスと自身のアドレスとが一致する場合には（5204の結果が「Y」）、要求された処理が読み出し要求か否かを判定する（5205）。要求された処理が読み出し要求の場合には（5205の結果が「Y」）、図53のステップ5301以降の処理を実行する。

【0698】

一方、バスコントローラ634は、要求された処理が読み出し要求でない場合、すなわち、書き込み要求の場合には（5205の結果が「N」）、対応する状態番号である2を設定する（5206）。

【0699】

50

バスコントローラ 634 は、その後、ドライバ 632 を駆動してトランジスタ 630 をオンさせることにより、接続線 SDA の信号レベルを LOW に設定して信号線の占有を開始する。さらに、自己占有 WDT 641 を作動させて、自己占有 WDT 641 によるバスの監視を開始する (5207)。自己占有 WDT 641 は、バスコントローラ 634 によってバスの占有が開始されると、タイマを起動し、所定の時間が経過すると、自身 (I²C I/O エクスパンダ 615) をリセットする。このように処理することによって、接続線 SDA を占有し続けた場合であっても、自己占有 WDT 641 に設定された時間が経過すると、リセットによって占有を解除することができる。このとき、自身のみをリセットすることによって、他に対する影響を最小限に抑えることができる。

【0700】

10

このとき、接続線 SCL 及び接続線 SDA の信号レベルはともに LOW である状態 5208 となっており、次いで、バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH に変化するまで待機する (5209)。

【0701】

バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH に変化すると (5209 の結果が「SCL」)、接続線 SCL の信号レベルが HIGH、接続線 SDA の信号レベルが LOW である状態 5210 となり、さらに、接続線 SCL の信号レベルが LOW に変化するまで待機する (5211)。

【0702】

バスコントローラ 634 は、接続線 SCL の信号レベルが LOW に変化すると (5209 の結果が「SCL」)、ドライバ 632 を駆動してトランジスタ 630 をオフさせることにより接続線 SDA を解放し、自己占有 WDT 641 を停止させて、自己占有 WDT 641 によるバスの監視を終了する (5212)。そして、変数 CN の値を 0 に設定し、受信バッファをクリアする (5213)。このとき、接続線 SCL の信号レベルが LOW、接続線 SDA の信号レベルが HIGH となり、図 51 の状態 5111 となるため、図 51 のステップ 5112 以降の処理を実行する。

20

【0703】

また、バスコントローラ 634 は、ステップ 5202 の処理において状態番号が 1 でない場合には (5202 の結果が「N」)、受信の成否を判定する (5214、5215)。受信が成功していた場合には (5215 の結果が「Y」)、受信バッファのデータを準備領域に格納し (5216)、ステップ 5207 以降の処理を実行する。

30

【0704】

一方、バスコントローラ 634 は、データの受信に失敗した場合には (5215 の結果が「N」)、状態番号を 0 に設定し (5217)、ステップ 5213 以降の処理を実行する。

【0705】

図 53 は、本発明の実施の形態のスレーブ側の I²C I/O エクスパンダ 615 におけるデータの読み出し処理の手順を示すフローチャートである。

【0706】

バスコントローラ 634 は、マスタ IC から要求された処理が読み出し要求であった場合には (図 52 の 5205 の結果が「N」)、状態番号を読み出し処理に対応する 3 に設定する (5301)。

40

【0707】

バスコントローラ 634 は、その後、ドライバ 632 を駆動してトランジスタ 630 をオンさせることにより、接続線 SDA の信号レベルを LOW に設定して信号線の占有を開始する。さらに、自己占有 WDT 641 を作動させて、自己占有 WDT 641 によるバスの監視を開始する (5302)。このとき、接続線 SCL 及び接続線 SDA の信号レベルはともに LOW である状態 5303 となっており、バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH に変化するまで待機する (5304)。

【0708】

50

バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH に変化すると (5304 の結果が「SCL」)、状態 5305 となり、さらに、接続線 SCL の信号レベルが LOW に変化するまで待機する (5306)。

【0709】

バスコントローラ 634 は、接続線 SCL の信号レベルが LOW に変化すると (5306 の結果が「SCL」)、ドライバ 632 を駆動してトランジスタ 630 をオフさせることにより接続線 SDA を解放し、自己占有 WDT 641 を停止させて、自己占有 WDT 641 によるバスの監視を終了する (5307)。

【0710】

さらに、バスコントローラ 634 は、変数 CN の値を 0 に設定し (5308)、接続線 SDA にデータを出力する (5309)。このとき、接続線 SDA に LOW レベルの信号を出力する場合には、自己占有 WDT 641 を作動させて自己占有 WDT 641 によるバスの監視を開始する。接続線 SDA に HIGH レベルの信号を出力する場合には、自己占有 WDT 641 を作動させない (5310)。接続線 SDA の信号レベルが HIGH であれば、バスが占有されないためである。

【0711】

このときバスコントローラ 634 は、接続線 SCL の信号レベルが LOW となっており (5311)、接続線 SCL の信号レベルが HIGH に変化するまで待機する (5312)。接続線 SCL の信号レベルが HIGH に変化すると (5312 の結果が「Y」)、変数 CN の値に 1 加算する (5313)。そして、接続線 SCL の信号レベルが HIGH である状態 5314 となっており、接続線 SCL の信号レベルが LOW に変化するまで待機する (5315)。接続線 SCL の信号レベルが LOW に変化すると (5315 の結果が「SCL」)、自己占有 WDT 641 によるバスの監視を行っていたときには、自己占有 WDT 641 を停止させて自己占有 WDT 641 によるバスの監視を終了する (5316)。

【0712】

バスコントローラ 634 は、変数 CN の値が 8 に到達したか否か、すなわち、接続線 SDA に 8 回分の全データが出力されたか否かを判定する (5317)。全データの出力が完了していない場合には (5317 の結果が「N」)、接続線 SDA に次のデータを出力し (5318)、ステップ 5310 以降の処理を実行する。

【0713】

一方、バスコントローラ 634 は、変数 CN の値が 8 に到達し、すべてのデータの送信が完了し (5317 の結果が「Y」)、ドライバ 632 を駆動してトランジスタ 630 をオフさせることにより接続線 SDA を解放する (5319)。但し、このステップ 5319 の処理は、バスコントローラ 634 が接続線 SDA を LOW レベルに設定していた場合にのみ必要な処理なので、バスコントローラ 634 が接続線 SDA を HIGH レベルに設定していた場合には、実行する必要がない。

【0714】

このとき、接続線 SCL の信号レベルが LOW、接続線 SDA の信号レベルが HIGH となるので (5320)、次いで、接続線 SCL の信号レベルが HIGH になるまで待機する (5321)。

【0715】

このとき、当該 I²C I/O エクスパンダ 615 から、マスタ IC 570a (図 11 参照、図 12 のマスタ IC 570b でも同様) に対して、既に 8 ビット単位のデータが送信されており、さらに、マスタ IC 側が、次のデータを受信する状態になっている場合には、マスタ IC 570a (570b) から当該 I²C I/O エクスパンダ 615 へ、ACK の応答信号が送信される。

【0716】

そして、バスコントローラ 634 は、接続線 SCL の信号レベルが HIGH になると (5321 の結果が「SCL」)、接続線 SDA の信号レベル (応答信号) を取り込む (

10

20

30

40

50

5322)。そして、取り込まれた応答信号がACK(LOWレベル)であるか否か、すなわち、マスターICが次のデータを受信する状態となっているか否かを判定する(5323)。

【0717】

このとき、取り込まれた応答信号がACKである場合には(5323の結果が「Y」)、接続線SCLの信号レベルがHIGH、接続線SDAの信号レベルがLOWになっており(5324)、バスコントローラ634は、接続線SCLの信号レベルがLOWに変化するまで待機する(5325)。接続線SCLの信号レベルがLOWに変化すると(5325の結果が「SCL」)、変数CNの値を0に設定し(5326)、次のデータを出力するために、ステップ5318以降の処理を実行する。

10

【0718】

一方、取り込まれた応答信号がNACKである場合には(5323の結果が「N」)、バスコントローラ634は、変数CNを0、状態番号を0に設定し、さらに、受信バッファをクリアする(5327)。このとき、接続線SCL及び接続線SDAの信号レベルはともにHIGHになっており、図51の状態5103に対応し、図51のステップ5104の処理を実行する。

【0719】

次に、本発明の実施の形態において、演出制御装置550のCPU551と、第1マスターIC570a及び第2マスターIC570bとの間で、データが授受されるタイミングについて説明する。

20

【0720】

図54は、本発明の実施の形態のVDP割込み時に演出制御装置550のCPU551からの指示によって、第1マスターIC570a及び第2マスターIC570bによる処理が並列して実行される状態を示すタイミングチャートである。

【0721】

本発明の実施の形態では、表示装置53に表示された画像を更新するタイミングにおいてVDP割込みが発生すると、演出制御装置550のCPU551は、各マスターICに対して演出制御データの出力を開始する。各マスターICは、CPU551から演出制御データを受信すると、他のマスターICとは独立して、受信した演出制御データを各スレーブに送信するなどの処理を実行する。そして、すべてのスレーブに対して演出制御データの出力が完了すると、各マスターICはストップコンディションを出力し、各スレーブによって制御される演出装置(装飾装置620)の演出態様を更新する。

30

【0722】

このように、第1マスターIC570a及び第2マスターIC570bによる処理が並行して実行され、さらに、VDP割込みと各演出装置の演出態様の更新タイミングを同期させることによって、画像表示と調和のとれた演出を行うことが可能となる。

【0723】

さらに、詳細に説明すると、演出制御装置550のCPU551は、VDP割込みが発生すると、スレーブ出力開始処理(図37のステップ3710、図39)を実行し、各マスターICに対してスタートコンディションを出力する。

40

【0724】

そして、CPU551は、演出制御装置550により制御される各装置への出力データを編集する。具体的には、表示装置53で演出を行うためのVDP出力データ編集(図37のステップ3711)、スピーカ30から音声を出力するためのスピーカ関連データ編集(図37のステップ3712)、演出装置としてのLEDを制御する装飾制御装置610へ出力する演出制御データの編集(図37のステップ3713)、及びモータなどの駆動体を制御するためのデータ編集を行う。これらの編集処理の実行中に、各マスターICによってCPU551に対するマスタ割込みが発生すると、演出制御データの送信再開処理(図43)によって、編集された演出制御データが各マスターICの出力用バッファ572に書き込まれる。そして、図45に示したマスタによるデータ送信処理によって、各スレ

50

ープに演出制御データが出力される。

【0725】

最後に、送信対象のスレーブの全てに演出制御データが送信されると、演出制御データの送信再開処理によって、マスタICからスレーブにストップコンディションが出力され（図43のステップS4311）、このストップコンディションによって、各スレーブが受信した演出制御データが各演出装置の演出態様に反映される。

【0726】

その後、CPU551は、次のVDP割込みが発生するまで待機する。そして、次のVDP割込みが発生すると、前述のスレーブ出力開始処理（図37のステップ3710、図39）を実行して、各マスタICに対してスタートコンディションを出力し、以降、同じ処理を繰り返す。

10

【0727】

次に、グループ化された演出装置（装飾装置620）の構成例について説明する。

【0728】

図55は、本発明の実施の形態における装飾制御装置610のI²C I/Oエクスパンダ615と、装飾装置620との接続例を示す図であり、8セット分のLEDを2つのI²C I/Oエクスパンダ615によって制御する構成を示す図である。

【0729】

装飾装置620は一例としてLEDによって構成されているとし、赤（R）、緑（G）、青（B）の3色のLEDを1セットとして制御することによって、さまざまな色で発光することを可能とする。例えば、赤、緑、青のすべてのLEDを発色させると、白色に発光させることができる。

20

【0730】

そして、本発明の実施の形態では、1つのI²C I/Oエクスパンダ615は、16個のポート（PORT0～15）に対応するLEDを制御することが可能であるため、3色のLEDのセットを5セットまで接続することが可能である。

【0731】

しかし、より興趣を高める演出を行うために、16個を超えるポートにLED（演出装置）を接続する場合が考えられる。図55では、5セット以上（8セット）のLEDを、2つのI²C I/Oエクスパンダ615にまたがって接続して制御する構成について説明する。

30

【0732】

前述のように、I²C I/Oエクスパンダ615には16のポート（PORT0～15）が備えられているため、3色のLEDのセットを5セットまで接続することが可能である。しかしながら、8セットのLEDを1つのグループとして演出が行われる場合には、少なくとも2つのI²C I/Oエクスパンダ615を必要とする。

【0733】

そこで、図55に示す構成では、一方のI²C I/Oエクスパンダ615は、各セットの赤及び緑のLEDを制御し、他方のI²C I/Oエクスパンダ615（615b）は、各セットの青のLEDを制御するように構成している。そして、これらの2つのI²C I/Oエクスパンダ615を同じグループとして制御し、図56にて後述するように、演出制御装置550から出力されたストップコンディションを受け付けてから演出制御を同時に実行することによって、複数のI²C I/Oエクスパンダ615によって制御されるLEDによる演出を違和感なく行うことが可能となるのである。

40

【0734】

図56は、本発明の実施の形態における装飾制御装置610がデータを受信し、演出装置を制御するタイミングを示す図であり、ストップコンディションを出力した時点で受信したデータを反映させる場合について説明する図である。

【0735】

本図において、まず最初に、演出制御装置550からスタートコンディションを出力し

50

、次に、演出制御装置 550 から複数の $I^2C I/O$ エクスパンダ 615 に演出制御データを順次出力し、最後に、演出制御装置 550 からストップコンディションを出力する状態を示している。説明の都合上、装飾制御装置 610 の $I^2C I/O$ エクスパンダ 615 は 5 個設けられているものとし、それぞれを第 1 $I^2C I/O$ エクスパンダ ~ 第 5 $I^2C I/O$ エクスパンダとする。

【0736】

ここで、図中で「data1」となっているものは、演出制御装置 550 から第 1 $I^2C I/O$ エクスパンダに送信される演出制御データを示し、以下、「data2」~「data5」は、演出制御装置 550 から、第 2 $I^2C I/O$ エクスパンダ ~ 第 5 $I^2C I/O$ エクスパンダの各々へ送信される演出制御データを示す。

10

【0737】

また、図中で「演出装置(1)」となっているものは、第 1 $I^2C I/O$ エクスパンダの I/O ポートに接続されている LED 等を示し、以下、「演出装置(2)」~「演出装置(5)」は、第 2 $I^2C I/O$ エクスパンダ ~ 第 5 $I^2C I/O$ エクスパンダの I/O ポートに接続されている LED 等に、それぞれが対応する。

【0738】

なお、演出制御装置 550 から、第 1 $I^2C I/O$ エクスパンダ ~ 第 5 $I^2C I/O$ エクスパンダの各々へ演出制御データを送信する際には、 $I^2C I/O$ エクスパンダの選択を切り替えるタイミングで、演出制御装置 550 から $I^2C I/O$ エクスパンダにスタートコンディション(リスタートコンディションとして機能する)を出力している。ただし、最初に演出制御装置 550 がスタートコンディションを出力してから、第 1 $I^2C I/O$ エクスパンダ ~ 第 5 $I^2C I/O$ エクスパンダの全てに演出制御データを送信するまでの間(図中に T で示した期間)はストップコンディションを出力せず、この期間 T の経過後にストップコンディションを出力している。

20

【0739】

本発明の実施の形態では、接続線 SDA からシリアルに演出制御データが送信されるため、各 $I^2C I/O$ エクスパンダ毎に、演出制御データが到達するタイミングに時間差が生じる。各 $I^2C I/O$ エクスパンダは、演出制御装置 550 から演出制御データを受け入れた時点では、バスコントローラ 634 (図 18) に内蔵された図示しないバッファに受信した演出制御データを一次的に確保しているに過ぎない。

30

【0740】

ここで、各 $I^2C I/O$ エクスパンダが、単独で演出制御データの受信と同時に LED の発光態様を変更してしまうような処理を行った場合を想定する。LED の発光態様の变化に時間差を生じるため、違和感のある演出が行われる恐れがある。

【0741】

例えば、赤(R)、緑(G)、青(B)の LED が、前述の図 55 のように、複数の $I^2C I/O$ エクスパンダにまたがって接続されているような場合には、遊技者に誤解をあたえるような色彩で LED が発光する可能性がある。

【0742】

具体的には、前述した信頼度報知装置 15 (図 2) が、発光する色によって大当たりとなる期待度が異なるように設定されており、信頼度報知装置 15 が赤く光れば大当たりが確定する仕様となっているものとする。そして、信頼度報知装置 15 を、大当たりの確定とはならない紫色で発光させる報知動作を行う場合を想定する。

40

【0743】

このような報知動作を行う場合には、信頼度報知装置 15 に備えた発光体内の赤色 LED と青色 LED とを同時に点灯して発光体を紫色で発光させるような制御を行うことになるが、前述の図 55 のように複数の $I^2C I/O$ エクスパンダにまたがって接続された LED が発光する際の時間差により、赤色 LED だけが点灯するような瞬間があると、遊技者が大当たりするものと誤解し、遊技店と遊技者の間でトラブルになる恐れがある。

【0744】

50

そこで、本発明の実施の形態では、演出制御装置 550 からストップコンディションを受信した時点で、バッファ内の演出制御データを出力設定レジスタ 635 に上書きし、この出力設定レジスタ 635 の記憶内容を出力コントローラ 636 によってドライバ 637 に反映させ、当該 I²C I/O エクスパンダに接続されている LED の発光態様を変化させる処理を行っている。

【0745】

そのため、図 56 に示すように、ストップコンディション出力時に、各 I²C I/O エクスパンダが受信した演出制御データを各演出装置の出力態様に同時に反映させることが可能となり、違和感のない演出を行うことが可能となる。

【0746】

なお、本発明の実施の形態では、I²C I/O エクスパンダが受信した演出制御データを各演出装置の出力態様に反映させるタイミングを、更新指令信号として例示したストップコンディションの受信時としているが、他の更新指令信号を用いても構わない。ストップコンディションのように演出制御データの最後に送信されるものに限られず、演出制御データの送信の途中で送信されるものであっても、接続線 SDA 及び SCL の信号変化によって表現できる更新指令信号であれば、適用可能である。

【0747】

図 57 は、本発明の実施の形態において、I²C I/O エクスパンダ 615 がバスを占有した場合にバスを解放する手順を説明する図である。

【0748】

マスタ IC からスタートコンディションが出力されると、マスタ IC がスレーブ側の I²C I/O エクスパンダ 615 に対してデータの出力を開始し、マスタ IC の STA (スタートフラグ) が ON に設定される。その後、マスタ IC は、接続線 SCL の信号レベルを順次変化させながら、B7 から B0 までの 8 ビットのデータを I²C I/O エクスパンダ 615 に順次送信する。このとき、スレーブ側の I²C I/O エクスパンダ 615 では、接続線 SCL の信号レベルの変化に対応して、順次データを取り込む。

【0749】

そして、8 ビット (1 バイト) 分のデータ、すなわち、1 回分のデータが送信されると、マスタ IC 側で接続線 SDA が解放される (図 52 のステップ 5201)。接続線 SDA が解放されると、信号レベルが HIGH に設定されている。そして、スレーブ側から返答信号 (ACK, NACK) が送信されるまで待機する。

【0750】

スレーブ側の I²C I/O エクスパンダ 615 は、接続線 SDA の信号レベルを LOW に変化させることによって、返答信号 (ACK) を出力する。その後、マスタ IC が接続線 SCL の信号レベルを LOW から HIGH に変化させ、次いで、HIGH から LOW に変化させるまでの期間に渡って、スレーブ側の I²C I/O エクスパンダ 615 は、接続線 SDA を占有する (図 52 のステップ 5207 ~ 5212 に相当)。

【0751】

図 57 を参照すると、マスタ IC 側で 7 ビット目のデータを送信したとき、ノイズなどが原因で接続線 SCL の信号レベルが変化するとスレーブ側で認識され、スレーブ側の I²C I/O エクスパンダ 615 では 8 ビット目のデータが送信されたと認識してしまっている。そのため、スレーブは返答信号 (ACK) を出力するために信号レベルを LOW に設定して、接続線 SDA を占有する。本発明の実施の形態では、同時に自己占有 WDT 641 によってスレーブによる接続線 SDA の占有の監視が開始される。

【0752】

このとき、マスタ IC は、スレーブ側の I²C I/O エクスパンダ 615 によって接続線 SDA が占有され、信号レベルが LOW になっているため、HIGH に変更されるまでデータ (B0) を送信できない状態になっている。さらに、スレーブ側の I²C I/O エクスパンダ 615 は、接続線 SCL の信号レベルが変化するまで待機しているため、互いに信号レベルが変化するまで待機している状態になり、処理全体が停止してしまう。そこ

10

20

30

40

50

で、本発明の実施の形態では、前述のように、スレーブ側の I^2C I/Oエクスパンダ615が接続線SDAを占有している時間が自己占有WD T 641によって監視されているため、占有が開始されてから所定の時間が経過すると、スレーブ側の I^2C I/Oエクスパンダ615自身をリセットすることによって強制的に接続線SDAが解放される。

【0753】

接続線SDAが解放されると、マスタICは最後のデータを送信する。このとき、スレーブ側の I^2C I/Oエクスパンダ615では、正常にデータを受信できなかった旨の返答信号(NACK)を送信する。その結果、CPU551によって再送要求がマスタICに通知され、データを再送信し、処理を再開することができる。

【0754】

10

図58は、本発明の実施の形態において、接続線SDAが何らかの原因により占有されている状態が発生し、接続線SDAの占有を検出した I^2C I/Oエクスパンダ615が自己をリセットして、バスを解放することを試みる手順を説明する図である。

【0755】

図57では、接続線SDAを占有している I^2C I/Oエクスパンダ615が、自己をリセットすることにより接続線SDAを解放する場合について説明したが、図58では、バス全体を監視し、他のスレーブ(接続線SDAに接続されている他の I^2C I/Oエクスパンダ615等)が接続線SDAを占有したことでバスが解放されない場合に、バスを強制的に解放させる手順について説明する。

【0756】

20

バス監視WD T 640による監視は、接続線SDAの信号レベルがLOWレベルになると開始し、接続線SDAの信号レベルがHIGHレベルになると終了する。つまり、接続線SDAの信号レベルが連続してLOWとなっている時間が一定の時間となると、バス監視WD T 640からリセット信号発生回路639に、リセット信号を出力させるための指令が出力される。

【0757】

図57で説明したように、スレーブ側の I^2C I/Oエクスパンダ615によってバスが占有されると、マスタICとスレーブ側の I^2C I/Oエクスパンダ615との間の信号の入出力が停止し、接続線SDAの信号レベルが変化しなくなる(互いに信号レベルが変化するまで待機している状態になる)。そこで、所定の時間、接続線SDAの信号レベルが変化しなくなった場合には、接続線SDAに接続されている全ての I^2C I/Oエクスパンダ615が、各々の判断で自己をリセットすることによって、バスを解放する。

30

【0758】

図58を参照すると、マスタICからデータB1が出力された後、他のスレーブによってバスが占有されている。図58の場合には、自己スレーブによるバスの占有ではないため、実際に占有されているスレーブを特定することができない。そこで、接続線SDAに接続されているスレーブ(I^2C I/Oエクスパンダ615)の各々が、自己をリセットすることによって、バスを解放する。(正確には、接続線SDAに接続されている I^2C I/Oエクスパンダ615のうち、自己をリセットする機能を有したものだけがリセット処理を行う。)

40

【0759】

これにより、マスタICから残りのデータが送信され、スレーブから受信失敗の旨の返答信号(NACK)が出力され、応答されることによって、データが再送され、処理が継続される。

【0760】

図59は、本発明の実施の形態においてスレーブ側の I^2C I/Oエクスパンダ615によってバスが占有された場合に、マスタICからの指令によってスレーブ側の I^2C I/Oエクスパンダ615がバスを解放する手順を説明する図である。

【0761】

ノイズなどにより接続線SCLの信号レベルの変化回数がマスタ側とスレーブ側とで相

50

違すると、前述のように、接続線 S D A がスレーブ側の I²C I / O エクスパンダ 6 1 5 によって占有され、バスが解放されなくなる。

【 0 7 6 2 】

そこで、バスが占有されたままの状態です定の時間以上経過すると、監視タイマ回路 5 6 2 によって、C P U 5 5 1 にタイムアウト割込みが発生する（図 1 0 及び図 4 1 参照）。このとき、C P U 5 5 1 は、ソフトリセットを実行することによってマスタ I C を初期化する。そして、各スレーブ（マスタ I C に接続された I²C I / O エクスパンダ 6 1 5 ）に対し、ストップコンディションとスタートコンディションとを出力することを試みる。

【 0 7 6 3 】

このとき、スレーブ側の I²C I / O エクスパンダ 6 1 5 では、まず、図 4 6 に示したストップコンディション出力処理が実行される。このとき、接続線 S C L 及び接続線 S D A の信号レベルはともに L O W であるため、S C L 解放処理が実行される（図 4 6 の 4 6 0 4、図 4 7）。占有されているのは、接続線 S D A であるため、S C L 解放処理は正常に実行され、接続線 S C L の信号レベルは H I G H に設定される。

【 0 7 6 4 】

続いて、図 4 6 のステップ 4 6 0 5 の処理が実行され、S D A 解放監視処理（図 4 8）が実行される。S D A 解放監視処理では、ステップ 4 8 0 3 の処理で接続線 S D A の信号レベルを H I G H に変更しようとするが、スレーブの I²C I / O エクスパンダ 6 1 5 によって占有されているため、H I G H にすることができない。したがって、ステップ 4 8 0 5 以降の処理が実行される。

【 0 7 6 5 】

このとき、マスタ I C は、接続線 S C L の信号レベルを少なくとも 9 回変化させる。こうすることによって、スレーブ側の I²C I / O エクスパンダ 6 1 5 は、接続線 S C L の信号レベルの変化が少なくとも 9 回行われる途中において、接続線 S C L の信号レベルが H I G H から L O W への変化を検出することになり、接続線 S D A を解放する（図 5 2 のステップ 5 2 0 8 ~ 5 2 1 1 のループから抜け出すことに相当）。

【 0 7 6 6 】

次いで、マスタ I C は、接続線 S D A が解放されたことを確認したうえで、スレーブ側の I²C I / O エクスパンダ 6 1 5 にストップコンディションを出力し、次いで、スタートコンディションを出力し、再度、データ送信を行う。

【 0 7 6 7 】

図 6 0 は、本発明の実施の形態において、マスタ I C からの誤った指令により、スレーブ側の I²C I / O エクスパンダ 6 1 5 で読み出しモードが発生してバスが占有された場合に、マスタ I C からの指令によってスレーブ側の I²C I / O エクスパンダ 6 1 5 がバスを解放する手順を説明する図である。

【 0 7 6 8 】

なお、本実施形態では、マスタ I C からスレーブ側の I²C I / O エクスパンダ 6 1 5 に対して、読み出しモードを発生させる指令を送信することは意図していないが、ノイズ等の影響により、I²C I / O エクスパンダ 6 1 5 が勝手に判断して、読み出しモードに遷移した場合を想定して説明を行う。

【 0 7 6 9 】

I²C I / O エクスパンダ 6 1 5 が読み出しモードの場合であってもバスが占有されたままの状態です定の時間以上経過すると、書き込み要求の場合と同様に、監視タイマ回路 5 6 2 によって、C P U 5 5 1 にタイムアウト割込みが発生する（図 1 0 及び図 4 1 参照）。このとき、C P U 5 5 1 は、図 5 8 で説明したように、まず、ソフトリセットを実行することによってマスタ I C を初期化する。そして、各スレーブ（マスタ I C に接続された I²C I / O エクスパンダ 6 1 5 ）に対し、ストップコンディションとスタートコンディションを出力することを試みる。このとき、前述同様に、S D A 解放監視処理（図 4 8）が実行される。

【0770】

S D A解放監視処理が実行され、接続線 S C Lの信号レベルを少なくとも9回変化させると、I²C I / Oエクスパンダ615は、接続線 S C Lの信号レベルの変化に合わせて接続線 S D Aにデータを出力するが、接続線 S C Lの信号レベルの変化が9回行われる途中において、マスタ I Cからの返答信号 (A C K)を確認するタイミングが発生する。このとき、マスタ I C側では接続線 S D Aを開放したままにしているため、スレーブ側の I²C I / Oエクスパンダ615は、接続線 S D Aの信号レベルを取り込んだ際に、H I G HレベルとなるN A C Kの返答信号を受信したものと認識し、以降のデータ送信を中止すべきと判断して接続線 S D Aを解放する。

【0771】

本発明の実施の形態によれば、演出制御装置550(グループ統括制御手段)に含まれる各マスタ I C(信号レベル制御手段)が装飾制御装置610(グループ単位制御手段)にデータを送信すると、装飾制御装置610から演出制御装置550に返答信号が送信されるため、データ送信が行われたか否かを確認することが可能となり、誤作動を防止できる。

【0772】

また、本発明の実施の形態によれば、演出制御装置550は装飾制御装置610へ一本のデータ線(接続線 S D A)を介してデータを送信し、装飾制御装置610から演出制御装置550へも同じデータ線を介して返答信号が送信されるので、基板間の配線を少なくすることができる。

【0773】

さらに、本発明の実施の形態によれば、一本のデータ線が、グループ統括制御手段からグループ単位制御手段へのデータ送信と、グループ単位制御手段からグループ統括制御手段への返答信号送信で共通利用されるため、データ線がグループ単位制御手段により占有されて使用できない状態が発生する恐れがあるが、初期化手段によってグループ単位制御手段を初期化する処理が行われ、これによりデータ線の占有状態を解除することが出来るので、通信が停止してしまうことを防止できる。

【0774】

さらに、本発明の実施の形態によれば、データ線を占有しているグループ単位制御手段自身が、通信停止状態の発生を判断して自分自身を初期化することにより、他のグループ単位制御手段の処理に影響を与えることなく、データ線を解放することができる。

【0775】

また、本発明の実施の形態によれば、データ線の占有状態を検出すると、データ線に接続されているグループ単位制御手段の全てが、自分自身を初期化することによって、確実にデータ線を解放することができる。

【0776】

本発明の実施の形態によれば、グループ統括制御手段からデータ線を解放する指令を送信することができる。さらに、返答信号の出力開始と出力終了のタイミングが、グループ統括制御手段から指令されるので、グループ単位制御手段の処理が簡素化される。そして、返答信号の出力開始後に、出力終了の指令が届かないような不具合が発生したときには、占有解除指令手段によって不具合が解除され、通信が正常な状態に復帰できる。

【0777】

さらに、本発明の実施の形態によれば、1つのマスタ I Cに接続可能な装飾制御装置610の数に上限があったとしても、演出制御装置550に複数のマスタ I Cを備えることによって、より多くの装飾制御装置610を利用することができる。

【0778】

また、本発明の実施の形態では、第1マスタ I C570a(第1の信号レベル制御手段)が遊技盤10に備えられた演出装置を制御し、第2マスタ I C570b(第2の信号レベル制御手段)が前面枠3に備えられた演出装置を制御するように構成されている。このように、遊技盤10に備えられた演出装置と前面枠3に備えられた演出装置とを別のグル

10

20

30

40

50

ープとすることによって、前面枠 3 や遊技盤 10 を開発する際には、装飾制御装置 610 の上限数を開発対象の各グループに限定して考慮すればよいので、構成毎に並行して機器の開発を行うなど開発の効率化を図ることができる。

【0779】

さらに、本発明の実施の形態によれば、CPU 551 によってマスタ IC が選択され、選択されたマスタ IC に接続される複数の装飾制御装置 610 (I²C I/O エクспанダ 615) が、まとめて初期化されるので、装飾制御装置 610 を 1 つ 1 つ選択して初期化するような方法と比較すると、高速な初期化処理を行うことができる。

【0780】

このとき、選択されたマスタ IC に接続される装飾制御装置 610 だけを初期化して、
選択されない他のマスタ IC に接続される装飾制御装置 610 を初期化しないような制御
が可能となる。

10

【0781】

そのため、遊技機に備えた全ての装飾制御装置 610 のうち、必要最小限の範囲に属する装飾制御装置 610 だけを初期化することができるので、装飾制御装置 610 の初期化が行われて演出装置の動作が中断する頻度を、低下させることができる。

【0782】

また、本発明の実施の形態によれば、すべてのマスタ IC をリセットしようとする場合にはハードリセットを行う構成となっているため、各マスタ IC を 1 個ずつソフトリセットする場合と比較して、高速に初期化を行うことが可能となる。

20

【0783】

一方、一部のマスタ IC をリセットしようとする場合には、データバスを経由するソフトリセットによって初期化を実行するため、すべてのマスタ IC の初期化信号入力端子に個別に信号入力するような複雑な回路を必要とせず、1 つのポートを備えていればよい。すなわち、起動時に毎回必ず実行されるすべてのマスタ IC のリセットは高速で行うことが可能となり、非常時にのみ実行される一部のみのマスタ IC のリセットは、簡素化された回路で実行可能となるため、特に、マスタ IC の数が多い構成の場合に有効となる。

【0784】

また、本発明の実施の形態によれば、マスタ IC による処理がそれぞれ並列して動作するため、高速な処理が可能となる。さらに、画面更新のタイミングと同期させて演出装置の演出態様が更新するように制御されるため、画面表示と調和のとれた発光の演出が可能となる。

30

【0785】

さらに、本発明の実施の形態によれば、取り込まれたデータを演出装置の出力態様として反映させるタイミングが、タイミング信号線とデータ線の信号レベル変化(ストップコンディションの受信)によって決定されるので、従来の LAT 信号のような信号が不要となる。そのため、LAT 信号を送信するための配線が不要になり、配線をより簡素化することが可能となる。

【0786】

また、本発明の実施の形態によれば、複数の装飾制御装置 610 に対して、個別の演出制御データを同一の信号線を用いて送信することが可能となり、さらに、制御対象の各演出装置の演出態様を同時に更新することが可能となる。

40

【0787】

以上説明した本発明の実施の形態では、電源投入後、バス監視 WDT 640 及び自己占有 WDT 641 は、無条件に動作するように構成されている。

【0788】

しかしながら、バス監視 WDT 640 及び自己占有 WDT 641 は、接続線 SDA の信号レベルに基づいて装飾制御装置 610 をリセットするオプション的な機能であるので、この機能を使用するか否かは、何らかの方法によって選択できることが好ましい。

【0789】

50

特に、電源投入の直後においては、接続線 S D A の信号レベルが不安定になっているため、接続線 S D A の信号レベルを監視しながら装飾制御装置 6 1 0 をリセットする機能が電源投入の直後から動作していると、予期せぬリセット処理が発生して誤動作の要因にもなりやすい。そのため、電源投入の直後においては、バス監視 W D T 6 4 0 及び自己占有 W D T 6 4 1 が無効化されていることが好ましい。

【 0 7 9 0 】

そこで、ウォッチドッグタイマによる監視を必要に応じて有効化又は無効化する本発明の実施の形態の変形例について説明する。本発明の実施の形態の変形例では、遊技機の電源投入後や初期化直後に、リセット処理が完了するまでウォッチドッグタイマによる監視が行われないように制御する。以下、図 6 1 から図 6 4 を参照しながら本発明の実施の形態の変形例の詳細を示す。

10

【 0 7 9 1 】

図 6 1 は、本発明の実施の形態の変形例の I²C I / O エクスパンダ 6 1 5 の構成を示すブロック図である。

【 0 7 9 2 】

図 6 1 に示す本発明の実施の形態の変形例の I²C I / O エクスパンダ 6 1 5 は、出力設定レジスタ 6 3 5 への設定値によって、バス監視 W D T 6 4 0 及び自己占有 W D T 6 4 1 の機能が有効化又は無効化される点で図 1 8 に示した本発明の実施の形態の I²C I / O エクスパンダ 6 1 5 と相違し、その他の構成は同じである。

【 0 7 9 3 】

20

前述のように、I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5 には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。

【 0 7 9 4 】

本発明の実施の形態の変形例では、出力設定レジスタ 6 3 5 とバス監視 W D T 6 4 0 及び自己占有 W D T 6 4 1 とが接続されており、出力設定レジスタ 6 3 5 のワークレジスタに設定された値に基づいて、ウォッチドッグタイマの O N / O F F を制御する。

【 0 7 9 5 】

ウォッチドッグタイマの O N / O F F を制御する場合には、まず、すべての装飾制御装置 6 1 0 に対して共通の指令を出力可能なオールコールアドレス（A L L C A L L アドレス、第 2 の共通アドレス、図 2 3 参照）を宛先とする。そして、ウォッチドッグタイマの O N / O F F を制御するビットに所定の値を設定することによって、すべての装飾制御装置 6 1 0 のウォッチドッグタイマの O N / O F F を一斉に設定する。

30

【 0 7 9 6 】

このとき、オールコールアドレスの使用可否を切り替えることによって、ウォッチドッグタイマの O N / O F F をすべての装飾制御装置 6 1 0 に一斉に設定することを許可するか否かを指定することができる。なお、オールコールアドレスの使用可否は、モードレジスタ 1 のビット 0 に “ 0 ” 又は “ 1 ” を設定する。また、ウォッチドッグタイマの O N / O F F は、モードレジスタ 2 のビット 2 に “ 0 ” 又は “ 1 ” を設定する。オールコールアドレス及びウォッチドッグタイマの使用可否設定の詳細については後述する。

40

【 0 7 9 7 】

前述のように、モードレジスタ 1 及びモードレジスタ 2 は、I²C I / O エクスパンダ 6 1 5 の初期設定を行うためのモードレジスタであり、出力設定レジスタ 6 3 5 のワークレジスタの一部として設けられている（図 2 4 参照）。モードレジスタ 1 はレジスタ番号「 0 0 h」、モードレジスタ 2 はレジスタ番号「 0 1 h」に対応する。モードレジスタ 1 及びモードレジスタ 2、すなわち、レジスタ番号「 0 0 h」及び「 0 1 h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I²C I / O エクスパンダ 6 1 5 の初期設定が行われる。以下、モードレジスタ 1 及びモードレジスタ 2 の詳細を、図 6 2 にて説明する。

【 0 7 9 8 】

50

図 6 2 は、本発明の実施の形態の変形例のモードレジスタ 1 及びモードレジスタ 2 の一例を示す図である。図 6 2 (A) は、モードレジスタ 1 の構成を示し、図 6 2 (B) は、モードレジスタ 2 の構成を示す。モードレジスタ 1 及びモードレジスタ 2 は、それぞれ 8 ビットである。

【 0 7 9 9 】

モードレジスタ 1 の各ビットは、ビット 0 から順に、A L L C A L L、S U B 3、S U B 2、S U B 1、S L E E P、A I 0、A I 1、及び A I 2 が含まれる。

【 0 8 0 0 】

A L L C A L L は、オールコールアドレスの使用可否を示すパラメータであり、“ 1 ” が設定されている場合には使用可能、“ 0 ” が設定されている場合には使用不可となる。なお、初期値には、“ 1 ” (使用可能) が設定され、初期化 (リセット) 直後にはオールコールアドレスが使用可能となっている。

10

【 0 8 0 1 】

S U B 3、S U B 2 及び S U B 1 は、サブアドレスの設定可否を示すパラメータである。S L E E P は、省電力モードか否かが設定されるパラメータである。A I 0、A I 1、及び A I 2 は、アドレスのオートインクリメントを指定するパラメータであり、詳細については図 2 8 にて説明したとおりである。

【 0 8 0 2 】

モードレジスタ 1 の各ビットは、ビット 0 から順に、O N T N E (2 ビット)、W D T、O C H、I N V R T、及び D M B L N K が含まれる。なお、ビット 6 及びビット 7 は未使用となっている。また、I N V R T には、常に 0 が設定されている。

20

【 0 8 0 3 】

O N T N E は、I²C I / O エクスパンダ 6 1 5 に接続されたすべての L E D 出力を同時に有効又は無効に設定するパラメータである。

【 0 8 0 4 】

W D T は、ウォッチドッグタイマの O N / O F F を制御するパラメータであり、“ 1 ” が設定されている場合には使用可能 (O N)、“ 0 ” が設定されている場合には使用不可 (O F F) となっている。なお、初期値には “ 0 ” が設定されているため、初期化直後にはウォッチドッグタイマが動作しないように設定されている。そのため、マスタ I C が必要に応じてウォッチドッグタイマを有効化する。

30

【 0 8 0 5 】

O C H は、図 2 4 にて説明したように、I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5 に格納された演出制御データを演出装置に実際に反映させるタイミングを規定するパラメータである。具体的には、ストップコンディション又は A C K を受信した時点で演出制御データを出力するように設定することができる。D M B L N K は、I²C I / O エクスパンダ 6 1 5 に接続された L E D の点滅及び明るさを調整するパラメータである。

【 0 8 0 6 】

図 6 3 は、本発明の実施の形態の変形例の初期化指示データの送信再開処理の手順を示すフローチャートである。図 4 2 に示した本発明の実施の形態の手順と同一の処理については、同じ符号を付与し、相違する処理について説明する。

40

【 0 8 0 7 】

本発明の実施の形態では、初期化段階番号は 0 から 4 までの値が設定されたが、本発明の実施の形態の変形例では、初期化段階番号が 0 から 1 0 までの値が設定される。このため、本発明の実施の形態の変形例では、図 6 4 に示すような初期化段階番号と出力バッファ設定値との組合せをあらかじめ定義しておき、初期化段階番号に基づいて出力バッファ設定値を出力用バッファ 5 7 2 に設定する。

【 0 8 0 8 】

具体的に説明すると、C P U 5 5 1 は、まず、初期化段階番号とステータスコードとの整合を判断し (6 3 0 1)、初期化段階番号とステータスコードとが整合しているか否か

50

を判定する(6302)。初期化段階番号とステータスコードとが整合していない場合には(6302の結果が「N」)、ステップ4203以降の処理を実行する。ステップ4203以降の処理については、図42にて説明した処理と同様である。

【0809】

なお、初期化段階番号とステータスコードとの整合の判断は、本発明の実施の形態において図44に示した送信処理継続判定表4400と同様であるが、本発明の実施の形態の変形例では、初期化段階番号が1(0)から10となっているため、対応関係が相違する。

【0810】

以下、本発明の実施の形態と本発明の実施の形態の変形例の初期化段階番号を対応させながら具体的に説明する。

【0811】

本発明の実施の形態の変形例で初期化段階番号が1の場合は、初期化処理の実行開始直後であることを示しており、本発明の実施の形態と同じ判断基準で整合性を判断する。

【0812】

本発明の実施の形態の変形例で初期化段階番号が2、5、8の場合は、本発明の実施の形態で初期化段階番号が2の場合に対応する。初期化段階番号が2、5、8の場合は、直前の処理でアドレスが送信されているため(図64参照)、アドレスの送信が成功したことを示す場合に整合していると判断される。

【0813】

また、本発明の実施の形態の変形例で初期化段階番号が3、4、6、7、9、10の場合は、本発明の実施の形態で初期化段階番号が3、4の場合に対応する。初期化段階番号が3、4、6、7、9、10の場合は、直前の処理でデータが送信されているため(図64参照)、データの送信が成功したことを示す場合に整合していると判断される。

【0814】

CPU551は、初期化段階番号とステータスコードとが整合している場合には(6302の結果が「Y」)、初期化段階番号が10であるか否かを判定する(6303)。初期化段階番号が10の場合には(6303の結果が「Y」)、初期化処理が終了したことを示しているため、ステップ4213以降の終了処理を実行する。ステップ4213以降の処理については、本発明の実施の形態において初期化段階番号が4の場合に対応し、図42にて説明した処理と同様である。なお、本発明の実施の形態の変形例における初期化段階番号が10の場合は、本発明の実施の形態の初期化段階番号が4の場合と同様に、初期化処理の最終段階を示している。

【0815】

また、CPU551は、初期化段階番号が10でない場合、すなわち、初期化段階番号が1から9の場合には(6303の結果が「Y」)、初期化段階番号に対応する値を出力用バッファ572に設定する(6304)。初期化段階番号と当該初期化段階番号に対応する値は、あらかじめ定義されており、図64にて一例を示す。続いて、CPU551は、ステップ4208以降の処理を実行する。ステップ4208以降の処理については、図42にて説明した処理と同様である。

【0816】

図64は、本発明の実施の形態の変形例の初期化段階番号と出力用バッファ572に設定される出力バッファ設定値との対応を示す図である。

【0817】

初期化段階番号が1の場合には、出力バッファ設定値として“D6h”が出力用バッファ572に設定される。“D6h”は、リセット用アドレスを示している。なお、リセット用アドレスも、すべての装飾制御装置610に対して共通の指令を出力可能な共通アドレス(オールコールアドレスとは別個の第1の共通アドレス)である。

【0818】

さらに、初期化段階番号が2の場合には“A5h”、初期化段階番号が3の場合には“

10

20

30

40

50

5 A h ” が出力用バッファ 5 7 2 に設定される。“ A 5 h ” はリセット指令（初期化指示データ）の前半値、“ 5 A h ” はリセット指定（初期化指示データ）の後半値を示している。なお、初期化段階番号が 1 から 3 の場合は、前述した本発明の実施の形態の場合と同じである。

【 0 8 1 9 】

初期化段階番号が 4 の場合には、“ D 0 h ” が出力用バッファ 5 7 2 に設定される。“ D 0 h ” は、オールコールアドレスを示している。すなわち、次（初期化段階番号が 5 の場合）に出力用バッファ 5 7 2 に設定される値はすべての装飾制御装置 6 1 0（I²C I / O エクスパンダ 6 1 5）に送信される。なお、初期化段階番号 1 から 3 の場合に送信された指令に基づく処理（第 1 の初期化手段）によって各装飾制御装置 6 1 0（I²C I / O エクスパンダ 6 1 5）がリセットされている。リセット直後には、モードレジスタ 1 のビット 0 の値が 1 に設定されているため、I²C I / O エクスパンダ 6 1 5 のオールコールアドレスは有効となっている。

10

【 0 8 2 0 】

初期化段階番号が 5 の場合には、“ 0 1 h ” が出力用バッファ 5 7 2 に設定される。“ 0 1 h ” は、コントロールレジスタに、オートインクリメントを禁止し、モードレジスタ 2 を指定することを示している。

【 0 8 2 1 】

初期化段階番号が 6 の場合には、初期化手段有効化指令に相当する“ 0 7 h ” が出力用バッファ 5 7 2 に設定される。“ 0 7 h ” は、モードレジスタ 2 の設定値であり、O E 端子を未使用、ウォッチドッグタイマを使用、ストップコンディションで出力を反映させることを示している。具体的には、O U T N E に“ 1 1 ”、W D T に“ 1 ”、O C H に“ 0 ”とすることで、“ 0 0 0 0 0 1 1 1 ”（＝“ 0 7 h ”）に設定される。このように初期化段階番号が 6 の場合の処理は、バスの状態が監視することでバスが占有されたことを検出し、初期化するための初期化手段（第 2 の初期化手段）であるウォッチドッグタイマの有効化手段として機能している。

20

【 0 8 2 2 】

初期化段階番号が 7 の場合には、出力用バッファ 5 7 2 にオールコールアドレスに対応する“ D 0 h ” が再び設定される。

【 0 8 2 3 】

初期化段階番号が 8 の場合には、“ 0 0 h ” が出力用バッファ 5 7 2 に設定される。“ 0 0 h ” は、コントロールレジスタに、オートインクリメントを禁止し、モードレジスタ 1 を指定することを示している。

30

【 0 8 2 4 】

初期化段階番号が 9 の場合には、共通アドレス無効化指令に相当する“ 0 0 h ” が出力用バッファ 5 7 2 に設定される。“ 0 0 h ” は、モードレジスタ 1 にオールコールアドレスを無効にするように設定している。初期化段階番号が 9 の場合に実行される処理は、オールコールアドレスを無効化する共通アドレス無効化手段として機能する。

【 0 8 2 5 】

以上のように本発明の実施の形態の変形例では、初期化段階番号が 6 になると、ウォッチドッグタイマによる監視が有効になるように構成されている。その後、ノイズ等によって、ウォッチドッグタイマが無効化されないように、初期化段階番号が 9 になると、オールコールアドレスの使用を禁止するように設定している。

40

【 0 8 2 6 】

さらに、オールコールアドレスの使用が禁止された後に、ウォッチドッグタイマが有効な状態が確実に継続されるように、各装飾制御装置 6 1 0 に対し、ウォッチドッグタイマを定期的に有効化するためのコマンド（前述の初期化手段有効化指令に相当するコマンド）を個別に出力するようにしてもよい。このようにすることによって、ノイズなどの影響で一部の装飾制御装置 6 1 0 のウォッチドッグタイマが無効化されても影響を最小限に抑え、遊技機を安定して稼動させることが可能となる。

50

【 0 8 2 7 】

また、本発明の実施の形態の変形例では、遊技機の電源投入時にリセット処理（第１の初期化手段によるリセット処理）を実行し、各装飾制御装置 6 1 0（ I^2C I/O エクスパンダ 6 1 5）を初期化している。リセット処理の途中でデータ送信に失敗した場合には、データを再送信せずに、リセット処理から再実行するようにしてもよい。このように構成することによって、確実に初期化処理を実行することができる。

【 0 8 2 8 】

なお、演出制御装置 5 5 0 からの初期化手段有効化指令により有効化するか否かを設定できるのは、バス監視 W D T 6 4 0 及び自己占有 W D T 6 4 1 によるリセット処理（第２の初期化手段によるリセット処理）のみである。

10

【 0 8 2 9 】

これに対して、 I^2C I/O エクスパンダ 6 1 5 への電源投入検出（図 6 1 の V_{CC} の電圧上昇により検出される）や、 I^2C I/O エクスパンダ 6 1 5 への外部リセット信号検出（図 6 1 の R E S E T 信号入力により検出される）や、 I^2C I/O エクスパンダ 6 1 5 への初期化指示データ送信によって実行されるリセット処理（第１の初期化手段によるリセット処理）は、演出制御装置 5 5 0 からの指令により有効化するか否かを設定することはできない。

【 0 8 3 0 】

また、演出制御装置 5 5 0 からの共通アドレス無効化指令により無効化できる共通アドレスは、オールコールアドレス（第２の共通アドレス）のみである。

20

【 0 8 3 1 】

これに対して、リセット用アドレス（第１の共通アドレス）は常時有効であり、演出制御装置 5 5 0 からの指令によって無効化することはできない。

【 0 8 3 2 】

以上のように、本発明の実施の形態の変形例によれば、任意のタイミングでウォッチドッグタイマを有効化又は無効化することができる。したがって、必要に応じてウォッチドッグタイマを動作させたり、停止させたりすることが可能となるため、装飾制御装置 6 1 0（ I^2C I/O エクスパンダ 6 1 5）の汎用性を向上させることができる。

【 0 8 3 3 】

また、本発明の実施の形態の変形例によれば、オールコールアドレスを利用して、すべての装飾制御装置 6 1 0（ I^2C I/O エクスパンダ 6 1 5）に一斉に設定パラメータを送信しているため、ウォッチドッグタイマの有効化及び無効化を高速に切り替えることが可能となる。

30

【 0 8 3 4 】

なお、今回開示した実施の形態は、すべての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【 0 8 3 5 】

以上のように、本発明は、演出制御装置が複数の装飾制御装置を介して演出装置を制御する遊技機に適用可能である。

40

【符号の説明】

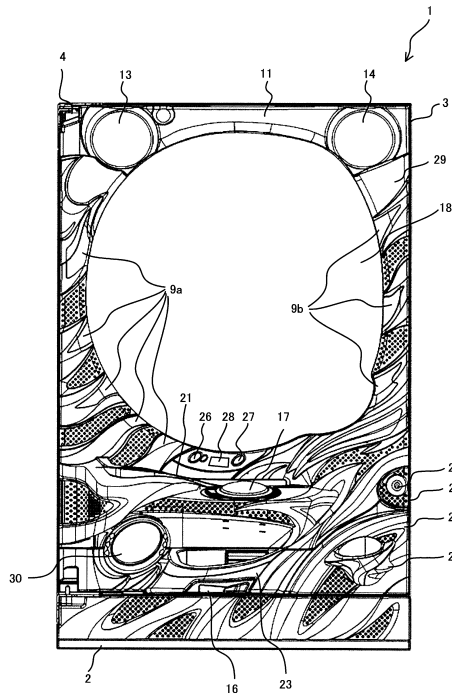
【 0 8 3 6 】

- 1 遊技機
- 2 本体枠（外枠）
- 3 前面枠（遊技枠）
- 9 a、9 b 装飾部材
- 1 0 遊技盤
- 1 2 補助遊技装置ユニット
- 1 3 第 1 可動式照明

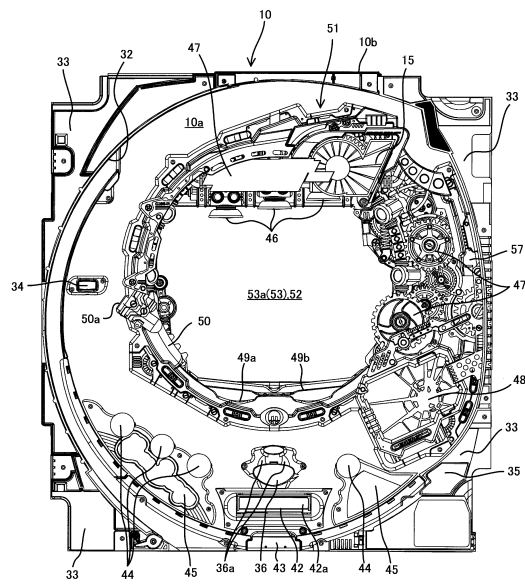
50

1 3 a	照明駆動第 1 モータ (M O T)	
1 4	第 2 可動式照明	
1 4 a	照明駆動第 2 モータ (M O T)	
1 5	信頼度報知装置	
2 9	異常報知 L E D	
3 0	スピーカ	
4 5	サイドランプ	
5 1	センターケース	
5 3	表示装置	
5 8	可動演出装置	10
6 3	第 1 演出ユニット	
6 4	第 2 演出ユニット	
7 0	第 1 演出部材	
7 1	役物駆動第 1 モータ (M O T)	
8 0	第 2 演出部材	
8 1	役物駆動第 2 モータ (M O T)	
5 0 0	遊技制御装置	
5 5 0	演出制御装置	
5 7 0 a	第 1 マスタ I C	
5 7 0 b	第 2 マスタ I C	20
5 8 1	コマンドレジスタ (R E G)	
5 8 2	ステータスレジスタ (R E G)	
5 8 3	自身アドレス設定レジスタ (R E G)	
6 0 0	中継基板	
6 0 3	空き端子モニタ	
6 1 0	装飾制御装置	
6 1 5	I ² C I / O エクスパンダ	
6 2 0	装飾装置	
6 2 5	装飾装置基板	
6 4 0	バス監視ウォッチドッグタイマ (W D T)	30
6 4 1	自己占有ウォッチドッグタイマ (W D T)	
1 6 0 0	簡易中継基板	
3 2 0 0、3 3 0 0	異常判定テーブル	

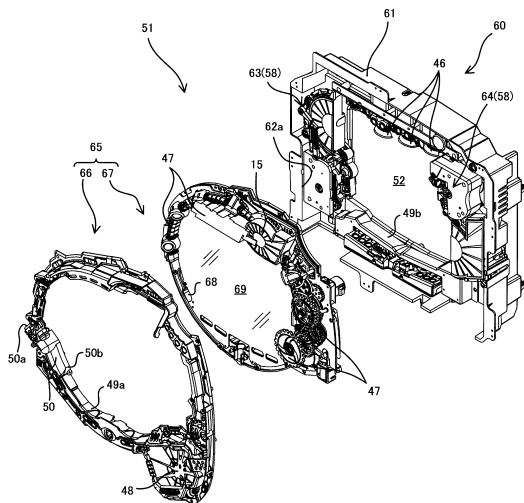
【図 1】



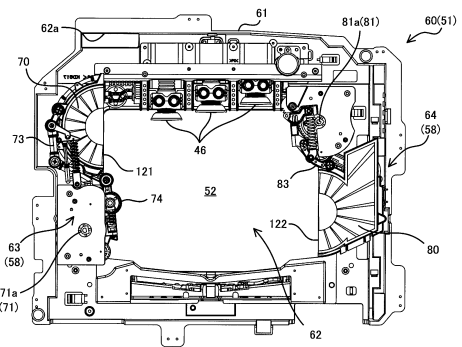
【図 2】



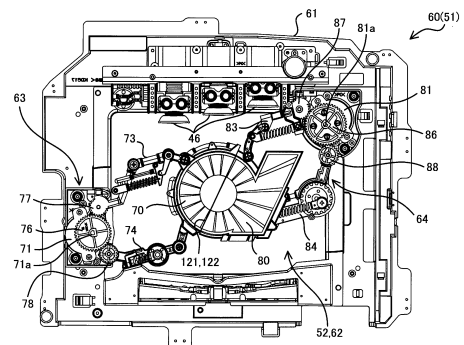
【図 3】



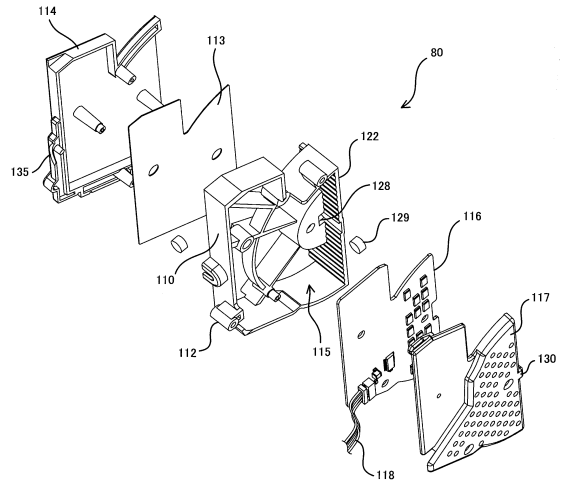
【図 4】



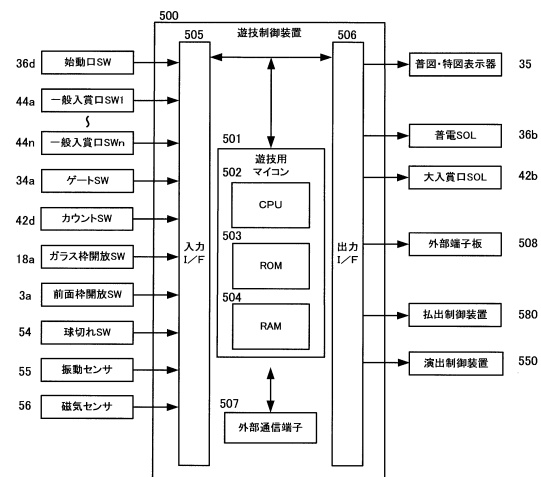
【図 5】



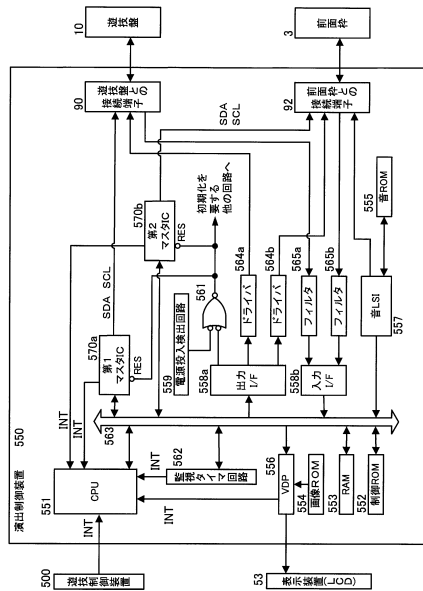
【 図 7 】



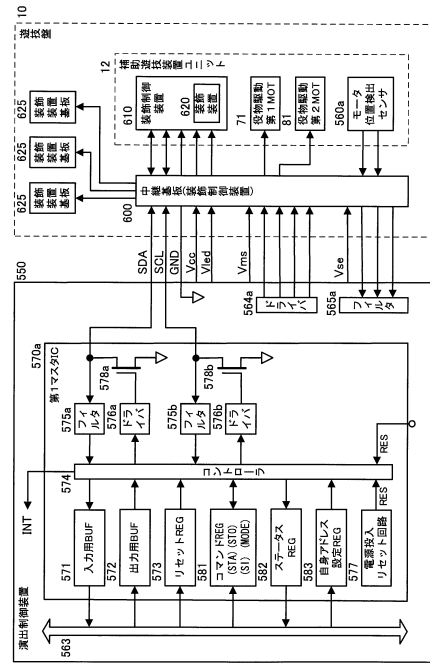
【 図 9 】



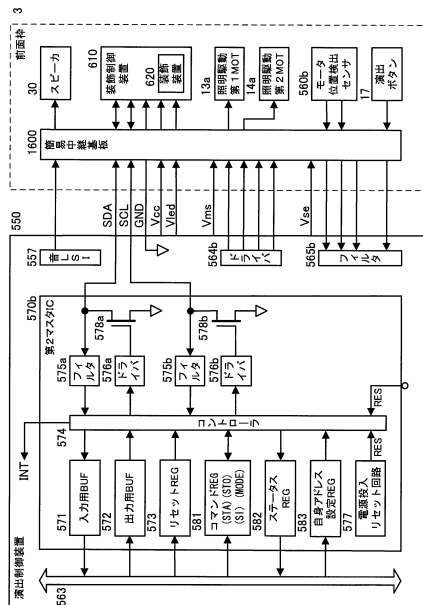
【 図 1 0 】



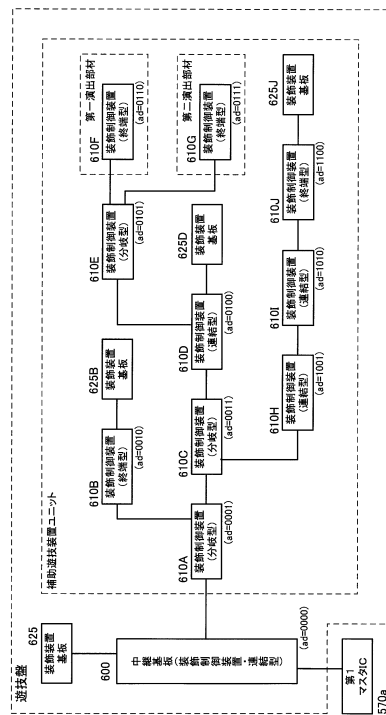
【 図 1 1 】



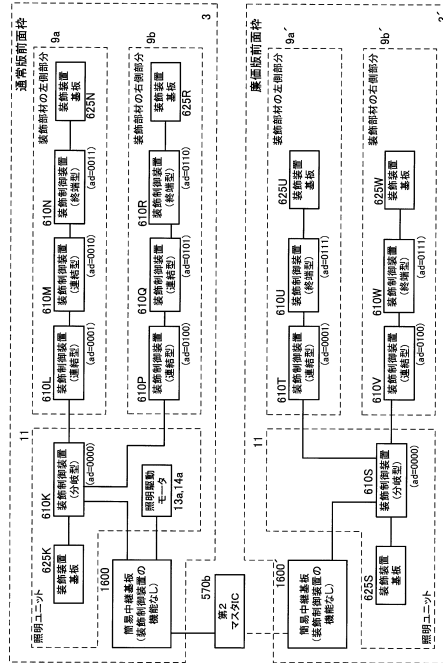
【 図 1 2 】



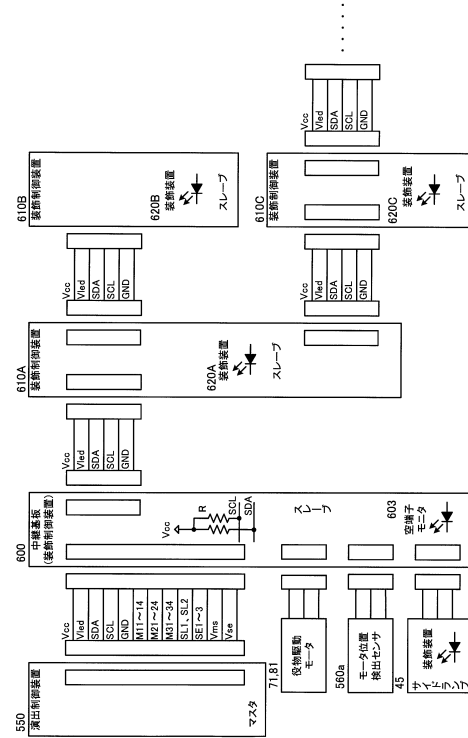
【 図 1 3 】



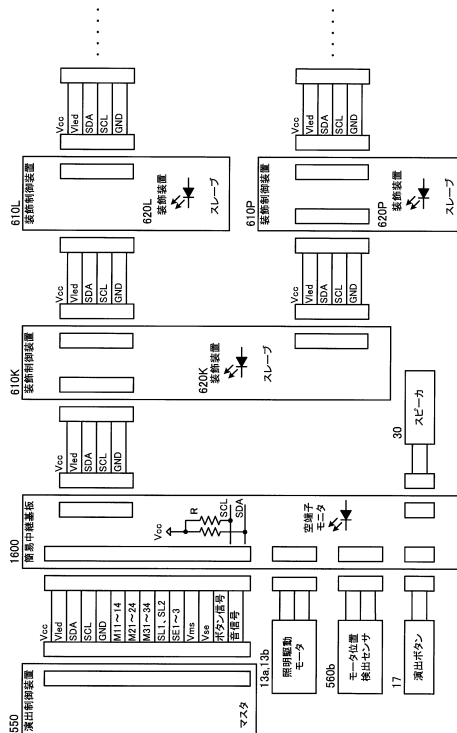
【図 14】



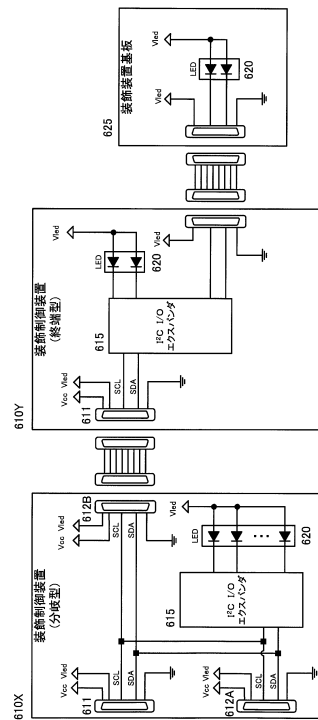
【図 15】



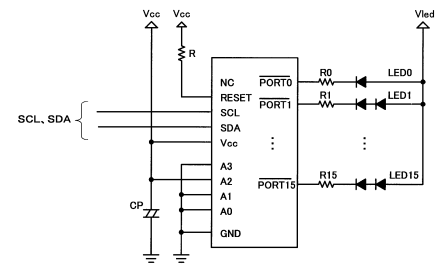
【図 16】



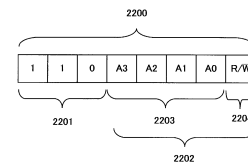
【図 17】



【 図 1 9 】



【 図 2 2 】

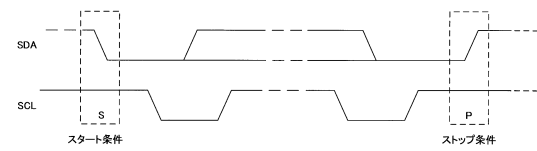


	2301					2302	
スレーブ アドレス	I ² C / O エクスパンダアドレス						
	A3	A2	A1	A0			
C0h	0	0	0	0			
C2h	0	0	0	1			
C4h	0	0	1	0			
C6h	0	0	1	1			
C8h	0	1	0	0			
CAh	0	1	0	1			
Ch	0	1	1	0			
CEh	0	1	1	1			
D0h	1	0	0	0			
D2h	1	0	0	1			
D4h	1	0	1	0			
D6h	1	0	1	1			
D8h	1	1	0	0			
DAh	1	1	0	1			
DCh	1	1	1	0			
DEh	1	1	1	1			

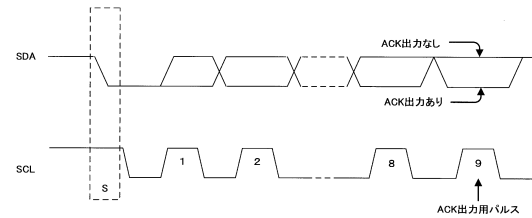
【図 24】

レジスタ番号	レジスタ名	機能
00h	MODE 1	モードレジスタ 1
01h	MODE 2	モードレジスタ 2
02h	PWM 0	輝度調節 LED 0
03h	PWM 1	" LED 1
04h	PWM 2	" LED 2
05h	PWM 3	" LED 3
06h	PWM 4	" LED 4
07h	PWM 5	" LED 5
08h	PWM 6	" LED 6
09h	PWM 7	" LED 7
0Ah	PWM 8	" LED 8
0Bh	PWM 9	" LED 9
0Ch	PWM 10	" LED 10
0Dh	PWM 11	" LED 11
0Eh	PWM 12	" LED 12
0Fh	PWM 13	" LED 13
10h	PWM 14	" LED 14
11h	PWM 15	" LED 15
12h	GRPPWM	グループデューティサイクル制御
13h	GRPFREQ	グループ周波数
14h	LEDOUT 0	LEDドライバ出力状態 LED 0-3
15h	LEDOUT 1	LEDドライバ出力状態 LED 4-7
16h	LEDOUT 2	LEDドライバ出力状態 LED 8-11
17h	LEDOUT 3	LEDドライバ出力状態 LED 12-15
18h	SUBADR 1	サブアドレス設定 1
19h	SUBADR 2	サブアドレス設定 2
1Ah	SUBADR 3	サブアドレス設定 3
1Bh	ALLCALLADR	ALL-CALLアドレス設定

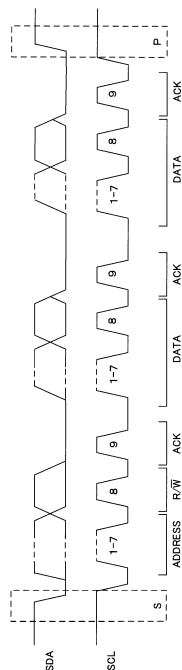
【図 25】



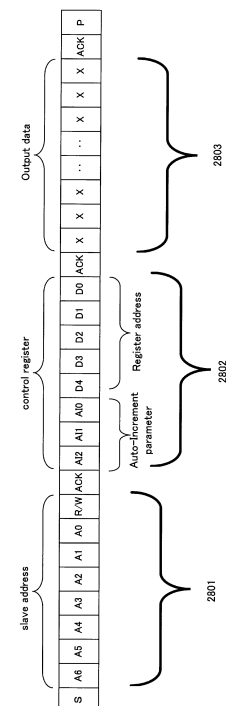
【図 26】



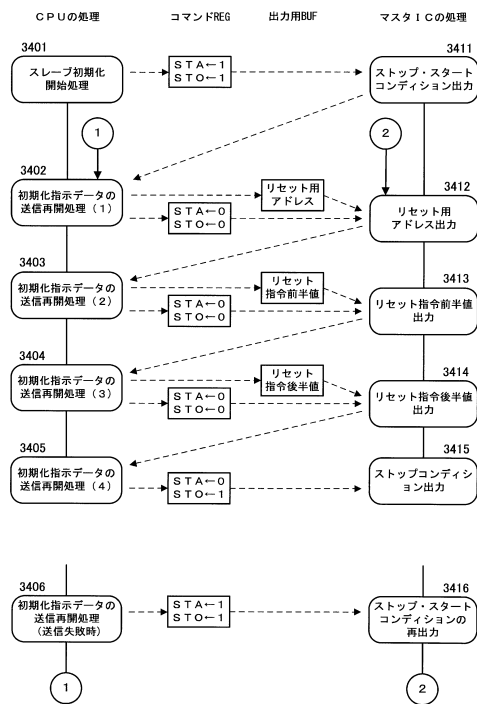
【図 27】



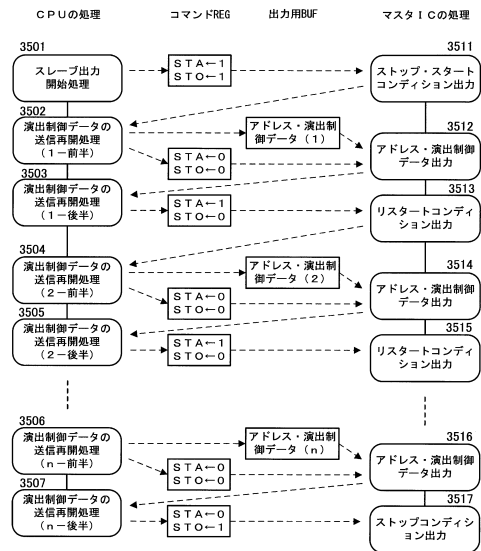
【図 28】



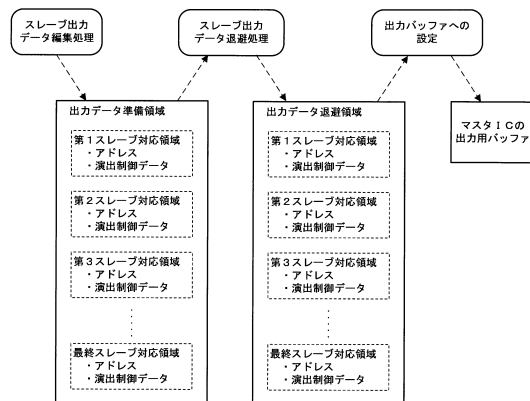
【図 34】



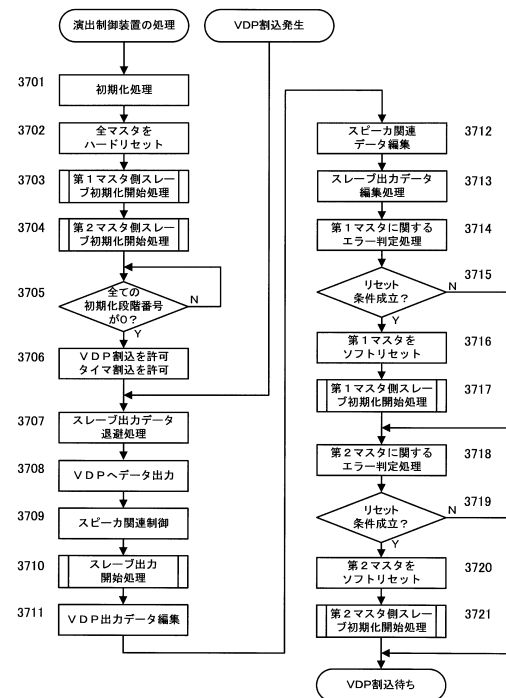
【図 35】



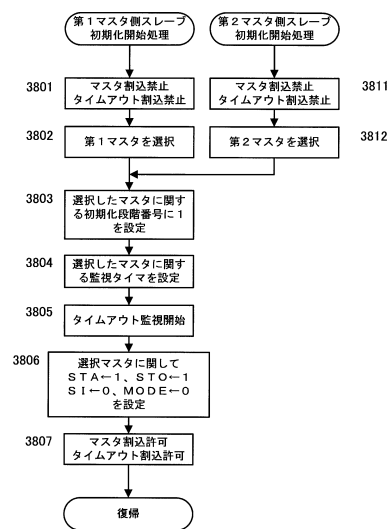
【図 36】



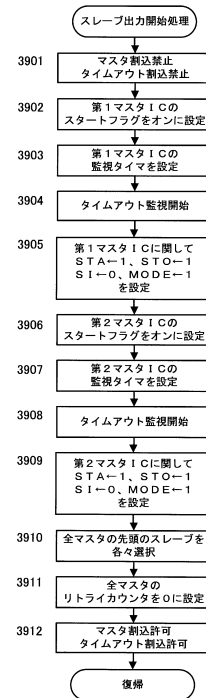
【図 37】



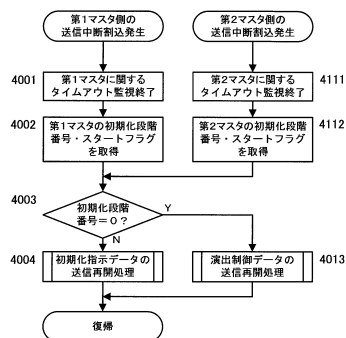
【図 38】



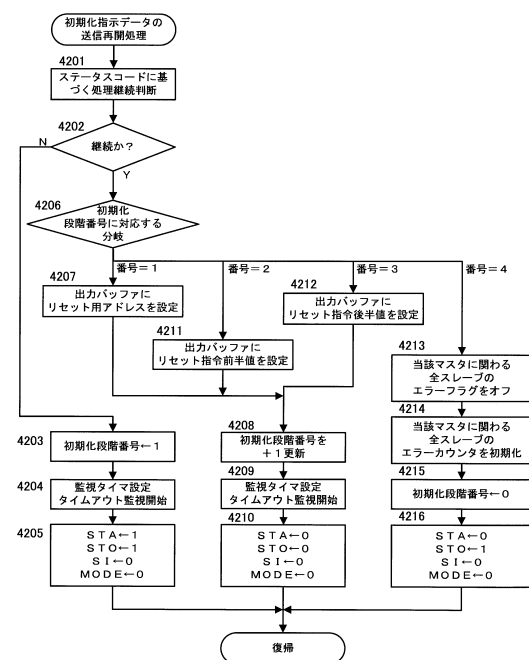
【図 39】



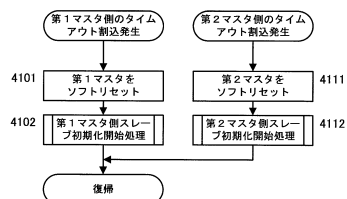
【図 40】



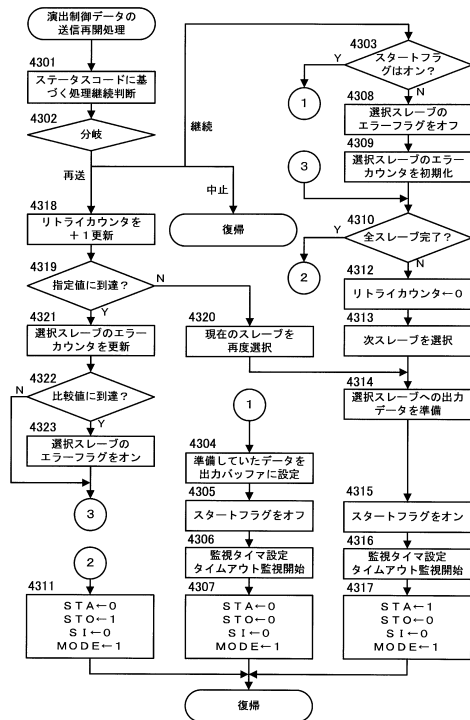
【図 42】



【図 41】



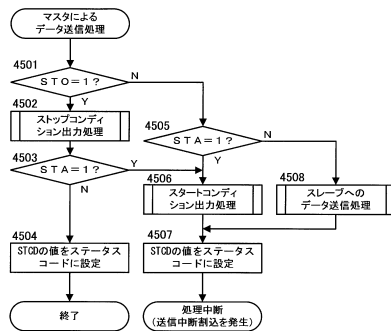
【 図 4 3 】



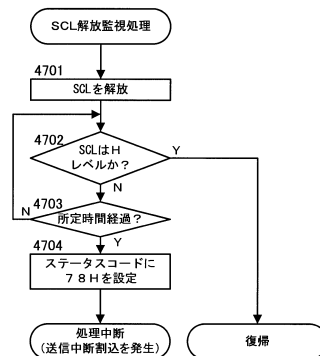
【 図 4 4 】



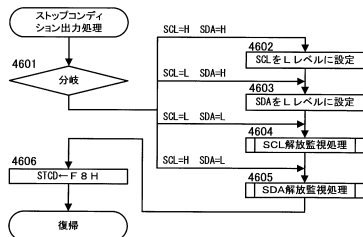
【 図 4 5 】



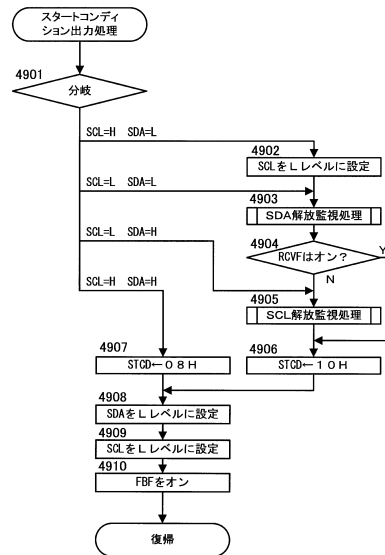
【圖 47】



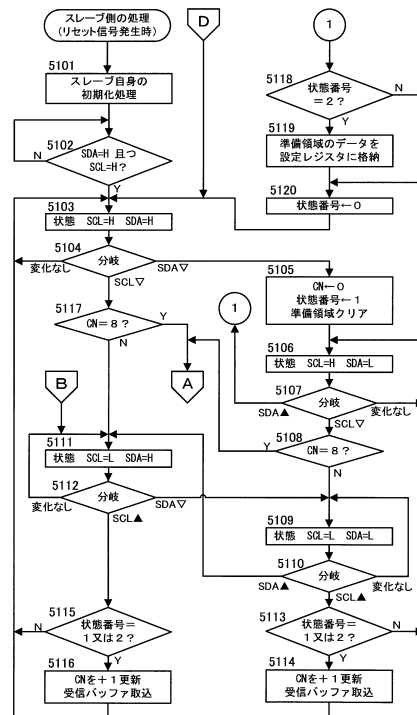
【 図 4 6 】



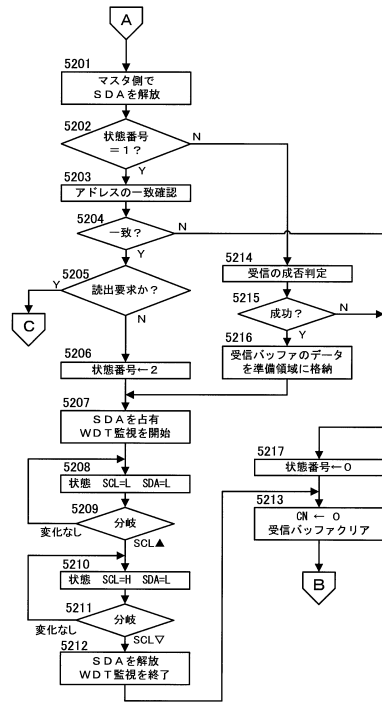
【 図 4 9 】



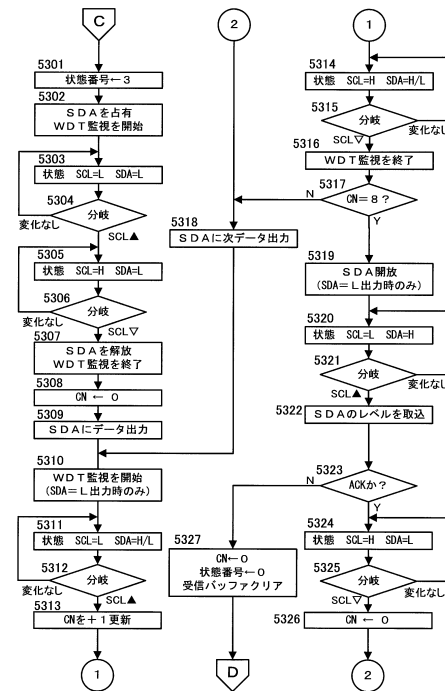
【 図 5 1 】



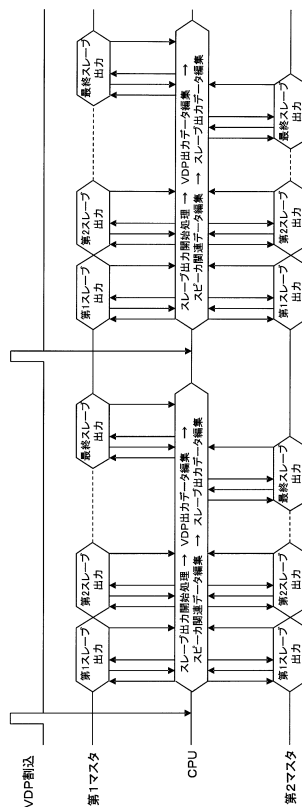
【図 52】



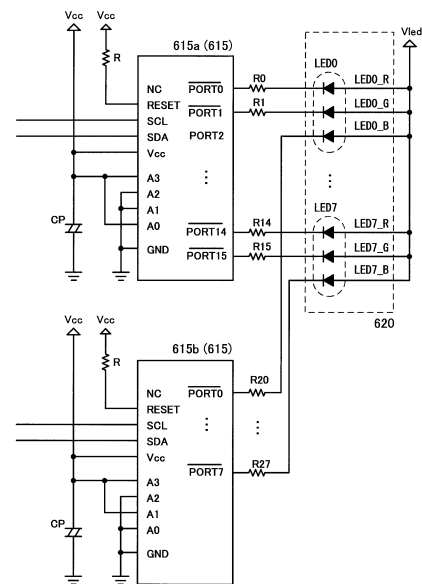
【図 53】



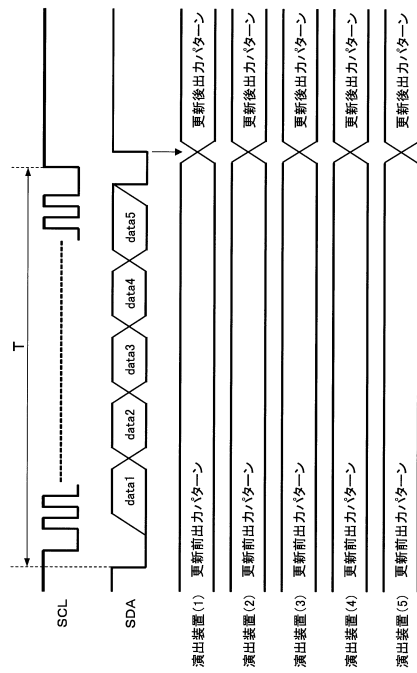
【図 54】



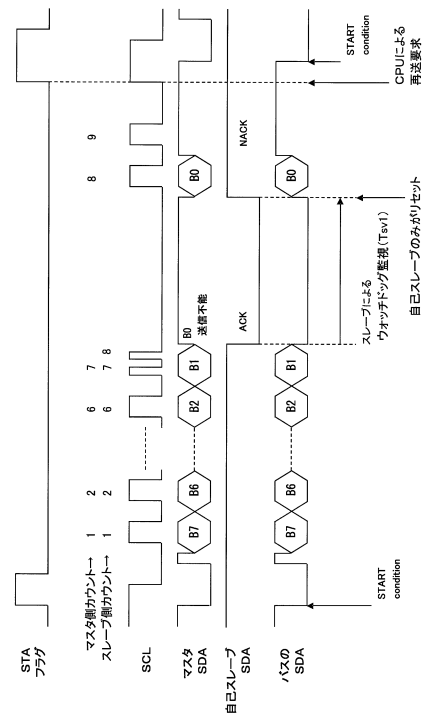
【図 55】



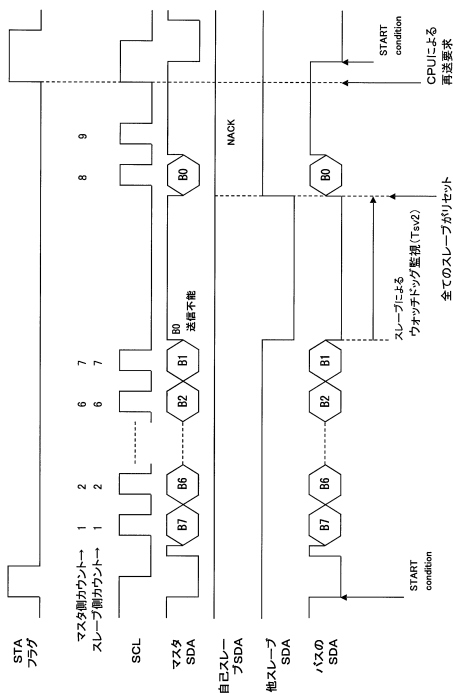
【図 56】



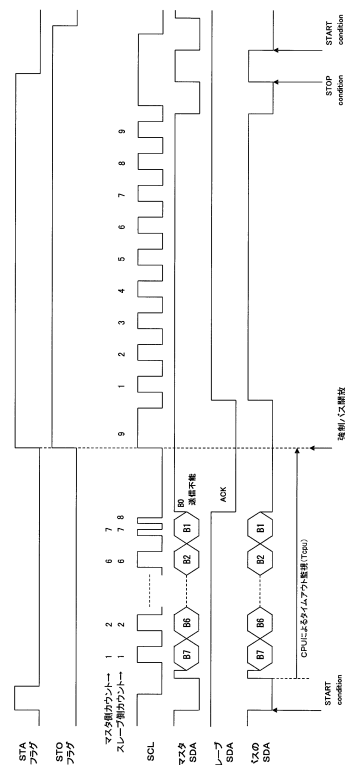
【図 57】



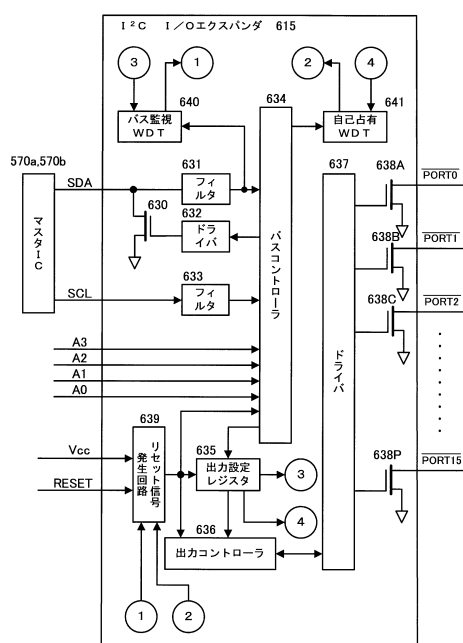
【図 58】



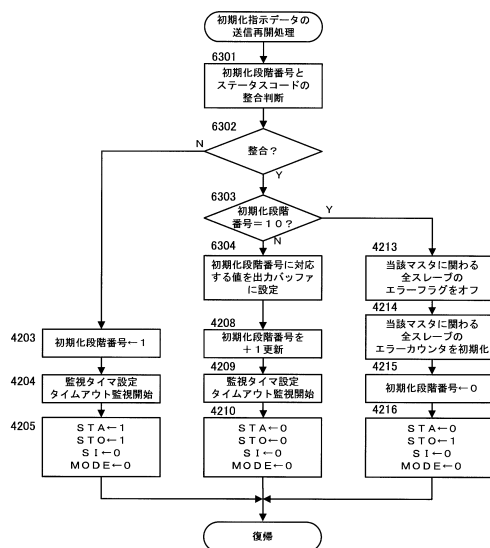
【図 59】



【 ㊦ 6 1 】



【 図 6 3 】



【図 64】

初期化 段階番号	出力 バッファ 設定値	内容
1	D6h	リセット用アドレス
2	A5h	リセット指令前半値
3	5Ah	リセット指令後半値
4	D0h	オールコールアドレス
5	01h	コントロールレジスタ設定値 (オートインクリメントを禁止) (モードレジスタ2を指定)
6	07h	モードレジスタ2設定値 (OUTNE=11 ... OE端子未使用) (WDT=1 ... WDT使用) (OCH=0 ... ストップコンディションで出力反映)
7	D0h	オールコールアドレス
8	00h	コントロールレジスタ設定値 (オートインクリメントを禁止) (モードレジスタ1を指定)
9	00h	モードレジスタ1設定値 (ALLCALL=0 ... オールコールアドレス無効)

フロントページの続き

(56)参考文献 特開2008-220409(JP,A)

特開平09-265436(JP,A)

特開2007-000246(JP,A)

特開2007-111083(JP,A)

「I2Cバス仕様書バージョン2.1」,フィリップス株式会社,2000年 1月,[平成26年1月9日検索],URL,<http://ekousaku.web.fc2.com/doc/I2C.pdf>

(58)調査した分野(Int.Cl.,DB名)

A63F 7/02