

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3767523号

(P3767523)

(45) 発行日 平成18年4月19日(2006.4.19)

(24) 登録日 平成18年2月10日(2006.2.10)

(51) Int. Cl.		F I		
H03M	3/04	(2006.01)	H03M	3/04
H03M	1/12	(2006.01)	H03M	1/12
				Z

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2002-184646 (P2002-184646)	(73) 特許権者	591083244
(22) 出願日	平成14年6月25日(2002.6.25)		富士電機システムズ株式会社
(65) 公開番号	特開2004-32291 (P2004-32291A)		東京都品川区大崎一丁目11番2号
(43) 公開日	平成16年1月29日(2004.1.29)	(74) 代理人	100091281
審査請求日	平成16年9月14日(2004.9.14)		弁理士 森田 雄一
		(72) 発明者	伊東 淳一
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	石井 研一

最終頁に続く

(54) 【発明の名称】 A/D変換システム

(57) 【特許請求の範囲】

【請求項1】

入力されるアナログ信号とアナログ帰還信号との差分信号を出力する減算手段と、減算手段から出力された差分信号をアナログ/デジタル変換してマルチビットの差分データを出力するA/D変換手段と、A/D変換手段から出力されたマルチビットの差分データを積算してマルチビットの積算データを出力する積算手段と、積算手段から出力されたマルチビットの積算データをキャリアに重畳して生成したパルスデータを出力するパルスデータ生成手段と、パルスデータ生成手段から出力されたパルスデータからキャリア成分をフィルタリングしてアナログ帰還信号を抽出して出力するアナログローパスフィルタと、を備えることを特徴とするA/D変換システム。

【請求項2】

請求項1に記載のA/D変換システムにおいて、前記A/D変換手段、積算手段、および、パルスデータ生成手段はマイクロコンピュータが内蔵する手段であって、前記積算手段および前記パルスデータ生成手段は、プログラム処理により積算および生成を行う手段であることを特徴とするA/D変換システム。

【請求項3】

請求項1または請求項2に記載のA/D変換システムにおいて、

10

20

前記パルスデータ生成手段は、キャリアデータ生成手段と比較手段とを備え、キャリアデータ生成手段から出力されたマルチビットのキャリアデータと、積算手段から出力されたマルチビットの積算データが比較手段に入力され、比較手段でキャリアデータと積算データの大きさを比較し、積算データの大きさに比例するパルス幅を有するように重畳したパルスデータを生成して出力することを特徴とするA/D変換システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

低い分解能でアナログ/デジタル変換（以下、単にA/D変換という）を行うA/D変換装置を用いて、高い分解能でA/D変換を行うA/D変換システムに関する。

10

【0002】

【従来の技術】

A/D変換システムは従来より各種のシステムが存在している。このうちマイクロコンピュータに一体に内蔵されたA/D変換装置を利用するシステムも存在する。

【0003】

このようなA/D変換システムについて図を参照しつつ説明する。図3および図4は、従来技術のA/D変換システムの説明図である。

通常図3で示すように、マイクロコンピュータ100は、内蔵A/D変換装置200、データ処理手段300を備えている。

【0004】

20

内蔵A/D変換装置200は、マイクロコンピュータ100が内蔵するA/D変換装置であり、10ビットの分解能を有している。このような内蔵形のA/D変換装置の分解能は、一般的には8ビット～10ビット程度であり、現在では低分解能ということができる。内蔵A/D変換装置200の分解能を低くする理由は、内蔵A/D変換装置200の製作が容易になり、マイクロコンピュータ100全体の製造コストを抑制することができるためである。

【0005】

続いて、このような図3で示したA/D変換システムの使用について説明する。例えば、図示しない温度センサ・ポテンショメータ等の各種センサから出力されたアナログ信号が内蔵A/D変換装置200に入力される。内蔵A/D変換装置200はアナログ信号を標本化・量子化してA/D変換し、分解能が10ビットのデジタルデータをデータ処理手段300へ出力する。データ処理手段300は、詳しくはマイクロコンピュータ100が行うプログラムによる手段であり、このデジタルデータを用いて計測・制御等に関する各種の信号処理を行う。

30

【0006】

このようなマイクロコンピュータ100を用いる場合であって内蔵A/D変換装置200の分解能を超えるような高い分解能のデジタルデータを必要とするとき、従来では高分解能のA/D変換装置を外付けすることで対処していた。図4に示すように、高分解能（図4では16ビットの分解能）である外付A/D変換装置400が、データバス等を介してマイクロコンピュータ100のデジタルデータ入力インターフェース500に接続される。この場合、内蔵A/D変換装置200は使用されない。

40

従来技術における、マイクロコンピュータに一体に内蔵されたA/D変換装置を利用する場合のA/D変換システムはこのようなものであった。

【0007】

【発明が解決しようとする課題】

高分解能の外付A/D変換装置400は現状でも高価であり、外付A/D変換装置400を用いるA/D変換システムは価格が高くなるという問題があった。

このような事情に鑑み、本発明の目的は、A/D変換システムの構築にあたり、高価な外付けA/D変換装置を使用するのではなく、マイクロコンピュータが内蔵する低分解能のA/D変換装置を使用し、しかも高い分解能を得ることができるようなA/D変換システ

50

ムを提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 に係る発明の A / D 変換システムによれば、
 入力されるアナログ信号とアナログ帰還信号との差分信号を出力する減算手段と、
 減算手段から出力された差分信号をアナログ / デジタル変換してマルチビットの差分データ
 を出力する A / D 変換手段と、
 A / D 変換手段から出力されたマルチビットの差分データを積算してマルチビットの積算
 データを出力する積算手段と、
 積算手段から出力されたマルチビットの積算データをキャリアに重畳して生成したパルス
 データを出力するパルスデータ生成手段と、
 パルスデータ生成手段から出力されたパルスデータからキャリア成分をフィルタリングし
 てアナログ帰還信号を抽出して出力するアナログローパスフィルタと、
 を備えることを特徴とする。

10

【 0 0 0 9 】

また、請求項 2 に係る発明の A / D 変換システムによれば、
 請求項 1 に記載の A / D 変換システムにおいて、
 前記 A / D 変換手段、積算手段、および、パルスデータ生成手段はマイクロコンピュータ
 が内蔵する手段であって、
 前記積算手段および前記パルスデータ生成手段は、プログラム処理により積算および生成
 を行う手段であることを特徴とする。

20

【 0 0 1 0 】

また、請求項 3 に係る発明の A / D 変換システムによれば、
 請求項 1 または請求項 2 に記載の A / D 変換システムにおいて、
 前記パルスデータ生成手段は、キャリアデータ生成手段と比較手段とを備え、
 キャリアデータ生成手段から出力されたマルチビットのキャリアデータと、積算手段から
 出力されたマルチビットの積算データが比較手段に入力され、比較手段でキャリアデータ
 と積算データの大きさを比較し、積算データの大きさに比例するパルス幅を有するよう
 に重畳したパルスデータを生成して出力することを特徴とする。

30

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明の A / D 変換システムの実施形態について図を参照しつつ説明する。
 図 1 は本発明の実施形態の A / D 変換システムの構成図、図 2 は本発明の基本原理を示し
 ており、シグマデルタ変調（以下、 $\Sigma\Delta$ 変調という）による A / D 変換方式を説明する説
 明図である。

【 0 0 1 2 】

図 1 で示すように、A / D 変換システムは、減算手段 10、マイクロコンピュータ 20、
 アナログローパスフィルタ 30 を備えている。
 さらに、マイクロコンピュータ 20 は、内蔵 A / D 変換装置 21（本発明の A / D 変換手
 段の一具体例である）、積算手段 22 およびパルスデータ生成手段 23 を備えている。
 さらに、パルスデータ生成手段 23 は、比較手段 23 a、キャリアデータ生成手段 23 b
 を備えている。この A / D 変換システムは、 $\Sigma\Delta$ 変調の A / D 変換方式で A / D 変換を行
 う。

40

【 0 0 1 3 】

ここで、発明の理解を助けるため、 $\Sigma\Delta$ 変調の A / D 変換について図 2 を参照しつつ簡略
 に説明する。 $\Sigma\Delta$ 変調には、1ビット $\Sigma\Delta$ 変調および n ビット $\Sigma\Delta$ 変調があるが、まず、
 1ビット $\Sigma\Delta$ 変調について説明する。1ビット $\Sigma\Delta$ 変調方式の A / D 変換装置は、図 2（
 a）で示すように、減算手段 50、積分手段 51、1ビット A / D 変換装置 52、1ビット
 D / A 変換装置 53、デジタルフィルタ 54 を備える。

【 0 0 1 4 】

50

この1ビット変調方式によるA/D変換については、例えばトランジスタ技術(1996, 2月号, p256)等により、広く知られた技術であるため構成の詳細な説明は省略し、1ビット変調方式のA/D変換装置の動作の概略を説明する。

【0015】

例えば、図2で示した1ビットA/D変換装置52は、 $-0.5 \sim 0.5$ のアナログ値を0と判定し、 $0.5 \sim 1.5$ のアナログ値を1と判定するようなA/D変換装置であるとする。この場合にアナログ信号として“0.3”という値のアナログ値が入力されるとすると、デジタルの出力値は1ビットでは“0”と表現される。

【0016】

一方、図2(a)で示すような1ビット変調方式のA/D変換装置を構成し、減算手段50に、アナログ信号として“0.3”という値のアナログ値が入力されるとする。この場合の積分手段51、1ビットA/D変換装置52、1ビットD/A変換装置53の出力は表1で示す値のように推移する。なお、1ビットA/D変換装置52と1ビットD/A変換装置53との出力値は0または1で実質上同じである。このため、1ビット変調方式のA/D変換システムでは1ビットA/D変換装置53を省略して考えても良い。

【0017】

【表1】

サンプリング回数	減算手段50への入力値	積分手段51の入力値	積分手段51の出力値	1ビットA/D変換装置52・1ビットD/A変換装置53の出力値
1	0.3	0.3	0.3	0
2	0.3	0.3	0.6	1
3	0.3	-0.7	-0.1	0
4	0.3	0.3	0.2	0
5	0.3	0.3	0.5	1
6	0.3	-0.7	-0.2	0
7	0.3	0.3	0.1	0
8	0.3	0.3	0.4	0

【0018】

デジタルフィルタ54は、その機能上、1ビットA/D変換装置52からの出力を平均して出力する機能を有している。

8回のサンプリングにおける1ビットA/D変換装置52からの出力の平均を求めると、 $2/8 = 0.25$ である。この場合、量子化誤差は $0.3 - 0.25 = 0.05$ となり、3ビット相当の分解能が得られていることがわかる。

【0019】

そしてこのような変調方式のA/D変換装置は1ビット構成以外にも、マルチビット(nビット:ここにnは2以上の自然数)構成とすることができる。このようなマルチビ

10

20

30

40

50

ット方式のA/D変換装置は、図2(b)に示すような構成を有している。

マルチビット方式のA/D変換装置は、図2(b)で示すように、減算手段60、積分手段61、nビットA/D変換装置62、nビットD/A変換装置63、デジタルフィルタ64を備える構成を有している。

【0020】

マルチビット変調方式のA/D変換装置の構成・動作は、1ビット変調方式のA/D変換装置の構成と類似している。

そして、本発明のA/D変換システムは、図2(b)で示すようなマルチビット変調方式のA/D変換装置に類似する構成を採用する。

【0021】

図2(b)で示す減算手段60には、図1の減算手段10が対応する。

図2(b)で示すnビットA/D変換装置62は、図1の内蔵A/D変換装置21が対応する。

図2(b)で示す積分手段61は、図1の積算手段22が対応する。

図2(b)で示すnビットD/A変換装置63は、図1のパルスデータ生成手段23とアナログローパスフィルタ30とが対応する。

【0022】

nビットD/A変換装置に代えてパルスデータ生成手段23とアナログローパスフィルタ30とを採用した理由について説明する。

例えば、図2(a)で示した1ビットD/A変換装置53は、先に説明したように実際上の回路では省略も可能であり、出力を単にフィードバックするだけでよいが、図2(b)で示したようにnビットのD/A変換装置63は省略が不可能であり、ビット数が増えるに連れてD/A変換処理が複雑になるという欠点がある。

【0023】

そこで、本発明ではnビットD/A変換装置63に代えてパルスデータ生成手段23とアナログローパスフィルタ30を採用し、システムを複雑にすることなく、きわめて簡単にnビットのD/A変換を行うようにした。なお、動作については後に一括して説明する。

【0024】

以上説明したマルチビット変調方式のA/D変換装置の構成を踏まえつつ、本発明のA/D変換システムによる信号処理について説明する。

減算手段10には、A/D変換の対象であるアナログ信号と、アナログ帰還信号がそれぞれ入力される。減算手段10は、アナログ信号からアナログ帰還信号を引いて差分信号を出力する。

【0025】

そして、差分信号はマイクロコンピュータ20が内蔵する内蔵A/D変換装置21へ入力される。内蔵A/D変換装置21は、差分信号をA/D変換してマルチビット(10ビット)の差分データを出力する。

差分データは積算手段22へ出力される。積算手段22は、マルチビット(16ビット)の積算データを出力する。

【0026】

積算手段22により、10ビットの差分データを64回(=2⁶)積算することで、サンプリング時間×64の時間内で平均的に16ビット相当の分解能を得ることができる。

1ビットA/D変換装置により16ビットの分解能を得るにはサンプル時間は2¹⁶回必要とするが、本発明では10ビットの内蔵A/D変換装置21を接続することで、64(=2⁶)のサンプルで変換することができる。

【0027】

積算データは、パルスデータ生成手段23へ出力され、また、アナログ信号のA/D変換の結果のデジタルデータとして後段の図示しない演算手段や外部に出力される。このデジタルデータは16ビットであり、マイクロコンピュータ20の演算手段のプログラム処理で用いられることとなる。

10

20

30

40

50

なお、図示しないが、このデジタルデータが、サンプリング時間 $\times 64$ のサンプリングを行うサンプルホールド回路に入力されるようにしてもよい。

【0028】

一方パルスデータ生成手段23に入力された積算データは、比較手段23aに入力される。この比較手段23aには、キャリアデータ生成手段23bからキャリアデータが入力されている。

キャリアデータ生成手段23bは、マイクロコンピュータが内蔵するタイマ等を用いて所定周波数 f_1 で出力するキャリア(変調波)であるキャリアデータを生成する。このキャリアデータは、例えば三角波、または、のこぎり波のデジタルデータである。

【0029】

なお、キャリア周波数 f_1 は、内蔵A/D変換装置21のサンプリング周波数 f_0 よりも十分大きい必要がある。しかしながら、仮に内蔵A/D変換装置21のサンプリング周波数 f_0 が数kHzであるとしても、マイクロコンピュータ20のクロック周波数は数10MHzあり、サンプリング周波数 f_0 よりも十分に大きいキャリア周波数 f_1 を有するキャリアデータをプログラムにより作ることができる。

【0030】

比較手段23aは、積算データの大きさとキャリアデータの大きさとを比較し、キャリアデータよりも積算データが大きい場合に所定データ(出力の大きさが a)を、また、キャリアデータよりも積算データが小さい場合に所定データ(出力の大きさが $-a$)を出力する。この場合、比較手段23aからの出力は、積算データの大きさに比例するパルス幅を有するように重畳したPWM(Pulse Width Modulation)のパルスデータとなる。

【0031】

このパルスデータは、アナログローパスフィルタ30に出力される。アナログローパスフィルタ30は、キャリア周波数 f_1 以下のカットオフ周波数 f_c を有するように設計されている。

このアナログローパスフィルタ30にパルスデータを入力すると、キャリア成分はフィルタリングされ、パルス幅に比例するように重畳された積算データ成分がアナログ信号に復調されて出力される。この積算データ成分であるアナログ信号は、アナログ帰還信号となる。

【0032】

以上、本実施形態について説明した。本発明のA/D変換システムは上記したように n ビット方式のA/D変換システムとなるため内蔵A/D変換装置21が低分解能であっても、A/D変換システムとしては高分解能のデジタルデータを得ることができる。

【0033】

なお、パルスデータ生成手段23の具体例として、積算データに比例したパルスデータを得るためにPWMパルスを生成する手段について説明したが、PDM(Pulse Density Modulation:パルス密度変調)を用いてもよい。

また、比較手段23aやキャリアデータ生成手段23bは、プログラムによる処理手段であるものとして説明したが、パルスデータ生成手段23は、マイクロコンピュータ20の外部に接続される電子回路による手段としても良い。しかしながら、構成の省力化のため、プログラムによる手段とすることが好ましい。

【0034】

また、本実施形態では内蔵A/D変換装置のビット数を10ビットであるものとして説明した。しかしながら、10ビットに限定する趣旨でないのはいうまでもなく、適宜ビット数を変更できる。例えば、内蔵A/D変換装置のビット数が16ビットとなったような場合でも対応可能である。

【0035】

【発明の効果】

本発明によれば、高分解能であるが高価なA/D変換装置をマイクロコンピュータに外付けする代わりに、マイクロコンピュータが内蔵する低分解能のA/D変換装置と安価な外

10

20

30

40

50

付け部品を使用することで、高分解能で安価な A / D 変換システムを実現することができる。

【図面の簡単な説明】

【図 1】本発明の実施形態の A / D 変換システムの構成図である。

【図 2】変調による A / D 変換方式を説明する説明図である。

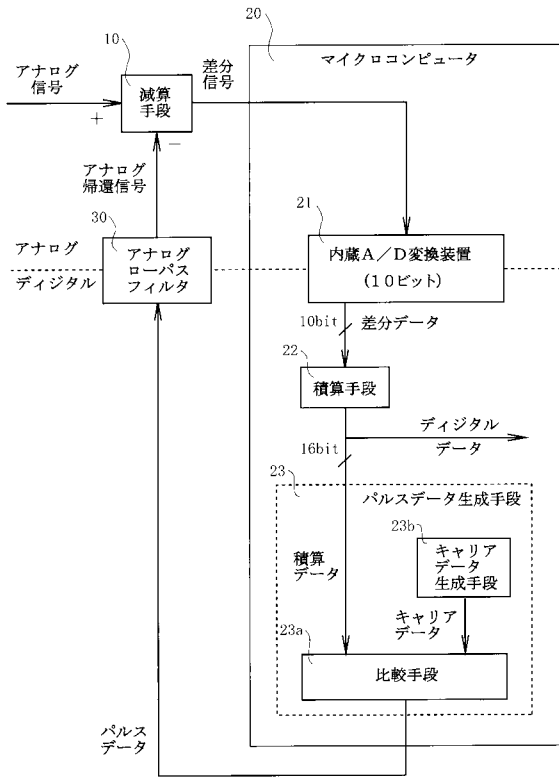
【図 3】従来技術の A / D 変換システムの説明図である。

【図 4】従来技術の A / D 変換システムの説明図である。

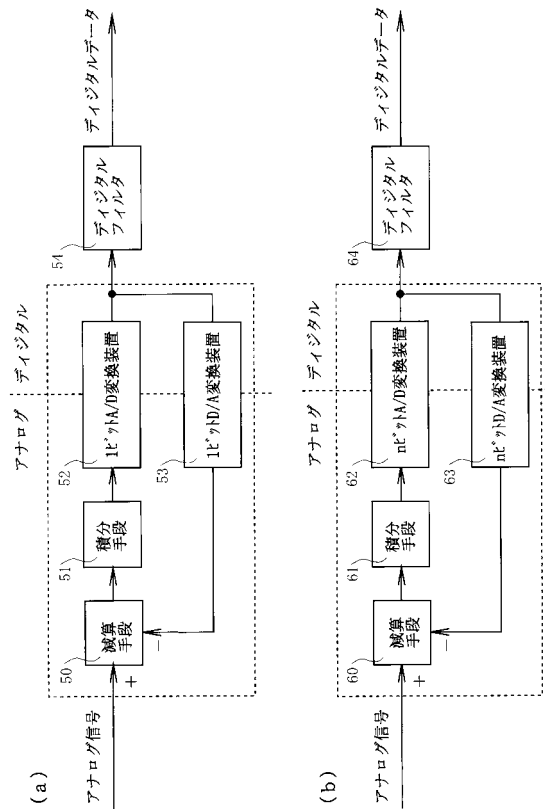
【符号の説明】

1 0	減算手段	
2 0	マイクロコンピュータ	10
2 1	内蔵 A / D 変換装置	
2 2	積算手段	
2 3	パルスデータ生成手段	
2 3 a	比較手段	
2 3 b	キャリアデータ生成手段	
3 0	アナログローパスフィルタ	
5 0	減算手段	
5 1	積分手段	
5 2	1 ビット A / D 変換装置	
5 3	1 ビット D / A 変換装置	20
5 4	デジタルフィルタ	
6 0	減算手段	
6 1	積分手段	
6 2	n ビット A / D 変換装置	
6 3	n ビット D / A 変換装置	
6 4	デジタルフィルタ	
1 0 0	マイクロコンピュータ	
2 0 0	内蔵 A / D 変換装置	
3 0 0	データ処理手段	
4 0 0	外付 A / D 変換装置	30
5 0 0	デジタルデータ入力インターフェース	

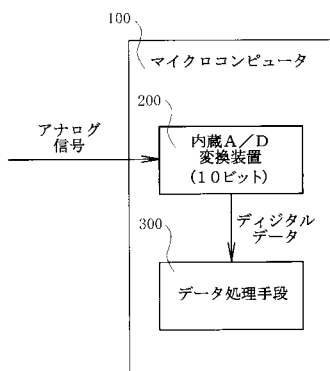
【図1】



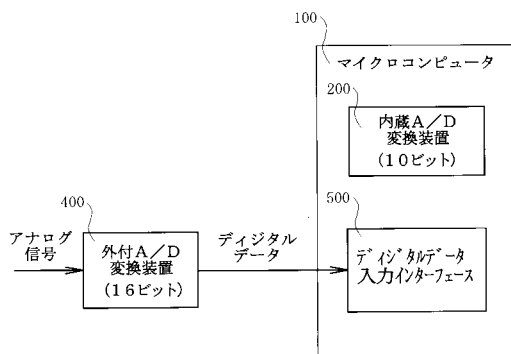
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2001-102927(JP,A)
特開平02-224526(JP,A)
特開平05-199111(JP,A)
特開平05-284029(JP,A)
特開平05-041667(JP,A)
特開昭63-164622(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 3/04

H03M 1/12