

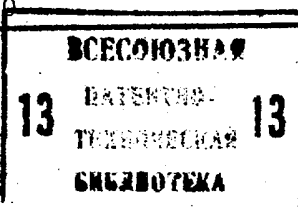


СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1160414 A**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

4(51) G 06 F 11/00



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3676774/24-24

(22) 21.12.83

(46) 07.06.85. Бюл. № 21

(72) В.А.Телековец, А.А.Семерников  
и Н.В. Замазий

(71) Таганрогский радиотехнический  
институт им. В.Д.Калмыкова

(53) 621.325(088.8)

(56) Авторское свидетельство СССР  
№ 561965, кл. G 06 F 11/00, 1977.

Авторское свидетельство СССР  
№ 826357, кл. G 06 F 11/20, 1980.

(54) (57) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ЛОГИЧЕСКИХ БЛОКОВ, содержащее блок сравнения, блок индикации, первый счетчик, первый регистр сдвига, элемент ИЛИ и блок управления, содержащий генератор импульсов, формирователь импульсов, второй счетчик, дешифратор и первый элемент И, выход генератора импульсов соединен с частотным входом формирователя импульсов, первый выход которого соединен с первым входом первого элемента И и входом второго счетчика, выход которого подключен к входам дешифратора, один выход которого соединен с вторым входом первого элемента И, выход элемента ИЛИ соединен с входом управления формирователя импульсов, выходы группы первого счетчика являются выходами устройства, тактовый вход первого регистра сдвига соединен с вторым выходом формирователя импульсов, выход первого элемента И подключен к счетному входу первого счетчика, отличающееся тем, что, с целью повышения быстродействия, в него введены блок памяти, второй регистр сдвига,

первый и второй коммутаторы, второй и третий элементы И, первый и второй D-триггеры, триггер сбоя, а блок управления содержит четвертый, пятый, и шестой элементы И, один выход дешифратора и второй выход формирователя импульсов подключены к соответствующим входам четвертого элемента И, первый выход формирователя импульсов соединен с первыми входами пятого и шестого элементов И, другие выходы дешифратора соответственно соединены с вторыми входами пятого и шестого элементов И, информационный вход триггера сбоя соединен с выходом блока сравнения, а управляющий вход подключен к выходу четвертого элемента И, выходы второго счетчика соединены с управляющими входами первого и второго коммутаторов и адресными входами блока памяти, выход которого соединен с информационными входами первого и второго D-триггеров, управляющие входы которых соединены с выходами соответственно третьего и второго элементов И, первые входы которых соединены с вторым выходом формирователя импульсов и тактовым входом второго регистра сдвига, управляющий вход которого и управляющий вход первого регистра сдвига соединены соответственно с другими выходами дешифратора, информационный вход первого регистра сдвига подключен к неинвертирующему выходу первого D-триггера, инвертирующим выходом соединенного с вторым входом первого элемента И, третий вход которого подключен к выходу первого коммутатора, информационные входы

(19) **SU** (11) **1160414 A**

которого соединены с выходами первого счетчика и входами первой группы блока индикации, входы второй группы которого являются входами устройства и соединены с входами первой группы блока сравнения, входы второй группы которого соединены с входами третьей группы блока индикации и выходами второго регистра сдвига, информационный вход которого подключен к неинвертирующему выходу второго D-триггера, ин-

вертирующий выход которого соединен с вторым входом второго элемента И, третьим входом соединенного с выходом второго коммутатора, информационные входы которого подключены к выходам первого регистра сдвига, входы установки в "0" первого и второго D-триггеров подключены соответственно к выходам шестого и пятого элементов И, а входы элемента ИЛИ соединены с выходом триггера сбоя и выходами первого счетчика.

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано для автоматической проверки функционирования программируемых логических элементов.

Целью изобретения является повышение быстродействия устройства.

На чертеже представлена блок-схема устройства.

Устройство для контроля логических блоков содержит блок 1 памяти, первый и второй коммутаторы 2 и 3, дешифратор 4, блок 5 управления, второй счетчик 6, первый элемент И 7, первый счетчик 8, триггер 9 сбоя, элемент ИЛИ 10, выход 11, блок 12 индикации, вход 13, блок 14 сравнения, третий элемент И 15, первый D-триггер 16, первый регистр 17 сдвига, второй элемент И 18, второй D-триггер 19, второй регистр 20 сдвига, формирователь 21 импульсов, пятый и шестой элементы И 22 и 23, генератор 24 импульсов и четвертый элемент И 25.

Устройство работает следующим образом.

В блок 1 памяти заносится программа формирования функций программируемой логической матрицы (ПЛМ), которая составляется для прожига связей, не участвующих в формировании заданных функций ПЛМ, содержащая  $N = Q(n + 2k)$  однобитных слов ( $Q$  - число элементов И матрицы,  $k$  - число входов матрицы,  $n$  - число выходов матрицы). Эта же программа используется для контроля ПЛМ. При этом от-

2

сутствию связи (прожигу) элемента матрицы соответствует логическая "1" в программе, а наличию связи - "0".

В каждом  $i$ -м ( $i = 1, \dots, 2k$ ) цикле контроля на выходы 11 устройства и на информационные входы первого коммутатора 12 подается контрольный  $k$ -разрядный код с выходов первого счетчика 8, а на управляющие входы коммутатора 2 и в блок 1 памяти - код адреса с выходов второго счетчика 6 блока 5 управления. Счетчик 6 запускается импульсами с первого выхода формирователя 21, который вырабатывает две серии сдвинутых во времени импульсов ( $T1$  и  $T2$ ). Серия импульсов  $T2$  с второго выхода формирователя 21 поступает на тактовые входы регистров 17 и 20.

Коммутатор 2 преобразует параллельный контрольный код в последовательный и выдает на второй вход элемента И 15 такт за тактом сначала инверсию прямых значений контрольного кода ( $A_1, A_2, \dots, A_k$ ), затем инверсию инверсных значений контрольного кода ( $A_1, A_2, \dots, A_k$ ). На первый вход элемента И 15 поступают тактовые импульсы ( $T1$ ) из блока 5 управления, которые проходят на управляющий вход триггера 16 при наличии в контрольном коде соответствующего  $j$ -го ( $j = 1, 2, \dots, k$ ) значения входной величины ( $A$  или  $A_j$ ). Одновременно на информационный вход триггера 16 с выхода блока 1 памяти подается соответствующее  $j$ -значение программы для  $q$ -го ( $q =$

$= 1, 2, \dots, Q$ ) элемента ПЛМ. Если в программе записано, что данное значение контрольного кода ( $A_i$  или  $\bar{A}_i$ ) входит в логическое выражение для функции  $F_q(n)$ , но отсутствует в  $i$ -контрольном коде, то D-триггер 16 перебрасывается в единичное состояние, запирает вход элемента И 15 и остается в этом состоянии до конца  $q$ -го этапа контроля, т.е. единичное состояние D-триггера 16 соответствует нулевому значению функции при данном  $i$ -м контрольном коде. Триггер 16 перебрасывается в единичное состояние при наличии единиц на втором входе элемента И 15 и на информационном входе триггера 16, что соответствует отсутствию в контрольном коде значения одного из входных сигналов.

По окончании  $q$ -го этапа контроля (через  $2k$  тактов) с третьего выхода дешифратора 4 блока 5 управления подается управляющий сигнал ( $V3$ ) в регистр 17 сдвига и по заднему фронту импульса сдвига ( $T2$ ) в регистр записывается информация с выхода триггера 16 ("0" или "1"). Затем с выхода шестого элемента И 23 блока 5 управления на вход установки "0" триггера 16 поступает импульс сброса ( $СБР1 = V3 \cdot T1$ ) и перебрасывает триггер 16 в нулевое состояние.

Коммутатор 3, элемент И 18, триггер 19 и регистр 20 образуют цепь формирования эталонных выходных функций В (функции ИЛИ) ПЛМ аналогично функций И коммутатором 2, элементом И 15, триггером 16 и регистром 17. Если одна из функций, входящих в выходную функцию В (ИЛИ), равна единице, то триггер 19 перебрасывается в единичное состояние.

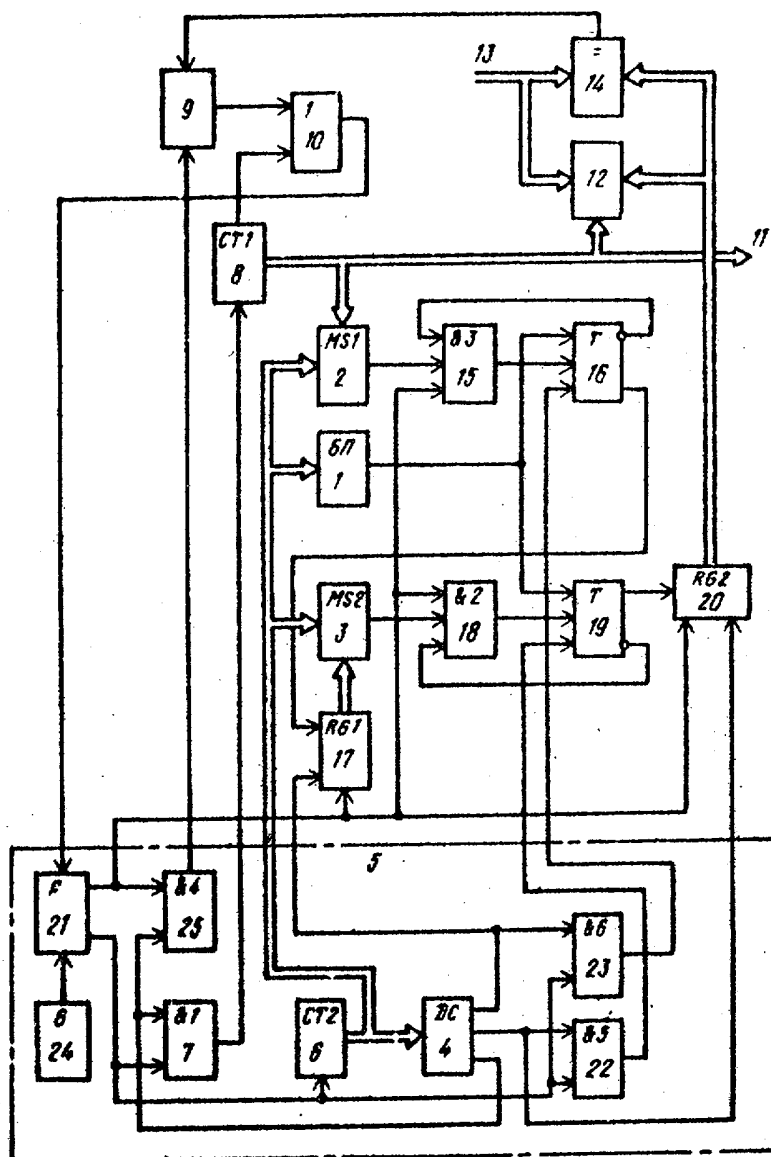
Коммутаторы 2 и 3 управляются кодом адреса, который также подается в блок 1 памяти для считывания соответствующего значения программы работы (прожига) ПЛМ.

По окончании  $(Q + n)$ -го этапа контроля в регистре 20 записаны  $n$  эталонных значений функций В при данном  $i$ -м контрольном коде теста. С первого выхода дешифратора 4 поступает разрешающий потенциал ( $V1$ ) на вход элемента И 7 блока 5 управления, с выхода которого импульс сравнения ( $U_{ср} = V1 \cdot T1$ ) поступает на управляющий вход триггера 9 сбоя, на информационный вход которого с выхода блока 14 сравнения подается результат сравнения эталонных значений выходов ПЛМ (с выходов регистра 20) со значениями с входов 13 устройства (выходов контролируемой ПЛМ, на входы которой подается тот же  $i$ -й контрольный код теста, что и на входы коммутатора 2).

При несовпадении сравниваемых значений с выхода блока 14 сравнения единичный потенциал поступает в триггер 9 сбоя и тот перебрасывается в единичное состояние. При этом формирователь 21 блока 5 управления запирается потенциалом триггера 9 сбоя, и режим контроля останавливается в  $i$ -м цикле. Блок 12 индикации показывает значение  $i$ -контрольного кода, при котором происходит сбой (неверный прожиг одной из связей ПЛМ), а также значения выходов контролируемой ПЛМ и регистра 20 (эталонные значения).

При отсутствии сбоя режима контроля по окончании  $2^k$ -го цикла счетчик 8 через элемент ИЛИ 10 подает запирающий сигнал в блок 5 управления (конец контроля). Режим контроля закончен, ПЛМ прожжена в соответствии с программой.

Таким образом, предлагаемое устройство позволяет проводить оперативный автоматический контроль программируемых логических блоков в соответствии с заданной программой с выявлением неисправностей отдельных элементов логического блока.



Редактор О.Юрковецкая      Составитель И.Алексеев      Техред Л.Коцюбняк      Корректор Ф.Сирохман

Заказ 3780/47

Тираж 710

Подписано

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4