



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월01일  
(11) 등록번호 10-1701360  
(24) 등록일자 2017년01월24일

(51) 국제특허분류(Int. Cl.)  
H01L 21/762 (2006.01)  
(21) 출원번호 10-2011-7006475  
(22) 출원일자(국제) 2009년08월10일  
심사청구일자 2014년07월23일  
(85) 번역문제출일자 2011년03월21일  
(65) 공개번호 10-2011-0102868  
(43) 공개일자 2011년09월19일  
(86) 국제출원번호 PCT/US2009/053271  
(87) 국제공개번호 WO 2010/025024  
국제공개일자 2010년03월04일  
(30) 우선권주장  
12/199,616 2008년08월27일 미국(US)  
(56) 선행기술조사문헌  
KR100764742 B1\*  
US20070032039 A1  
JP2004134757 A  
US7071515 B2\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
어드밴스드 마이크로 디바이시즈, 인코포레이티드  
미국 캘리포니아 94088-3453 서니베일 피.오.박스  
3453 원 에이엠디 플레이스  
(72) 발명자  
카터 리차드  
미국 뉴욕 12533 호프웰 정선 리비 코트 18  
크루쓰 조지  
미국 뉴욕 12533 호프웰 정선 미도우 웨이 74  
하그로브 마이클  
미국 뉴욕 12514 클린턴 코너스 필드 로드 98  
(74) 대리인  
박장원

전체 청구항 수 : 총 19 항

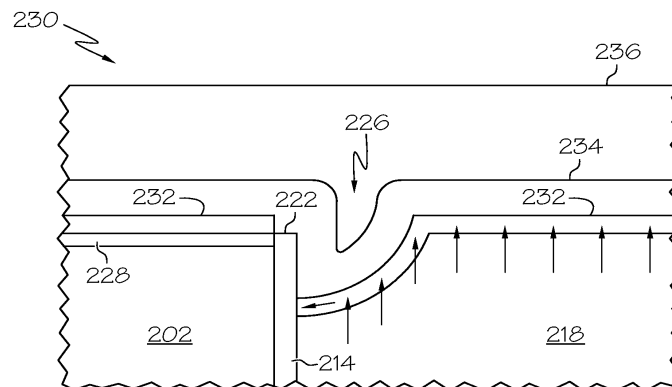
심사관 : 퇴\_배진용

(54) 발명의 명칭 격리 트렌치 라이너를 가지는 반도체 장치 및 관련된 제조 방법

(57) 요약

본 명세서에서는 반도체 장치(300)의 제조 방법이 제공되며, 본 방법으로 제조된 반도체 장치(300)에서 폭 효과(width effect)가 감소된다. 본 제조 방법은 반도체 물질(202)을 포함하는 기판(200)을 제공하는 단계, 반도체 물질(202)에서 격리 트렌치(212)를 형성하는 단계, 고유전율 물질이 형성되는 것을 실질적으로 방지하는 라이너 물질로 격리 트렌치(212)를 라이닝하는 단계를 포함한다. 그 다음으로, 라이닝된 트렌치(216)을 절연 물질(218)로 채운다. 그 후에, 절연 물질(218)의 적어도 일부분의 위와 반도체 물질(202)의 적어도 일부분의 위에 고유전율 게이트 물질층(232)을 형성한다. 라이너 물질(214)이 고유전율 게이트 물질층(232)을 분리하며, 반도체 물질(202)의 활성 영역 위로의 산소 이동을 방지한다.

대표도



## 명세서

### 청구범위

#### 청구항 1

반도체 장치 구조 제조 방법으로서,

반도체 물질(202)을 포함하는 기관(200)을 제공하는 단계;

상기 반도체 물질(202)에 격리 트렌치(212)를 형성하는 단계;

고유전율 물질이 위에 형성되는 것을 방지하는 라이너 물질(214)로 상기 격리 트렌치(212)를 라이닝하여 라이닝된 트렌치(216)를 형성하는 단계;

절연 물질(218)로 상기 라이닝된 트렌치(216)를 적어도 부분적으로 채우는 단계; 및

고유전율 게이트 물질층(232)이 상기 라이너 물질(214)에 의해서 나누어지도록, 상기 절연 물질(218)의 적어도 일부분 위에 놓고 상기 반도체 물질(202)의 적어도 일부분 위에 놓이는 상기 고유전율 게이트 물질층(232)을 형성하는 단계

를 포함하며,

상기 고유전율 게이트 물질층(232)을 형성하는 동안에 상기 라이너 물질(214)은 상기 라이너 물질(214) 상에 상기 고유전율 게이트 물질층(232)의 핵생성을 방지하므로, 상기 고유전율 게이트 물질층(232)이 상기 라이너 물질(214)에 의해서 나누어지는 것을 특징으로 하는 반도체 장치 구조 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 라이닝된 트렌치(216)를 적어도 부분적으로 채우는 단계를 수행함에 의해서, 채워진 격리 트렌치(220)와 상기 라이너 물질(214)의 노출된 테두리(222)가 형성되고,

상기 고유전율 게이트 물질층(232)을 형성하는 단계는, 상기 라이너 물질(214)의 상기 노출된 테두리(222)에 상기 고유전율 게이트 물질(232)이 없도록 상기 채워진 격리 트렌치(220) 위에 상기 고유전율 게이트 물질(232)을 증착하는 단계를 포함하는 것인 반도체 장치 구조 제조 방법.

#### 청구항 3

제2항에 있어서,

상기 고유전율 게이트 물질(232) 위와 상기 라이너 물질(214) 위에 금속 게이트층(234)을 형성하는 단계를 더 포함하는 반도체 장치 구조 제조 방법.

#### 청구항 4

제3항에 있어서,

상기 금속 게이트층(234) 위에 폴리실리콘 게이트층(236)을 형성하는 단계를 더 포함하는 반도체 장치 구조 제조 방법.

#### 청구항 5

제1항에 있어서,

상기 격리 트렌치(212)를 라이닝하여 라이닝된 트렌치(216)를 형성하는 단계는 질화 물질로 상기 격리 트렌치(212)를 라이닝하는 단계를 포함하는 것인 반도체 장치 구조 제조 방법.

#### 청구항 6

제1항에 있어서,

상기 라이닝된 트렌치(216)를 적어도 부분적으로 채우는 단계는 산화 물질로 상기 라이닝된 트렌치(216)를 적어도 부분적으로 채우는 단계를 포함하는 것인 반도체 장치 구조 제조 방법.

#### 청구항 7

반도체 장치(300)로서,

내부에 정의된 활성 트랜지스터 영역(308,310)을 가지는 반도체 물질층(202);

상기 반도체 물질층(202)에서 상기 활성 트랜지스터 영역(308,310)에 인접하게 형성된 격리 트렌치(212);

상기 격리 트렌치(212)를 라이닝하는 트렌치 라이너(214), 여기서 상기 격리 트렌치(212)와 상기 트렌치 라이너(214)가 함께 라이닝된 트렌치(216)를 형성하며;

상기 라이닝된 트렌치(216) 내의 절연 물질(218); 및

상기 절연 물질(218)의 적어도 일부분 위에 놓이고 상기 활성 트랜지스터 영역(308,310)의 적어도 일부분 위에 놓이며, 상기 트렌치 라이너(214)에 의해서 나누어지는 고유전율 게이트 물질층(232)을 포함하며,

상기 트렌치 라이너(214)는 상기 트렌치 라이너(214) 위에 상기 고유전율 게이트 물질층(232)이 핵생성되는 것을 방지하는 것을 특징으로 하는 반도체 장치(300).

#### 청구항 8

제7항에 있어서,

상기 트렌치 라이너(214)는 그 위에 고유전율 물질의 핵생성을 방지하는 물질을 포함하고,

상기 고유전율 게이트 물질층(232)은 상기 절연 물질(218)의 위와 상기 활성 트랜지스터 영역(308,310)의 위에 증착됨으로써 형성되는 것인 반도체 장치(300).

#### 청구항 9

제7항에 있어서,

상기 트렌치 라이너(214)는 상기 절연 물질(218)의 일부분 위에 놓이는 상기 고유전율 게이트 물질(232)과 상기 활성 트랜지스터 영역(308,310)의 일부분 위에 놓이는 상기 고유전율 게이트 물질(232) 사이에 산소 차단막을 형성하는 것인 반도체 장치(300).

#### 청구항 10

제7항에 있어서,

상기 트렌치 라이너(214)는 상부 테두리(222)를 포함하고,

상기 상부 테두리(222)에는 상기 고유전율 게이트 물질(232)이 없는 것인 반도체 장치(300).

#### 청구항 11

제7항에 있어서,

상기 고유전율 게이트 물질(232) 위에 놓이고 상기 트렌치 라이너(214) 위에 놓이는 금속 게이트층(234), 및

상기 금속 게이트층(234) 위에 놓이는 폴리실리콘 게이트층(236)을 더 포함하는 반도체 장치(300).

#### 청구항 12

제7항에 있어서,

상기 트렌치 라이너(214)는 질화 물질로부터 형성되는 것인 반도체 장치(300).

#### 청구항 13

제7항에 있어서,

상기 절연 물질(218)은 산화 물질인 반도체 장치(300).

#### 청구항 14

반도체 물질층(202), 상기 반도체 물질층(202) 위에 놓이는 패드 산화물층(208), 및 상기 패드 산화물층(208) 위에 놓이는 패드 질화물층(210)을 포함하는 반도체 기판(200)을 제공하는 단계;

상기 패드 질화물층(210)의 일부분, 상기 패드 산화물층(208)의 일부분, 및 상기 반도체 물질층(202)의 일부분을 선택적으로 제거하여 상기 반도체 기판(200)에 격리 트렌치(212)를 형성하는 단계;

상기 격리 트렌치(212)와 상기 패드 질화물층(210)의 노출된 부분에 라이너 물질(214)을 증착하는 단계, 여기서 상기 라이너 물질(214)은 그 위에 고유전율 물질이 핵생성되는 것을 방지하며;

상기 라이너 물질(214) 위에 절연 물질(218)을 증착하여 상기 절연 물질(218)이 상기 격리 트렌치(212)를 채우도록 하는 단계; 및

상기 라이너 물질(214)의 상부 테두리(222)를 노출시키는 단계; 및

상기 절연 물질(218) 위에 고유전율 게이트 물질층(232)을 증착하는 단계

를 포함하며,

상기 라이너 물질(214)의 상기 노출된 상부 테두리(222)에는 상기 고유전율 게이트 물질(232)이 없는 것을 특징으로 하는 반도체 장치 구조(300)를 위한 얇은 트렌치 격리구조 형성 방법.

#### 청구항 15

제14항에 있어서,

상기 절연 물질(218)을 증착하여 상기 격리 트렌치(212)를 채우는 단계 이후에, 상기 패드 질화물층(210) 위에 놓이는 상기 라이너 물질(214)과 일치하는 높이까지 상기 절연 물질(218)을 연마하는 단계를 더 포함하는 반도체 장치 구조(300)를 위한 얇은 트렌치 격리구조 형성 방법.

#### 청구항 16

제15항에 있어서,

상기 라이너 물질(214)의 상부 테두리(222)를 노출시키는 단계는,

상기 절연 물질(218)은 그대로 남겨둔 채, 상기 패드 질화물층(210) 및 상기 라이너 물질(214)의 일부분을 제거하는 단계를 포함하는 반도체 장치 구조(300)를 위한 얇은 트렌치 격리구조 형성 방법.

#### 청구항 17

제16항에 있어서,

상기 제거하는 단계는 상기 라이너 물질(214)의 상기 노출된 상부 테두리(222)를 형성하는 것인 반도체 장치 구조(300)를 위한 얇은 트렌치 격리구조 형성 방법.

#### 청구항 18

삭제

#### 청구항 19

제17항에 있어서,

상기 라이너 물질(214)은 상기 고유전율 게이트 물질(232)로부터 산소의 이동을 차단하는 것인 반도체 장치 구조(300)를 위한 얇은 트렌치 격리구조 형성 방법.

#### 청구항 20

제17항에 있어서,

상기 고유전율 게이트 물질(232) 위와 상기 라이너 물질(214) 위에 금속 게이트층(234)을 형성하는 단계, 및  
상기 금속 게이트층(234) 위에 폴리실리콘 게이트층(236)을 형성하는 단계를 더 포함하는 반도체 장치 구조(300)를 위한 얇은 트렌치 격리구조 형성 방법.

## 발명의 설명

## 기술 분야

[0001] 본 명세서에서 기술된 발명의 실시예들은 일반적으로 반도체 장치에 관련된 것이다. 더 자세하게는 MOS(Metal Oxide Semiconductor) 트랜지스터들 사이에서의 격리 영역(isolation region)들의 이용에 관련된 것이다.

## 배경 기술

[0002] 오늘날의 대다수의 집적회로는 상호연결된 수많은 전계 효과 트랜지스터(Field Effect Transistor, FET)들을 이용하여 구현되는데, 이러한 FET들은 MOS 트랜지스터(또는 MOSFET)들로 실현될 수 있다. MOS 트랜지스터는 p-타입 장치(즉, PMOS 트랜지스터) 또는 n-타입 장치(즉, NMOS 트랜지스터)로 실현될 수 있다. 게다가, 반도체 장치는 PMOS 트랜지스터와 NMOS 트랜지스터를 모두 포함할 수 있는데, 보통 이러한 장치를 CMOS 장치(Complementary MOS)라고 한다. MOS 트랜지스터는 반도체 기판 위에 형성된 제어 전극으로서 게이트 전극을 포함하고, 반도체 기판 내에 공간적으로 분리되어 형성되며 그 사이로 전류가 흐를 수 있는 소오스(source)와 드레인(drain) 영역을 포함한다. 소오스와 드레인 영역들은 일반적으로 소오스와 드레인 영역들 위에 형성된 각각의 도전성 콘택(conductive contact)들을 통하여 액세스(access)된다. 게이트 전극, 소오스 콘택, 드레인 콘택에 가해지는 바이어스 전압에 의해 게이트 전극 아래에 있는 소오스와 드레인 영역 사이의 반도체 기판 내 채널을 통하는 전류의 흐름이 제어된다. 절연층 내에 형성된 도전성 금속 배선(플러그)을 이용하여 일반적으로 게이트, 소오스 및 드레인 콘택에 바이어스 전압을 전달한다.

[0003] 도 1은 종래의 방법을 이용하여 제조된 CMOS 트랜지스터 장치 구조(100)를 간단한 그림으로 나타낸 것이다. 도 1의 윗부분(도 1A)은 장치 구조(100)를 위에서 본 평면도를 나타낸 것이고, 도 1의 아랫부분(도 1B)은 도 1의 윗부분에서 1B-1B 선을 따라 자른 장치 구조(100)의 단면도를 나타낸 것이다. 장치 구조(100)는 반도체 물질의 n-타입 활성 영역(102), p-타입 활성 영역(104), n-타입 영역(102)과 p-타입 영역(104)을 둘러싸면서 이들 영역을 분리시키는 얇은 트렌치 격리구조(Shallow Trench Isolation, STI)(106) 및 n-타입 영역(102), p-타입 영역(104) 및 STI(106)의 위에 놓이는 게이트 구조(108)를 포함한다. 장치 구조(100)는 물리적 지지 기판(110)과 지지 기판(110) 위의 절연 물질(112)(일반적으로 매립 산화물)을 포함하는 SOI(silicon-on-insulator) 기판 위에 형성된다. 게이트 구조(108)는 게이트 절연층(114)을 포함하는데, 이 절연층은 상대적으로 높은 유전상수를 가지는 유전 물질(즉, 고유전율 물질)로 형성된다. 또한 게이트 구조(108)는 게이트 절연층(114) 위에 놓이는 게이트 금속층(116)과 게이트 금속층(116) 위에 놓이는 다결정 실리콘층(118)을 포함한다.

[0004] 도 2는 장치 구조(100) 중에서 도 1에서 점선의 원으로 표시된 영역(120)의 상세도이다. 도 2는 장치 구조(100)를 형성하는 하나 또는 그 이상의 공정 단계를 거친 결과로서 형성될 수 있는 디봇(divot)(122)을 보여준다. 게이트 절연층(114), 게이트 금속층(116) 및 다결정 실리콘(118)은 일반적으로 디봇(122)의 윤곽(contour)을 따라 형성된다. 도 2의 화살표는 STI(106)로부터 게이트 절연층(114) 내로 산소가 유리(liberation)되는 것을 나타낸 것이다. 고유전율(high-k) 게이트 절연층(114)을 통한 p-타입 영역(104) 위로의 산소의 확산은 장치의 성능을 저하시킬 수 있는 폭 효과(width effect)를 유발한다. 도 2에서 나타나 있지 않지만 산소는 또한 도 2의 STI(106)의 오른쪽에 위치할 인접한 n-타입 영역 위로도 확산한다. 짧은 채널 영역을 가진 장치들일수록 폭 효과에 더 민감하다.

[0005] 폭 효과(width effect)는 많은 주지의 기술들을 이용하여 감소시킬 수 있다. 폭 효과를 감소시키기 위한 한가지 주지의 방법은 고유전율 물질에 실리콘을 더하는 것이다. 그러나, 이 방법은 유전체 증착시 제어의 문제가 있고, 스케일링에 부정적인 영향을 준다. 폭 효과를 감소시키기 위한 또 다른 방법은 고유전율 물질을 질화처리하는 방법이다. 그러나, 과도한 질화처리는 장치의 성능을 저하시키고 장치의 역치 전압(threshold voltage)에 부정적인 영향을 준다. 또 다른 방법으로서 게이트 금속층을 형성하기 위해 탈산소 금속(oxygen scavenging metal)을 이용하는 방법이 있다. 유감스럽게도, 탈산소 금속은 공정 중에 과도한 변동성을 유발하는 제어 문제

가 내재되어 있다. 또한 폭 효과는 고유전율 게이트 물질과 그 아래에 놓이는 STI 물질 간의 오버랩 량의 최소화를 시도함으로써 해결될 수 있다. 이러한 방법은 부가적인 마스크층(masking layer)이 요구되고, 특정의 제조 공정 노드에 의해 준수되어야 할 기존의 제어방법이나 규칙들을 위반할 수 있다. 또 하나의 방법으로서 고유전율 물질을 증착하기에 앞서 질화물 확산 방지막(nitride diffusion barrier)으로 STI 물질을 둘러싸는 방법이 있다. 이 방법은 검증되지 않았고, 격리 모듈에 대한 공정의 복잡도를 상당히 증가시키고 후속 공정 모듈들에서 변동성을 유발한다.

### 발명의 내용

- [0006] 반도체 장치 구조의 제조 방법을 제공한다. 본 방법은 반도체 물질을 포함하는 기판을 제공하는 단계로부터 시작한다. 반도체 물질에서 격리 트렌치를 형성하고 고유전율 물질이 형성되는 것을 실질적으로 방지하는 라이너 물질로 격리 트렌치를 라이닝한다. 라이닝된 트렌치는 절연 물질로 채우고, 이 절연 물질 위에 고유전율 게이트 물질층을 형성한다. 고유전율 게이트 물질은 절연 물질의 적어도 일부분과 반도체 물질의 적어도 일부분을 덮도록 형성되고 고유전율 게이트 물질층은 라이너 물질에 의해서 분리되도록 형성된다.
- [0007] 또한 반도체 장치도 제공한다. 본 반도체 장치는 그 내부에 활성 트랜지스터 영역이 정의된 반도체 물질층, 반도체 물질층에서 활성 트랜지스터 영역에 인접하게 형성된 격리 트렌치, 격리 트렌치를 라이닝하는 트렌치 라이너, 라이닝된 트렌치 내부의 절연 물질, 절연 물질의 적어도 일부분 위에 놓이고 활성 트랜지스터 영역의 적어도 일부분 위에 놓이는 고유전율 게이트 물질층을 포함한다. 고유전율 게이트 물질층은 트렌치 라이너에 의해서 분리된다.
- [0008] 반도체 장치 구조에 대한 얇은 트렌치 격리구조(shallow trench isolation) 형성 방법도 역시 제공된다. 본 방법은 반도체 물질층, 반도체 물질층 위에 놓이는 패드 산화물층, 패드 산화물층 위에 놓이는 패드 질화물층을 포함하는 반도체 기판을 제공하는 단계로부터 시작한다. 그 다음으로 패드 질화물층의 일부분, 패드 산화물층의 일부분, 반도체 물질층의 일부분을 선택적으로 제거하여 반도체 기판에서 격리 트렌치를 형성한다. 격리 트렌치 내부와 패드 질화물층의 노출된 부분 위에 라이너 물질을 증착하는데, 여기서 라이너 물질은 고유전율 물질의 핵생성을 실질적으로 방지한다. 추가로, 절연 물질이 격리 트렌치를 채우도록 라이너 물질 위에 절연 물질을 증착한다.
- [0009] 상기 내용은 발명의 개념들을 선별하여 소개하기 위해 제시된 것으로서, 이들 개념은 하기의 [발명을 실시하기 위한 구체적인 내용]에서 더 구체적으로 기술된다. 상기 내용은 특허청구범위에서 청구된 발명의 주된 구성이나 필수적인 구성을 확인하기 위한 것이라거나 특허청구범위에서 청구된 발명의 범위를 결정하는데 있어 보조물로써 사용하기 위한 것이 아니다.

### 도면의 간단한 설명

- [0010] 본 발명은 발명의 상세한 설명과 특허청구범위를 참조함에 있어서 아래의 도면들과 결합하여 고려할 때 더욱 완벽하게 이해할 수 있다. 도면들에 있어서, 같은 참조 번호들은 전체 도면들에서 일관되게 유사한 구성 요소들을 나타낸다.
- 도 1은 종래의 기술을 이용하여 제조된 CMOS 트랜지스터 장치 구조를 간략히 그린 것이다.
- 도 2는 도 1의 CMOS 트랜지스터 장치 구조의 일부분의 상세도이다.
- 도 3 내지 도 12는 각 제조 단계에서의 반도체 장치 구조를 도해한 단면도이다.
- 도 13은 도 3 내지 도 12에서 묘사된 공정에 따라 제조된 반도체 장치 구조의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0011] 아래의 상세한 설명은 본질에 있어서 단순히 예시적인 것에 불과하고 본 발명의 실시예들을 제한하기 위한 것이 라거나 실시예들의 응용 및 이용을 제한하기 위한 것은 아니다. 본 명세서에서 사용되는 표현 "예시적인"은 하나의 예시, 사례 또는 실례로서 사용되는 것을 의미한다. 본 명세서에서 예시적인 것으로서 기술된 어떠한 구현 예도 다른 구현예들에 비해 바람직한 것이라거나 장점이 있는 것으로 반드시 해석되어서는 안된다. 나아가, [기술분야], [배경기술], [발명의 내용] 또는 아래의 [발명을 실시하기 위한 구체적인 내용]에서 제시된 명시적 또는 함축적 이론에 의해서도 한정되지 않는다.
- [0012] 간결한 설명을 위해, 반도체 장치 제조에 관련된 종래의 기술들은 본 명세서에서 자세히 설명되지 않을 수



있다. 더욱이, 본 명세서에서 기술된 여러가지 작업들과 공정 단계들은 본 명세서에서 자세하게 기술되지 않는 부가적인 단계들이나 기능들을 가지는 더 포괄적인 과정이나 공정에 포함될 수 있다. 특히, 트랜지스터를 기반으로 한 반도체 제조에 있어서 여러 단계들이 잘 알려져 있으므로, 간결한 설명을 위해 많은 종래의 단계들은 간단히 언급되지만 하거나 주지의 공정들에 대한 자세한 내용들은 제공되지 않고 생략될 것이다.

[0013] 본 명세서에서 기술된 기법 및 기술들은 NMOS 트랜지스터 장치, PMOS 트랜지스터 장치 및 CMOS 트랜지스터 장치들을 포함하여 MOS 트랜지스터 장치를 제조하는데에 이용될 수 있다. "MOS 장치"라는 용어는 금속 게이트 전극과 산화물 게이트 절연체를 포함하는 장치를 가리키는 데에 적합하지만, 본 용어는 반도체 기판 위에 위치하는 게이트 절연체(산화물 또는 다른 절연체로 됨), 게이트 절연체 위에 위치한 전도성 게이트 전극(금속이거나 다른 전도성 물질로 됨)을 포함하는 반도체 장치를 나타내는 데에 일관되게 사용될 것이다.

[0014] 본 명세서에서 기술된 제조 공정은 고유전율 게이트 절연체와 고유전율 게이트 절연체 위에 놓이는 금속 게이트를 포함하는 반도체 장치를 제조하는데 이용될 수 있다. 특히, 본 공정에 따라 제조된 반도체 장치는 STI 산화물과 고유전율 게이트 절연체 간에 산소 이동 방지막의 역할을 하는 STI 라이너를 포함한다. STI 라이너는 활성 트랜지스터 영역을 덮고 있는 고유전율 게이트 절연체 부분으로의 산소의 확산을 없앴(또는 상당히 감소시킴)으로써, 폭 효과(width effect)라고 알려진 현상의 영향을 최소화한다. 아래에서 더 상세히 기술되는 바와 같이 STI 라이너 물질은 STI 라이너 물질 상에서 고유전율 물질이 핵생성(nucleation)되지 않도록 선택되는데, 이로써 STI 라이너에 의해서 고유전율 게이트 절연체가 STI 물질 위에 위치하는 부분과 활성 트랜지스터 영역 위에 위치하는 다른 부분으로 분리되어지도록 한다.

[0015] 도 3에 대해 설명하면, 반도체 장치 구조의 제조는 반도체 물질층(202)을 포함하는 적절한 반도체 기판(200)을 제공함으로써 시작된다. 본 제조 공정은 CMOS 트랜지스터 장치와 같은 반도체 장치에 이용되기에 적합한 트렌치 격리 방법의 한 구현예를 나타낸다. 이 실시예에서는 반도체 기판(200)이 SOI(silicon-on-insulator) 기판으로서 실현될 수 있는데, 이 기판에서는 절연 물질층(204) 위에 반도체 물질(202)이 증착되며, 절연 물질층(204)은 캐리어층(206)에 의해 지지된다. 더욱 상세하게는, 반도체 물질(202)은 실리콘 물질이고, 절연 물질(204)은 매립 산화물층이다. 본 명세서에서 "실리콘 물질"이라는 용어는 일반적으로 단결정이고 반도체 업계에서 전형적으로 사용되는 비교적 순수한 실리콘 물질을 아우르는 의미로 사용된다. 반도체 물질(202)은 원래 N-타입 또는 P-타입일 수 있지만, 대개는 P-타입이고, 반도체 물질(202)은 나중에 활성 영역을 형성하기 위해 적절한 방법으로 도핑된다. 이 실시예에서는, 절연 물질(204)은 실리콘 옥사이드( $\text{SiO}_2$ ) 층으로서 실현된다. 다른 실시예에서는, 반도체 장치 구조가 SOI 기판 대신에 벌크(bulk) 실리콘 기판상에 형성될 수도 있다.

[0016] 도 3은 반도체 물질(202) 위에 패드 산화물층(208)을 형성하고, 패드 산화물층(208) 위에 패드 질화물층(210)을 형성한 후의 반도체 기판(200)을 묘사한 것이다. 결과적인 구조는 패드 산화물층(208) 위에 놓이는 패드 질화물층(210)과 함께 반도체 물질(202) 위에 놓이는 패드 산화물층(208)을 포함한다. 도 3에서 묘사된 구조에 도달하기 위해 종래의 공정 단계들이 이용될 수 있다. 예를 들면, 패드 산화물층(208)을 원하는 두께로 성장시킨 다음, 적절한 화학 기상 증착법(chemical vapor deposition, CVD)을 이용하여 패드 산화물층(208) 위에 패드 질화물층(210)을 증착한다.

[0017] 다음으로 도 4에서 반도체 물질(202)에 적당한 크기의 격리 트렌치(212)를 형성하기 위해 적절한 방법으로 반도체 물질(200)을 처리한다. 도 4에서 묘사된 것처럼, 격리 트렌치(212)는 패드 질화물층(210)의 일부분, 패드 산화물층(208)의 일부분 및 반도체 물질(202)의 일부분을 선택적으로 제거하여 형성될 수 있다. 본 SOI 구현예에서는, 격리 트렌치(212)의 형성시에 반도체 물질(202) 아래에 놓이는 절연 물질(204)의 일부분을 선택적으로 제거하는 것도 역시 포함된다. 도 4는 포토리소그래피(photolithography), 마스크(masking) 및 에칭(etching) 단계들을 포함한 수많은 주지의 공정 단계들을 마친 후의 반도체 기판(200)의 상태를 묘사한 것이다. 특히, 격리 트렌치(212) 양쪽에 있는 반도체 물질(202)의 부분들 간에 충분한 격리를 제공하기 위해 격리 트렌치(212)가 절연 물질(204) 내부까지 확장되어 있다.

[0018] 도 4에서 묘사된 공정에서의 단계를 거친 후에 다른 제조 단계들이나 부공정들이 수행될 수도 있지만, 본 예에서는 적절한 라이너 물질(214)로써 격리 트렌치(212)를 라이닝하는 단계가 계속된다. 라이너 물질(214)은 CVD, 저압 CVD(low pressure CVD) 또는 플라즈마 CVD(plasma enhanced CVD) 등의 적당한 기법을 이용하여 격리 트렌치(212) 내부와 패드 질화물층(210)의 노출된 임의의 부분에 증착될 수 있다. 특히, 라이너 물질(214)은 라이너 물질 상에 고유전율 물질이 형성되는 것을 실질적으로 방지하는 물질이다. 다시 말하면, 고유전율 물질(그 증착이 표면에 따라 매우 선택적임)이 라이너 물질(214)의 노출된 표면상에서 핵생성되지 않도록 라이너 물질(214)이 조성된다. 실제에서는, 라이너 물질(214)은 질화물, 바람직하게는 실리콘 나이트라이드(silicon nitride)와

같은 유전 물질이고, 라이너 물질(214)은 전형적으로 대략 20 내지 100 옹스트롬의 두께를 가지도록 형성된다.

[0019] 도 5에서 그려진 것처럼, 라이너 물질(214)은 반도체 기판(200) 내에서 라이닝된 트렌치(216)를 형성한다. 격리 트렌치(212)를 라이닝한 후에도 다른 제조 단계들이나 부공정들이 수행될 수 있지만, 본 예에서는 STI 물질(도 6의 218)로 본 명세서에서 언급되는 적당한 절연 물질로 적어도 부분적으로 라이닝된 트렌치(216)를 채우는 단계가 계속된다. 실제에서는, 유전체 STI 물질(218)로 라이닝된 트렌치(216)를 채우고, 예를 들어, CVD와 같은 적절한 증착 기법을 이용하여 라이너 물질(214)의 다른 부분(패드 질화물층(210) 위에 놓이는 부분) 위에 유전체 STI 물질(218)을 형성한다. 어떤 실시예들에서는, STI 물질(218)은 TEOS(tetraethyl orthosilicate)를 실리콘 공급원으로 사용하여 증착된 실리콘 다이옥사이드(silicon dioxide)(보통 TEOS 산화물이라 함)와 같은 산화 물질이다. 또 다른 예에서는, 실레인(silane)이 실리콘 공급원에 대한 매우 일반적인 전구체(precursor)이고, 결과적인 STI 물질(218)은 보통 고밀도 플라즈마(high density plasma, HDP) 산화물이라고 불린다.

[0020] 도 6에서 묘사된 공정 단계에서는, STI 물질(218)이 반도체 기판(200) 내에 채워진 격리 트렌치(220)를 생성한다. 그 이후, STI 물질(218)은 예를 들어 화학적 기계적 연마(chemical mechanical polishing, CMP) 도구를 이용하여 연마된다. STI 물질(218)은 바람직하게는 패드 질화물층(210) 위에 놓이는 라이너 물질(214)의 높이와 대략 일치하는 높이까지 연마된다. 실제에서는, 라이너 물질(214)의 노출된 표면과 STI 물질(218)의 상부가 실질적으로 연속이 되도록 질화물 라이너 물질(214)이 CMP의 정지층(stop layer)의 역할을 한다. 도 7은 STI 물질(218)이 연마되거나 평탄화된 후에 반도체 기판(200)의 상태를 그린 것이다.

[0021] STI 물질(218)을 연마한 후에 다른 제조 단계들이나 부공정들이 수행될 수도 있지만, 본 예에서는 STI 물질(218)은 실질적으로 그대로 둔 채(도 8), 패드 질화물층(210)과 라이너 물질(214)의 일부분을 제거하는 단계가 계속된다. 질화물과 라이너 물질은, 예를 들어, 고온의 인산 스트립(hot phosphoric acid strip) 공정과 같은 질화물에 선택적인 기법을 이용하여 제거할 수 있다. 도 8에서 묘사된 것처럼, 이 단계는 패드 질화물층(210)이 완전히 제거되고 라이너 물질(214)의 상부 테두리(upper rim)(222)가 노출된 상태로 남아있도록 제어된다. 도 1의 평면도를 다시 보면, 상부 테두리(222)는 102 영역과 104 영역의 윤곽선에 의해 정의되는 경계와 대충 일치한다. 본 스트립 단계의 선택적인 성질에 의해서 STI 물질(218)과 패드 산화물층(208)은 확실히 제거되지 않는다. 따라서, STI 물질(218) 아래에 놓이는 라이너 물질(214) 부분은 보호된다.

[0022] 도 8에서 묘사된 단계를 마친 후에 수많은 공정 단계들이나 부단계들이 수행될 수도 있다. 예를 들어, 도 9는 게이트 스택(gate stack)의 형성에 앞서 필요할 수도 있는 추가의 공정을 거친 후 반도체 기판(200)의 상태를 묘사한 것이다. 이러한 추가의 공정 단계들에는 (비록 이들로만 제한되는 것은 아니지만) 패드 산화물층(208)을 제거하는 단계, 패드 산화물층(208)을 대체하여 희생 산화물(sacrificial oxide) 층(224)을 형성하는 단계, 희생 산화물은 그대로 둔 채로 웰 임플란트(well implant)를 형성하는 단계 및 습식 에칭(wet etching) 단계가 포함될 수 있다. 이러한 공정 단계들은 STI 물질(218)의 높이를 움푹 패이게 할 수 있지만, 라이너 물질(214)은 실질적으로 그대로 남겨둔다. 게다가, STI 물질(218)은 등방성 산화물 에칭제(isotropic oxide etchant)에 의해 영향을 받을 수 있어서, 결과적으로 STI 물질(218)의 가장자리에 디봇(divot)(226)들이 형성될 수 있다. 중요한 것으로서, 반도체 기판(200)이 도 9에 보인 상태에 도달한 후에는 라이너 물질(214)의 상부 테두리(222)가 덮여 있지 않고 노출된 상태로 남게 된다.

[0023] 앞서 기술된 습식 에칭 단계를 거치면서 제거될 수도 있는 희생 산화물(224)은 계면 절연체(interfacial insulator) 층(228)이 형성되면서 대체된다. 계면 절연체층(228)은 바람직하게는 산화 물질로부터 형성된다. 도 10은 도 9의 반도체 기판(200)에서 점선의 원으로 둘러싸인 영역(230)을 자세하게 보여주는 그림이다. 도해를 쉽게하기 위해 도 10에서는 스케일이 과장되게 확대되었다. 게다가, 도해된 실시예에서는 상부 테두리(222)의 높이가 계면 절연체층(228)의 높이와 일치하지만, 라이너 물질(214)이 계면 절연체층(228)의 높이보다 튀어나올 수도 있고, 반도체 물질(202)의 높이 수준이거나 STI 물질(218)의 높이 수준일 수도 있다.

[0024] 계면 절연체 층(228)을 형성한 후에 다른 제조 단계들이나 부공정들이 수행될 수도 있지만, 본 예에서는 반도체 물질(202)의 적어도 일부분 위에 놓고, STI 물질(218)의 적어도 일부분 위에 놓이는 고유전율 게이트 물질층(232)을 형성하는 단계가 계속된다. 실제에서는, 고유전율 게이트 물질은 원자층 증착법(atomic layer deposition, ALD)이나 원자층 화학 기상 증착법(atomic layer chemical vapor deposition, ALCVD)과 같은 임의의 적당한 기법을 이용해서 증착될 수 있는데, 이 기법은 라이너 물질(214)의 상부 테두리(222) 상에는 증착되지 않거나 거의 증착이 이루어지지 않게 하는 반면에, 계면 절연체층(228)과 STI 물질(218) 상에는 고유전율 물질이 선택적으로 증착될 수 있게 해준다. ALD와 ALCVD는 고유전율 물질을 증착할 노출된 표면이 특정한 물성(예를 들어, 화학적 결합이나 분자 구조)을 가져야만 하고, 그렇지 않으면 고유전율의 물질이 핵생성되지 않는다는



점에서 표면에 매우 민감한 공정이다. 실제에서는, 고유전율 게이트 물질(232)은 실리콘 다이옥사이드에 비해서 높은 유전 상수를 가지는 임의의 물질일 수 있고, 이러한 고유전율 물질은 반도체 업계에서 잘 알려져 있다. 실시예에 따라, 고유전율 물질(232)은 (비록 이들로만 제한되는 것은 아니지만)  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{HfZrO}_x$ ,  $\text{HfSiO}_x$ ,  $\text{HfSiON}$ ,  $\text{HfTiO}_x$ ,  $\text{ZrTiO}_x$ ,  $\text{ZrSiO}_x$ ,  $\text{ZrSiON}$ ,  $\text{HfLaO}_x$ ,  $\text{ZrLaO}_x$ ,  $\text{LaAlO}_x$ ,  $\text{La}_2\text{O}_3$ ,  $\text{HfAlO}_x$ ,  $\text{ZrAlO}_x$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{MgO}$ ,  $\text{DyO}$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$  및 기타 같은 종류의 것들로 될 수 있다. 고유전율 게이트 물질(232)은 바람직하게는 대략 14 내지 22 옹스트롬의 두께로 증착된다.

[0025] 앞서 언급된 것처럼, 라이너 물질(214)은 고유전율 물질이 라이너 물질 상에 핵생성되는 것을 실질적으로 방지하도록 선택되어 지고, 이 속성으로 인해 도 10에서 묘사된 것처럼 노출된 상부 테두리(222)에는 고유전율 게이트 물질(232)이 여전히 없는 상태(모든 실용적인 목적에 있어서)가 되게 한다. 특히, 고유전율 게이트 물질층(232)은 라이너 물질(214)에 의해서 나누어지고, 라이너 물질(214)은 고유전율 게이트 물질층(232)을 불연속하게 만든다. 도해된 실시예에서는, 계면 절연체층(228) 위에 놓이는 고유전율 물질 부분은 상부 테두리(222)와 겹치기 전에 끝나고, STI 물질(218) 위에 놓이는 고유전율 물질 부분은 디봇(226)의 윤곽을 따라 형성되어 라이너 물질(214)의 측벽에서 또는 근처에서 끝난다.

[0026] 고유전율 게이트 물질(232)을 증착한 후에 다른 제조 단계들이나 부공정들이 수행될 수 있지만, 본 예에서는 종래의 방법으로 게이트 스택을 완성하는 단계가 계속된다. 이와 관련하여, 금속 게이트층(234)이 고유전율 게이트 물질(232)의 위와 라이너 물질(214)의 노출된 부분의 위에 형성되고(도 11), 그 후에, 폴리실리콘 게이트층(236)이 금속 게이트층(234) 위에 형성된다(도 12). 고유전율 게이트 물질(232)과 달리, 금속 게이트층(234)은 라이너 물질(214)의 노출된 표면에 형성될 수 있고 또 형성된다. 따라서, 금속 게이트층(234)은 디봇(226) 근처에서 일반적으로 고유전율 물질(232)과 라이너 물질(214)의 윤곽을 따른다. 게다가, 폴리실리콘 게이트층(236)은 도 12에서 나타나 것처럼 디봇(226)을 채우도록 원하는 두께로 증착된다.

[0027] 도 12의 화살표들은 STI 물질(218)로부터 고유전율 게이트 물질(232)로의 산소의 유리를 나타낸 것이다. 도 2에서 나타난 종래의 장치 구조와는 달리, 반도체 물질(202) 위에 놓이는 고유전율 게이트 물질 부분(232)으로는 산소가 이동하거나 확산되지 않는다. 다시 말하면, 라이너 물질(214)이 STI 물질(218) 위에 놓이는 고유전율 게이트 물질 부분(232)으로부터의 산소의 확산을 막는다. 결과적으로, 라이너 물질(214)은 폭 효과(width effect)를 감소시키는 데에 이용될 수 있고, 앞서 설명한 바와 같이 그렇지 않은 경우에는 폭 효과는 장치의 성능을 저하시킬 수 있다. 라이너 물질(214) 상에 아주 얇은 층의 고유전율 게이트 물질(232)이 형성되더라도, 산소의 이동은 실질적으로 방해받고, 따라서, 똑같은 이득을 얻을 수 있다는 점을 인지하여야 한다.

[0028] 도 12에서 나타난 제조 공정에서의 단계를 거친 후에, 본 장치 구조의 제조를 완성하기 위해 임의의 수만큼 주지의 공정 단계들을 수행할 수 있다. 게다가, 본 명세서에서 기술된 공정 기법들은 게이트 퍼스트(gate-first) 공정이나 게이트 래스트(gate-last) 공정(폴리실리콘 게이트층(236)을 다른 금속 물질로 대체함)에도 이용될 수 있다.

[0029] 도 13은 도 3 내지 도 12에서 묘사된 공정들에 따라 제조된 반도체 장치(300)의 단면도이다. 본 반도체 장치(300)의 대부분의 특징들이나 특성들은 도 3 내지 도 12와 관련해서 위에서 기술된 것들과 유사하거나 동일하고, 이러한 공통된 특징들이나 특성들은 여기서 자세히 기술하지 않는다. 본 실시예에서는, 반도체 장치(300)가 지지층(304)과 지지층(304) 위에 놓이는 매립 산화물층(306)을 포함하는 SOI 기판(302) 상에 형성된다. 매립 산화물층(306) 위에 놓이는 반도체 물질층은 그 안에 정의된 활성 트랜지스터 영역을 포함하는데, 도 13은 n-타입 활성 트랜지스터 영역(308)과 p-타입 활성 트랜지스터 영역(310)을 묘사하고 있다.

[0030] 활성 트랜지스터 영역(308, 310)은 인접한 격리 트렌치(312)에 의해서 분리되고, 이 격리 트렌치는 반도체 물질층과 매립 산화물층(306) 내에 형성된다. 격리 트렌치(312)는 트렌치 라이너(314)(예를 들어, 질화 물질)로 라이닝되고, STI 산화물(316)과 같은 절연 물질이 라이닝된 트렌치 내에 위치한다. 본 반도체 장치(300)는 STI 산화물(316)의 적어도 일부분 위에 놓이고 활성 트랜지스터 영역(308, 310)의 적어도 일부분 위에 놓이는 고유전율 게이트 물질층(318)도 역시 포함한다. 앞서 기술된 바와 같이 고유전율 게이트 물질(318)이 트렌치 라이너(314)의 상부 테두리에서는 핵생성되지 않기 때문에 고유전율 게이트 물질층(318)이 트렌치 라이너(314)에 의해서 분리된다는 것을 주목하는 것이 중요하다. 간략하고 쉽게 도해하기 위해, 고유전율 게이트 물질(318)과 활성 트랜지스터 영역(308, 310)의 사이에 위치하는 계면 산화물층(도 12)과 STI 산화물(316)의 양 가장자리의 디봇들은 도 13에서는 나타나 있지 않다.

[0031] 본 반도체 장치(300)는 또한 고유전율 게이트 물질(318) 위에 놓이고, 트렌치 라이너(314)의 상부 테두리 위에

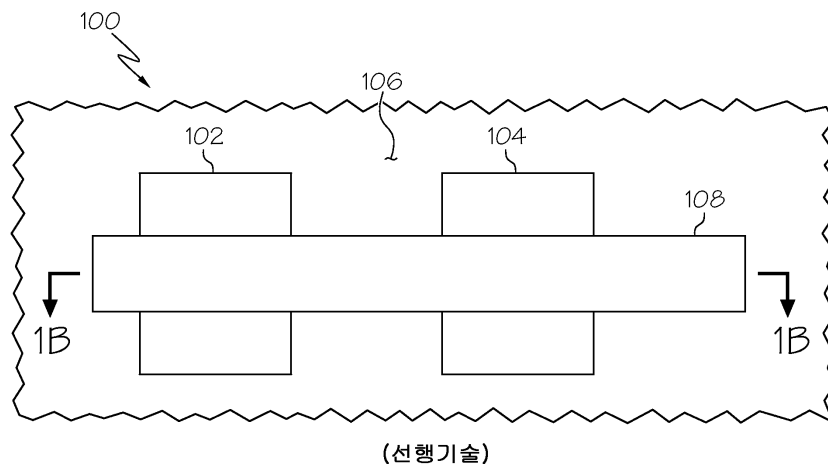
놓이는 금속 게이트층(320)을 포함한다. 추가로, 본 반도체 장치(300)는 금속 게이트층(320) 위에 놓이는 폴리실리콘 게이트층(322)을 포함한다. 고유전율 게이트 물질(318), 금속 게이트층(32) 및 폴리실리콘 게이트층(322)의 조합은 게이트 스택 또는 게이트 구조라고 지칭될 수도 있다. 게이트 스택은 종래의 방법대로 활성 트랜지스터 영역(308, 310)과 연계하여 NMOS 및 PMOS 트랜지스터 장치들을 형성한다.

[0032] 고유전율 물질의 핵생성을 방지하는 트렌치 라이너 대신에, 폭 효과(width effect)를 여전히 감소시키는 대체적인 방법으로 형성된 고유전율 물질층이 이용될 수도 있다. 더욱 상세하게는, 플라즈마 기상 증착(plasma vapor deposition, PVD) 기법을 적당히 제어하여 고유전율 물질을 형성할 수 있다. PVD 공정에 의해 계면 산화물의 노출된 표면 위와 STI 산화물의 노출된 표면 위로 고유전율 물질이 자연스럽게 형성될 것이다. 하지만, PVD 공정의 방향성으로 인해, 디봇의 수직 측벽에 형성되는 고유전율 물질의 양(도 2)은 다른 곳에서 형성되는 고유전율 물질의 양보다 현저히 적게 된다. 결과적으로, 디봇의 수직 측벽 상의 아주 얇은 고유전율 물질층은 STI 산화물 측으로부터 활성 트랜지스터 영역 위에 놓이는 측으로의 산소의 이동을 방해할 것이다.

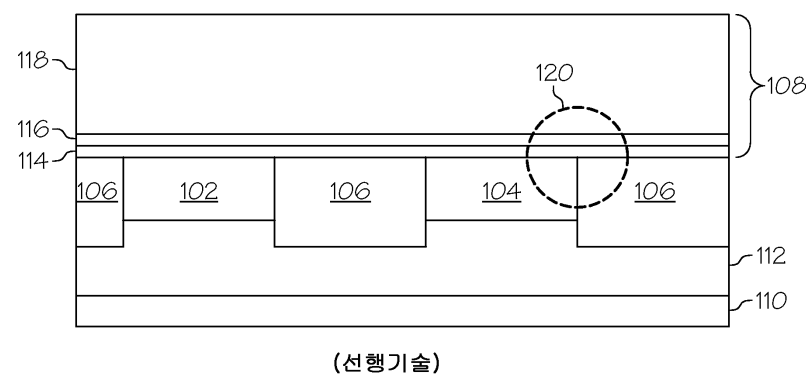
[0033] 적어도 하나의 전형적인 실시예가 앞서 상세한 설명에서 제시되었지만, 방대한 양의 변형들이 존재한다는 것을 인지하여야 한다. 본 명세서에서 기술된 전형적인 실시예들은 특허청구범위에서 청구된 발명의 범위, 적용가능성, 구성을 어떠한 방법으로도 제한하고자 하는 것은 아니라는 것도 역시 인지해야 한다. 오히려, 앞서의 상세한 설명은 위에서 기술된 실시예들을 구현함에 있어서 본 기술분야의 기술자들에게 편리한 로드맵을 제공할 것이다. 본 명세서의 청구범위에서 정의된 범위는 본 특허 출원의 출원시에 주지의 균등물들과 예측가능한 균등물들을 포함하고 있는바, 이 범위를 벗어남이 없이 구성요소들의 기능과 배치에 있어서 다양한 변경이 가능하다는 것을 이해해야 한다.

## 도면

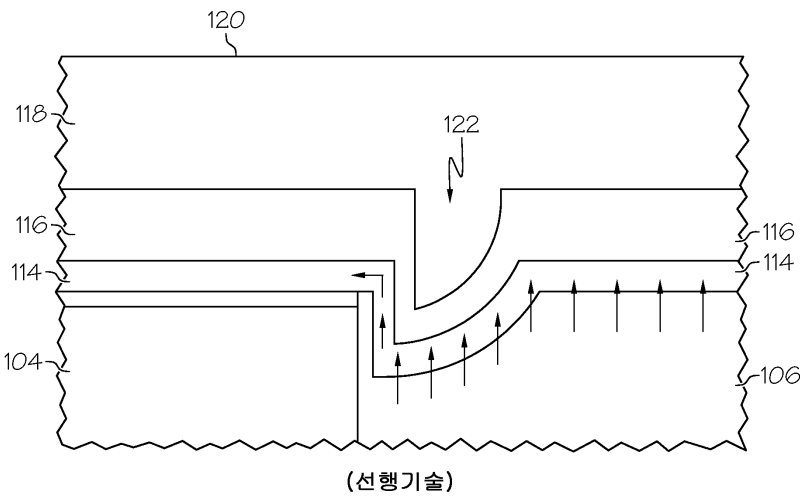
### 도면1a



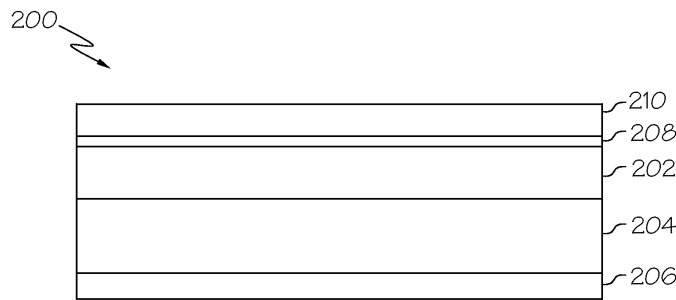
### 도면1b



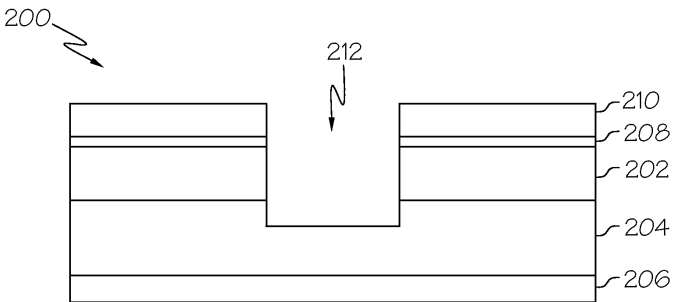
도면2



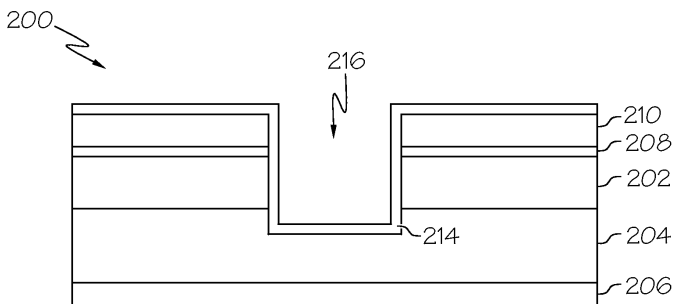
도면3



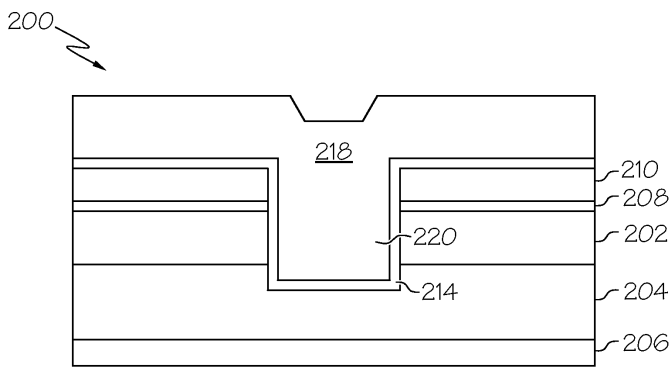
도면4



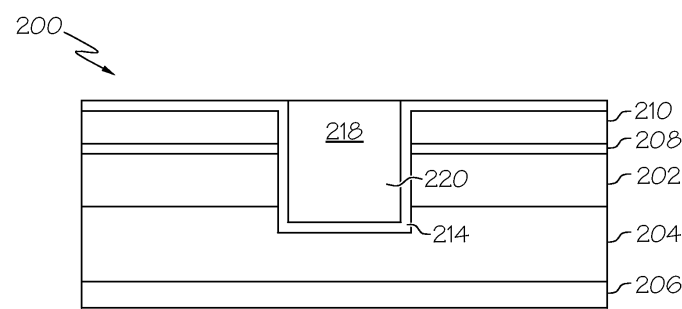
도면5



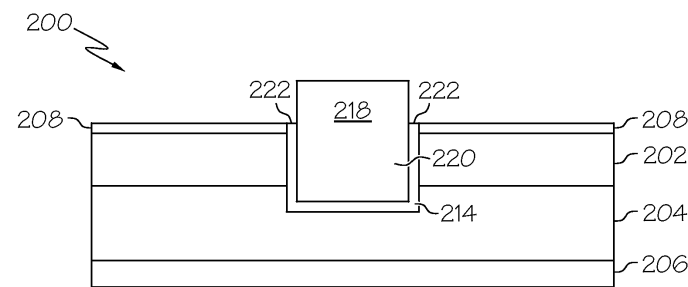
도면6



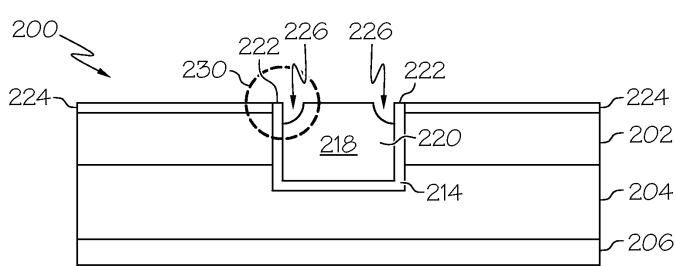
도면7



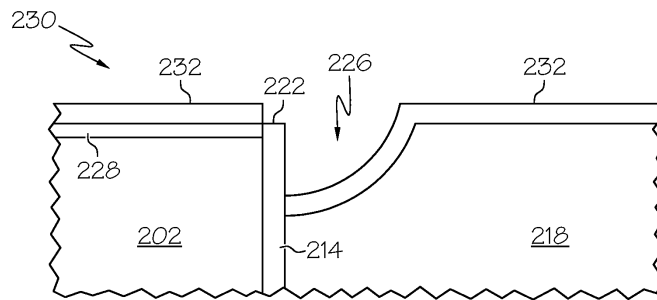
도면8



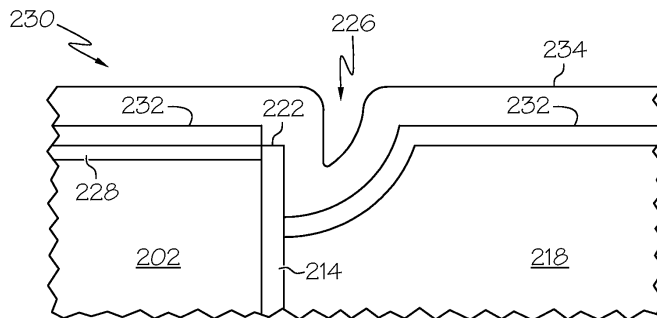
도면9



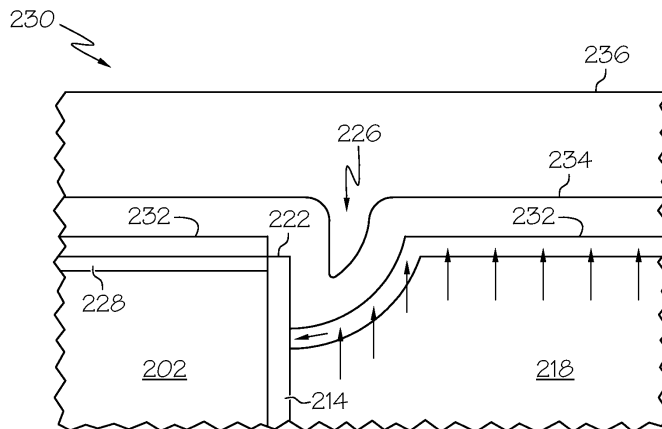
도면10



도면11



도면12



도면13

