

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 876 220**  
(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national : **04 52284**

⑤1 Int Cl<sup>8</sup> : H 01 L 21/762 (2006.01), H 01 L 21/84

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 06.10.04.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 07.04.06 Bulletin 06/14.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE Etablissement public à caractère scientifique technique et industriel — FR.

⑦2 Inventeur(s) : MORICEAU HUBERT, FURNEL FRANCK et MORALES CHRISTOPHE.

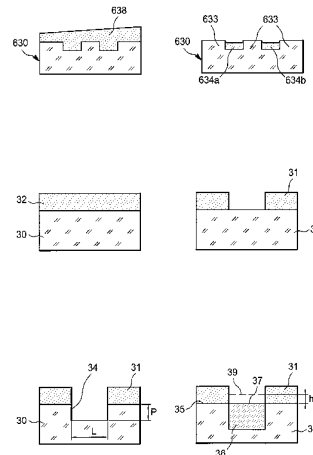
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : BREVATOME.

⑤4 PROCÉDE D'ELABORATION DE STRUCTURES EMPILEES MIXTES, A ZONES ISOLANTES DIVERSES ET/OU ZONES DE CONDUCTION ELECTRIQUE VERTICALE LOCALISEES.

⑤7 L'invention concerne un procédé de réalisation d'une structure semi-conductrice, comportant:

- la formation contrôlée, à travers un masque (31), dans un premier substrat (30) en un matériau semi-conducteur, d'au moins une première zone en un matériau isolant (36), jusqu'au niveau de la surface inférieure (35) du masque, avant ou pendant le retrait du masque.



FR 2 876 220 - A1



**PROCEDE D'ELABORATION DE STRUCTURES EMPILEES MIXTES, A  
ZONES ISOLANTES DIVERSES ET/OU ZONES DE CONDUCTION  
ELECTRIQUE VERTICALE LOCALISEES**

**DESCRIPTION**

**DOMAINE TECHNIQUE ET ART ANTÉRIEUR**

L'invention concerne le domaine des  
5 structures de type semi-conducteur sur isolant, comme  
par exemple les structures silicium sur isolant  
également dénommées SOI.

Dans ces technologies un substrat de  
matériau, en général semiconducteur, supporte un film  
10 d'isolant enterré, par exemple en dioxyde de silicium,  
et un film de matériau semiconducteur superficiel.

La réalisation de telles structures semi-  
conducteur sur isolant est possible par plusieurs  
technologies, telles que par exemple décrites dans le  
15 livre de Q. Y. Tong et U. Gösele, « Semiconductor wafer  
bonding, Science and technology », Ed. The  
Electrochemical Society Series, 1999 :

- par des procédés basés sur l'implantation  
d'oxygène dans du matériau semi-conducteur et un ou des  
20 traitement (s) thermique (s) à haute température  
(procédés de type SIMOX),

- par des procédés basés sur le collage  
moléculaire et avec, par exemple, soit :

• un amincissement mécanique et/ou  
25 chimique (procédés de type BSOI),

- un amincissement mécanique et une attaque chimique avec arrêt sur une couche sacrificielle (procédés de type BESOI),

- une réalisation, préalable au collage moléculaire, d'une ou plusieurs zone (s) poreuse (s) de fragilisation en vue d'une séparation ultérieure,

- une implantation préalable au collage moléculaire d'espèces gazeuses dans une plaque de semi-conducteur pour y générer une zone fragilisée en vue d'une fracture ultérieure.

L'invention concerne principalement le domaine des procédés basés sur le collage moléculaire et des structures réalisées par de tels procédés.

Divers besoins se sont exprimés :

1) La possibilité d'avoir dans une même structure semiconductrice 230, illustrée en figure 2B, des zones 233 avec une conduction verticale (analogue dans son comportement à un semiconducteur massif, épitaxié etc...), qui séparent des zones 232a, 232b isolées verticalement électriquement du substrat,

2) La possibilité d'avoir, comme illustré sur la figure 1B, localement des SOI 30 à zones d'oxyde enterré 32a, 32b, 32c très fins et des SOI à zones 34a, 34b d'oxyde enterré plus épais.

3) La possibilité d'avoir localement des zones de conduction verticale, des zones de SOI à oxydes enterrés fins, et des zones de SOI avec des oxydes enterrés plus épais et des épaisseurs variables.

4) La possibilité d'avoir des SOI avec plus que deux épaisseurs d'oxyde enterré.

Le document FR-2847077 divulgue la possibilité de réaliser des plaquettes de silicium structurées en surface, de telle façon que des zones comportant par exemple des oxydes épais 34a, 34b (figure 1A) alternent avec des zones d'oxyde fin 32a, b, c, ou bien que des zones d'oxydes 232a, 232b alternent avec des zones 233 sans oxyde, c'est-à-dire en silicium vierge (figure 2A).

Selon un exemple de procédé décrit dans le document FR - 2 847 077, on réalise, dans un premier substrat 30 semi-conducteur (on prendra l'exemple du silicium) des zones ou couches isolantes (on prendra l'exemple de l'oxyde de silicium  $\text{SiO}_2$ ) 32a, 32b, 32c, 34a, 34b ayant des épaisseurs différentes. Différentes techniques peuvent être mises en oeuvre pour la réalisation de ces zones isolantes. Elles seront décrites plus loin, en liaison avec les figures 3A et suivantes.

De telles plaques structurées peuvent être alors collées par collage moléculaire sur des plaques de silicium vierge ou sur des plaques de silicium oxydé, dont la couche d'oxyde est d'épaisseur faible.

Plus précisément, dans le deuxième substrat semi-conducteur 40 est réalisée une implantation atomique ou ionique, formant une mince couche 42 qui s'étend sensiblement parallèlement à une surface 41 du substrat 40. En fait est ainsi formée une couche ou un plan de fragilisation ou de fracture délimitant, dans le volume du substrat 40, une région inférieure destinée à constituer un film mince et une région

supérieure 43 constituant la masse du substrat 40. Cette implantation est en général une implantation d'hydrogène, mais peut être aussi faite à l'aide d'autres espèces, ou encore avec une co-implantation  
5 H/He.

Les deux substrats 30 et 40 ainsi préparés sont ensuite assemblés par une technique de type "wafer bonding" ou par contact de type adhérent par exemple par adhésion moléculaire ou par collage. On pourra se  
10 reporter, en ce qui concerne ces techniques, à l'ouvrage de Q.Y. Tong et U. Gosele «Semiconductor Wafer Bonding» (Science and Technology), Wiley Interscience Publications.

Une partie du substrat 40 est ensuite  
15 détachée par un traitement permettant de provoquer une fracture le long du plan de fragilisation 42. Un exemple de cette technique est décrit dans l'article de A.J. Auberton-Hervé et al. « Why can Smart-Cut change the future of microelectronics ? » paru dans  
20 International Journal of High Speed Electronics and Systems, Vol. 10, N°1 (2000), p. 131-146.

Est ainsi formé un composant ou un élément semi-conducteur, ou une structure semi-conductrice conforme à la figure 1B.

25 Selon encore un autre mode de réalisation illustré sur les figures 2A et 2B, un premier substrat est un substrat 230 semi-conducteur (par exemple : de silicium) brut dans lequel des zones d'isolant (par exemple : SiO<sub>2</sub>) 232a, 232b sont réalisées à côté de  
30 zones de silicium brut.

Dans un deuxième substrat 240, on crée par implantation atomique ou d'ions, par exemple d'ions hydrogène, une couche de fragilisation 242 similaire à la couche 42 décrite ci-dessus. Cette couche de fragilisation délimite, dans le volume du substrat 240, la couche mince 245.

Les deux substrats 230 et 240 ainsi préparés sont ensuite assemblés par une des techniques déjà mentionnées ci-dessus ("wafer bonding" ou collage ou contact de type adhérent, par exemple par adhésion moléculaire).

La partie du substrat 240, située du côté opposé à la face 241 d'assemblage des substrats, est ensuite éliminée ou détachée, comme déjà décrit ci-dessus en liaison avec la figure 1B.

Est ainsi formé un composant ou un élément semi-conducteur ou une structure semi-conductrice mixte planaire selon la structure de la figure 2B, présentant une alternance (ou toute autre forme de juxtaposition ou de répartition) de zones 232a, 232b d'isolant (ici : d'oxyde SiO<sub>2</sub>), pouvant avoir des épaisseurs différentes l'une de l'autre et de zones de semi-conducteur ou de silicium brut.

Divers composants électroniques peuvent ensuite être réalisés dans les couches superficielles 45, 245 de semi-conducteur ou de silicium, notamment dans la partie de la couche située au-dessus des zones d'isolant ou d'oxyde de silicium.

L'obtention des structures telles que le substrat 30 de la figure 1A et le substrat 230 de la figure 2A, selon l'enseignement du document FR

2 847 077, fait notamment intervenir les étapes suivantes, illustrées en figures 3A - 3E ou 4A - 4C.

Sur la figure 3A des zones 532 a, 532b de dioxyde de silicium sont réalisées sur un substrat 530  
5 par croissance par procédé LOCOS ("Locally Oxide Silicon", ou oxydation locale du silicium) à travers un masque 531. Ces zones peuvent avoir la forme de pastilles ou de bandes ou des formes plus complexes.

Le masque est ensuite enlevé (figure 3B),  
10 laissant subsister les zones 532a, 532b d'oxyde de silicium.

Une étape de planarisation par polissage mécano-chimique (figure 3C) est ensuite réalisée, ce qui conduit à un substrat présentant des zones 534a, b  
15 de dioxyde de silicium juxtaposées au silicium du substrat lui-même. Ce substrat est par exemple celui utilisé sur la figure 2A.

Selon une variante (figure 3D), une couche 533 d'oxydation superficielle du substrat est réalisée  
20 à partir de la structure de la figure 3B puis (figure 3E) l'ensemble est planarisé par polissage mécano-chimique, pour laisser une couche 535 d'oxydation superficielle.

Une couche de quelques centaines de nm (par  
25 exemple 300nm) peut ainsi être enlevée, laissant subsister une juxtaposition de zones de dioxyde de silicium d'épaisseurs différentes. Ce type de substrat est utilisé dans la figure 1A ci-dessus.

Un autre procédé pouvant être mis en oeuvre  
30 illustré en figures 4A - 4C.

Sur la figure 4A des tranchées 632 a, 632b sont gravées, par exemple par gravure sèche à travers un masque 634, dans un substrat de silicium 630.

Le masque est ensuite enlevé (figure 4B),  
5 puis le substrat est oxydé thermiquement en surface, ou bien une couche de dioxyde de silicium est déposée, formant une couche 636 de dioxyde de silicium.

Une étape de planarisation par polissage mécano-chimique (figure 4C) est ensuite réalisée, ce  
10 qui conduit à un substrat présentant des zones 634a, b de dioxyde de silicium juxtaposées au silicium 633 du substrat lui-même. Ce substrat est par exemple celui utilisé sur la figure 2B.

Selon une variante (figure 4D), l'ensemble  
15 de la figure 4B est aplani, mais moins que dans le cas de la figure 4C, laissant subsister une couche 638 de dioxyde de silicium. Est ainsi réalisée une juxtaposition de zones de dioxyde de silicium d'épaisseurs différentes en surface du substrat de  
20 silicium 630. Ce type de substrat est utilisé dans la figure 1A ci-dessus.

Pour résumer, ces techniques mettent en œuvre :

- une première étape de lithographie pour  
25 réaliser un masque (par exemple de nitrure) en vue d'une oxydation localisée de la plaque,
- une seconde étape d'oxydation des zones  
ouvertes dans le masque (figure 3A), et éventuellement également des autres zones (figure 4B), par traitement  
30 thermique oxydant,

- une troisième étape de réduction de la topologie de surface par une technique de polissage mécano chimique. Cette étape est arrêtée en fonction de la structure à réaliser, selon que l'on cherche à  
5 obtenir, à la surface de la plaque de silicium, une alternance de zones avec un oxyde fin et de zones avec un oxyde plus épais, ou une alternance de silicium vierge et d'oxyde de silicium.

Quel que soit celui de ces procédés qui est  
10 mis en oeuvre, il nécessite un amincissement par un polissage mécano-chimique, qui s'avère être une étape critique.

Comme illustré en figure 5A, cette étape peut induire un défaut d'homogénéité d'épaisseur en  
15 divers points de la plaque. Ce défaut d'homogénéité est proportionnel en particulier à l'épaisseur enlevée.

Ce problème est rencontré dès lors qu'un substrat tel que celui de la figure 3B ou 3D ou celui de la figure 4B est soumis à un polissage mécano-  
20 chimique.

Il est donc difficile, avec cette technique d'amincissement par polissage, de trouver des conditions de fonctionnement permettant d'obtenir des zones avec un oxyde fin dont l'épaisseur soit homogène  
25 sur toute la plaque de silicium ou même simplement en divers points de la plaque de silicium.

En outre, cette étape de polissage mécano chimique est également critique lorsqu'elle est effectuée en même temps sur deux matériaux différents,  
30 par exemple le silicium et l'oxyde de silicium comme dans le cas du substrat de la figure 3B ou de la figure

4B pour aboutir à la structure de la figure 3C ou respectivement 4C.

En effet, comme illustré sur la figure 5B, il est alors délicat d'éviter un polissage différentiel (« dishing » en terminologie anglaise) entre les zones 633 présentant en surface un semi-conducteur et les zones 634a, 634b présentant de l'oxyde en surface : le niveau de ces différentes zones n'est pas uniforme. Sur la figure 5B, les zones d'oxyde sont « en creux » par rapport aux zones de matériau semi-conducteur. Dans le cas où le semi-conducteur est le silicium et l'oxyde du SiO<sub>2</sub>, on obtiendra au contraire des « creux » au niveau du silicium car le polissage mécano-chimique est plus efficace sur Si que sur SiO<sub>2</sub>.

Dans les deux cas il en résulte une surface pouvant poser problème vis-à-vis d'un éventuel collage moléculaire.

Les problèmes exposés ci-dessus dans le cas d'un système silicium/oxyde de silicium SiO<sub>2</sub> se posent également avec d'autres matériaux semi-conducteurs et d'autres matériaux isolants.

Il se pose donc le problème de réaliser de telles plaques de matériau semi-conducteur présentant une surface structurée, donc présentant soit des épaisseurs variables d'isolant comme sur la figure 1A, soit des alternances matériau isolant et de semi-conducteur, comme sur la figure 2A, et compatibles avec un collage par adhésion moléculaire ultérieur.

On cherche notamment à ce que l'homogénéité en épaisseur des films isolants dans les zones isolantes fin soit bonne.

On cherche également à ce qu'un minimum de topologie soit présent en surface (et donc un minimum de « dishing » ou de différence de niveaux entre les zones d'isolant et les zones de semi-conducteur, comme  
5 expliqué ci-dessus), en particulier lorsqu'il y a alternance, à la surface, de semi-conducteur vierge et d'isolant.

Il se pose le problème de réaliser de telles structures sans avoir recours à une étape longue  
10 de polissage mécano-chimique qui pose les problèmes exposés ci-dessus en liaison avec les figures 5A et 5B.

#### **EXPOSÉ DE L'INVENTION**

L'invention concerne d'abord un procédé de réalisation d'une structure semi-conductrice,  
15 comportant, la formation contrôlée, dans un premier substrat en un matériau semi-conducteur, à travers un masque, d'au moins une première zone en un matériau isolant, jusqu'au niveau de la surface inférieure du masque, avant ou pendant le retrait du masque.

20 Ce procédé ne met en œuvre aucune étape d'amincissement par polissage mécano-chimique, et permet donc d'obtenir les structures voulues sans rencontrer les problèmes de planéité expliqués ci-dessus.

25 Un nettoyage de surface est suffisant pour ensuite retirer des contaminants de type hydrocarbures, ou particules.

La formation de l'isolant peut comporter une étape de croissance contrôlée d'un matériau  
30 isolant, jusqu'au niveau de la surface inférieure du masque, puis le retrait du masque.

Selon une variante, la formation de l'isolant peut comporter une étape de croissance contrôlée d'un matériau isolant, jusqu'au dessus du niveau de la surface inférieure du masque.

5 Il est ensuite possible de ramener la surface supérieure de l'isolant au niveau de la surface inférieure du masque.

Selon une variante, on ramène la surface supérieure de l'isolant à un niveau intermédiaire, au  
10 dessus de la surface inférieure du masque, de manière à maintenir une couche résiduelle d'isolant au-dessus de cette surface.

Cette couche résiduelle peut être retirée au moins en partie lors du retrait du masque et/ou au  
15 moins en partie lors du retrait d'une couche superficielle recouvrant le masque.

Le retrait de la couche résiduelle ou l'amincissement de l'isolant peut être réalisé par attaque chimique.

20 Le substrat peut en outre comporter une couche isolante en surface, qui peut être éventuellement retirée après croissance ou formation de la zone isolante pour former une alternance de zones semi-conductrices ou de zones isolantes.

25 Cette couche isolante peut avoir une épaisseur comprise entre par exemple 1 nm et 50  $\mu\text{m}$ .

Le substrat peut comporter en outre, en surface, une couche conductrice, par exemple en siliciure ou en métal ou en Si dopé, éventuellement  
30 recouverte d'une couche de protection non retirée après retrait du masque.

Le premier substrat peut être préalablement gravé dans la zone dans laquelle au moins une partie de l'isolant est formée, formant ainsi une zone gravée dans le matériau semi-conducteur.

5 La zone gravée dans le matériau semi-conducteur peut avoir une profondeur comprise entre par exemple 1 nm et 10  $\mu\text{m}$ .

Suivant les éventuelles couches déposées sur le substrat, la gravure peut être aussi une gravure d'une couche isolante de surface et/ou d'une couche conductrice, et éventuellement d'une couche de protection de cette couche conductrice.

10 Le retrait du masque est de préférence réalisé de manière sélective par rapport au matériau isolant.

Si ce retrait n'est pas sélectif, une surcroissance du matériau isolant au-dessus du niveau de la surface inférieure du masque peut être réalisée, comme déjà expliqué ci-dessus, surcroissance ensuite compensée par une étape d'amincissement, comme déjà expliqué ci-dessus, pendant le retrait du masque ou une étape de retrait d'une couche superficielle recouvrant le masque.

L'invention concerne également un procédé de réalisation de composant semi-conducteur, comportant :

- la formation ou la croissance contrôlée, dans une première zone d'un substrat semi-conducteur, et jusqu'au-dessus du niveau de la surface inférieure d'un masque recouvrant au moins une deuxième zone du substrat ou recouvrant une couche isolante ou une

couche conductrice ou une couche de protection d'une telle couche conductrice recouvrant au moins une deuxième zone du substrat, d'un isolant à travers le masque,

5                   - une attaque de l'isolant, sélective par rapport au masque, et une attaque du masque, sélective par rapport à l'isolant, afin de ramener la surface supérieure de l'isolant au niveau défini par la surface inférieure du masque.

10                   L'attaque de l'isolant peut laisser subsister une couche résiduelle d'isolant au-dessus du niveau défini par la surface inférieure du masque.

                  La couche résiduelle peut être retirée au moins en partie lors de l'attaque d'une couche superficielle recouvrant le masque et/ou au moins en  
15                   partie lors de l'attaque du masque.

                  Le substrat peut être préalablement gravé dans la zone dans laquelle au moins une partie de l'isolant est formée, formant ainsi une zone gravée  
20                   dans le matériau semi-conducteur.

                  La zone gravée dans le matériau semi-conducteur peut avoir une profondeur comprise entre par exemple 1 nm et 10  $\mu\text{m}$ .

                  Le matériau semi-conducteur peut être en  
25                   silicium ou en  $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ ) ou en tout autre matériau semi-conducteur.

                  Le matériau isolant peut être en  $\text{SiO}_2$ , ou en  $\text{Al}_2\text{O}_3$ , ou en  $\text{AlN}$ , ou en  $\text{SiON}$ , ou en  $\text{Si}_3\text{N}_4$ , ou en diamant, ou en  $\text{HfO}_2$ , ou en un matériau diélectrique à  
30                   forte constante diélectrique.

Le masque peut être par exemple en nitrure  $\text{Si}_3\text{N}_4$ , ou en  $\text{Al}_2\text{O}_3$  ou en  $\text{AlN}$ .

Le composant obtenu peut être assemblé, notamment par adhérence moléculaire, avec un deuxième substrat, par exemple lui aussi en matériau semi-conducteur, et pouvant comporter une couche d'isolant, par exemple de  $\text{SiO}_2$ , à sa surface.

Il peut ensuite être procédé à une étape d'amincissement du premier et/ou du deuxième substrat, par exemple par formation d'une couche de matériau poreux ou par implantation d'ions, tels que des ions hydrogène et éventuellement hélium, ou par polissage ou gravure.

Les deux substrats peuvent être de types de conductivité différents.

Le premier et/ou le deuxième substrat peuvent comporter au moins une zone de première conductivité et une zone de deuxième conductivité en surface.

Notamment, le deuxième substrat peut comporter au moins une partie de circuit ou de composant en surface.

Le matériau du premier substrat peut quant à lui comporter des zones avec des dopages différents.

La formation d'isolant à travers le masque peut comporter au moins en partie une oxydation thermique du substrat semi-conducteur, et éventuellement en outre un dépôt d'isolant ou d'oxyde.

La répétition d'un procédé selon l'invention permet de réaliser plusieurs zones isolantes dans un même substrat semi-conducteur, ces

différentes zones étant de caractéristiques géométriques et/ou de compositions différentes.

Ainsi l'invention concerne également un procédé de réalisation d'une structure semi-conductrice  
5 comportant la formation :

a) - d'une première zone isolante dans un substrat semi-conducteur,

b) - puis la formation d'au moins une deuxième zone isolante dans le même substrat,

10 les étapes a) et b) étant effectuées selon un procédé tel que décrit ci-dessus.

Les étapes a) et b) peuvent être effectuées avec des masques différents.

Au moins deux des zones isolantes formées  
15 peuvent avoir des profondeurs et/ou des largeurs différentes dans le substrat et/ou être formées de matériaux isolants différents.

Un film isolant peut être réalisé sur au moins un des deux substrats.

20 L'invention concerne également un dispositif semi-conducteur, comportant un substrat semi-conducteur, au moins une zone isolante dans ce substrat, une surface de cette zone isolante affleurant la surface du matériau semi-conducteur avec une  
25 précision inférieure à  $\pm 5$  nm.

Elle concerne également un dispositif semi-conducteur, comportant un substrat semi-conducteur, au moins une zone isolante dans ce substrat, une couche conductrice sur le substrat, en dehors des zones  
30 isolantes, cette couche conductrice étant éventuellement recouverte d'une couche de protection,

une surface de la zone isolante affleurant la surface de la couche conductrice ou éventuellement de la couche de protection.

La couche conductrice peut être en siliciure ou en métal.

La surface de la zone isolante peut affleurer la surface de la couche conductrice ou éventuellement de la couche de protection avec une précision inférieure à  $\pm 5$  nm.

Une couche d'un matériau isolant peut recouvrir la zone isolante et le substrat ou la couche conductrice ou la couche de protection recouvrant la couche conductrice.

Le matériau semi-conducteur peut être en silicium ou en  $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ ).

Le matériau isolant de la zone isolante peut quant à lui être en  $\text{SiO}_2$ , ou en  $\text{Al}_2\text{O}_3$ , ou en  $\text{AlN}$ , ou en  $\text{SiON}$ , ou en  $\text{Si}_3\text{N}_4$ , ou en diamant, ou en  $\text{HfO}_2$ , ou en un matériau diélectrique à forte constante diélectrique.

#### BRÈVE DESCRIPTION DES DESSINS

- Les figures 1A - 5B représentent des techniques connues et les problèmes posés par ces techniques,
- les figures 6A - 6J et 7A - 7D représentent des étapes d'un procédé selon l'invention,
- les figures 8A - 8G et 9A - 9E représentent des étapes d'un autre procédé selon l'invention,

- les figures 10A et 10B représentent un autre type de substrat utilisable dans le cadre de la présente invention, avec une couche conductrice,

5 - les figures 11A - 11E représentent un autre type de substrat utilisable dans le cadre de la présente invention, avec une couche conductrice et couche de protection,

10 - les figures 12A à 12C représentent des variantes d'étapes d'un procédé selon la présente invention,

- Les figures 13A et 13B représentent un composant selon l'invention avec une couche isolante en surface,

15 - La figure 14 représente un composant selon l'invention avec deux zones isolantes différentes.

#### **EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS**

Les figures 6C-6E représentent un premier mode de réalisation d'un procédé selon l'invention.

20 Partant d'un substrat 30 (figure 6C) en matériau semi-conducteur, dans lequel une tranchée 34 a été gravée à travers un masque 31, on réalise (figure 6D) une croissance ou une formation d'un matériau isolant 36 de manière contrôlée, à partir de la cavité  
25 34, de sorte que la surface de ce matériau atteigne l'interface 35 entre le masque et le substrat 30.

Le masque 31, qui permet de former une barrière protégeant le matériau semi-conducteur lors de la croissance ou de la formation de l'isolant, est  
30 ensuite enlevé, laissant le matériau isolant affleurer la surface du matériau 30 (figure 6E). La précision de

l'alignement entre les deux surfaces est compatible avec un bon collage moléculaire ultérieur, par exemple cette précision est inférieure à  $\pm 10$  nm ou  $\pm 5$  nm. Par exemple, pour une surface mixte Si/SiO<sub>2</sub>, elle est à 5 mieux que 10 nm ( $\pm 5$  nm), notamment si elle subit un nettoyage chimique, qui les laisse hydrophiles.

La surface de la plaque ou du substrat 30 est alors plane et constituée par une alternance de zones 40, 48 de semi-conducteur et de zones 37 10 d'isolant (figure 6E).

La plaque de semi-conducteur ainsi structurée peut être ensuite nettoyée, par exemple en vue d'un collage par adhésion moléculaire avec une plaque, par exemple elle aussi en matériau semi- 15 conducteur, vierge ou structurée. L'adhérence des plaques peut être renforcée par exemple par traitement thermique, puis au moins une des deux plaques peut être amincie (des exemples de techniques d'amincissement seront donnés plus loin).

20 Un tel procédé ne nécessite pas d'étape d'amincissement par polissage avant assemblage, à la différence notamment du procédé de l'art antérieur décrit en liaison avec les figures 1A - 5B. Tout au plus, comme on le verra par la suite, un léger 25 polissage peut être effectué pour supprimer ou réduire des aspérités ou des rugosités de surface, en vue d'un collage moléculaire par exemple.

Selon une variante, l'isolant 36 croît jusqu'à un niveau 39 (figure 6D) situé à une hauteur h 30 (par exemple comprise entre 1 nm et l'épaisseur du masque 31) au-dessus de l'interface 35 entre masque 31

et substrat 30, là encore avec une très bonne précision.

On réalise ensuite une gravure, de préférence sélective par rapport au masque 31, à une  
5 vitesse contrôlée, permettant de ramener la surface de l'isolant au niveau ou à proximité 35 de l'interface masque 31 - substrat 30, avec une précision inférieure à  $\pm 10$  nm ou  $\pm 5$  nm.

Il peut être alors procédé au retrait du  
10 masque (figure 6E) et à un nettoyage de la surface du substrat 30, par exemple en vue d'un collage par adhésion moléculaire.

Aucune étape de polissage mécano-chimique n'est nécessaire pour ramener un niveau d'isolant,  
15 supérieur à un niveau de semi-conducteur de plus de 30 nm, au niveau du semi-conducteur.

Tant la croissance de l'isolant que son éventuelle gravure sont réalisées à vitesse contrôlée.

La vitesse de croissance ou de formation  
20 est par exemple comprise entre 0,1 nm/mn et 5 nm/mn ou 10 nm/mn.

La vitesse de gravure est par exemple comprise entre 0,01 nm/mn et quelques dizaines de nm/mn, par exemple 50 nm/mn.

25 La réalisation d'une tranchée dans le substrat 30 semi-conducteur peut être obtenue, partant d'un substrat 30 vierge (par exemple en silicium, figure 6A) par un dépôt d'un film 32, par exemple un film de nitrure, puis gravure de ce film.

30 On étale par exemple de la résine photosensible à la surface du film 32.

Puis, on transfère, par photolithographie, des motifs dans la résine à la surface du film 32.

Après révélation de la résine photosensible, on utilise une étape de gravure ionique par exemple de type gravure ionique réactive RIE (reactive ion etching) pour graver le film 32 et former le masque 31 avec les motifs souhaités.

Ensuite la plaque 30 semi-conductrice est elle-même gravée, par exemple encore par une gravure ionique, conformément aux motifs du masque 31 (figure 6C).

Selon une variante de l'invention, la plaque semi-conductrice 30 n'est pas gravée. On peut, à partir de la structure de la figure 7A (couche 32 sur substrat semi-conducteur 30, structure identique à celle de la figure 6A) procéder à la formation du masque 31 (figure 7B) par gravure de la couche 32, puis à une oxydation thermique de la plaque semi-conductrice 30 à travers le masque 31 (figure 7C), mais sans gravure du substrat semi-conducteur. L'oxydation peut avoir lieu jusqu'à un niveau 39 supérieur à celui de l'interface 35 masque-semi-conducteur 30. Il est ensuite procédé au retrait du masque 31 (figure 7D). On obtient alors une structure similaire à celle de la figure 6E.

La surface de la plaque ou du substrat 30 est alors plane et constituée par une alternance de zones 40,48 de semi-conducteur et de zones 37 d'isolant (figure 7D, structure similaire à celle de la figure 6E) là encore avec une très bonne précision (inférieure à  $\pm 10$  nm ou  $\pm 5$  nm).

La plaque ainsi structurée peut être nettoyée en vue d'un collage par adhésion moléculaire.

Par nettoyage, on entend ici, et plus généralement dans tout ce document, toute préparation  
5 de surface visant à obtenir des surfaces tout ou parties hydrophiles ou hydrophobes, cette préparation pouvant inclure des traitements thermiques, et/ou des traitements chimiques humide ou en voie sèche ou sous plasma, voire par affleurement de CMP (polissage mécano  
10 - chimique visant à atténuer la microrugosité de surface, de moins de 20 nm ou 30 nm, sans risque de causer du « dishing », et cette étape ne vise pas à amincir une surépaisseur supérieure à 20 nm ou à 30 nm).

15 Afin d'obtenir un premier type de structure empilée, la plaque ainsi structurée et nettoyée peut être collée par exemple sur une deuxième plaque 50, par exemple en semi-conducteur vierge (figure 6F) également nettoyée en vue du collage moléculaire. Pour augmenter  
20 l'adhérence des plaques, la structure empilée est par exemple soumise à un traitement thermique.

Une des plaques peut ensuite être amincie de façon à obtenir l'épaisseur de film superficiel 52 voulu (figure 6G). Cette structure permet de disposer  
25 en alternance de zones à conduction verticale et de zones comportant un isolant 36 (zones SOI dans le cas où la couche 52 est en Si, la zone 36 en SiO<sub>2</sub> et le substrat 30 en Si).

Selon une variante (figures 6I, 6J), c'est  
30 le substrat 30 qui, à partir de la structure de la figure 6F, est aminci, une partie 30 - 2 de ce substrat

étant éliminée, laissant subsister l'autre partie 30 - 1 dans laquelle l'isolant 36 est réalisé. On obtient donc un film mince 30 - 1 à épaisseur variable.

Selon une autre variante, et afin d'obtenir un deuxième type de structure empilée, la plaque 30 structurée de la figure 6E ou 7D et nettoyée est collée par exemple sur une deuxième plaque 60, par exemple en semi-conducteur, supportant un film isolant en surface (par exemple une couche 62 d'oxyde SiO<sub>2</sub>) et également  
10 nettoyée en vue du collage moléculaire (figure 6H).

Dans cette dernière approche, le film isolant, par exemple d'oxyde, 62, de la deuxième plaque sera avantageusement d'épaisseur fine, par exemple comprise entre quelques nm et 50 nm.

Pour augmenter l'adhérence des plaques, la structure empilée est par exemple soumise à un traitement thermique.

Une des plaques est ensuite amincie.

Si c'est la plaque 60 qui est amincie, on obtient une alternance de zones à épaisseur d'isolant variable (alternant entre l'épaisseur du film 62 et celle de ce film plus celle de la zone 36).  
20

Si c'est la plaque 30 structurée qui est amincie, on obtient en plus une alternance de zones à épaisseur de film mince variable (de manière similaire au cas de la figure 6J).  
25

Quelle que soit la variante envisagée, la réduction d'une partie de l'épaisseur d'une des deux plaques collées peut se faire par exemple par l'une des techniques suivantes :  
30

- amincissement mécanique, par exemple de type meulage (grinding en anglais),
  - polissage mécano-chimique (mais, encore une fois, cette étape ne fait que polir la surface et n'est pas un amincissement sur une épaisseur importante, par exemple supérieure à 20 ou 30 nm),
  - amincissement par gravure ionique et/ou chimique,
  - inclusion préalable au collage d'une zone de fragilisation enfouie dans la plaque à amincir (telle qu'une zone poreuse ou par implantation d'espèces gazeuses dans l'un des substrats, par exemple des ions hydrogène ou un mélange hydrogène - hélium), et fracture au niveau de cette zone fragilisée.
- ou toute combinaison d'au moins deux de ces techniques.

Dans le procédé décrit ci-dessus, en liaison avec les figures 6A - 6E ou 7A - 7D, l'étape de croissance ou de formation de l'isolant, ou l'étape de croissance ou de formation puis de gravure de l'isolant précèdent l'étape d'enlèvement du masque 31.

Cependant, il se peut, comme illustré sur la figure 12A, que la croissance de l'isolant 36 affecte la surface du masque, par formation d'une couche superficielle 311 sur le masque. Par exemple, dans le cas d'une croissance réalisée par oxydation, l'oxydation peut former une couche superficielle 311 sur le masque 31. On cherche alors à éliminer cette couche 311 avant d'éliminer le masque, car les

techniques d'élimination de ces deux éléments ne sont en général pas les mêmes.

Mais l'élimination, en surface du masque, de la couche 311, risque d'éliminer une partie de l'isolant 36.

On procède donc, préalablement, lors de la croissance de l'isolant, à une surcroissance de celui-ci, ou à une croissance de celui-ci de manière à atteindre un niveau supérieur à celui de l'interface masque 31 - substrat semi-conducteur, comme dans le cas de la figure 6D ou 7C (niveau 39).

Lors de l'élimination de la couche 311, on éliminera également une partie de l'isolant 36, dont la surcroissance (la hauteur  $h$  au-dessus du plan 35) a été calculée pour que, lors de cette étape, la surface supérieure de l'isolant soit ramenée à proximité ou au niveau de l'interface 35 substrat - masque.

L'adaptation de la hauteur  $h$  est possible du fait du caractère contrôlé, et en particulier de la vitesse contrôlée, lors de la croissance et de la gravure de l'isolant. Par exemple, la couche 311 est retirée par gravure au HF pendant un temps proportionnel à son épaisseur. Pendant ce même temps, le HF grave à une vitesse connue l'épaisseur  $h$  de l'isolant 36 (par exemple, 1% de HF grave à 6 nm/mn le SiO<sub>2</sub> thermique).

Après croissance de l'isolant 36 jusqu'au niveau 39, il est procédé aux étapes suivantes :

- (i) à une élimination, par exemple par gravure, de l'isolant 36 pour ramener sa surface du

niveau 39 à un premier niveau intermédiaire 391 (figure 12A),

- (ii) à l'élimination, par exemple par gravure, de la couche 311 et de la hauteur  $h$  d'isolant  
5 résiduel,

- (iii) au retrait du masque.

Les deux étapes i) et ii) peuvent avoir lieu dans l'ordre inverse (ii) puis i)).

Il se peut également que l'élimination du  
10 masque 31 entraîne une élimination d'une partie de l'isolant 36.

Là encore on procède donc, préalablement, lors de la croissance de l'isolant 36 à une surcroissance de celui - ci, ou à une croissance de  
15 celui- ci de manière à atteindre un niveau supérieur à celui de l'interface masque 31 - substrat semi-conducteur, comme dans le cas de la figure 6D (niveau 39).

Lors de l'élimination du masque 31, on  
20 éliminera également une partie de l'isolant 36, dont la surcroissance (la hauteur  $h$  au-dessus du plan 35) a été calculée pour que, lors de cette étape, la surface supérieure de l'isolant atteigne le niveau de l'interface 35 substrat - masque.

25 L'adaptation de la hauteur  $h$  est possible du fait du caractère contrôlé, et en particulier de la vitesse contrôlée, lors de la croissance et de la gravure de l'isolant. Par exemple, pour le retrait d'un masque de 80 nm de  $\text{Si}_3\text{N}_4$  par de l'acide  $\text{H}_3\text{PO}_4$  à  $160^\circ\text{C}$ ,  
30 on sait que 4 nm d'oxyde  $\text{SiO}_2$  thermique sont consommés.

Après croissance de l'isolant 36 jusqu'au niveau 39, il est donc procédé:

- (i) à une élimination, par exemple par gravure, de l'isolant pour ramener sa surface du niveau 39 à un niveau intermédiaire 392 (figure 12B),

- (ii) lors du retrait ou de l'élimination du masque 31, à l'élimination, par exemple par gravure, du résidu d'isolant situé entre le niveau 392 et le niveau 35, de manière à ramener la surface de cet isolant du niveau 392 au niveau 35.

Les deux problèmes, d'une part la formation d'une couche superficielle 311 sur la masque lors de la croissance de l'isolant, d'autre part l'élimination d'une partie de l'isolant 36 lors de l'élimination du masque, peuvent se combiner. On adapte alors la surcroissance  $h$  de l'isolant 36 en fonction de l'épaisseur de cet isolant qui sera consommée, tant lors de l'élimination de la couche 311 que lors de l'élimination du masque 31.

Après croissance de l'isolant 36 jusqu'au niveau 39, il est alors procédé (figure 12C) :

- (i) à une élimination, par exemple par gravure, de l'isolant pour ramener sa surface du niveau 39 à un premier niveau intermédiaire 393, laissant ainsi subsister une épaisseur résiduelle (faible comparée à la surépaisseur initiale de l'isolant),

- (ii) à l'élimination, par exemple par gravure, de la couche 311, ce qui ramène la surface de l'isolant du niveau 393 à un deuxième niveau intermédiaire 394, et ce qui réduit donc la couche résiduelle d'isolant,

- (iii) lors du retrait ou de l'élimination du masque 31, à l'élimination, par exemple par gravure, du résidu d'isolant situé entre le deuxième niveau intermédiaire 394 et le niveau 35.

5 Les deux étapes i) et ii) peuvent avoir lieu dans l'ordre inverse (ii) puis i)).

Dans les 3 cas exposés ci-dessus en liaison avec les figures 12A - 12C, il se peut que l'on ait fait croître initialement l'isolant au-dessus du niveau  
10 35 uniquement pour tenir compte d'une attaque de l'isolant 36 lors de l'élimination d'une couche 311 et/ou lors de l'élimination du masque, donc seulement jusqu'au niveau 391, 392 ou 393. L'étape i) est alors supprimée.

15 Les surcroissances ont des épaisseurs variables, en fonction des procédés de croissance et de retrait utilisés. Typiquement, on peut estimer, pour un masque de nitrure  $\text{Si}_3\text{N}_4$  et un isolant  $\text{SiO}_2$ , par exemple les niveaux 391 et 393 à environ 20 nm et le niveau 392  
20 à environ 5 nm au-dessus de l'interface 35.

Pour simplifier le procédé le plus possible, et pour limiter les étapes successives de retrait de la surcroissance de l'isolant, le masque 31 est choisi en un matériau présentant une sélectivité  
25 d'attaque par rapport à l'isolant 36.

De préférence, le rapport de la vitesse de gravure du masque sur la vitesse de gravure de l'isolant est supérieur à 2 ou 5 ou 10 ou 100. Il est de 20 dans le cas de la gravure par  $\text{H}_3\text{PO}_4$  à  $160^\circ\text{C}$  pour  
30 un masque de  $\text{Si}_3\text{N}_4$  et du  $\text{SiO}_2$  thermique en tant qu'isolant.

On prend maintenant l'exemple du silicium en tant que matériau semi-conducteur du substrat 30, du dioxyde de silicium thermique en tant que matériau isolant 36 et du nitrure de silicium en tant que  
5 matériau du masque 31. Le procédé est celui des figures 6A - 6J.

Le nitrure de silicium est dans cet exemple avantageux car il constitue une bonne barrière d'oxydation du silicium et donc des zones sous -  
10 jacentes de ce masque. Par exemple 10 nm peuvent suffire pour assurer cet effet barrière.

De l'oxyde thermique  $\text{SiO}_2$  36 peut donc être généré dans les motifs gravés du silicium (figure 6D).

Lors d'une oxydation thermique, les atomes  
15 d'oxygène pénètrent dans la maille du silicium, ce qui provoque un gonflement de cette dernière. Grâce à ce gonflement, la surface de l'oxyde en formation se rapproche de la surface du nitrure du masque 31.

On peut considérer que la hauteur d'oxyde  
20 généré est environ deux fois plus importante que la hauteur de silicium soumis à l'oxydation.

La vitesse de formation de l'oxyde étant contrôlée, on peut la stopper lorsque la hauteur d'oxyde généré atteint le niveau de l'interface 35  
25 entre le silicium 30 et le masque de nitrure 31.

Dans une variante (figure 6D), on forme l'oxyde au -dessus de l'interface substrat 30 - masque 31. La surface 39 de l'oxyde se trouve alors au-dessus de l'interface 35 silicium-nitrure. C'est le cas par  
30 exemple quand la profondeur de gravure ne permet pas

d'obtenir la hauteur suffisante d'oxyde par le simple remplissage de la zone gravée.

On utilise alors ensuite un procédé d'amincissement sélectif, à vitesse contrôlée, permettant d'arrêter la surface de l'oxyde 37 à proximité ou au niveau de l'interface 35 silicium-nitruire.

Par exemple, ce procédé d'amincissement est une attaque chimique par de l'acide fluorhydrique dilué à 1%, dont la vitesse d'attaque de l'oxyde thermique SiO<sub>2</sub> est de l'ordre de 6 nanomètres par minute, alors qu'il n'attaque pas le nitruire du masque 31.

Plus généralement, on peut utiliser une attaque, par exemple chimique permettant une gravure à une vitesse comprise entre 0,01 nm/mn et quelques dizaines de nm/mn, par exemple 30 nm/mn ou 50 nm/mn.

Lorsque la surface de l'oxyde est ramenée à l'interface 35 silicium-nitruire, on peut retirer le masque 31, par exemple en utilisant une attaque par de l'acide orthophosphorique, par exemple à 160°C. Cette attaque peut être considérée comme très peu active pour de l'oxyde thermique (une sélectivité supérieure à 20 a été mesurée).

Dans une variante où la surface du masque de nitruire 31 n'est pas attaquée par l'acide ortho phosphorique (notamment si cette surface s'est oxydée au cours de l'oxydation du silicium, cas de la figure 12A), une première attaque avec une solution à base d'acide fluorhydrique peut être envisagée avant l'attaque par l'acide orthophosphorique. On prévoit alors une surépaisseur h de l'oxyde au-dessus de

l'interface 35 silicium/nitruure, surépaisseur  
correspondant à ce qui sera retiré par l'attaque à base  
d'acide fluorhydrique. La formation de l'oxyde étant  
réalisée à vitesse contrôlée, cette surépaisseur est  
5 elle aussi contrôlée.

Dans une variante, où l'acide ortho  
phosphorique attaquerait l'oxyde de silicium 36 (par  
exemple pour une température de solution ou une  
dilution différentes), on peut réaliser, là encore par  
10 contrôle de la vitesse de formation de l'oxyde 36, une  
surépaisseur de cet oxyde au-dessus de l'interface 35  
silicium-nitruure, surépaisseur correspondant à ce qui  
sera retiré par l'attaque à l'acide orthophosphorique.

Plus généralement, une surépaisseur de  
15 l'isolant peut donc être réalisée, pour le cas où le  
retrait du masque entraînerait une attaque ou un  
retrait de cet isolant.

L'oxydation est pratiquée dans des  
conditions telles que l'oxyde thermique se forme à une  
20 vitesse faible, ce qui permet de contrôler aisément le  
niveau atteint par le plot d'oxyde 36.

Par exemple, on réalise l'oxydation sous  
atmosphère humide, par exemple « steam » ou vapeur  
d'eau, à basse température, par exemple comprise entre  
25 750°C et 1150°C, ou entre 900°C et 1000°C. Dans ces  
conditions, l'oxyde se forme à une vitesse comprise  
entre environ quelques dixièmes de nm/mn et quelques  
nm/mn en fonction de la température d'oxydation, ce qui  
rend le processus tout à fait contrôlable. Cette  
30 vitesse est d'environ 5 nm/mn à 950°C. Elle dépend en  
outre du temps d'oxydation. On pourra se reporter, pour

plus de précision sur ces vitesses, à des ouvrages classiques de microélectronique comme le Handbook of Semiconductor Technology, Ed W.C. O'Mara, Noyes Publications (1990).

5                   Selon un autre exemple on réalise l'oxydation sous atmosphère d'oxyde sec, à basse température, par exemple comprise entre 700°C et 800°C ou entre 700°C et 1200°C. Dans ces conditions, l'oxyde se forme à une vitesse d'environ quelques dixièmes de  
10 nm/mn à quelques nm/mn. Le processus reste tout à fait contrôlable avec, par exemple, une vitesse de l'ordre de 0,5 nm/mn à 900°C.

Au final, la surface de la plaque est plane et constituée par une alternance de zones 40,48 de  
15 silicium et de zones 37 d'oxyde thermique (figure 6E), la précision d'alignement entre les surfaces pouvant être de moins que  $\pm 10$  nm ou  $\pm 5$  nm. La plaque de silicium ainsi structurée peut être nettoyée en vue d'un collage par adhésion moléculaire.

20                   Ce qu'on entend par nettoyage a déjà été indiqué ci-dessus.

Afin d'obtenir un premier type de structure empilée, la plaque de silicium ainsi structurée et nettoyée peut être collée par exemple sur une deuxième  
25 plaque 50 de silicium vierge (figure 6F) également nettoyée en vue du collage moléculaire, de façon à former une structure baptisée « silicium sur isolant partiel » (PSOI en anglais). Pour augmenter l'adhérence des plaques, la structure empilée est par exemple  
30 soumise à un traitement thermique.

Une des plaques peut ensuite être amincie de façon à obtenir l'épaisseur de film superficiel 52 de silicium voulu (figure 6G). Cette structure permet de disposer en alternance de zones à conduction 5 verticales et de zones SOI.

Selon une variante (figures 6I, 6J), c'est le substrat 30 qui est aminci, une partie 30 - 2 de ce substrat étant éliminée, laissant subsister l'autre partie 30 - 1 dans laquelle l'isolant 36 est réalisé. 10 On obtient donc une alternance de film mince 30 - 1 à épaisseur variable.

Selon une autre variante, et afin d'obtenir un deuxième type de structure empilée, la plaque de silicium structurée et nettoyée est collée par exemple 15 sur une deuxième plaque de silicium 60 oxydée (couche d'oxyde 62) et également nettoyée en vue du collage moléculaire, de façon à former une structure baptisée «silicium sur isolant multiple» (MSOI en anglais, figure 6H).

20 Dans cette dernière approche, le film d'oxyde 62 de la deuxième plaque sera avantageusement d'épaisseur fine, par exemple comprise entre quelques nm, par exemple 5 nm, et 50 nm.

Pour augmenter l'adhérence des plaques, la 25 structure empilée est par exemple soumise à un traitement thermique.

Une des plaques est ensuite amincie.

Si c'est la plaque 60 de silicium oxydée qui est amincie, on obtient une alternance de zones SOI 30 à épaisseur d'oxyde variable (alternant entre

l'épaisseur du film 62 et celle de ce film plus celle de la zone 36).

De plus si c'est la plaque 30 de silicium structurée qui est amincie, on obtient une alternance  
5 de zones SOI à épaisseur de film mince variable (de manière similaire au cas de la figure 6J).

La réduction d'une partie de l'épaisseur d'une des deux plaques collées peut se faire par exemple par l'une des techniques déjà mentionnées ci-  
10 dessus (amincissement mécanique, par exemple de type meulage, et/ou polissage mécano-chimique sur une très faible épaisseur (moins de 20 nm ou de 30 nm), et/ou amincissement par gravure ionique et/ou chimique, et/ou inclusion préalable au collage d'une zone de  
15 fragilisation enfouie dans la plaque à amincir puis fracture).

Dans l'exemple ci-dessus, seul de l'oxyde thermique SiO<sub>2</sub> est utilisé. Il est également possible de réaliser un oxyde thermique jusqu'à un certain  
20 niveau, puis de compléter par un dépôt d'un autre isolant, déposé par exemple par PECVD dans la tranchée 34.

Dans ce cas cependant un film fin de cet autre isolant risque d'être déposé également sur le  
25 masque, auquel cas on peut procéder à un polissage préparatoire de type CMP de la surface du masque 31.

Un second mode de réalisation d'un procédé selon l'invention va être décrit en liaison avec les figures 8A-8E.

30 Partant d'un substrat 30 (figure 8C) en matériau semi-conducteur, recouvert d'une couche

isolante 33, dans lesquels une tranchée 34 a été gravée à travers un masque 31, on réalise (figure 8D) une croissance d'un matériau isolant 36 de manière contrôlée, par exemple dans la gamme de vitesses entre  
5 0,1 nm/mn et quelques nm/mn, par exemple 5 nm/mn ou 10 nm/mn de sorte que la surface 37 de ce matériau atteint l'interface 41 entre le masque 31 et l'isolant 33.

Le masque 31 est ensuite enlevé, laissant  
10 le matériau isolant 36 de la tranchée affleurer la surface de la couche isolante 33 (figure 8E), et ce avec une tolérance compatible avec le collage moléculaire, par exemple avec un « dishing » inférieur à 5 nm environ.

15 La surface de la plaque ou du substrat 30 est alors plane et constituée par une alternance de zones 70,78 d'isolant fin et de zones 37 d'isolant plus épais (figure 8E).

La plaque de semi-conducteur ainsi  
20 structurée peut être ensuite nettoyée, par exemple en vue d'un collage par adhésion moléculaire.

Elle peut être assemblée avec une plaque en matériau semi-conducteur, vierge ou structurée. L'adhérence des plaques peut être renforcée par exemple  
25 par traitement thermique, puis au moins une des deux plaques peut être amincie (des exemples de techniques d'amincissement ont été données ci-dessus).

Un tel procédé ne nécessite donc pas d'étape d'amincissement par polissage mécano-chimique  
30 avant assemblage, à la différence de l'art antérieur. Tout au plus, lors de la préparation des plaques en vue

d'un assemblage par collage moléculaire, un léger polissage, permettant d'enlever des aspérités de l'ordre de 20 nm ou 30 nm au plus, peut être pratiqué, mais cette étape ne risque pas de causer les problèmes  
5 rencontrés dans l'art antérieur et exposés en liaison avec les figures 5A et 5B.

Selon une variante, l'isolant 36 croît jusqu'à un niveau 39 (figure 8D) situé à une hauteur h au-dessus de l'interface 41 masque 31 - isolant 33.

10 On réalise ensuite une gravure, de préférence sélective par rapport au masque 31, à une vitesse contrôlée, permettant de ramener la surface de l'isolant à proximité ou au niveau 41 de l'interface masque 31 - isolant 33 et ce avec une tolérance  
15 compatible avec le collage moléculaire, par exemple avec un « dishing » inférieur à 5 nm environ.

Il peut être alors procédé au retrait du masque (figure 8E) et éventuellement à un nettoyage de la surface de l'isolant 33, par exemple en vue d'un  
20 collage par adhésion moléculaire. Là encore, aucune étape d'amincissement par polissage mécano-chimique n'est nécessaire. L'homogénéité de la surface obtenue est inférieure à 5% ou 4% ou 3%.

Tant la croissance de l'isolant que son  
25 éventuelle gravure sont réalisées à vitesse contrôlée, par exemple comme déjà indiqué ci-dessus, comprise entre 0,1 nm/mn et quelques nm/mn, par exemple 5 nm/mn ou 10 nm/mn.

La réalisation de la structure de la figure  
30 8C est obtenue de la manière suivante.

Avant de déposer ou de former le film ou la couche 32, on réalise un film 331 d'isolant initial d'une certaine épaisseur, obtenue, dans le cas de  $\text{SiO}_2$ , par exemple par une oxydation thermique à haute  
5 température d'une plaque de silicium (figure 8A).

Les étapes suivantes prennent en compte la présence de ce film d'isolant, qui est gravé (figure 8B) après gravure du film 32 et avant gravure du substrat 30 (figure 8C), pour transférer les motifs  
10 définis lors de l'étape de lithographie.

Selon une variante de l'invention, la plaque semi-conductrice 30 n'est pas gravée. On peut, à partir de la structure de la figure 9A (couches 33 et 32 sur substrat semi-conducteur 30, structure identique  
15 à celle de la figure 8A) procéder à la formation du masque 31 (figure 9B) par gravure de la couche 32, sans gravure de la couche 33, puis à une oxydation thermique de la plaque semi-conductrice 30 à travers le masque 31 (figure 9C). L'oxydation a lieu jusqu'à un niveau 39  
20 supérieur à celui de l'interface 41 masque - couche 33. Il est ensuite procédé à la gravure de la surépaisseur d'isolant, pour ramener la surface de celui - ci à proximité ou au niveau 41 (figure 9D), puis au retrait du masque 31 (figure 9E). On obtient alors une  
25 structure similaire à celle de la figure 8E, avec les mêmes caractéristiques d'homogénéité.

La surface de la plaque ou du substrat 30 est alors plane et constituée par une alternance de zones 70,78 d'isolant fin et de zones d'isolant plus  
30 épais (figure 9E, structure similaire à celle de la figure 8E).

La plaque ainsi structurée peut être nettoyée en vue d'un collage par adhésion moléculaire.

Le terme nettoyage a déjà été explicité plus haut et est repris ici dans le même sens. En particulier, un éventuel polissage mécano - chimique peut être pratiqué, afin d'atténuer la microrugosité de surface, de moins de 20 nm ou 30 nm, sans risque de causer les problèmes posés par l'art antérieur (cf. figures 5A, 5B) et non pas afin d'amincir une surépaisseur supérieure à 20 nm ou à 30 nm).

Afin d'obtenir un premier type de structure empilée, la plaque ainsi structurée et nettoyée peut être collée par exemple sur une deuxième plaque 50, par exemple en semi-conducteur vierge (figure 8F) également nettoyée en vue du collage moléculaire. Pour augmenter l'adhérence des plaques, la structure empilée est par exemple soumise à un traitement thermique.

Une des plaques peut ensuite être amincie, par exemple la plaque 50 est amincie jusqu'à un plan 51, de façon à obtenir l'épaisseur de film superficiel 52 voulu (figure 8F). Cette structure permet de disposer en alternance de zones à conduction verticale et de zones comportant un isolant 36 (zones SOI dans le cas où la couche 52 est en Si, les zones isolantes sont en SiO<sub>2</sub> et le substrat 30 est en Si).

Selon une variante (figures 8H), c'est le substrat 30 qui, à partir de la structure de la figure 8F, est aminci, une partie 30 - 2 de ce substrat étant éliminée, laissant subsister l'autre partie 30 - 1 dans laquelle l'isolant 36 est réalisé. On obtient donc un film mince 30 - 1 à épaisseur variable.

Selon une autre variante, et afin d'obtenir un deuxième type de structure empilée, la plaque 30 structurée de la figure 8E ou 9E est nettoyée est collée par exemple sur une deuxième plaque 60 (figure 8G), par exemple en semi-conducteur, oxydée en surface (couche 62 d'oxyde) et également nettoyée en vue du collage moléculaire.

Dans cette dernière approche, le film d'oxyde 62 de la deuxième plaque sera avantageusement d'épaisseur fine, par exemple comprise entre quelques nm et 50 nm.

Pour augmenter l'adhérence des plaques, la structure empilée est par exemple soumise à un traitement thermique.

Une des plaques est ensuite amincie.

Si c'est la plaque 60 qui est amincie, on obtient une alternance de zones à épaisseur d'isolant variable (alternant entre l'épaisseur du film 62 plus celle de la couche 33 et celle de ces deux films plus celle de la zone 36).

De plus si c'est la plaque 30 structurée qui est amincie (la référence 30a désignant le plan d'amincissement), on obtient une alternance de zones à épaisseur de film mince variable (de manière similaire au cas de la figure 6J).

La réduction d'une partie de l'épaisseur d'une des deux plaques collées peut se faire par exemple par une ou plusieurs des techniques déjà mentionnées (amincissement mécanique, et/ou polissage mécano-chimique (mais, encore une fois, cette étape ne fait que polir la surface et n'est pas un amincissement

sur une épaisseur importante, par exemple supérieure à 20 ou 30 nm), amincissement par gravure ionique et/ou chimique, inclusion préalable au collage d'une zone de fragilisation enfouie dans la plaque à amincir et fracture au niveau de cette zone fragilisée).

Comme expliqué ci-dessus en relation avec les figures 12A - 12C, une croissance supplémentaire de l'isolant peut être appropriée pour le cas où la croissance de l'isolant affecte la surface du masque, et/ou pour le cas où l'élimination du masque entraîne celle d'une partie de l'isolant 36.

Là encore, pour simplifier le procédé le plus possible, et pour limiter les étapes successives de retrait de la surcroissance de l'isolant, le masque 31 est choisi en un matériau présentant une sélectivité d'attaque par rapport à l'isolant 36.

De préférence, le rapport de la vitesse de gravure du masque sur la vitesse de gravure de l'isolant est supérieur à 2 ou 5 ou 10 ou 100.

On prend maintenant l'exemple du silicium en tant que matériau semi-conducteur du substrat, du dioxyde de silicium en tant que matériau isolant et du nitrure de silicium en tant que matériau du masque 31.

On génère, à vitesse contrôlée, de l'oxyde thermique 36 dans les motifs 34 gravés (figure 8D) les atomes d'oxygène pénétrant dans la maille du silicium, ce qui provoque un gonflement de cette dernière.

La hauteur d'oxyde généré est de préférence telle que la surface 37 de l'oxyde corresponde au moins à l'interface 41 entre le nitrure 32 et l'oxyde de silicium 331 réalisé initialement.

Dans une variante, cette hauteur d'oxyde peut être plus importante. C'est le cas par exemple quand seul le masque est gravé. La surface 39 de l'oxyde se trouve alors au-dessus de l'interface 41 oxyde initial - nitrure, à une hauteur  $h$  (figure 8D). On utilise ensuite un procédé d'amincissement sélectif permettant de situer avec assez de précision la surface de l'oxyde au niveau de l'interface oxyde initial/nitrure. Par exemple, ce procédé d'amincissement est une attaque chimique par de l'acide fluorhydrique dilué à 1%, dont la vitesse d'attaque de l'oxyde thermique est de l'ordre de 6 nanomètres par minute alors qu'il n'attaque pas le nitrure.

Plus généralement, on peut utiliser une attaque, par exemple chimique permettant une gravure à une vitesse comprise entre 0,01 nm/mn et 99 nm/mn.

Les étapes décrites en liaison avec les figures 6A-6E sont transposables dans cette alternative de procédé, l'interface « nitrure/silicium » étant substituée par l'interface « nitrure / oxyde initial ».

Les considérations exposées ci-dessus et relatives à l'attaque par de l'acide orthophosphorique, et éventuellement fluorhydrique, ainsi qu'à l'utilisation d'une éventuelle surépaisseur de l'oxyde restent valable, de même que les conditions d'oxydation thermique.

Après l'étape de retrait du nitrure, la surface de la plaque est constituée par une alternance de zones d'oxyde thermique 70, 78, peu épais, réalisé initialement, et de zones 36 d'oxyde thermique plus épais, réalisé dans les motifs gravés. La plaque de

silicium ainsi structurée est nettoyée en vue d'un collage par adhésion moléculaire.

Elle est alors collée, par exemple sur une plaque 50 de silicium vierge (figure 8F) ou sur une  
5 plaque 60 de silicium oxydée (figure 8G), également nettoyée en vue du collage moléculaire. La référence 62 désigne une couche d'oxyde en surface de la plaque 60. Par un tel procédé, on obtient des structures avec, en alternance, des zones SOI à épaisseur d'oxyde variable,  
10 baptisées « silicium sur isolant multiple » (MSOI en anglais).

Elle peut également être collée avec une deuxième plaque telle qu'obtenue en figure 8E. On obtient, là encore, une structure MSOI.

15 Une des deux plaques peut être amincie, par exemple pour obtenir un film 52, 63 de silicium (figures 8F, 8G).

D'une manière générale, et au -delà de l'exemple donné ci-dessus concernant le SiO<sub>2</sub> et le  
20 silicium, une variante de ce procédé peut permettre la réalisation d'un PSOI.

En effet, à la fin du deuxième procédé décrit ci-dessus (figure 8E), la plaque est constituée de zones 70,78 minces d'isolant et de zones 36 épaisses  
25 d'isolant, avec une surface plane. Il est donc possible d'attaquer de façon globale cette surface afin de déboucher sur le matériau semi-conducteur 30 après avoir enlevé une épaisseur d'isolant correspondant à l'épaisseur des zones 70, 78 minces d'isolant. Cette  
30 attaque d'oxyde peut se faire de différentes manières : par une solution chimique, par un plasma, par un

bombardement ionique... On choisit un type d'attaque pour lequel la différence entre la vitesse d'attaque du semi-conducteur et celle de l'isolant est la plus faible possible (rapport des vitesses d'attaque typiquement inférieur à 2).

Dans le cas du couple  $\text{SiO}_2$ /silicium, une solution à base de HF diluée est possible, mais l'arrêt de l'attaque est alors délicat à maîtriser. En revanche une solution à base de  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ , présente un rapport de vitesse d'attaque inférieur à 2, ce qui est plus favorable. De la même façon, une attaque par bombardement ionique présente une différence faible de vitesse d'attaque.

Pour augmenter l'adhérence des plaques lors d'un assemblage, la structure empilée est par exemple soumise à un traitement thermique. Une des plaques est amincie de façon à obtenir la ou les épaisseurs de film superficiel de silicium voulu.

La réduction d'une partie de l'épaisseur d'une des deux plaques collées, pour obtenir la bonne épaisseur du film superficiel de silicium et réaliser les structures MSOI ou PSOI souhaitées, peut se faire par exemple par l'une des techniques décrites ci-dessus ou par toute combinaison d'au moins deux de ces techniques.

Les structures réalisées pourront résulter d'une combinaison des diverses variantes du procédé.

Le procédé peut être appliqué à des plaques de semi-conducteur de dopage divers, au sein de la même plaque, par exemple une plaque de silicium peut être dopée P+ au niveau des zones à conduction verticale (là

où il n'y a pas de zones d'isolant), tandis que les autres zones ne sont pas dopées ou ont un dopage différent. Dans le cas de la figure 8E on peut avoir par exemple des dopages différents sous les couches  
5 fines 70, 78 et sous les zones épaisses 36. Ceci peut être obtenu, par exemple avant la gravure pour la zone sous le masque et après la gravure pour la zone sous l'isolant 36. Il peut également y avoir assemblage d'une première et d'une deuxième plaques de dopages  
10 différents, par exemple une plaque 30 en Si de type N et une plaque 50, 60 en Si de type P.

En variante (figure 10A) on peut réaliser un film 310 de forte conduction) dans les zones protégées par le masque 31, par exemple un film en  
15 siliciure ou en métal dans les zones protégées par un masque de nitrure.

On pourra déposer par exemple un film 310 de siliciure ou de métal, avant de déposer le film 31 de nitrure. De façon avantageuse, ce film à forte  
20 conduction, par exemple en siliciure ou en métal, localisé à l'aplomb des travées (on appelle ainsi les zones non gravées du substrat 30), est compatible avec la température du traitement thermique de génération de l'isolant, par exemple de l'oxyde, dans les motifs  
25 gravés. Par exemple, ce film 310 est un film de siliciure de tungstène (WSi<sub>2</sub>) ou un film de tungstène (qui réagira ultérieurement avec le silicium sous-jacent, lors du traitement thermique).

Au final, l'application du procédé des  
30 figures 6A-6E à cette structure conduit (figure 10B) à une structuration de la surface comportant une

alternance de zones isolantes 36 et de zones fortement conductrices 310-1, 310-2. Ces différentes zones peuvent être alignées avec une très bonne précision, à moins que  $\pm 10$  nm ou que  $\pm 5$  nm. Des étapes  
5 d'assemblage avec un autre substrat, comme illustré sur les figures 6F - 6J peuvent être réalisées avec une telle structure.

Dans certains cas on protégera le film 310 à forte conduction de l'attaque utilisée pour le  
10 retrait du masque 31 (par exemple par  $H_3PO_4$ ). Cette protection peut être une couche d'arrêt 410 (par exemple  $SiO_2$ ) très fine (voir figure 11A qui reprend par ailleurs les autres références de la figure 10A pour y désigner des éléments identiques ou similaires).

15 Des étapes suivantes de gravure (figure 11B), de formation (croissance ou dépôt) de l'isolant 36 (figure 11C), de retrait du masque (figure 11D) peuvent avoir lieu.

Notons qu'il peut y avoir avantage à  
20 disposer, sous un isolant enterré, par exemple sous un oxyde enterré d'un SOI, d'une zone de forte conduction et, ailleurs, d'un substrat (par exemple en silicium) très résistif (par exemple de résistivité supérieure à  $1\text{ k}\Omega\cdot\text{cm}$ ) pour des applications hyperfréquences. Dans un  
25 tel cas la zone très conductrice 310 peut correspondre à un plan de masse.

Il est donc possible de s'arrêter à cette  
étape, le composant de la figure 11D pouvant être  
utilisé tel quel, sans élimination de la couche de  
30 protection 410.

Si il a en outre élimination de cette couche 410 de protection (figure 11E), une structure telle que celle des figures 8E et 9E est obtenue (mais avec des portions conductrices entre les zones d'isolant 36).

Les étapes des figures 8F - 8H peuvent être appliquées ensuite à cette structure.

Dans les divers exemples donnés ci-dessus, l'exemple du silicium a été donné, mais un procédé selon l'invention peut être appliqué à d'autres semi-conducteurs que le silicium, pour la première plaque 30 et/ou pour la seconde plaque 50, 80, 82. On citera par exemple  $\text{Si}(1-x)\text{Ge}(x)$  avec  $0 \leq x < 1$ .

L'épaisseur du film d'oxyde initial 33 pourra être dans la gamme de 1nm à quelques dixièmes de micromètres, par exemple 0,1 ou 0,5  $\mu\text{m}$ .

La profondeur (P sur les figures 6C et 8C) des motifs gravés 34 dans le substrat pourra être de quelques nanomètres à quelques micromètres, par exemple comprise entre 5 nm et 2  $\mu\text{m}$ . Elle est nulle dans le cas des figures 7A - 7D et 9A - 9E, qui illustrent des modes de réalisation sans gravure du substrat.

D'une manière générale, pour réaliser la croissance contrôlée de l'isolant, on cherche à connaître la profondeur p avec une certaine précision.

Si cette profondeur est relativement faible, certains moyens permettent de la mesurer avec précision (par exemple : profilomètres optiques ou mécaniques, ou interféromètre optique ou ellipsomètre).

Si cette profondeur est plus importante, on peut utiliser le plan supérieur du masque 31 comme

référence : l'épaisseur de ce masque est connue avec précision (par exemple par ellipsométrie). On forme alors l'isolant jusqu'à un niveau 39 surélevé par rapport à l'interface masque - substrat (figure 6D ou 5 7C) ou masque - couche isolante (figure 8D et 9C). La différence de hauteur entre la surface superficielle du masque et celle de l'isolant devient alors d'un ordre de grandeur de ce qui est mesurable avec les moyens énoncés ci-dessus.

10 Les dimensions latérales (L sur les figures 6C et 8C) des motifs 34 seront typiquement dans la gamme de 0,1  $\mu\text{m}$  à quelques millimètres, par exemple 5 mm.

L'adaptation d'épaisseur de l'isolant 36 15 dans les motifs gravés 34 pourra être effectuée par diverses techniques permettant une attaque sélective de l'isolant dans les motifs gravés mais pas (ou peu) d'attaque du masque 31. Par exemple, on attaque le  $\text{SiO}_2$  par du HF à 1%, d'où une vitesse de gravure de 6 nm/mn 20 alors qu'il n'y a pas d'attaque du masque  $\text{Si}_3\text{N}_4$  par cet acide. On citera par exemple la gravure ionique réactive.

L'épaisseur des films de semi-conducteur 25 superficiels réalisés par amincissement d'une des plaques de la structure empilée (52 ou 30) sera par exemple comprise entre quelques nanomètres et quelques dizaines de microns, par exemple entre 1 nm et 5 nm et 10  $\mu\text{m}$  ou 50  $\mu\text{m}$  ou 100  $\mu\text{m}$ .

Dans la réalisation des structures de type 30 MSOI l'isolant fin peut aussi être élaboré sur une au

moins des deux plaques à coller (dépôt, croissance...) après l'étape de préparation de la surface structurée.

Le procédé pourra être adapté facilement avec d'autres isolants que l'oxyde de silicium  $\text{SiO}_2$ , en tant que film 331 fin d'isolant initial déposé avant le nitrure et/ou en tant que film fin d'isolant élaboré sur la deuxième plaque et/ou en tant que film fin d'isolant élaboré, dans une étape supplémentaire, sur une plaque structurée telle que représentée en figure 6E. On citera par exemple  $\text{Al}_2\text{O}_3$ , ou  $\text{AlN}$ , ou  $\text{SiON}$ , ou  $\text{Si}_3\text{N}_4$ , ou le diamant, ou  $\text{HfO}_2$ , ou tout diélectrique à fort coefficient diélectrique  $K$  (classiquement appelé en microélectronique matériau de type « High  $K$  »). ou toute combinaison de ces matériaux.

Le procédé pourra être utilisé avec d'autres films barrière que le film 32 de nitrure  $\text{Si}_3\text{N}_4$ . Par exemple, on pourra utiliser des films de  $\text{Al}_2\text{O}_3$  ou de  $\text{AlN}$ . Le retrait sélectif par rapport à l'isolant 331 sera par exemple effectué par une attaque chimique dans une solution de  $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$  pour  $\text{Al}_2\text{O}_3$  et une attaque chimique dans une solution de TMAH (tetra methyl ammonium hydroxyde) pour  $\text{AlN}$ .

Le procédé pourra être réitéré plusieurs fois sur la même première plaque, permettant de réaliser ainsi des zones de SOI avec diverses épaisseurs d'oxyde enterré.

Dans le procédé et les divers exemples de réalisation, on peut mettre en œuvre des étapes de renforcement du collage moléculaire (par nettoyage spécifique des surfaces, ou activation des surfaces par

plasma, ou collage sous atmosphère spécifique, ou traitements thermiques...).

Il est également possible de réaliser un polissage fin de type mécano-chimique (« touch  
5 polishing » en anglais) afin d'améliorer la micro-rugosité des surfaces d'oxyde. Ce traitement est considéré comme un traitement de surface (très faible enlèvement de matière, de l'ordre de 1 nm à 30 nm) par opposition au procédé d'amincissement par polissage  
10 permettant de rattraper, à grande échelle, une topographie des surfaces d'oxyde.

Dans les procédés expliqués ci-dessus, la surface de l'isolant 36 peut être précisément contrôlée par la limitation de la vitesse de croissance ou de la  
15 vitesse de gravure lorsqu'il faut effectuer un retrait (cas du niveau 39 d'isolant au-dessus de l'interface masque - semi-conducteur (figure 6D) ou de l'interface 41 isolant initial - masque (figure 7D), ou de l'interface film conducteur - masque (figure 10B).

Il est en outre possible, en utilisant par  
20 exemple des techniques de mesure optique des épaisseurs des films, telles que notamment l'ellipsométrie, d'aligner avec précision la surface de l'isolant 36 réalisé dans les motifs et de l'interface.

Dans tous les cas, le procédé selon  
25 l'invention ne nécessite aucun amincissement par polissage mécano-chimique, et supprime donc les risques évoqués dans l'introduction en liaison avec les figures 5A et 5B.

Un polissage mécano-chimique peut être  
30 pratiqué lors de la finition de la ou des surfaces à

mettre en contact, mais, encore une fois, cette étape ne fait que polir la surface pour en éliminer certaines rugosités superficielles, ayant un relief d'au plus quelques nm ou d'au plus 20 nm ou 30 nm, et n'est pas  
5 un amincissement sur une épaisseur importante, par exemple supérieure à 20 ou 30 nm.

Un procédé selon l'invention permet de réaliser une structure semiconductrice, telle que celle  
10 de la figure 1B, comportant des zones isolantes, par exemple au moins une première zone isolante en surface, ou enterrée si le substrat est assemblé avec une couche telle que la couche 45, cette première zone isolante ayant une première épaisseur non nulle, de préférence  
15 uniforme, et au moins une deuxième zone isolante en surface, ou enterrée si le substrat est assemblé avec une couche telle que la couche 45, ayant une deuxième épaisseur non nulle, de préférence uniforme, et différente de la première épaisseur.

20 Le procédé selon l'invention permet de réaliser 3 (ou plus) épaisseurs différentes d'isolant dans un même substrat. Il est possible, pour cela, de réitérer le procédé avec plusieurs niveaux de masques déposés consécutivement. Il est également possible de  
25 réaliser des cavités de profondeurs différentes, de générer l'oxyde ou l'isolant, puis de gérer les surépaisseurs locales d'oxyde par des gravures localisées.

Un procédé selon l'invention permet de  
30 réaliser une structure semi-conductrice, telle que celle de la figure 2B, comportant des zones isolantes,

par exemple au moins une première zone isolante en surface, ou enterrée si le substrat est assemblé avec une couche telle que la couche 245, ayant une première épaisseur non nulle, de préférence uniforme, et au moins une deuxième zone semi-conductrice en surface ou enterrée si le substrat est assemblé avec une couche telle que la couche 245.

Si il est réitéré, ce procédé permet de réaliser 2 épaisseurs  $p$  différentes et/ou deux largeurs  $L$  différentes d'isolant dans un même substrat, alternant avec des zones semi-conductrices.

On peut également réaliser des zones 36 en un premier type d'isolant puis des zones d'un autre type d'isolant.

La figure 14 représente un substrat semi-conducteur 30 avec des zones 36, 36-1 isolantes qui peuvent être différentes par leurs dimensions géométriques (profondeur et/ou largeur) et/ou par les natures des matériaux qui les constituent.

Ces différentes zones isolantes sont obtenues par réitération d'un procédé selon l'invention, avec des masques différents lors des différentes étapes de formation des différentes zones isolantes.

Un procédé selon l'invention permet de réaliser une structure semi-conductrice, telle que celle de la figure 8B, comportant des zones isolantes, par exemple au moins une première zone isolante en surface ou enterrée, ayant une première épaisseur non nulle, de préférence uniforme, et au moins une deuxième zone conductrice en surface ou enterrée, ayant une

deuxième épaisseur, de préférence uniforme, éventuellement différente de la première épaisseur.

Quel que soit le mode de réalisation envisagé, il est possible de former sur un composant  
5 selon l'un des procédés ci-dessus un film d'un matériau isolant. Par exemple, sur les figures 13A et 13B sont représentées les structures des figures 6E et 8E avec un tel film isolant 100, par exemple en AlN. Si il y a un assemblage avec un autre substrat, un tel film peut  
10 être présent sur la surface de cet autre substrat.

Lorsqu'un composant selon l'invention est assemblé avec un deuxième substrat (voir par exemple figures 6F - 6J, ou 8F - 8H) le deuxième substrat 50,  
60 peut comporter au moins une zone de première conductivité et une zone de deuxième conductivité en  
15 surface. Il peut aussi comporter au moins une partie de circuit ou de composant en surface destinée à être la face d'assemblage avec le substrat 30. Le deuxième substrat peut donc être lui aussi structuré.  
20 L'assemblage avec le premier substrat peut alors mettre en œuvre un alignement des deux substrats.

Lors d'un assemblage avec un deuxième substrat, il a été indiqué que, pour augmenter l'adhérence des plaques ou des substrats, la structure  
25 empilée peut être soumise à un traitement thermique. En outre, si le traitement thermique est effectué à haute température (par exemple supérieur ou égal à 1100°C), on peut provoquer la disparition à l'interface de collage d'un oxyde résiduel extrêmement fin. En vue de  
30 faciliter la disparition de cet oxyde éventuel d'interface on essayera autant que possible de

minimiser le désalignement cristallographique entre les deux plaques de substrat (par exemple de silicium) assemblées.

D'autres exemples de réalisation vont  
5 maintenant être donnés :

Premier exemple :

Dans ce premier exemple, le film 32 de nitru-  
10 nure est déposé par une technique de dépôt en phase vapeur assistée par plasma (PECVD en anglais). Ce film a une épaisseur de 80 nanomètres (figure 6A). Les motifs 34 sont gravés dans le silicium avec un procédé de type RIE (reactive ion etching) et ont une profondeur de 50 nanomètres dans le silicium (figure  
15 6C).

L'oxyde thermique 36 est obtenu dans ces motifs par un traitement thermique à 900°C sous atmosphère de vapeur d'eau. Son épaisseur est de 100 nanomètres. La surface 37 de l'oxyde généré dans les  
20 motifs gravés est au niveau de l'interface 35 nitru-  
silicium.

La plaque ainsi structurée est soumise à une attaque chimique par de l'acide ortho phosphorique à 140°C. Les zones recouvertes de nitru-  
25 re sont mises à nu. La plaque structurée est plane, lisse, compatible avec un collage moléculaire ultérieur.

La plaque est alors nettoyée de façon à supprimer les éventuels hydrocarbures, à retirer les particules, et à rendre la surface hydrophile.

30 Cette première plaque structurée est alors collée sur une deuxième plaque 60 de silicium oxydé,

l'épaisseur du film d'oxyde étant de 20 nanomètres (figure 6H), cette deuxième plaque étant nettoyée suivant la même procédure. La structure empilée est soumise à un traitement thermique à 1100°C pendant 2h  
5 sous atmosphère d'argon. La seconde plaque de silicium de cette structure empilée est alors amincie par une technique de meulage pour ne laisser, par exemple, que 25 micromètres de silicium 64. On obtient de cette façon une structure empilée de type MSOI.

10

Deuxième exemple :

Ce deuxième exemple est une variante du premier exemple.

La plaque structurée est collée sur une  
15 deuxième plaque 50 de silicium non oxydé (figure 6F). À cause de la procédure de nettoyage, un film d'oxyde natif est présent sur les zones 40, 48 de silicium mis à nu de la plaque structurée et sur la deuxième plaque de silicium.

20 Des traitements thermiques à haute température, par exemple supérieure à 1100°C pendant deux heures permettent de faire disparaître localement cet oxyde. On obtient de cette façon une structure empilée de type PSOI. En vue de faciliter la  
25 disparition de l'oxyde éventuel d'interface on essaiera autant que possible de minimiser le désalignement cristallographique entre les deux plaques de silicium collées.

30

Troisième exemple :

Dans ce troisième exemple, une première plaque 30 de silicium est oxydée thermiquement à 900° sous atmosphère d'oxygène sec, pour générer un film 33 d'oxyde de 20 nanomètres d'épaisseur (figure 8A). On dépose sur ce dernier un film 32 de nitrure, par PECVD, d'une épaisseur de 80 nanomètres. Les motifs 34 sont gravés dans le silicium avec un procédé de type RIE (reactive ion etching) et ont une profondeur de 50 nanomètres dans le silicium (figure 8C).

L'oxyde thermique 36 est obtenu dans ces motifs par un traitement thermique à 900°C sous atmosphère de vapeur d'eau. Son épaisseur est de 140 nanomètres. La surface 37 de l'oxyde 36 généré dans les motifs gravés est au niveau de l'interface 41 nitrure-oxyde de silicium déposé initialement (figure 8D).

La plaque ainsi structurée est soumise à une attaque chimique par de l'acide ortho phosphorique à 140°C. Les zones recouvertes de nitrure sont attaquées.

La surface de la plaque structurée est alors constituée d'oxyde thermique (figure 8C). Elle est plane, lisse, compatible avec un collage moléculaire ultérieur. La plaque est alors nettoyée de façon à supprimer les éventuels hydrocarbures, à retirer les particules, à rendre la surface hydrophile.

Cette première plaque 50 structurée est alors collée sur une deuxième plaque de silicium non oxydé nettoyée suivant la même procédure (figure 8F). La structure empilée est soumise à un traitement

thermique, par exemple à 1100C°, pendant 2 h sous atmosphère d'argon. La seconde plaque de silicium de cette structure empilée est alors amincie par une technique de meulage pour ne laisser, par exemple, que  
5 20 micromètres de silicium 52. On obtient de cette façon une structure empilée de type MSOI.

Quatrième exemple :

Ce quatrième exemple est une variante du  
10 troisième exemple.

L'épaisseur du film 33 d'oxyde initial est de 10 nanomètres (figure 8A). L'épaisseur du film de nitrure et la profondeur des motifs gravés dans le silicium sont identiques à l'exemple précédent.

15 L'oxyde 36 généré dans les motifs 34 a une épaisseur de 120 nanomètres. La fin de la préparation de cette première plaque structurée est identique à l'exemple 3. Cette première plaque est alors collée sur une deuxième plaque de silicium oxydé, l'épaisseur de  
20 l'oxyde de cette deuxième plaque étant de 10 nanomètres, réalisé par oxydation thermique à 900°C sous oxygène sec, cette deuxième plaque étant nettoyée suivant la même procédure.

La structure empilée est soumise à un  
25 traitement thermique, par exemple à 1100°C pendant 2 h, sous atmosphère d'argon.

La seconde plaque de silicium de cette structure empilée est alors amincie par une technique de meulage pour ne laisser, par exemple, que  
30 micromètres de silicium 52. On obtient de cette façon une structure empilée de type MSOI (figure 8F).

Cinquième exemple :

Dans ce cinquième exemple, variante du quatrième exemple, la seconde plaque 50 est implantée par des ions d'hydrogène, par exemple à l'énergie de 70KeV et avec des doses de 5.1016 at/cm2, avant d'être nettoyée et collée sur la première plaque structurée.

Une fracture est induite dans cette seconde plaque lorsqu'on soumet la structure empilée par exemple à un traitement thermique à 500°C pendant 30 minutes.

Un film 52 de silicium d'une épaisseur voisine de 0,5 micromètre est obtenu, solidarisé par collage moléculaire avec la première plaque structurée. La structure empilée est alors soumise à un traitement thermique à haute température, par exemple supérieure à 1000°C, de façon à consolider le collage moléculaire. On obtient de cette façon une structure empilée de type MSOI à film de silicium superficiel fin.

20

Sixième exemple :

Ce sixième exemple est une variante du troisième, du quatrième ou du cinquième exemple. Un film 33 de 20 nanomètres d'oxyde est réalisé initialement sur une première plaque (figure 8A). Un film 32 de nitrure de 80 nanomètres d'épaisseur est réalisé par PECVD sur cet oxyde.

Des motifs 34 sont gravés sur cette première plaque avec une profondeur de 50 nanomètres dans le silicium.

30

Un traitement par oxydation thermique sous atmosphère de vapeur d'eau permet de réaliser un oxyde 36 de 160 nanomètres d'épaisseur dans les motifs gravés.

5 La surface 37 de l'oxyde réalisé dans les motifs est plus haute (d'environ 20 nanomètres) que l'interface 41 oxyde initial-nitruure.

Une gravure sélective permet de diminuer l'épaisseur 36 d'oxyde dans les motifs sans diminuer l'épaisseur de nitruure. Cette gravure consiste en une 10 attaque par de l'acide fluorhydrique dilué à 1 %. La vitesse d'attaque de l'oxyde est de l'ordre de 6 nanomètres par minute. En particulier, en utilisant des techniques de mesure optique des épaisseurs des films, 15 telles que par exemple l'ellipsométrie, cette étape permet d'aligner avec précision la surface de l'oxyde 36 réalisé dans les motifs et l'interface 41 nitruure / oxyde initial. On obtient alors une surface plane et lisse compatible avec un collage moléculaire ultérieur.

20

#### Septième exemple :

Dans ce septième exemple, variante du premier ou du deuxième exemple, un film de nitruure de 80 nanomètres d'épaisseur est réalisé par PECVD sur une 25 première plaque de silicium (figure 6A). Des motifs 34 sont gravés sur cette première plaque avec une profondeur de 50 nanomètres dans le silicium. Un traitement par oxydation thermique sous atmosphère de vapeur d'eau permet de réaliser un oxyde 36 de 120 30 nanomètres d'épaisseur dans les motifs gravés (figure 6D).

La surface 39 de l'oxyde réalisé dans les motifs est plus haute (de environ 20 nanomètres) que l'interface 35 silicium/nitrure. Une gravure sélective permet de diminuer l'épaisseur d'oxyde dans les motifs  
5 sans diminuer l'épaisseur de nitrure. Cette gravure consiste en une attaque par de l'acide fluorhydrique dilué à 1%. La vitesse attaque de l'oxyde est de l'ordre de 6 nanomètres par minute. En particulier en utilisant des techniques de mesure optique des  
10 épaisseurs des films, telles que par exemple l'ellipsométrie, cette étape permet d'aligner avec précision la surface 37 de l'oxyde réalisé dans les motifs et l'interface 35 nitrure/oxyde initial. On obtient alors une surface plane et lisse compatible  
15 avec un collage moléculaire ultérieur.

**REVENDICATIONS**

1. Procédé de réalisation d'une structure semi-conductrice, comportant :

5                   - la formation contrôlée, à travers un masque (31), dans un premier substrat (30) en un matériau semi-conducteur, d'au moins une première zone en un matériau isolant (36), jusqu'au niveau de la surface inférieure (35, 41) du masque, avant ou pendant  
10 le retrait du masque.

2. Procédé selon la revendication 1, la formation de matériau isolant comportant une étape de croissance contrôlée dudit matériau isolant, jusqu'au  
15 niveau (35) de la surface inférieure du masque, puis le retrait du masque.

3. Procédé selon la revendication 1, l'étape de formation d'isolant comportant :

20                   - a1) une sous-étape de croissance contrôlée d'un matériau isolant, jusqu'au dessus du niveau de la surface inférieure (35) du masque,  
                      - a2) une sous-étape d'amincissement sélectif du matériau isolant, pour le ramener au niveau  
25 (35) de la surface inférieure du masque.

4. Procédé selon la revendication 1, la formation d'isolant comportant :

30                   - a1) une sous-étape de croissance contrôlée d'un matériau isolant, jusqu'au dessus du niveau de la surface inférieure (35) du masque,

- a2) une sous-étape d'amincissement sélectif du matériau isolant, pour le ramener à un niveau (391, 394, 394) supérieur à la surface inférieure (35) du masque, maintenant ainsi une couche  
5 résiduelle d'isolant au-dessus de cette surface.

5. Procédé selon la revendication 4, la couche résiduelle étant enlevée au moins en partie lors du retrait du masque.  
10

6. Procédé selon la revendication 4 ou 5, la couche résiduelle étant enlevée au moins en partie lors du retrait d'une couche superficielle (311) formée sur la masque (31) pendant la sous étape a1).  
15

7. Procédé selon l'une des revendications 3 à 6, l'étape a2 étant réalisée par attaque chimique.

8. Procédé selon l'une des revendications 1  
20 à 7, le substrat comportant en outre une couche isolante (33) en surface.

9. Procédé selon la revendication 8, comportant en outre une étape de suppression de la  
25 couche d'isolant pour former une alternance de zones semi-conductrices et de zones isolantes.

10. Procédé selon la revendication 8 ou 9, la couche isolante (33) ayant une épaisseur comprise  
30 entre 1 nm et 0,5  $\mu\text{m}$ .

11. Procédé selon l'une des revendications 1 à 10, le substrat comportant en outre une couche conductrice (310) en surface.

5 12. Procédé selon la revendication 11, la couche conductrice étant en siliciure ou en métal ou en Si dopé.

10 13. Procédé selon la revendication 11 ou 12, la couche conductrice étant recouverte d'une couche de protection (410).

15 14. Procédé selon la revendication 13, la couche de protection (410) n'étant pas retirée après retrait du masque (31).

20 15. Procédé selon l'une des revendications 1 à 14, comportant une gravure du premier substrat (30) en un matériau semi-conducteur, à travers le masque (31), formant au moins une zone gravée (34) dans le matériau semi-conducteur, et éventuellement dans la couche isolante (33) de surface ou éventuellement dans la couche conductrice (310) et éventuellement dans sa couche de protection (410), le matériau isolant étant  
25 formé au moins dans cette zone gravée.

16. Procédé selon la revendication 15, la zone gravée (34) ayant une profondeur, dans le premier matériau semi-conducteur, comprise entre 1 nm et 10  $\mu$ m.

17. Procédé selon l'une des revendications 1 à 16, le retrait du masque étant réalisé de manière sélective par rapport au matériau isolant.

5 18. Procédé de réalisation de composant semi-conducteur, comportant :

- la formation ou la croissance contrôlée, dans une première zone d'un substrat (30) semi-conducteur, et jusqu'au-dessus du niveau (35) de la surface inférieure d'un masque (31) recouvrant au moins une deuxième zone du substrat (30), ou recouvrant une couche isolante (33) ou une couche conductrice (310) ou une couche de protection (410) d'une couche conductrice (310) recouvrant au moins une deuxième zone du substrat, d'un isolant (36) à travers le masque,

10

15

- une attaque de l'isolant, sélective par rapport au masque, et une attaque du masque, sélective par rapport à l'isolant, afin de ramener la surface supérieure (39) de l'isolant au niveau (35) défini par la surface inférieure du masque.

20

19. Procédé selon la revendication 18, l'attaque de l'isolant laissant subsister une couche résiduelle d'isolant au-dessus du niveau (35) défini par la surface inférieure du masque (31).

25

20. Procédé selon la revendication 19, la couche résiduelle étant retirée au moins en partie lors de l'attaque d'une couche superficielle (311) recouvrant le masque et/ou au moins en partie lors de l'attaque du masque.

30

21. Procédé selon l'une des revendications 18 à 20, comportant une gravure (34) de la première zone du substrat.

5

22. Procédé selon la revendication 21, la zone gravée (34) ayant une profondeur, dans le substrat, comprise entre 1 nm et 10  $\mu\text{m}$ .

10

23. Procédé selon l'une des revendications 1 à 22, le matériau semi-conducteur étant en silicium ou en  $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x < 1$ ).

15

24. Procédé selon l'une des revendications 1 à 23, le matériau isolant étant en  $\text{SiO}_2$ , ou en  $\text{Al}_2\text{O}_3$ , ou en AlN, ou en SiON, ou en  $\text{Si}_3\text{N}_4$ , ou en diamant, ou en  $\text{HfO}_2$ , ou en un matériau diélectrique à forte constante diélectrique.

20

25. Procédé selon l'une des revendications 1 à 24, le masque étant en nitrure  $\text{Si}_3\text{N}_4$ , ou en  $\text{Al}_2\text{O}_3$  ou en AlN.

25

26. Procédé selon l'une des revendications 1 à 25, comportant en outre une étape d'assemblage avec un deuxième substrat (50, 60).

27. Procédé selon la revendication 26, l'assemblage étant réalisé par adhérence moléculaire.

30

28. Procédé selon la revendication 26 ou 27, le deuxième substrat étant en un deuxième matériau semi-conducteur.

5 29. Procédé selon la revendication 28, le deuxième substrat comportant en outre une couche (62) d'isolant sur le deuxième matériau semi-conducteur.

10 30. Procédé selon la revendication 28 ou 29, le premier substrat ayant au moins une zone d'un premier type de conductivité, et le deuxième substrat ayant au moins une zone du type de conductivité opposée.

15 31. Procédé selon l'une des revendications 26 à 30, comportant en outre une étape d'amincissement du premier et/ou du deuxième substrat.

20 32. Procédé selon la revendication 31, l'étape d'amincissement de l'un et/ou de l'autre des substrats étant réalisée par formation d'une couche ou d'une zone de fragilisation.

25 33. Procédé selon la revendication 32, la couche ou la zone de fragilisation étant réalisée par une couche de silicium poreux.

30 34. Procédé selon la revendication 33, la formation d'une couche ou d'une zone de fragilisation étant réalisée par implantation d'ions dans le premier ou le second substrat.

35. Procédé selon la revendication 34, les ions implantés étant des ions hydrogène ou un mélange d'ions hydrogène et d'ions hélium.

5                   36. Procédé selon la revendication 35, l'étape d'amincissement étant obtenue par polissage ou gravure.

10                   37. Procédé selon l'une des revendications 26 à 36, le premier et/ou le deuxième substrat comportant au moins une zone de première conductivité et une zone de deuxième conductivité en surface.

15                   38. Procédé selon l'une des revendications 26 à 36, le deuxième substrat comportant au moins une partie de circuit ou de composant en surface.

20                   39. Procédé selon l'une des revendications 1 à 38, le matériau du premier substrat comportant des zones avec des dopages différents.

25                   40. Procédé selon l'une des revendications 1 à 39, la formation d'isolant à travers le masque comportant au moins en partie une oxydation thermique du substrat semi-conducteur.

41. Procédé selon la revendication 40, comportant en outre un dépôt d'isolant ou d'oxyde.

42. Procédé de réalisation d'une structure semi-conductrice comportant la formation :

a) - d'une première zone isolante dans un substrat semiconducteur,

5                    b) - puis la formation d'au moins une deuxième zone isolante dans le même substrat,

les étapes a) et b) étant effectuées selon l'une des revendications 1 à 40.

10                    43. Procédé selon la revendication 42, les étapes a) et b) étant effectuées avec des masques différents.

15                    44. Procédé selon la revendications 42 ou 43, au moins deux des zones isolantes formées ayant des profondeurs et/ou des largeurs différentes dans le substrat et/ou étant formées de matériaux isolants différents.

20                    45. Procédé selon l'une des revendications 1 à 44, un film isolant (100) étant réalisé sur au moins un des deux substrats.

25                    46. Dispositif semi-conducteur, comportant un substrat semi-conducteur (30), au moins une zone isolante (36) dans ce substrat, une surface de cette zone isolante affleurant la surface du matériau semi-conducteur avec une précision inférieure à  $\pm 5$  nm

47. Dispositif semi-conducteur, comportant un substrat semi-conducteur (30), au moins une zone isolante (36) dans ce substrat, une couche (310-1, 310-2) conductrice sur le substrat, en dehors des zones isolantes, cette couche conductrice étant éventuellement recouverte d'une couche de protection (410), une surface de la zone isolante affleurant la surface de la couche (310) conductrice ou éventuellement de la couche de protection (410).

10

48. Dispositif selon la revendication 47, la couche conductrice étant en siliciure ou en métal ou en Si dopé.

15

49. Dispositif selon la revendication 47 ou 48, la surface de la zone isolante affleurant la surface de la couche (310) conductrice ou éventuellement de la couche de protection (410) avec une précision inférieure à  $\pm 5$  nm.

20

50. Dispositif selon l'une des revendications 46 à 49, comportant en outre une couche d'un matériau isolant recouvrant la zone isolante et la substrat ou la couche conductrice (310-1, 310-2) ou la couche de protection (410) recouvrant la couche conductrice.

25

51. Dispositif selon l'une des revendications 46 à 50, le matériau semi-conducteur étant en silicium ou en  $\text{Si}_{1-x}\text{Ge}_x$  ( $0 \leq x \leq 1$ ).

30

52. Dispositif selon l'une des revendications 46 à 51, le matériau isolant de la zone isolante étant en  $\text{SiO}_2$ , ou en  $\text{Al}_2\text{O}_3$ , ou en  $\text{AlN}$ , ou en  $\text{SiON}$ , ou en  $\text{Si}_3\text{N}_4$ , ou en diamant, ou en  $\text{HfO}_2$ , ou en un  
5 matériau diélectrique à forte constante diélectrique.

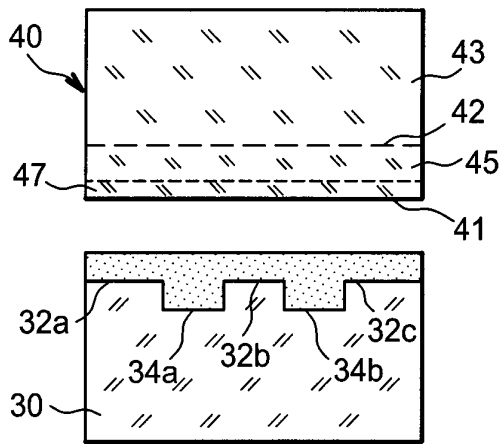


FIG. 1A

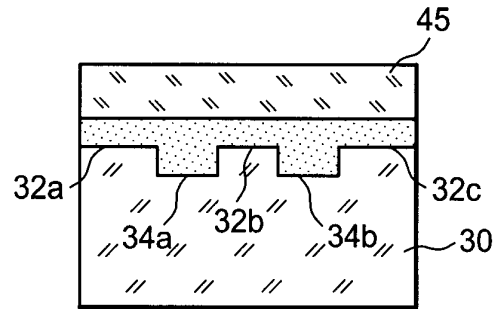


FIG. 1B

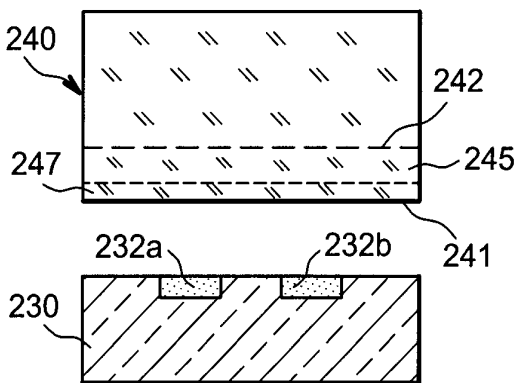


FIG. 2A

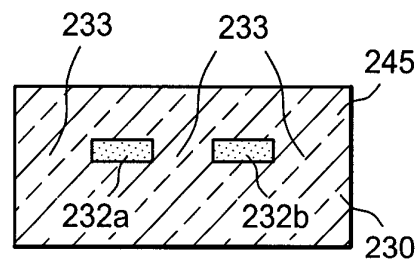


FIG. 2B

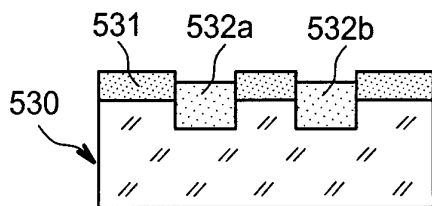


FIG. 3A

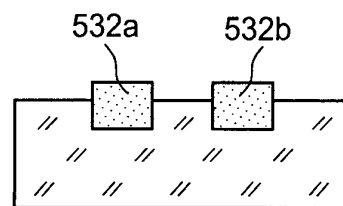


FIG. 3B

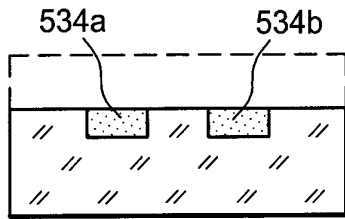


FIG. 3C

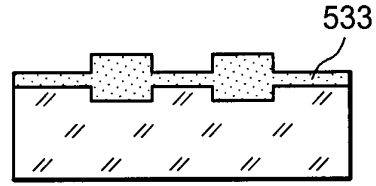


FIG. 3D

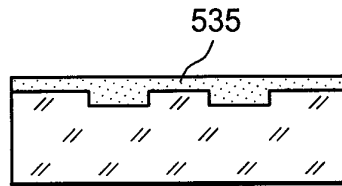


FIG. 3E

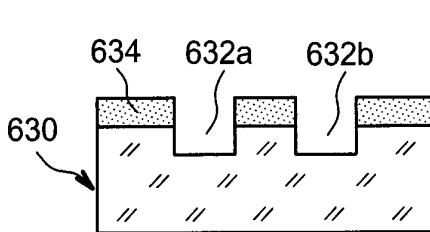


FIG. 4A

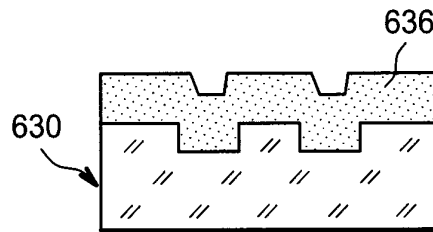


FIG. 4B

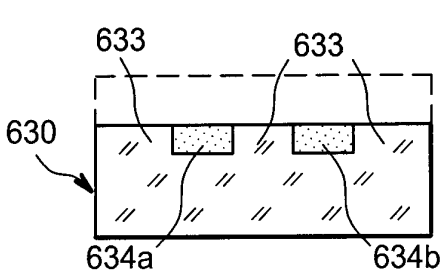


FIG. 4C

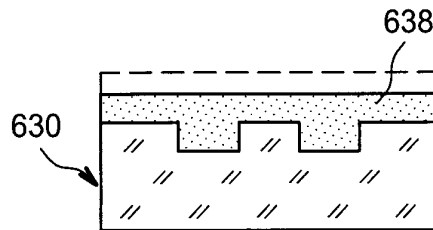


FIG. 4D

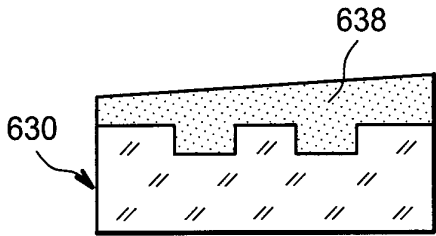


FIG. 5A

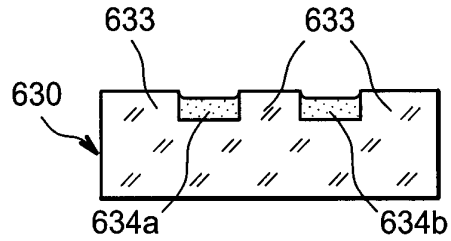


FIG. 5B

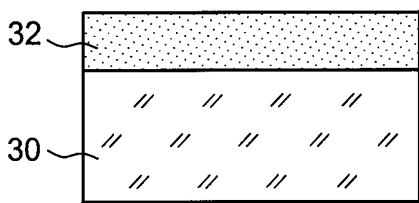


FIG. 6A

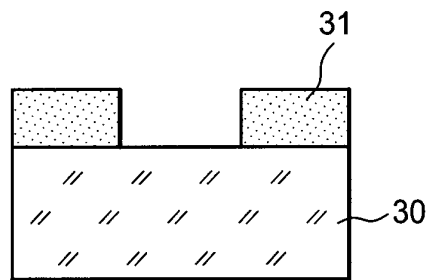


FIG. 6B

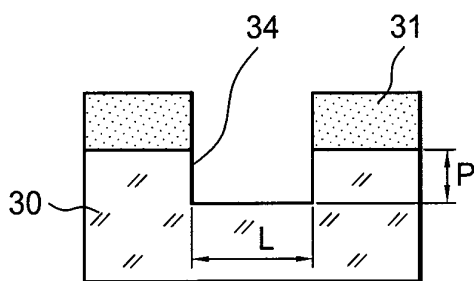


FIG. 6C

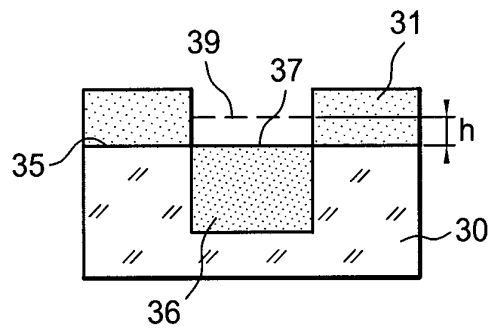


FIG. 6D

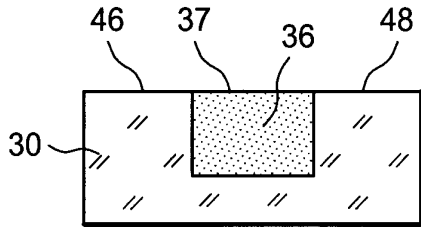


FIG. 6E

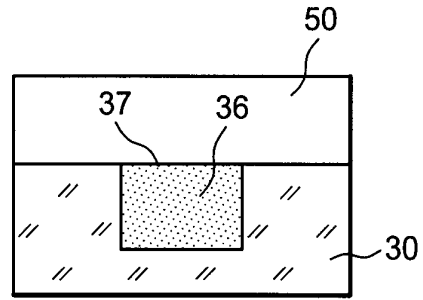


FIG. 6F

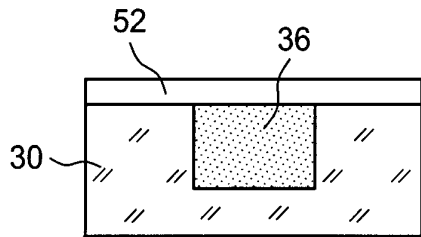


FIG. 6G

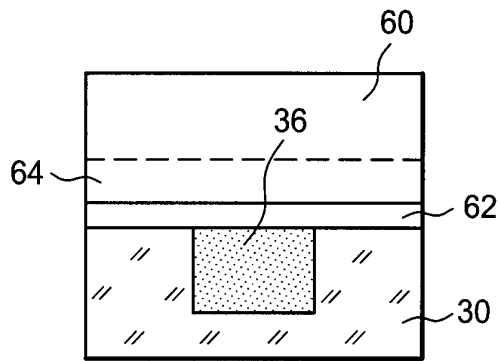


FIG. 6H

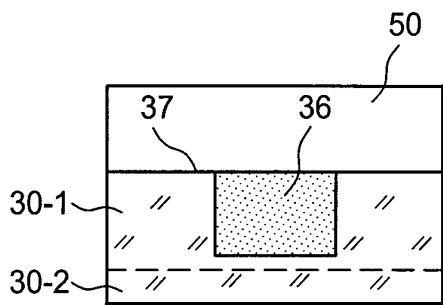


FIG. 6I

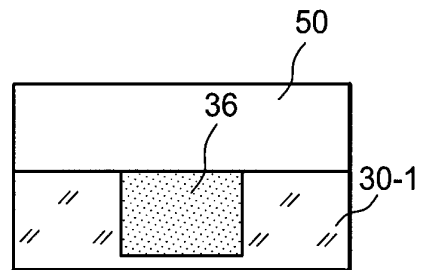


FIG. 6J

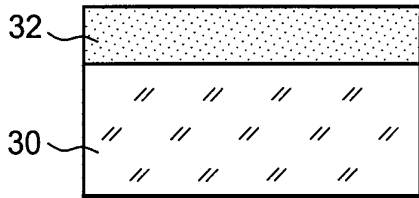


FIG. 7A

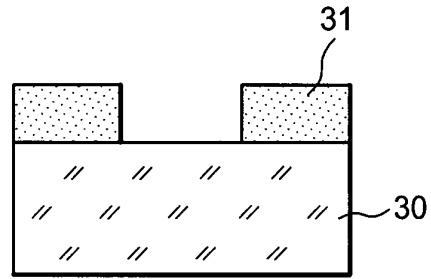


FIG. 7B

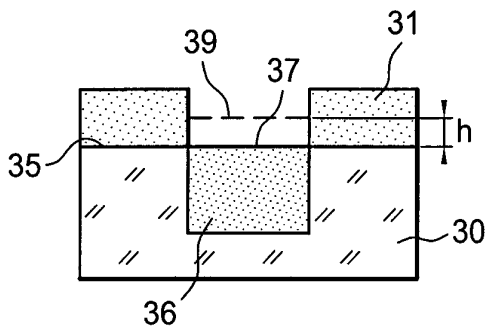


FIG. 7C

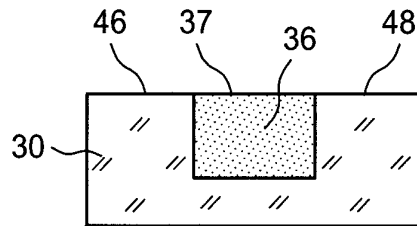


FIG. 7D

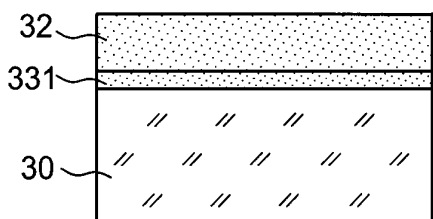


FIG. 8A

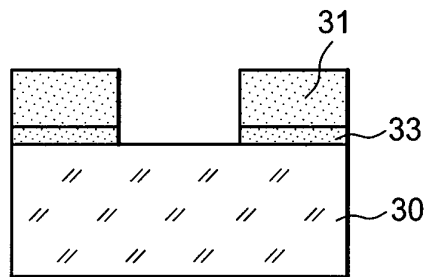


FIG. 8B

6 / 10

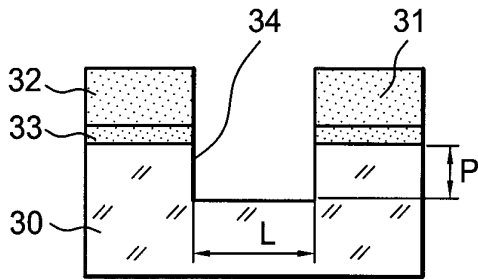


FIG. 8C

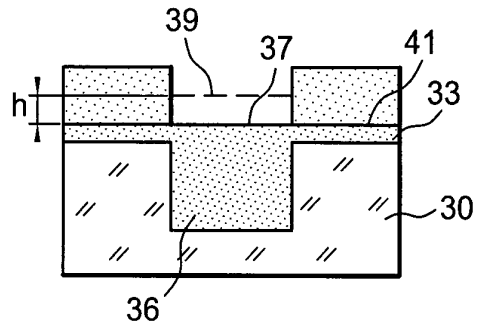


FIG. 8D

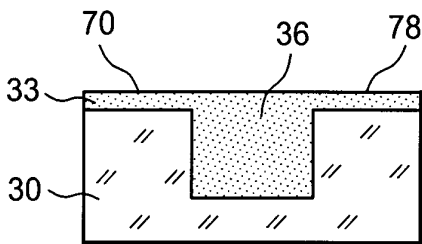


FIG. 8E

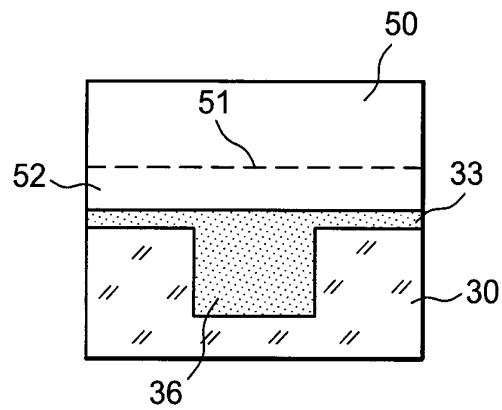


FIG. 8F

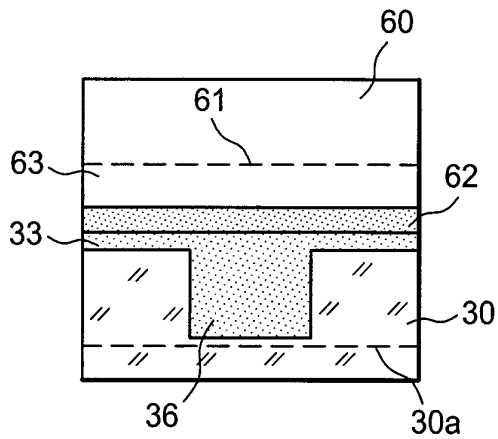


FIG. 8G

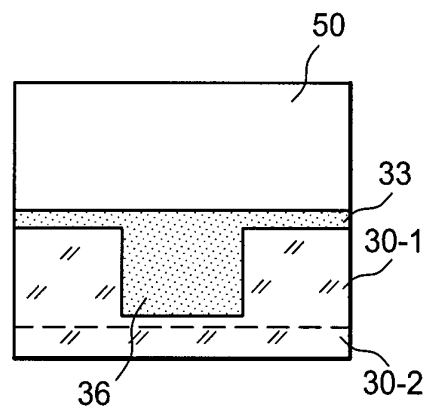


FIG. 8H

7 / 10

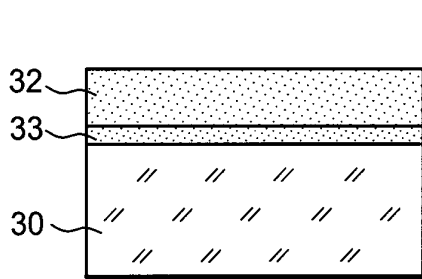


FIG. 9A

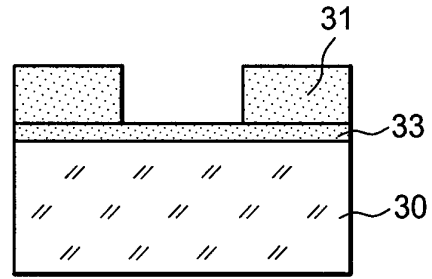


FIG. 9B

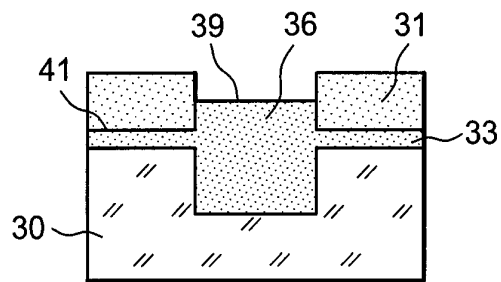


FIG. 9C

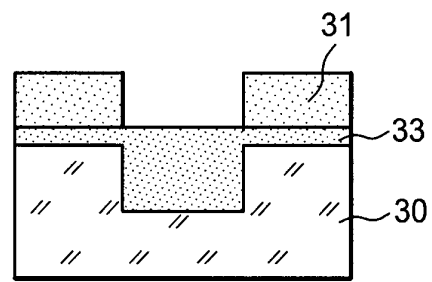


FIG. 9D

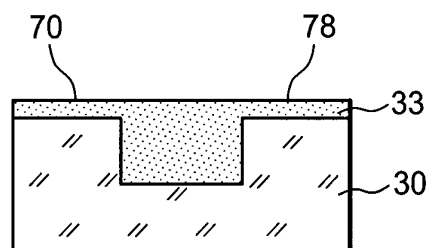


FIG. 9E

8 / 10

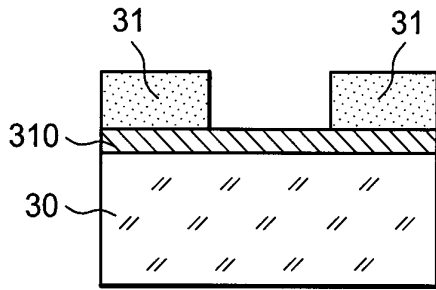


FIG. 10A

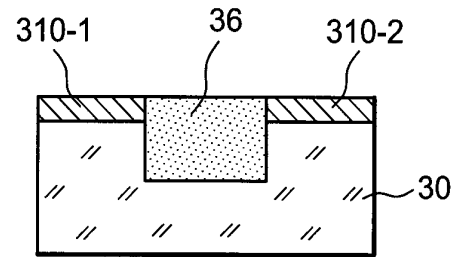


FIG. 10B

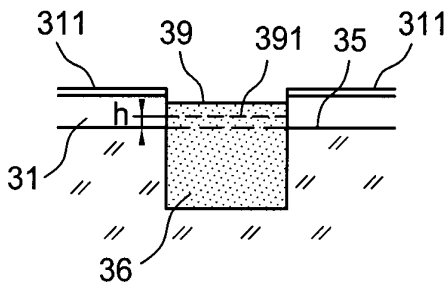


FIG. 12A

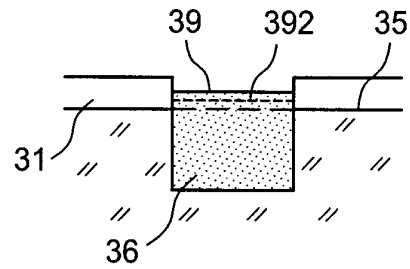


FIG. 12B

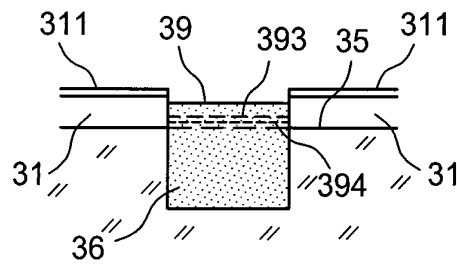


FIG. 12C

9 / 10

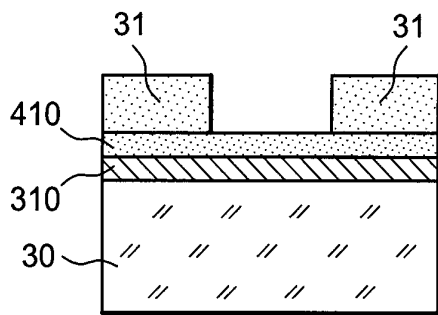


FIG. 11A

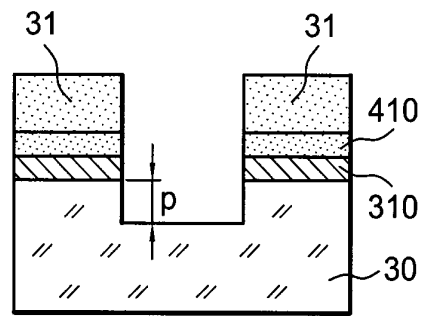


FIG. 11B

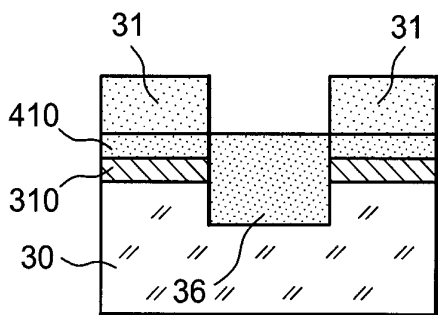


FIG. 11C

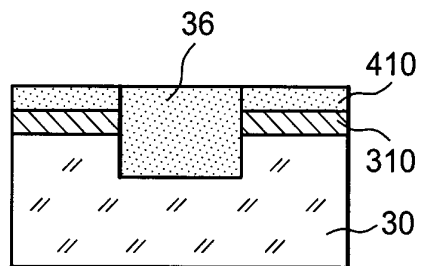


FIG. 11D

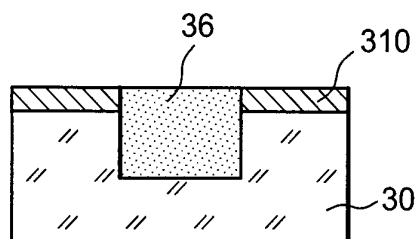


FIG. 11E

10 / 10

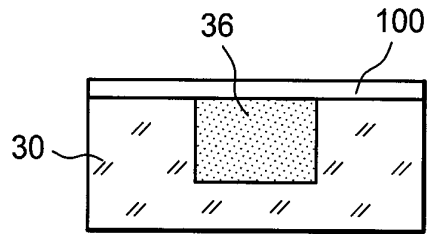


FIG. 13A

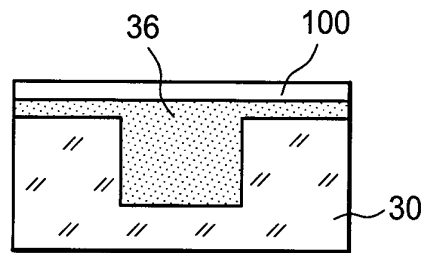


FIG. 13B

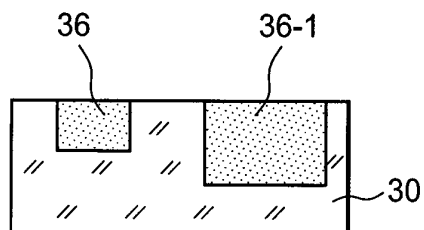


FIG. 14



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 657984  
FR 0452284

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	WO 2004/044975 A (SOITEC SILICON ON INSULATOR [FR]; GHYSELEN BRUNO [FR]; RAYSSAC OLIVIER) 27 mai 2004 (2004-05-27)	1-12, 17-29, 31-36, 40-52	H01L21/762 H01L21/84
A	* le document en entier *	13,14, 30,37-39	
X	US 2002/079551 A1 (HOKAZONO AKIRA) 27 juin 2002 (2002-06-27)	1-3, 7-10, 15-25, 42-49,52	
	* page 5, alinéa 58 - page 6, alinéa 66; figures 5A-5D *		
X	EP 0 736 897 A (MOTOROLA, INC) 9 octobre 1996 (1996-10-09)	1-3, 7-10, 15-25, 42-46	
	* colonne 3, ligne 45 - colonne 5, ligne 35; figures 7-10 *		
X	US 5 238 865 A (EGUCHI ET AL) 24 août 1993 (1993-08-24)	1,2, 8-10,46	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) H01L
A	* colonne 4, ligne 37 - colonne 5, ligne 20; figures 4C-4H *		
Date d'achèvement de la recherche		Examineur	
17 mars 2005		Hedouin, M	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0452284 FA 657984**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 17-03-2005

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2004044975 A	27-05-2004	FR 2847077 A1	14-05-2004
		WO 2004044975 A1	27-05-2004
		US 2004150067 A1	05-08-2004
-----			
US 2002079551 A1	27-06-2002	JP 2002198525 A	12-07-2002
		CN 1362745 A	07-08-2002
		TW 521425 B	21-02-2003
		US 2003205774 A1	06-11-2003
		US 2004235229 A1	25-11-2004
-----			
EP 0736897 A	09-10-1996	US 5786263 A	28-07-1998
		DE 69623679 D1	24-10-2002
		DE 69623679 T2	22-05-2003
		EP 0736897 A2	09-10-1996
		JP 8279552 A	22-10-1996
-----			
US 5238865 A	24-08-1993	JP 2764466 B2	11-06-1998
		JP 4132256 A	06-05-1992
		JP 2813921 B2	22-10-1998
		JP 4132257 A	06-05-1992
-----			