(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3923653号
(P3923653)
(45)発行日　平成19年6月6日(2007.6.6)　(24)登録日　平成19年3月2日(2007.3.2)

(51)Int.Cl.　F I
H01L 21/8242 (2006.01)　H01L 27/10　625A
H01L 27/108 (2006.01)

請求項の数 4　(全 17 頁)

(21)出願番号　特願平10-135154
(22)出願日　平成10年5月18日(1998.5.18)
(65)公開番号　特開平10-321813
(43)公開日　平成10年12月4日(1998.12.4)
審査請求日　平成15年1月30日(2003.1.30)
(31)優先権主張番号　859851
(32)優先日　平成9年5月21日(1997.5.21)
(33)優先権主張国　米国(US)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎

最終頁に続く

(54)【発明の名称】半導体記憶装置の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板上にＭＯＳトランジスタとキャパシタからなるメモリセルを複数個集積してなる半導体記憶装置の製造方法において、

第１導電型の半導体基板を用意する工程と、

選択エッチングにより上記基板にキャパシタ用の第１の溝を形成する工程と、

上記第１の溝の上部を除いた内周面から上記基板内に第１導電型とは反対導電型の第２導電型の不純物を拡散させてキャパシタの対向電極となる拡散層を形成する工程と、

上記第１の溝の下部の内周面を覆うように第１の絶縁膜を形成する工程と、

上記第１の絶縁膜で覆われた上記溝内下部を埋めるように、上記キャパシタの蓄積電極として用いられる第１の導電体層を形成する工程と、

上記溝の上部の内周面を覆うように第２の絶縁膜を形成する工程と、

上記第２の絶縁膜で覆われた上記溝内上部を埋めるように第２の導電体層を形成する工程と、

上記第２の導電体層を含む上記基板上に半導体層を形成する工程と、

第１のマスク層を用いて第２導電型の不純物を選択的に導入して、上記第２の導電体層上に位置する上記半導体層に不純物導入領域を形成する工程と、

上記第１のマスク層を用いて上記第２の導電体層上の上記半導体層に、上記基板に達しない深さの第２の溝を形成する工程と、

上記第１のマスク層よりも狭い領域に開口を有する第２のマスク層を用い、底部が上記

半導体基板に達するように上記第２の導電体層上の上記半導体層に素子分離用の第３の溝を形成して上記半導体層を複数の部分に分割すると共に、上記不純物導入領域からなる表面接続層を形成する工程と、

上記第２及び第３の溝内を絶縁膜で埋めて、上記複数の部分に分割された上記半導体層を電気的に分離すると共に、一部が上記表面接続層の上部に延長された素子分離層を形成する工程と、

上記半導体層上にゲート絶縁膜を介してＭＯＳトランジスタのゲート電極を形成する工程と、

上記ゲート電極をマスクに用いて上記半導体層に選択的に第１導電型の不純物を導入してＭＯＳトランジスタのソース／ドレイン拡散層を形成すると同時にこのソース／ドレイン拡散層のいずれか一方を上記表面接続層と重なり合うように形成する工程

とを具備したことを特徴とする半導体記憶装置の製造方法。

【請求項２】

前記半導体層を形成する工程がエピタキシャル成長法により行われることを特徴とする請求項１に記載の半導体記憶装置の製造方法。

【請求項３】

前記半導体層を形成する工程が、

アモルファスＳｉ層を堆積する工程と、

熱処理により前記半導体基板上のアモルファスＳｉ層をエピタキシャル層に変化させる工程

とを含んで行われることを特徴とする請求項１に記載の半導体記憶装置の製造方法。

【請求項４】

前記半導体基板に、キャパシタの対向電極となる前記拡散層と電気的に接続する第２導電型の埋め込み半導体層を形成する工程をさらに具備したことを特徴とする請求項１に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、１個のＭＯＳトランジスタと１個のキャパシタによりメモリセルが構成されたダイナミック型の半導体記憶装置（ＤＲＡＭ）の製造方法に関する。

【０００２】

【従来の技術】

近年、ＤＲＡＭの集積度は急速に進展している。ＤＲＡＭのさらなる高集積化を図るために、メモリセル構造としてキャパシタをトランジスタの上に積み上げた、いわゆるスタック型セルや、シリコン基板にトレンチ（溝）を掘ってその内壁をキャパシタとして用いる、いわゆるトレンチ型セルなどが各種提案されている。特に、トレンチ型セルは溝の深さを深くする程、蓄積容量（Ｃｓ）を大きくすることができるため、小さな面積でも大きな蓄積容量を実現できるメモリセル構造として注目されている。

【０００３】

さらに、トレンチ型セルには、トレンチ内キャパシタの一方の電極を選択用のＭＯＳトランジスタのソース／ドレイン拡散層と電気的に接続する手段として、基板表面上に導電体層を設けて両者を接続するようにした表面ストラップ構造　（surface strap scheme）と、キャパシタが形成されるトレンチ上部の側壁（サイドウォール）に導電体層（サイドウォール・コンタクト：side-wall contact ）を形成して両者を接続するようにしたＢＳ構造（buried strap scheme ）とがある。２５６Ｍビット世代のＤＲＡＭでは、表面ストラップ構造に代わってＢＳ構造のトレンチ型セルが採用されている。

【０００４】

【発明が解決しようとする課題】

しかしながら、ＢＳ構造のトレンチ型セルでは、トレンチ上部に沿ったサイドウォール・コンタクトの深さを制御することが容易ではなく、ＭＯＳトランジスタのゲート電極と深

いトレンチ（deep trench ：ＤＴ）との間の距離を縮めることが困難であるが故に次世代に向けてのセル面積の縮小化が困難であるという問題がある。

【０００５】

例えば、IEDM 1993 、Technical Digest Paper, pp627-630 には、トレンチキャパシタの蓄積ノード電極とＭＯＳトランジスタのソース／ドレイン拡散層とをＢＳ（buried strap）を用いて接続するようにした典型的なトレンチ型セルが開示されている。このセル設計は0.25μｍルール世代において非常に優れているが、サイドウォール拡散層が、トレンチ上部の側壁にＳｉ表面から深さ0.6 μｍ程度に形成されているので、ＭＯＳトランジスタのゲート電極と深いトレンチキャパシタとの間の距離を縮めることが困難である。すなわち、サイドウォール拡散層がＭＯＳトランジスタのゲート電極に近づくと、サイドウォール拡散層がＭＯＳトランジスタのソース／ドレイン拡散層そのものとなり、ＭＯＳトランジスタのソース拡散層とドレイン拡散層の形状が非対称になって、ＤＴ側の拡散層深さが深くなり、パンチスルーが起こるという問題がある。また、このような形状は、ＭＯＳトランジスタのゲート寸法をさらに縮小化（シュリンク）するのに好ましくない。

【０００６】

さらに、このようなＢＳは、その深さやサイドウォール領域における表面の清浄度を正確に制御する必要がある。安定したコンタクトを取るためには、サイドウォール領域のクリーニングを行う必要があると共に、サイドウォール領域をより深く形成する必要があるが、そうすると、サイドウォールからの拡散層をカットするために深いＳＴＩ（Shallow Trench Isolation）を形成する必要がある。しかし、深いＳＴＩを形成するためにはＳＴＩ領域をシリコン酸化膜によって高アスペクト比で埋める必要があり、製造が困難である。

【０００７】

そこで、ＳＥＧ（Selective-Epitaxial Growth）技術を用いて、活性領域とトレンチキャパシタのストレージノード上にエピタキシャル層を形成し、このエピタキシャル層の一部をストラップ電極として用いるようにした技術が、1995,Symposium on VLSI Technology Digets Papers, pp137-138に開示されている。

【０００８】

しかしながら、この文献に記載されたものでは、素子分離層をエピタキシャル層の形成前に行っている。素子分離層をエピタキシャル層の形成前に形成すると、エピタキシャル層の形成の際に素子分離層上にポリシリコン層が成長する。この結果、ＭＯＳトランジスタのチャネル長方向の素子分離層とチャネル領域に沿って結晶性の悪いＳｉ層（多結晶Ｓｉ）がチャネルの一部になってしまい、ＭＯＳトランジスタのソース／ドレイン間のリーク電流が増大するという問題がある。

【０００９】

この発明は上記のような事情を考慮してなされたものであり、その目的は、製造が容易であり、メモリセル面積の縮小化を図ることができる半導体記憶装置の製造方法を提供することである。

【００１１】

【課題を解決するための手段】

この発明の半導体記憶装置の製造方法は、半導体基板上にＭＯＳトランジスタとキャパシタからなるメモリセルを複数個集積してなる半導体記憶装置の製造方法において、第１導電型の半導体基板を用意する工程と、選択エッチングにより上記基板にキャパシタ用の第１の溝を形成する工程と、上記第１の溝の上部を除いた内周面から上記基板内に第１導電型とは反対導電型の第２導電型の不純物を拡散させてキャパシタの対向電極となる拡散層を形成する工程と、上記第１の溝の下部の内周面を覆うように第１の絶縁膜を形成する工程と、上記第１の絶縁膜で覆われた上記溝内下部を埋めるように、上記キャパシタの蓄積電極として用いられる第１の導電体層を形成する工程と、上記溝の上部の内周面を覆うように第２の絶縁膜を形成する工程と、上記第２の絶縁膜で覆われた上記溝内上部を埋めるように第２の導電体層を形成する工程と、上記第２の導電体層を含む上記基板上に半導体層を形成する工程と、第１のマスク層を用いて第２導電型の不純物を選択的に導入して

、上記第２の導電体層上に位置する上記半導体層に不純物導入領域を形成する工程と、上記第１のマスク層を用いて上記第２の導電体層上の上記半導体層に、上記基板に達しない深さの第２の溝を形成する工程と、上記第１のマスク層よりも狭い領域に開口を有する第２のマスク層を用い、底部が上記半導体基板に達するように上記第２の導電体層上の上記半導体層に素子分離用の第３の溝を形成して上記半導体層を複数の部分に分割すると共に、上記不純物導入領域からなる表面接続層を形成する工程と、上記第２及び第３の溝内を絶縁膜で埋めて、上記複数の部分に分割された上記半導体層を電気的に分離すると共に、一部が上記表面接続層の上部に延長された素子分離層を形成する工程と、上記半導体層上にゲート絶縁膜を介してＭＯＳトランジスタのゲート電極を形成する工程と、上記ゲート電極をマスクに用いて上記半導体層に選択的に第１導電型の不純物を導入してＭＯＳトランジスタのソース／ドレイン拡散層を形成すると同時にこのソース／ドレイン拡散層のいずれか一方を上記表面接続層と重なり合うように形成する工程とを具備している。

【００１２】

【発明の実施の形態】

以下、図面を参照してこの発明を実施の形態により説明する。

図１はこの発明に係る半導体記憶装置を、トレンチ型セルを有するＤＲＡＭに実施した第１の実施の形態による素子構造を示すものであり、図１（ａ）は２ビット分のメモリセルのレイアウトを示すパターン平面図、図１（ｂ）は図１（ａ）中のＩｂ－Ｉｂ線に沿った断面図、図１（ｃ）は図１（ａ）中のＩｃ－Ｉｃ線に沿った断面図である。

【００１３】

図１（ａ）中、１１はＭＯＳトランジスタのチャネル、ソース／ドレイン拡散層等が形成されるアクティブ領域である。このアクティブ領域１１は、図１（ａ）に示すように横方向に走っており、図中の上下方向で隣接するものどおしで互いに半ピッチ単位でずれて配置されている。上記各アクティブ領域１１の両側には、キャパシタを形成するための深いトレンチ（deep trench ：ＤＴ）１２がそれぞれ配置されている。また、図１（ａ）中、一点鎖線で囲んだ領域１３は、１個のメモリセルが形成されているメモリセル領域を示している。

【００１４】

Ｐ型のＳｉ基板（Ｐ－ｓｕｂ）２１内には、Ｓｉ基板の表面から深さ 1.3μｍ程度のところにＮ型の埋め込み層（Ｎ－ｗｅｌｌ）２２が形成されている。深いトレンチ（deep trench ：ＤＴ）１２は、上記埋め込み層２２を貫通し、底部が上記基板２１内に達するように形成されている。上記トレンチ１２の上部を除く周囲のＳｉ基板２１側には、キャパシタの対向電極となるＮ型の拡散層２３が形成されている。この拡散層２３の一部は上記埋め込み層２２とオーバーラップして、電気的に接続している。また、上記トレンチ１２の底部から上記埋め込み層２２の途中までの間に位置するトレンチ内周面上には、キャパシタのキャパシタ絶縁膜となる絶縁膜２４が形成されている。この絶縁膜２４として、酸化膜で換算した膜厚として例えば４～５ｎｍの膜厚のＮＯ膜、もしくはSiO_2 膜、又はTa_2O_5 膜、ＢＴＳ（（Ｂａ、Ｓｒ）TiO_3 ）膜等が使用される。

【００１５】

上記絶縁膜２４で覆われた上記トレンチ１２の部分を埋めるように多結晶シリコン膜２５が形成されている。この多結晶シリコン膜２５には不純物が導入されて低抵抗化されており、この多結晶シリコン膜２５はキャパシタの蓄積電極として使用される。さらに、上記トレンチ１２の内周面において、上記絶縁膜２４が形成されている部分よりも上部の内周面を覆うようにSiO_2 膜２６が形成されている。このSiO_2 膜２６の膜厚は、先の絶縁膜２４よりも十分に厚く（50～70ｎｍ）されている。また、上記多結晶シリコン膜２５上の残りのトレンチ１２を埋めるように多結晶シリコン膜２７が形成されている。この多結晶シリコン膜２７にも不純物が導入されており、低抵抗化されている。

【００１６】

上記多結晶シリコン膜２７上を含むＳｉ基板全面には膜厚が50ｎｍ程度のＳｉ層２８が形成されている。上記Ｓｉ層２８は、Ｓｉ基板２１上ではエピタキシャルＳｉ層に、多結晶

シリコン膜２７やＳｉO_2膜２６上では多結晶シリコン層になっている。前記アクティブ領域１１はこのＳｉ層２８を含むように形成されている。

【００１７】

また、隣接する２つのトレンチ１２の間には、上記Ｓｉ層２８を貫通し、底部が上記埋め込み層２２上に位置する基板２１に達するＳＴＩ用のトレンチ２９が形成されている。このトレンチ２９の深さは、Ｓｉ層２８の表面から 0.2μｍ程度である。さらにこのトレンチ２９を含み、このトレンチ２９よりも広い領域のアクティブ領域１１両側には、このトレンチ２９よりも十分に浅い（約30ｎｍ）トレンチ３０が形成されている。そして、上記トレンチ２９及び３０内には、表面が平坦化されたＳｉO_2膜３１が埋め込まれている。

【００１８】

上記Ｓｉ層２８上にはそれぞれゲート絶縁膜３２を介して複数のゲート電極導体３３が形成されている。これら各ゲート電極導体３３は、不純物が導入されて低抵抗化された多結晶シリコンからなる単一層の導電体層、あるいは複数の導電体材料からなる積層膜によって構成されており、一般的には下層が多結晶シリコン、上層がＷＳｉからなる２層構造の積層膜によって構成されている。これらのゲート電極導体３３は、図１（ａ）に示すように縦方向に走っている。

【００１９】

また、上記ゲート電極導体３３の下部に位置する上記Ｓｉ層２８にはＭＯＳトランジスタのチャネルが設定されており、このチャネルの両側に位置する上記Ｓｉ層２８内には、Ｎ型の不純物が導入されたＭＯＳトランジスタのソース／ドレイン拡散層３４が形成されている。なお、上記隣接する２つのトレンチ１２の上部に配置された２つのゲート電極導体３３は、図１（ａ）に示した２つのメモリセル領域を通過する、図示しない他のメモリセルのＭＯＳトランジスタのゲート電極導体であり、この通過する２つのゲート電極導体３３は、図１（ｂ）に示すように、前記ＳＴＩ用のトレンチ２９及びトレンチ３０を埋めるように形成された前記ＳｉO_2膜３１上に形成されている。

【００２０】

上記ソース／ドレイン拡散層３４のうち、トレンチ１２側に配置されているものと重なり合うように、前記Ｓｉ層２８内にはＮ型の不純物が導入された表面接続層（surface strap）３５が形成されている。この表面接続層３５は、前記トレンチ１２内に形成された多結晶シリコン膜２７と、トレンチ１２側に配置されている上記ソース／ドレイン拡散層３４とを電気的に接続しており、結果的にこの表面接続層３５を介して、前記トレンチ１２内に形成されキャパシタの蓄積電極として使用される多結晶シリコン膜２５と、トレンチ１２側に配置されているソース／ドレイン拡散層３４とを電気的に接続している。

【００２１】

上記各ゲート電極導体３３上にはSi_3N_4からなるキャップ絶縁膜３６が約 150ｎｍの膜厚で形成されており、このキャップ絶縁膜３６上を含む全面にSi_3N_4からなるバリア絶縁膜３７が形成されており、さらに各ゲート電極導体相互間のバリア絶縁膜３７上にはＢＰＳＧ膜３８が形成され、このＢＰＳＧ膜３８上を含む全面にはＴＥＯＳ　ＳｉO_2膜３９が形成されている。

【００２２】

そして、図１（ｂ）中で横方向に隣接する２つのＭＯＳトランジスタの共通ドレインとなるソース／ドレイン拡散層３４に通じるコンタクトホール４０が、上記ＴＥＯＳ　ＳｉO_2膜３９、ＢＰＳＧ膜３８及びバリア絶縁膜３７からなる積層膜に対して開口されており、このコンタクトホール４０を、不純物が導入されて低抵抗化された多結晶シリコンで埋めることによってビットラインコンタクト４１が形成されている。さらに上記ＴＥＯＳ　ＳｉO_2膜３９中には例えばタングステン（Ｗ）膜からなるビットライン４２が形成されている。このビットライン４２は、上記ビットラインコンタクト４１を介して前記ソース／ドレイン拡散層３４に電気的に接続されている。

【００２３】

上記構成でなる半導体記憶装置のメモリセルの特徴は、以下の通りである。

（１）ＭＯＳトランジスタのソース／ドレイン拡散層３４とトレンチキャパシタの蓄積電極となる多結晶シリコン膜２５との接続が表面接続層３５を介して行われる点。
（２）表面接続層３５が形成されている同じＳｉ層２８に、ＭＯＳトランジスタのチャネルやソース／ドレイン拡散層３４が形成されている点。
（３）表面接続層３５が、当初のＤＴパターン上に配置されており、かつ隣接するメモリセル用のトランジスタのゲート電極導体３３の下を走っている点。
（４）表面接続層３５がＳｉ層２８中に形成されている点。

【００２４】
上記のような構成の半導体記憶装置によれば、ＭＯＳトランジスタのソース／ドレイン拡散層３４とトレンチキャパシタの蓄積電極となる多結晶シリコン膜２５との接続を表面接続層３５を用いて行うようにしたので、従来のような非対称なソース／ドレイン形状が原因となるトレンチのサイドウォール拡散層を形成する必要がなくなり、その分だけＭＯＳトランジスタのゲート電極導体３３とトレンチ１２との間の距離（図１（ａ）中にＳで示している）を縮めることができる。例えば、この距離を従来では 0.2μｍが限界であったものを、0.15μｍ程度まで縮めることができ、この結果、素子の微細化を図ることができる。

【００２５】
また、上記表面接続層３５をＳｉ層２８内に形成したので、従来のようなサイドウォール拡散層を用いる場合と比較して、両者間に存在する接続抵抗の値がプロセスに応じて変動しにくくなり、安定した接続抵抗特性を得ることができる。

【００２６】
さらに、従来のような、隣接するトレンチ１２の側に形成される深いサイドウォール拡散層を除去する必要がないので、ＳＴＩ用のトレンチ２９の深さを従来よりも浅くすることができる。また、ＭＯＳトランジスタのソース／ドレイン拡散層３４も対称な形状にすることができ、ＭＯＳトランジスタの特性向上を図ることができる。

【００２７】
さらに、図１（ｃ）に示されるように、SiO_2 膜３１上にはＳｉ層２８が延在していないので、隣接するメモリセルのＳｉ層２８同士が接続することはなく、各メモリセルが構成されるＳｉ層２８はSiO_2 膜３１によって電気的に分離されている。

【００２８】
次に図１に示すようなＤＲＡＭの製造方法について説明する。
まず、図２に示すように、Ｐ型のＳｉ基板（Ｐ－ｓｕｂ）２１の上部に例えばイオン注入法によりＮ型の不純物を注入し、熱処理を行って、Ｎ型の埋め込み層（Ｎ－ｗｅｌｌ）２２を形成する。次にＳｉ基板２１の表面上にトレンチエッチング用のマスク層を形成する。このマスク層は、下から、約８ｎｍの膜厚のSiO_2 膜５１、約 100ｎｍの膜厚のSi_3N_4 膜５２及び約 500ｎｍの膜厚のＴＥＯＳ－SiO_2 膜（図示せず）で構成されている。

【００２９】
そして、このマスク層を用いてＳｉ基板２１をエッチングし、約８μｍの深さの深いトレンチ（ＤＴ）１２を形成する。
さらに各トレンチ１２の内部からＳｉ基板２１に対して不純物を拡散させて、トレンチ１２の上部を除いたトレンチ周囲のＳｉ基板２１にＮ型の拡散層２３を形成する。この拡散層２３は、トレンチ１２の内部を含む全面にＮ型不純物として例えばＡｓを含むＡｓＳＧ膜を堆積し、このＡｓＳＧ膜をトレンチ１２の上部を除いた領域に残した後に、加熱処理を施してＡｓをＳｉ基板２１中に拡散させることにより形成するが、他の方法を用いても良い。上記拡散層２３の形成後はＡｓＳＧ膜を除去する。次に、上記トレンチ１２の内周面上に、キャパシタのキャパシタ絶縁膜となる絶縁膜２４を形成する。この絶縁膜２４は前記したように、酸化膜換算で例えば膜厚が４～５ｎｍのＮＯ膜（SiO_3N_4 膜とSiO_2 膜との積層膜）、もしくはSiO_2 膜、又はTa_2O_5 膜、ＢＴＳ（（Ｂａ、Ｓｒ）TiO_3）膜等が使用される。

【００３０】
続いて、上記絶縁膜２４で覆われた上記トレンチ１２内にトレンチキャパシタの蓄積電極となる多結晶シリコン膜２５を形成する。この多結晶シリコン膜２５の上面はＳｉ基板２１の表面から深さ 1.0μｍ程度である。この多結晶シリコン膜２５は、ＣＶＤ法による堆積とＣＭＰ（Chemical Mechanical Polishing ）法及びＲＩＥ法による平坦化及びリセスエッチングとを組み合わせて形成する。なお、この多結晶シリコン膜２５には不純物を導入して低抵抗化する必要があるが、多結晶シリコンの堆積時に同時に不純物を導入することによって低抵抗化された多結晶シリコンを形成しても良いし、アンドープ多結晶シリコンの堆積後に不純物を導入するようにしても良い。
【００３１】
上記多結晶シリコン膜２５の形成後は、トレンチ１２の上部サイドウォール上に位置する絶縁膜２４を除去して、上記トレンチ１２の底部から埋め込み層２２の途中までの間に位置するように絶縁膜２４を残す。
【００３２】
次に、図３に示すように、全面に約50ｎｍの膜厚の絶縁膜を堆積した後、これをＲＩＥ法でエッチングして、トレンチ１２の上部サイドウォール上に絶縁膜を残してカラー絶縁膜（collar oxide）５３を形成する。
【００３３】
次に、図４に示すように、全面に多結晶シリコン膜２７を堆積した後、ＣＭＰ法及びＲＩＥ法により、Ｓｉ基板２１の表面とほぼ同じ高さとなるまでエッチングして、上記トレンチ１２内に多結晶シリコン膜２７を残す。このとき、同時にSi_3N_4 膜５２及びその上のＴＥＯＳ－SiO_2 膜も除去する。
【００３４】
なお、上記多結晶シリコン膜２７にも不純物を導入して低抵抗化する必要があり、その方法として多結晶シリコン層２５の場合と同様に、多結晶シリコンの堆積時に同時に不純物を導入することによって低抵抗化された多結晶シリコンを形成する方法でも良いし、アンドープ多結晶シリコンの堆積後にＡｓなどの不純物を導入する方法でも良い。また、埋め込み時の形状を良くするために、アモルファスＳｉを用いても良い。
【００３５】
次に、ＮチャネルおよびＰチャネルＭＯＳトランジスタ用のウエル領域の形成のため及びＰチャネル及びＮチャネルＭＯＳトランジスタのチャネルインプラを行うために、残されたSiO_2 膜５１を介して各種不純物イオンをＳｉ基板２１の表面領域に注入する（図示せず）。その際、狭いチャネルプロファイルを形成するには、Ｂ（BF_2 ）やＰ（Ａｓ）イオンの代わりにＩｎやＳｂを使用しても良い。
【００３６】
次に、図５に示すように、ＣＭＰ法またはウェットエッチング法等により、カラー絶縁膜５３のＳｉ基板２１上から突出した部分のみを除去し、さらにSiO_2 膜５１を除去し、Ｓｉ基板２１及び多結晶シリコン膜２７及びラー絶縁膜５３それぞれの表面を露出させ、例えば 850℃のH_2 ガス雰囲気において３０分間、高温処理を施すことによって露出した表面を清浄にする。続いて、例えばＦＴＰ（Fast Thermal Process tool ）により、Ｓｉ基板２１及び多結晶シリコン膜２７表面を含む全面にアモルファスＳｉ膜を約60ｎｍの膜厚に堆積する。続いて、アモルファスＳｉ膜を堆積した同じＦＴＰを用いて、例えば約 600℃のＡｒガス雰囲気において約40分の加熱処理を施すことにより、Ｓｉ基板２１上のアモルファスＳｉ膜をエピタキシャル層を含むＳｉ層２８に変える（以下、このエピタキシャル層を含むＳｉ層２８をエピタキシャルＳｉ層２８と称する）。
【００３７】
ここで、図示のようにエピタキシャルＳｉ層２８の膜厚は、Ｓｉ基板２１上に位置する部分と、多結晶シリコン膜２５、２７の上部に位置する部分とで実質的に等しくなり、かつ多結晶シリコン膜２５、２７の上部に位置する部分での膜厚も実質的に均一になっている。

【００３８】
なお、トレンチ１２内の多結晶シリコン膜２７上及び絶縁膜５３上のアモルファスＳｉ膜は、それぞれ完全にはエピタキシャルＳｉ層に変化せず、アモルファスＳｉ膜や多結晶Ｓｉ膜として残る。しかし、上記両膜上の層は、ＭＯＳトランジスタのチャネルとして使用されることがないために、それ程のクオリティーは必要としない。なお、上記方法の代わりに、通常のエピタキシャルＳｉ成長法を使用してエピタキシャルＳｉ層２８を形成することもできる。このときの成長温度は 560℃であり、SiH_4 ガスが使用される。
【００３９】
次に、図６に示すように、メモリセル領域を通過する隣接メモリセルのためのゲート電極導体３３（図１に図示）に対応した位置に開口を有する、SiO_2 膜５４及びSi_3N_4 膜５５からなるマスク層を形成し、このマスク層を用いてＮ型の不純物イオンをエピタキシャルＳｉ層２８内にイオン注入して拡散層５６を形成した後、同じマスク層を用いてこの拡散層５６を表面から30ｎｍの深さまでエッチングして前記トレンチ３０を形成する。その際にトレンチ底部のエッジが丸くなるようにエッチングする方が望ましい。なお、図６（ａ）は前記図１（ｂ）の断面図に対応しており、図６（ｂ）は前記図１（ｃ）の断面図に対応している。
【００４０】
次に、図７に示すように、隣接するトレンチ間では、上記拡散層５６をエッチングする際に用いたマスク層よりも狭い領域に開口を有するレジスト層５７を形成し、このレジスト層５７を用いた非選択性ＲＩＥ法により上記拡散層５６及びその下部のＳｉ基板２１を 200ｎｍ程度エッチングして、素子分離用のＳＴＩ用トレンチ２９を形成する。このときもトレンチ底部のエッジが丸くなるようにエッチングする方が好ましい。このエッチングにより、拡散層５６からなる表面接続層（surface strap ）３５が形成される。なお、図７（ａ）は前記図１（ｂ）の断面図に、図７（ｂ）は前記図１（ｃ）の断面図にそれぞれ対応している。
【００４１】
次に、図８に示すように、上記レジスト層５７を除去した後、全面にSiO_2 膜３１を堆積し、ＣＭＰ法により研磨して平坦化することにより、このSiO_2 膜３１をＳＴＩ用のトレンチ２９及びトレンチ３０内にのみ残す。このＣＭＰ法による平坦化の際に、前記Si_3N_4 膜５５はストッパ材として使用される。すなわち、SiO_2 膜３１に比べてSi_3N_4 膜５５は研磨され難いので、SiO_2 膜３１の平坦化が達成される。この工程で、Si_3N_4 膜５５は膜厚が部分的に変化するようなプロセスダメージを受けないので、一定した膜厚となる。なお、図８（ａ）はパターン平面図、図８（ｂ）は図８（ａ）中のＶＩＩＩｂ－ＶＩＩＩｂ線に沿った断面図、図８（ｃ）は図８（ａ）中のＶＩＩＩｃ－ＶＩＩＩｃ線に沿った断面図である。
【００４２】
この後は、Si_3N_4 膜５５及びその下部のSiO_2 膜５４を除去した後に、Ｓｉ基板２１上にゲート犠牲酸化膜（gate sacrificial oxide）を形成し、このゲート犠牲酸化膜を介してＭＯＳトランジスタのＶth（しきい値電圧）合わせ用のチャネルインプラを行い（図示せず）、続いてゲート犠牲酸化膜を除去した後、図９に示すように、新たに約８ｎｍの膜厚のゲート絶縁膜３２、ゲート電極導体３３及び約 150ｎｍの膜厚のSi_3N_4 からなるキャップ絶縁膜３６を堆積し、所定のマスク層を用いてこれらキャップ絶縁膜３６、ゲート電極導体３３をパターニングしてゲート電極構造を形成し、続いてこのゲート電極構造をマスクにエピタキシャルＳｉ層２８を含む領域にＮ型不純物をイオン注入してソース／ドレイン拡散層３４を形成する。このとき、ソース／ドレイン拡散層３４の１つは前記表面接続層３５とオーバーラップした状態で形成される。
【００４３】
その後、例えば30ｎｍ程度の膜厚のSi_3N_4 からなるバリア絶縁膜３７、例えば 500ｎｍ程度の膜厚のＢＰＳＧ膜３８を堆積し、ＣＭＰ法で平坦化した後、ＴＥＯＳ－SiO_2 膜３９を例えば 300ｎｍ程度の膜厚で形成する。この後は、図１に示すように、コンタク

トホール４０の開口、多結晶シリコン膜で埋め込まれたビットラインコンタクト４１の形成及びW膜からなるビットライン４２を形成する。この後、層間絶縁膜を堆積し、コンタクト、配線層を形成（図示せず）して、完成する。

【００４４】

このような製造方法によれば、ＭＯＳトランジスタのソース／ドレイン拡散層３４が形成されるエピタキシャルＳｉ層２８に、ＭＯＳトランジスタのソース／ドレイン拡散層３４とトレンチキャパシタの蓄積電極となる多結晶シリコン膜２５とを電気的に接続するための表面接続層３５も形成するようにしたので、深いトレンチ（ＤＴ）１２を従来のようにＣＭＰ法とＲＩＥ法とを組み合わせた方法で形成する場合に比較して、工程数を削減することができる。例えば従来のＣＭＰとＲＩＥとを組み合わせたトレンチ形成方法では３回のリセス（recess）工程が必要であるのに対して、上記の方法では２回のリセス工程で済む。

【００４５】

また、従来のようなトレンチ１２の上部サイドウォールでのサイドウォールコンタクトにおける拡散が伸びることを考慮する必要がないので、深いトレンチ（ＤＴ）１２を形成した後に長時間及び高温（例えば、1000℃、60分）のトレンチストレス緩和アニールを行うことができる。この結果、メモリセルにおけるデータ保持特性（データリテンション特性）を向上させることができる。

【００４６】

さらに、従来のサイドウォールプロセス（Buried strap method ）に代えて平坦表面プロセス（planar surface process）を用いているために、リセスの深さのばらつき等による接続抵抗の変化等のプロセス変動を減らすことができるという効果も得ることができる。

【００４７】

次にこの発明の第２の実施の形態に係る製造方法を図１０ないし図１２の断面図を参照して説明する。なお、これら図１０ないし図１２はそれぞれ、前記図１（ａ）のパターン平面図中のＩｂ－Ｉｂ線に沿った断面構造を示している。

【００４８】

この第２の実施の形態による方法において、Ｓｉ基板２１の全面にエピタキシャルＳｉ層２８を形成するまでの工程（図１～図５）は第１の実施の形態と同様であるので、その説明は省略する。

【００４９】

次に、図１０に示すように、全面にSiO_2 膜５８を形成した後、メモリセル領域を通過するゲート電極導体３３（図１に図示）に対応した位置に開口を有するレジスト層５９を形成し、このレジスト層５９を用いてＮ型の不純物イオンをエピタキシャルＳｉ層２８内にイオン注入して拡散層５６を形成する。すなわち、この工程では、前記トレンチ３０（図６に図示）を形成することなく、この拡散層５６をそのまま残す。

【００５０】

次に、図１１に示すように、全面にSiO_2 膜５４及びSi_3N_4 膜５５を堆積した後、ＳＴＩ形成用のレジスト層５７を形成し、このレジスト層５７を用いた非選択性ＲＩＥ法により上記拡散層５６及びその下部のＳｉ基板２１を 200ｎｍ程度エッチングして、ＳＴＩ用のトレンチ２９を形成する。このとき、トレンチ底部のエッジが丸くなるようにエッチングする方が好ましい。このエッチングにより、拡散層５６からなる表面接続層（surface strap ）３５が形成される。

【００５１】

次に、上記レジスト層５７を除去した後、全面にSiO_2 膜３１を堆積し、ＣＭＰ法により研磨して平坦化することにより、図１２に示すように、SiO_2 膜３１をＳＴＩ用のトレンチ２９内にのみ残す。このＣＭＰ法による平坦化の際も、Si_3N_4 膜５５はＣＭＰを行う時の研磨のストッパ材として使用される。

【００５２】

この後は、Si_3N_4 膜５５及びその下部のSiO_2 膜５４を除去し、エピタキシャルＳ

ｉ層２８上にゲート犠牲酸化膜を形成し、このゲート犠牲酸化膜を介してＭＯＳトランジスタのＶth（しきい値電圧）合わせ用のチャネルインプラを行い、続いてゲート犠牲酸化膜を除去した後に、新たに約８ｎｍの膜厚のゲート絶縁膜３２、ゲート電極導体３３形成用の多結晶シリコン層及び約 150ｎｍの膜厚のSi_3N_4からなるキャップ絶縁膜３６を堆積し、所定のマスク層を用いてこれらキャップ絶縁膜３６、ゲート電極導体３３をパターニングしてゲート電極構造を形成する。この後の工程は、第１の実施の形態による方法と同様なので、その説明は省略する。また、第１の実施の形態による方法と同様に、ゲート犠牲酸化膜としてSiO_2膜を用いることもできる。

【００５３】

この方法によって製造された半導体記憶装置では、メモリセル領域を通過する隣接メモリセルのゲート電極導体３３の下部には、ＳＴＩのトレンチ２９内を埋めるようにSiO_2膜３１が形成され、前記図１に示すような浅いトレンチ３０は存在していない。

【００５４】

すなわち、この実施の形態による方法によって製造された半導体記憶装置では、メモリセル領域を通過する隣接メモリセルのゲート電極導体３３と、表面接続層３５との間に前記のような厚いSiO_2膜３１が存在しない。従って、このような構造の半導体記憶装置は、通過するゲート電極導体３３の寄生キャパシタンスは大きくなるが、浅いトレンチ３０（図１に図示）を形成するための工程が省略できるという効果が得られる。

【００５５】

さらに、表面接続層３５形成のためのインプラは、エピタキシャルＳｉ層２８に対するウエル領域形成及びＭＯＳトランジスタのＶth合わせ用のチャネルインプラ形成の際に、ゲート犠牲酸化膜を介して行うことができる。従って、この第２の実施の形態による方法では、先の第１の実施の形態による方法と比べて、大幅に製造工程の簡略化を図ることができる。

【００５６】

また、熱工程を調整することにより、不純物がドープされた多結晶シリコン層２７からエピタキシャルＳｉ層２８への不純物の拡散が大きく存在する場合には、それにより表面接続層３５に代わる層を自己整合的に形成することが可能になる。

【００５７】

次にこの発明の第３の実施の形態に係る製造方法を図１３の断面図を参照して説明する。なお、この図１３は前記図１（ａ）のパターン平面図中のＩｂ－Ｉｂ線に沿った断面構造を示している。

【００５８】

この第３の実施の形態による方法では、第２の実施の形態に係る方法において、ＳＴＩのトレンチ２９内を埋めるようにSiO_2膜３１を形成した後に、ゲート絶縁膜３２を形成する際に酸化雰囲気中で表面を熱酸化することにより行う。予めＮ型の不純物が導入されている表面接続層３５と、不純物が導入されていない残りのエピタキシャルＳｉ層２８とは酸化速度（oxidation rate）が異なる。従って、表面を熱酸化することにより、エピタキシャルＳｉ層２８上には約８ｎｍの膜厚のゲート絶縁膜３２が形成され、かつ表面接続層３５上にはこれよりも膜厚が厚い、例えば15ｎｍ程度のSiO_2膜５８が形成される。この後の工程は、第１の実施の形態による方法と同様なので、その説明は省略する。

【００５９】

この第３の実施の形態による方法で製造された半導体記憶装置では、SiO_2膜５８の存在により、隣接メモリセルのゲート電極導体３３における寄生キャパシタンスの値を、第２の実施の形態による方法で製造されたものと比べて減少させることができる。

【００６０】

次にこの発明の第４の実施の形態に係る製造方法を図１４及び図１５の断面図を参照して説明する。なお、これら図１４及び図１５は前記図１（ａ）のパターン平面図中のＩｂ－Ｉｂ線に沿った断面構造を示している。

【００６１】

この第４の実施の形態による方法において、Ｓｉ基板２１の全面にエピタキシャルＳｉ層２８を形成するまでの工程（図１～図５）は第１の実施の形態と同様なので、その説明は省略する。

【００６２】

次に、第１の実施の形態における図６に示す工程と同様に、SiO_2 膜５４及びSi_3N_4 膜５５からなるマスク層を形成し、このマスク層を用いてＮ型の不純物イオンをエピタキシャルＳｉ層２８内にイオン注入して拡散層５６を形成した後、図１４に示すように、同じマスク層を用いて選択酸化（mini-LOCOS(Local Oxidation of Silicon)）を行うことにより、拡散層５６上にSiO_2 膜５４よりも膜厚が厚いSiO_2 膜６０を自己整合的に形成する。このSiO_2 膜６０の膜厚は例えば26ｎｍ程度とする。

【００６３】

この後、図１５に示すように、Si_3N_4 膜５５を除去し、新たに全面にSi_3N_4 膜６１を堆積し、さらにその上にＳＴＩ形成用のレジスト層５７を形成し、このレジスト層５７を用いた非選択性ＲＩＥ法により、まず直下のSi_3N_4 膜６１を除去し、続いて拡散層５６及びその下部のＳｉ基板２１を 200ｎｍ程度エッチングしてＳＴＩ用のトレンチ２９を形成する。このとき、トレンチ底部のエッジが丸くなるようにエッチングする方が好ましい。このエッチングにより、拡散層５６からなる表面接続層３５が形成される。

【００６４】

この後、レジスト層５７を除去し、第１の実施の形態の場合と同様に全面にSiO_2 膜を堆積し、このSiO_2 膜をＣＭＰ法によって研磨して平坦化することにより、SiO_2 膜をＳＴＩ用のトレンチ２９内にのみ残す。なお、このＣＭＰ法による平坦化の際も、Si_3N_4 膜６１はストッパ材として使用される。この後の工程は第１の実施の形態の場合と同様である。

【００６５】

この第４の実施の形態による方法で製造される半導体記憶装置では、隣接メモリセルのゲート電極導体の下部には比較的膜厚が厚いSiO_2 膜６０が形成されているので、この通過するゲート電極導体における寄生キャパシタンスの値を減少させることができる。

【００６６】

次にこの発明の第５の実施の形態に係る製造方法を図１６及び図１７の断面図を参照して説明する。なお、これら図１６及び図１７は前記図１（ａ）のパターン平面図中のＩｂ－Ｉｂ線に沿った断面構造を示している。

【００６７】

この第５の実施の形態による方法では、図１１の工程までは第２の実施の形態による方法と同様なので、その説明は省略する。そして、ＳＴＩ用のトレンチ２９内にSiO_2 膜３１を埋め込み、その後、図１６に示すように、ゲート犠牲酸化膜５４上（またはSiO_2 膜５８をそのまま用いる場合はSiO_2 膜５８上）にレジスト層６２を形成した後、このレジスト層６２をマスクにゲート犠牲酸化膜５４をエッチングして拡散層５６（表面接続層３５）またはSiO_2 膜５８上にのみこのゲート犠牲酸化膜５４（またはSiO_2 膜５８）を残す。

【００６８】

次に、上記レジスト層６２を除去した後、ゲート酸化を行うことにより、拡散層５６（表面接続層３５）上にゲート絶縁膜より膜厚の厚いSiO_2 膜６３を形成し、その他のエピタキシャルＳｉ層２８上には約８ｎｍの膜厚のゲート絶縁膜３２を形成する。この後の工程は、第１の実施の形態による方法と同様なので、その説明は省略する。

【００６９】

この第５の実施の形態による方法で製造される半導体記憶装置でも、隣接メモリセルのゲート電極導体の下部には比較的膜厚が厚いSiO_2 膜６３が形成されているので、通過するゲート電極導体における寄生キャパシタンスの値を減少させることができる。

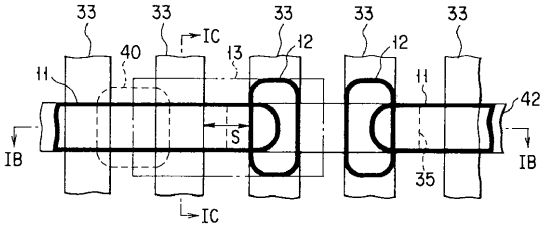
【００７０】

なお、この発明は上記した各実施の形態に限定されるものではなく種々の変形が可能であ

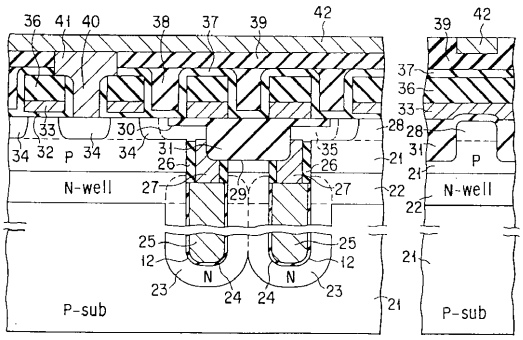
ることはいうまでもない。
例えばＭＯＳトランジスタのゲート絶縁膜を熱酸化による方法で形成する場合について説明したが、これは他に例えばＣＶＤ－ＳｉO$_2$ 膜を例えば８ｎｍ程度に堆積した後に 900℃の酸素雰囲気中でアニールすることで形成する、いわゆるＨＴＯ（high temparature oxide）膜を用いても良い。このＨＴＯ膜によるゲート絶縁膜は欠陥が少なく良質のものが得られるばかりではなく、エピタキシャルＳｉ層２８とトレンチ１２上のアモルファス層になっているＳｉ層の両方の上で同じ膜質のゲート絶縁膜を形成することができる。すなわち、下地の結晶性によらない酸化膜が形成できるので有効である。
【００７１】
【発明の効果】
以上説明したように、この発明によれば、製造が容易であり、メモリセル面積の縮小化を図ることができる半導体記憶装置の製造方法を提供することができる。
【図面の簡単な説明】
【図１】この発明の第１の実施の形態による半導体記憶装置の構造を示し、（ａ）は２ビット分のメモリセルのレイアウトを示すパターン平面図、（ｂ）は断面図、（ｃ）は断面図。
【図２】図１の半導体記憶装置を製造する際の最初の工程を示す断面図。
【図３】図２の次の工程を示す断面図。
【図４】図３の次の工程を示す断面図。
【図５】図４の次の工程を示す断面図。
【図６】図５の次の工程を示す断面図。
【図７】図６の次の工程を示す断面図。
【図８】図７の次の工程を示すものであり、（ａ）はパターン平面図、（ｂ）は断面図、（ｃ）は断面図。
【図９】図８に続く工程を示すものであり、（ａ）はパターン平面図、（ｂ）は断面図、（ｃ）は断面図。
【図１０】この発明の第２の実施の形態による半導体記憶装置の製造方法による工程の断面図。
【図１１】図１０の次の工程を示す断面図。
【図１２】図１１の次の工程を示す断面図。
【図１３】この発明の第３の実施の形態による半導体記憶装置の製造方法による工程の断面図。
【図１４】この発明の第４の実施の形態による半導体記憶装置の製造方法による工程の断面図。
【図１５】図１４の次の工程を示す断面図。
【図１６】この発明の第５の実施の形態による半導体記憶装置の製造方法による工程の断面図。
【図１７】図１６の次の工程を示す断面図。
【符号の説明】
１１…アクティブ領域、
１２…深いトレンチ（deep trench ）、
１３…メモリセル領域、
２１…Ｐ型のＳｉ基板（Ｐ－ｓｕｂ）、
２２…Ｎ型の埋め込み層（Ｎ－ｗｅｌｌ）、
２３…Ｎ型の拡散層、
２４…キャパシタ絶縁膜となる絶縁膜、
２５…多結晶シリコン膜、
２６…ＳｉO$_2$ 膜、
２７…多結晶シリコン膜、
２８…エピタキシャルＳｉ層、

２９…ＳＴＩ用のトレンチ、
３０…浅いトレンチ、
３１…SiO_2 膜、
３２…ゲート絶縁膜、
３３…ゲート電極導体、
３４…ソース／ドレイン拡散層、
３５…表面接続層（surface strap ）、
３６…キャップ絶縁膜、
３７…バリア絶縁膜、
３８…ＢＰＳＧ膜、
３９…ＴＥＯＳ膜、
４０…コンタクトホール、
４１…ビットラインコンタクト、
４２…ビットライン、
５１…SiO_2 膜、
５２…Si_3N_4 膜、
５３…カラー絶縁膜（collar oxide）、
５４…SiO_2 膜、
５５…Si_3N_4 膜、
５６…拡散層、
５７…レジスト層、
５８…SiO_2 膜、
５９…レジスト層、
６０…SiO_2 膜、
６１…Si_3N_4 膜、
６２…レジスト層、
６３…SiO_2 膜。

【図１】

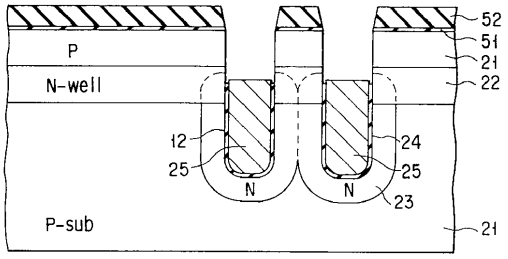


(a)

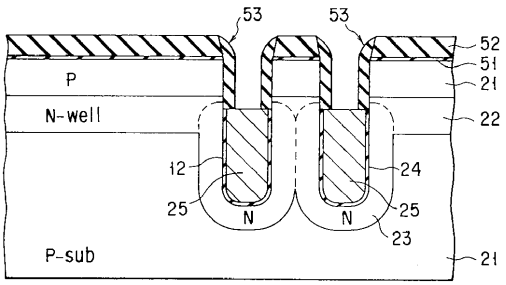


(b) (c)

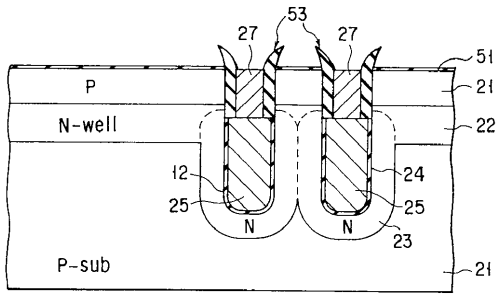
【図２】



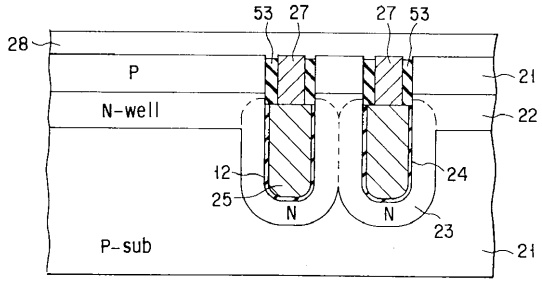
【図３】



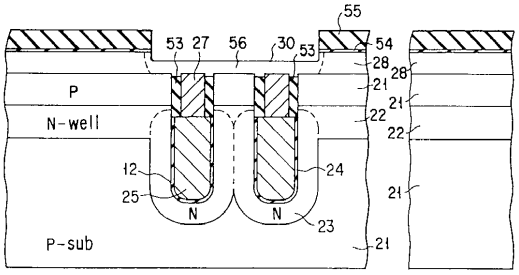
【図４】



【図５】

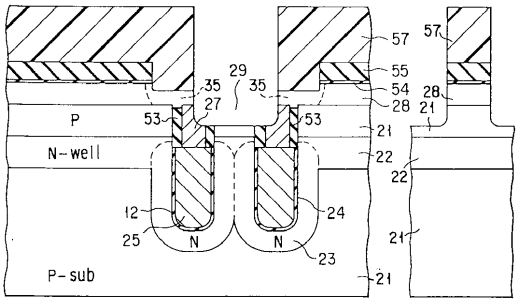


【図６】



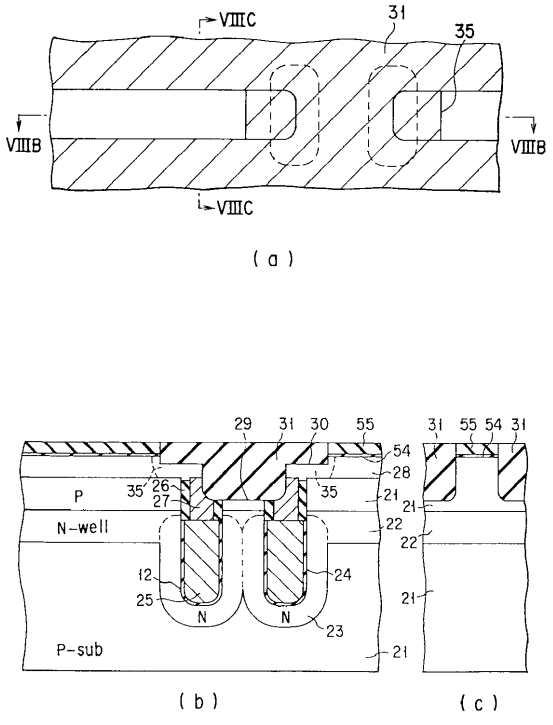
(a) (b)

【図７】

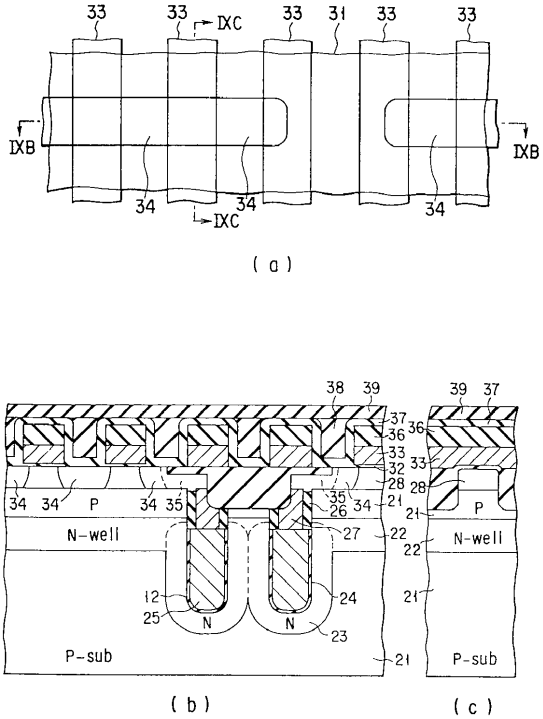


(a) (b)

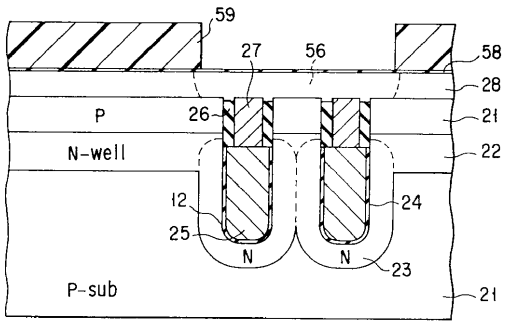
【図８】



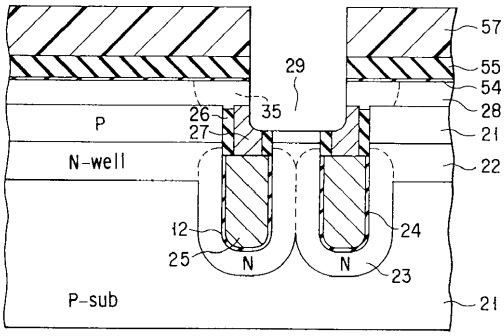
【図９】



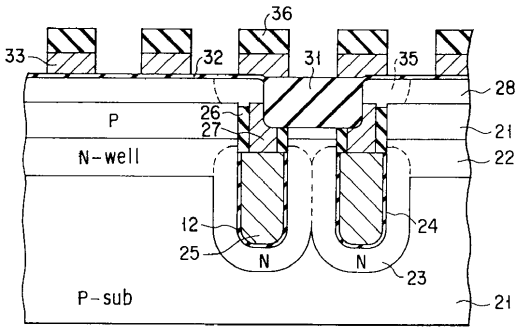
【図１０】



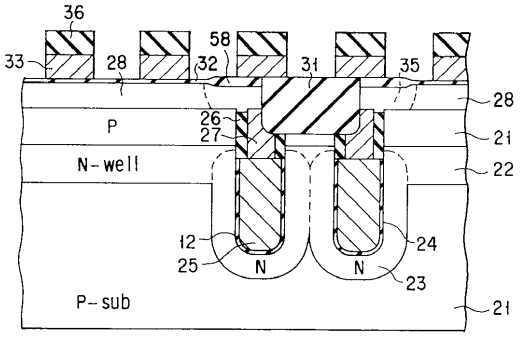
【図１１】



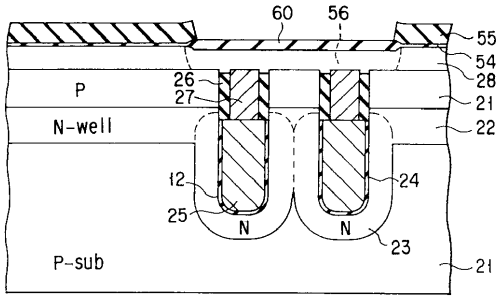
【図１２】



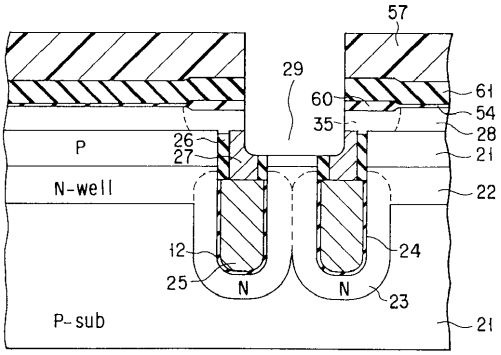
【図１３】



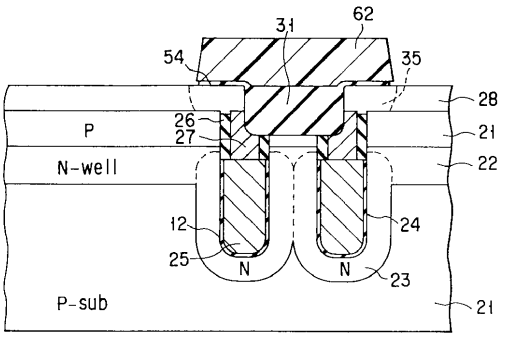
【図１４】



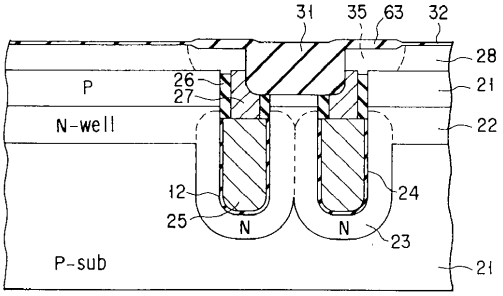
【図１５】



【図１６】



【図１７】



フロントページの続き

(72)発明者　稗田　克彦
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　仁田山　晃寛
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内

審査官　柴山　将隆

(56)参考文献　特開平０４－１３７５５７（ＪＰ，Ａ）
特開平０９－０９２７９９（ＪＰ，Ａ）
特開平０２－２９００６４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/8242
H01L 27/108