

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/42 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610065394.4

[45] 授权公告日 2008 年 11 月 12 日

[11] 授权公告号 CN 100432974C

[22] 申请日 2006.3.23

[21] 申请号 200610065394.4

[30] 优先权

[32] 2005.3.24 [33] JP [31] 2005-086187

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 本田裕康

[56] 参考文献

CN1296347A 2001.5.23

US2002/0059488A1 2002.5.16

EP1389761A2 2004.2.18

CN1316698A 2001.10.10

CN1310531A 2001.8.29

US2004/0059965A1 2004.3.25

US2004/0225810A1 2004.11.11

审查员 董广智

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚

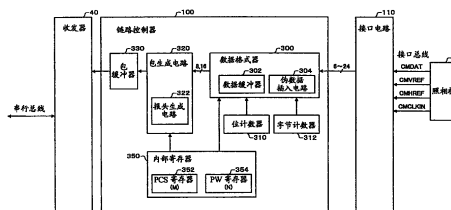
权利要求书 5 页 说明书 29 页 附图 14 页

[54] 发明名称

数据传输控制装置及电子设备

[57] 摘要

本发明公开了一种数据传输控制装置及电子设备，能够在抑制电路的大规模化的同时，实现多种格式数据的高效串行传输。该数据传输控制装置包括：接口电路(110)，通过接口总线被输入一个数据单位为 K 位的数据；以及链路控制器(100)，生成通过串行总线发送的包。链路控制器(100)包括：数据格式器(300)，生成含有 M 个 (K+L) 位数据的 (N×I) 字节的压缩数据，该 (K+L) 位数据通过对 K 位的数据附加 L 位的伪数据而得到。数据格式器(300)生成根据 K 可变地设置 L 和 M 的压缩数据。



1. 一种数据传输控制装置，用于控制数据传输，其特征在于，包括：

接口电路，通过接口总线被输入一个数据单位为 K 位的数据，其中， K 是大于等于 2 的整数；以及

链路控制器，用于生成通过串行总线发送的包，

其中，所述链路控制器包括：

数据格式器，用于生成含有 M 个 $(K+L)$ 位数据的 $(N \times I)$ 字节压缩数据，所述 $(K+L)$ 位数据通过对 K 位的所述数据附加 L 位伪数据而得到，其中， M 、 N 、 I 是大于等于 1 的整数， L 是大于等于 0 的整数；以及

包生成电路，用于生成数据域中插入有所述压缩数据的包，作为通过所述串行总线发送的包，

所述数据格式器生成根据所述 K 可变地设置所述 L 和 M 的所述压缩数据。

2. 根据权利要求 1 所述的数据传输控制装置，其特征在于：

所述数据格式器生成如下的压缩数据：

当 $K=6$ 、 $I=1$ 时， $L=0$ 、 $M=4$ 、 $N=3$ ，或者

当 $K=7$ 、 $I=1$ 时， $L=1$ 、 $M=2$ 、 $N=2$ ，或者

当 $K=8$ 、 $I=1$ 时， $L=0$ 、 $M=2$ 、 $N=2$ ，或者

当 $K=10$ 、 $I=1$ 时， $L=2$ 、 $M=2$ 、 $N=3$ ，或者

当 $K=12$ 、 $I=1$ 时， $L=0$ 、 $M=2$ 、 $N=3$ ，或者

当 $K=16$ 、 $I=1$ 时， $L=0$ 、 $M=1$ 、 $N=2$ ，或者

当 $K=24$ 、 $I=1$ 时， $L=0$ 、 $M=1$ 、 $N=3$ 。

3. 根据权利要求 1 所述的数据传输控制装置，其特征在于：

所述数据格式器生成如下的压缩数据：

当 $K=6$ 、 $I=2$ 时， $L=0$ 、 $M=8$ 、 $N=3$ ，或者

当 $K=7$ 、 $I=2$ 时， $L=1$ 、 $M=4$ 、 $N=2$ ，或者

当 $K=8$ 、 $I=2$ 时， $L=0$ 、 $M=4$ 、 $N=2$ ，或者

当 $K=10$ 、 $I=2$ 时， $L=1$ 、 $M=3$ 、 $N=2$ ，或者

当 $K=12$ 、 $I=2$ 时， $L=0$ 、 $M=4$ 、 $N=3$ ，或者

当 $K=16$ 、 $I=2$ 时， $L=0$ 、 $M=2$ 、 $N=2$ ，或者

当 $K=24$ 、 $I=2$ 时， $L=0$ 、 $M=2$ 、 $N=3$ 。

4. 根据权利要求 1 所述的数据传输控制装置，其特征在于：

$$N \times 8 \times I = (K + L) \times M$$

5. 根据权利要求 1 至 4 中任一项所述的数据传输控制装置，其特征在于：

所述包生成电路在通过所述串行总线发送的包的报头中，插入用于设置所述 M 、 N 的设置信息。

6. 根据权利要求 1 至 4 中任一项所述的数据传输控制装置，其特征在于，还包括：

内部寄存器，存储用于设置所述 M 、 N 的设置信息，

其中，所述数据格式器根据所述设置信息插入所述伪数据。

7. 一种电子设备，其特征在于，包括：

权利要求 1 至 4 中任一项所述的数据传输控制装置；以及

通过所述接口总线与所述数据传输控制装置连接的一个或多个装置。

8. 一种数据传输控制装置，用于控制数据传输，其特征在于，包括：

接口电路，进行数据传输控制装置和通过系统总线连接于数据传输控制装置上的主机装置之间的接口处理；以及

链路控制器，对通过串行总线接收的包进行解析，将一个数据单位为 K 位的数据输出到所述接口电路，其中， K 是大于等于 2 的整数，

在通过所述串行总线接收的包的数据域中插入有含有 M 个 $(K+L)$ 位数据的 $(N \times I)$ 字节的数据，所述 $(N \times I)$ 字节的数据是根据所述 K 可变地设置所述 L 及 M 的压缩数据，其中，所述 $(K+L)$ 位的数据通过对 K 位的所述数据附加 L 位伪数据而得到， M 、 N 、 I 是大于等于 1 的整数， L 是大于等于 0 的整数，

所述链路控制器包括数据格式器，所述数据格式器从所述压缩数据中抽出 K 位的所述数据，输出到所述接口电路中。

9. 根据权利要求 8 所述的数据传输控制装置，其特征在于：

插入到包的所述压缩数据是如下的数据：

当 $K=6$ 、 $I=1$ 时， $L=0$ 、 $M=4$ 、 $N=3$ ，或者

当 $K=7$ 、 $I=1$ 时， $L=1$ 、 $M=2$ 、 $N=2$ ，或者

当 $K=8$ 、 $I=1$ 时， $L=0$ 、 $M=2$ 、 $N=2$ ，或者

当 $K=10$ 、 $I=1$ 时， $L=2$ 、 $M=2$ 、 $N=3$ ，或者
当 $K=12$ 、 $I=1$ 时， $L=0$ 、 $M=2$ 、 $N=3$ ，或者
当 $K=16$ 、 $I=1$ 时， $L=0$ 、 $M=1$ 、 $N=2$ ，或者
当 $K=24$ 、 $I=1$ 时， $L=0$ 、 $M=1$ 、 $N=3$ 。

10. 根据权利要求 8 所述的数据传输控制装置，其特征在于：

插入到包的所述压缩数据是如下的数据：

当 $K=6$ 、 $I=2$ 时， $L=0$ 、 $M=8$ 、 $N=3$ ，或者
当 $K=7$ 、 $I=2$ 时， $L=1$ 、 $M=4$ 、 $N=2$ ，或者
当 $K=8$ 、 $I=2$ 时， $L=0$ 、 $M=4$ 、 $N=2$ ，或者
当 $K=10$ 、 $I=2$ 时， $L=1$ 、 $M=3$ 、 $N=2$ ，或者
当 $K=12$ 、 $I=2$ 时， $L=0$ 、 $M=4$ 、 $N=3$ ，或者
当 $K=16$ 、 $I=2$ 时， $L=0$ 、 $M=2$ 、 $N=2$ ，或者
当 $K=24$ 、 $I=2$ 时， $L=0$ 、 $M=2$ 、 $N=3$ 。

11. 根据权利要求 8 所述的数据传输控制装置，其特征在于：

$$N \times 8 \times I = (K + L) \times M$$

12. 根据权利要求 8 至 11 中任一项所述的数据传输控制装置，其特征在于：

在通过所述串行总线接收的包的报头中插入有用于设置所述 M 、 N 的设置信息，

所述链路控制器包括包解析电路，所述包解析电路解析接收的包的报头，并从包的报头中抽出所述设置信息，

所述数据格式器根据所述设置信息，从所述压缩数据中抽出 K 位的所述数据。

13. 根据权利要求 8 至 11 中任一项所述的数据传输控制装置，其特征在于：

在通过所述串行总线接收的包的报头中插入有助于设置所述 M、N 的设置信息，

所述链路控制器包括包解析电路，所述包解析电路解析接收的包的报头，并从包的报头中抽出所述设置信息，

所述数据格式器根据所述设置信息，删除所述伪数据。

14. 一种电子设备，其特征在于，包括：

权利要求 8 至 11 中任一项所述的数据传输控制装置；以及

通过所述系统总线连接于所述数据传输控制装置上的所述主机装置。

数据传输控制装置及电子设备

技术领域

本发明涉及数据传输控制装置及电子设备。

背景技术

近年来,作为以降低EMI噪声等为目的的接口,如LVDS(低压差动信号传输:Low Voltage Differential Signaling)等的高速串行传输接口倍受瞩目。在该高速串行传输中,发送器电路利用差动信号(Differential Signals)发送串行化数据,接收器电路将差动信号差动放大,从而实现数据传输。

普通便携式电话包括:第一设备区,设有输入电话号码与字符的按钮;第二设备区,设有主LCD(液晶显示器:Liquid Crystal Display)、子LCD、或照相机(CCD);以及连接区,连接第一、第二设备区的铰链等。这种情况下,通过利用差动信号的串行传输方式,进行设置于第一设备区的第一基板与设置于第二设备区的第二基板之间的数据传输,可减少通过连接区的配线的数量,达到较好效果。

但是,从CCD或CMOS等照相机(摄像装置)输出的照相机数据有各种格式。具体地讲,有YUV 422、YUV 420、RGB 888、RGB 565、RGB 444、RAW 6、RAW 7、RAW 8、RAW 10、RAW 12、JPEG 8等格式。在此,YUV 422及YUV 420作为8位的数据(一个数据单位是8位的数据)输入,RGB 888作为24位的数据、RGB

565 作为 16 位、RGB 444 作为 12 位的数据输入。另外，RAW 6、RAW 7、RAW 8、RAW 10、RAW 12 分别作为 6、7、8、10、12 位的数据输入，JPEG 8 作为 8 位的数据输入。从而，当将照相机数据分包，从设置有照相机的第二设备区向设置有主机装置的第一设备区串行传输时，希望能够支持这些多种格式。

但是，当将这些多种格式的照相机数据分包时，冗余数据的位数将变多，串行总线中的数据传输量将变大。另一方面，如果想使冗余数据的位数为 0 而与上述多种格式对应，则将导致电路规模的扩大等问题。

专利文献 1：特开 2001-222249 号公报

发明内容

本发明克服了上述技术问题，其目的在于提供一种能够在抑制电路的大规模化的同时，实现多种格式数据的高效串行传输的数据传输控制装置以及包括该装置的电子设备。

本发明涉及一种数据传输控制装置，用于控制数据传输，其包括：接口电路，通过接口电路被输入一个数据单位为 K 位（ K 是大于等于 2 的整数）的数据；链路控制器，生成通过串行总线发送的包，所述链路控制器包括：数据格式器，生成含有 M 个 $(K+L)$ 位（ L 是大于等于 0 的整数）数据的 $(N \times I)$ 字节的（ N 、 I 、 M 是大于等于 1 的整数）压缩数据，该 $(K+L)$ 位的数据通过对 K 位的所述数据附加 L 位伪数据而得到；包生成电路，生成所述压缩数据插入到数据域中的包，作为通过所述串行总线发送的包，所述数据格式器生成根据所述 K 可变地设置所述 L 和 M 的所述压缩数据。

根据本发明，生成根据 K 可变地设置 L 和 M 的压缩数据，该压缩数据含有 M 个通过对 K 位的所述数据附加 L 位伪数据而后得

到的 $(K+L)$ 位的 $(N \times I)$ 字节的数据。而且,该压缩数据插入(设置)到通过串行总线发送的包的数据域中。这样通过 K 可变地设置压缩数据的 L ,从而能够降低串行总线中的数据传输量。另外,通过根据 K 可变地设置压缩数据的 M ,能够抑制电路的大规模化。从而,根据本发明,抑制电路规模的同时,能够实现多种格式数据的高效串行传输。

另外,在本发明中,所述数据格式器也可以生成如下的压缩数据:当 $K=6$ 、 $I=1$ 时, $L=0$ 、 $M=4$ 、 $N=3$,或者当 $K=7$ 、 $I=1$ 时, $L=1$ 、 $M=2$ 、 $N=2$,或者当 $K=8$ 、 $I=1$ 时, $L=0$ 、 $M=2$ 、 $N=2$,或者当 $K=10$ 、 $I=1$ 时, $L=2$ 、 $M=2$ 、 $N=3$,或者当 $K=12$ 、 $I=1$ 时, $L=0$ 、 $M=2$ 、 $N=3$,或者当 $K=16$ 、 $I=1$ 时, $L=0$ 、 $M=1$ 、 $N=2$,或者当 $K=24$ 、 $I=1$ 时, $L=0$ 、 $M=1$ 、 $N=3$ 。此外,也可以采用上述之外的格式。

另外,在本发明中,所述数据格式器也可以生成如下的压缩数据:当 $K=6$ 、 $I=2$ 时, $L=0$ 、 $M=8$ 、 $N=3$,或者当 $K=7$ 、 $I=2$ 时, $L=1$ 、 $M=4$ 、 $N=2$,或者当 $K=8$ 、 $I=2$ 时, $L=0$ 、 $M=4$ 、 $N=2$,或者当 $K=10$ 、 $I=2$ 时, $L=1$ 、 $M=3$ 、 $N=2$,或者当 $K=12$ 、 $I=2$ 时, $L=0$ 、 $M=4$ 、 $N=3$,或者当 $K=16$ 、 $I=2$ 时, $L=0$ 、 $M=2$ 、 $N=2$,或者当 $K=24$ 、 $I=2$ 时, $L=0$ 、 $M=2$ 、 $N=3$ 。此外,也可以采用上述之外的格式。

另外,在本发明中,也可以是 $N \times 8 \times I = (K+L) \times M$ 。但是,也可以有 $N \times 8 \times I = (K+L) \times M$ 不成立的例外的情况。

另外,在本发明中,所述包生成电路也可以在通过所述串行总线发送的包的报头中插入用于设置所述 M 、 N 的设置信息。

由此,能够使包的接收侧所进行的压缩数据的格式变换变得简单。

另外，在本发明中，也可以包括内部寄存器，存储用于设置所述 M、N 的设置信息，所述数据格式器根据所述设置信息插入所述伪数据。

由此，能够使伪数据的插入处理简单化。此外，数据格式器能够根据位计数器中的计数值或字节计数器中的计数值判断伪数据的插入位置等。

另外，根据本发明涉及的电子设备，包括：上述任一项所记载的数据传输控制装置；以及通过所述接口总线连接于所述数据传输控制装置的一个或多个装置。

另外，根据本发明涉及的数据传输控制装置，是控制数据传输的数据传输控制装置，包括：接口电路，进行数据传输控制装置和通过系统总线连接于数据传输控制装置上的主机装置间的接口处理；以及链路控制器，对通过串行总线接收的包进行解析，将一个数据单位为 K 位（K 是大于等于 2 的整数）的数据输出到所述接口电路，其中，链路控制器在通过所述串行总线接收的包的数据域中插入根据所述 K 可变地设置所述 L 和 M 的压缩数据，该压缩数据是含有 M 个（K+L）位数据的（N×I）字节（M、N、I 是大于等于 1 的整数）数据，该（K+L）位数据通过对 K 位的所述数据附加 L 位（L 是大于等于 0 的整数）伪数据而得到，所述链路控制器包括数据格式器，所述数据格式器从所述压缩数据抽出 K 位的所述数据，输出到所述接口电路中。

根据本发明，将根据 K 可变地设置 L 以及 M 的压缩数据插入到通过串行总线接收的包的数据域中，该压缩数据是含有 M 个（K+L）位数据的（N×I）字节（M、N、I 是大于等于 1 的整数）数据，该（K+L）位的数据通过对 K 位的所述数据附加 L 位（L 是大于等于 0 的整数）伪数据而得到。而且，数据格式器从插入到包

的数据域中的该压缩数据中,抽出 K 位的数据,输出到接口电路中。由此,通过根据 K 可变地设置压缩数据的 L,能够降低串行总线中的数据传输量。另外,通过根据 K 可变地设置压缩数据的 M,能够抑制电路的大规模化。从而,根据本发明,抑制电路的大规模化的同时,能够实现多种格式数据的高效串行传输。

另外,在本发明中,插入到包的所述压缩数据,也可以是如下的数据:当 $K=6$ 、 $I=1$ 时, $L=0$ 、 $M=4$ 、 $N=3$,或者当 $K=7$ 、 $I=1$ 时, $L=1$ 、 $M=2$ 、 $N=2$,或者当 $K=8$ 、 $I=1$ 时, $L=0$ 、 $M=2$ 、 $N=2$,或者当 $K=10$ 、 $I=1$ 时, $L=2$ 、 $M=2$ 、 $N=3$,或者当 $K=12$ 、 $I=1$ 时, $L=0$ 、 $M=2$ 、 $N=3$,或者当 $K=16$ 、 $I=1$ 时, $L=0$ 、 $M=1$ 、 $N=2$,或者当 $K=24$ 、 $I=1$ 时, $L=0$ 、 $M=1$ 、 $N=3$ 。此外,也可以采用上述之外的格式。

另外,在本发明中,插入到包的所述压缩数据,也可以是如下的数据:当 $K=6$ 、 $I=2$ 时, $L=0$ 、 $M=8$ 、 $N=3$,或者当 $K=7$ 、 $I=2$ 时, $L=1$ 、 $M=4$ 、 $N=2$,或者当 $K=8$ 、 $I=2$ 时, $L=0$ 、 $M=4$ 、 $N=2$,或者当 $K=10$ 、 $I=2$ 时, $L=1$ 、 $M=3$ 、 $N=2$,或者当 $K=12$ 、 $I=2$ 时, $L=0$ 、 $M=4$ 、 $N=3$,或者当 $K=16$ 、 $I=2$ 时, $L=0$ 、 $M=2$ 、 $N=2$,或者当 $K=24$ 、 $I=2$ 时, $L=0$ 、 $M=2$ 、 $N=3$ 。此外,也可以采用上述之外的格式。

另外,在本发明中,也可以是 $N \times 8 \times I = (K + L) \times M$ 。但是,也可以有 $N \times 8 \times I = (K + L) \times M$ 不成立的例外的情况。

另外,在本发明中,在通过所述串行总线接收的包的报头上,插入用于设置所述 M、N 的设置信息,所述链路控制器包括包解析电路,用于解析接收的包的报头,将所述设置信息从包的报头中抽出,所述数据格式器根据所述设置信息从所述压缩数据中抽出 K 位的所述数据。

由此,能够使从压缩数据中抽出 K 位数据的处理简单化。

另外，在本发明中，在通过所述串行总线接收的包的报头中，插入用于设置所述 M、N 的设置信息，所述链路控制器包括包解析电路，用于解析接收的包的报头，将所述设置信息从包的报头中抽出，所述数据格式器根据所述设置信息删除所述伪数据。

由此，能够使伪数据的删除处理简单化。此外，数据格式器能够根据位计数器中的计数值或字节计数器中的计数值判断伪数据的删除位置等。

另外，本发明涉及的电子设备包括：上述任一项所述的数据传输控制装置；以及通过所述系统总线连接于所述数据传输控制装置的所述主机装置。

附图说明

图 1 是本实施例的数据传输控制装置及其系统的构成例示意图。

图 2 是本实施例的数据传输控制装置及其系统的构成例示意图。

图 3 (A) 和图 3 (B) 是比较例方法的说明图。

图 4 (A) 和图 4 (B) 是比较例方法的说明图。

图 5 是本实施例的数据传输控制装置的构成例示意图。

图 6 是本实施例的数据传输控制装置的构成例示意图。

图 7 (A) ~ 图 7 (D) 是照相机接口信号的波形例。

图 8 是本实施例的格式变换方法的说明图。

图 9 是本实施例的格式变换方法的说明图。

图 10 (A) 和图 10 (B) 是本实施例中使用的包的说明图。

图 11 (A)、图 11 (B) 和图 11 (C) 是本实施例优点的说明图。

图 12 (A)、图 12 (B) 和图 12 (C) 是本实施例优点的说明图。

图 13 是本实施例的串行传输的说明图。

图 14 是电子设备的构成例示意图。

具体实施方式

下面详细说明本发明的最优实施例。此外，下面说明的本实施例不是对记载在权利要求范围中的本发明内容的不当限定，本实施例中说明的全部构成作为本发明的解决手段并非都是必须的。

1. 系统构成

图 1 是本实施例的数据传输控制装置（数据传输控制电路）及其系统构成例的示意图。在本实施例中，通过使用图 1 的主机侧、目标侧的数据传输控制装置 10、30，实现了所谓系统总线、接口总线间的桥接功能。

此外，数据传输控制装置 10、30 不限于在图 1 的构成，可以省略图 1 的电路模块的一部分、或变更电路模块间的连接方式，也可以追加与图 1 不同的电路模块。例如，也可以在主机侧数据传输控制装置 10 中省略收发器 20 的构成、或在目标侧数据传输控制装置 30 中省略收发器 40 的构成。另外，数据传输控制装置 30 和显示驱动器 6 或照相机 8（摄像装置、照相机装置）也可以由双芯片

(半导体芯片)构成,但是也可以由单芯片构成。对于主机装置 5 (系统装置)和数据传输控制装置 10 也同样可以由单芯片构成。

主机(TX)侧数据传输控制装置 10 和目标(RX)侧数据传输控制装置 30,通过差动信号(differential signals)的串行总线进行包传输。更具体地讲,通过电流驱动或者电压驱动串行总线的差动信号线(differential signal lines)来进行包的收发。

主机侧数据传输控制装置 10 包括接口电路 92,该接口电路 92 进行与主机装置 5 (CPU、基带引擎、显示控制器等)间的接口处理。该接口电路 92 通过系统总线(主机总线)连接在主机装置 5 上。系统总线能够作为 RGB 接口总线使用,或作为 MPU (Micro Processor Unit: 微处理器单元)接口总线使用,或作为串行接口总线使用,或作为照相机接口总线使用。当作为 RGB 接口总线使用时,系统总线可以包括水平同步信号、垂直同步信号、时钟信号、数据信号等的信号线。当作为 MPU 接口总线使用时,系统总线可以包括数据信号、读信号、写信号、地址 0 信号(命令/参数识别信号)、芯片选择信号等的信号线。作为串行接口总线使用时,系统总线可以包括串行接口用芯片选择信号、读/写信号、地址 0 信号、数据信号、时钟信号等的信号线。当作为照相机接口总线使用时,系统总线可以包括照相机接口用的水平同步信号、垂直同步信号、时钟信号、数据信号等的信号线。

主机侧数据传输控制装置 10 包括进行链路层处理的链路控制器 90 (链路层电路)。该链路控制器 90 生成通过串行总线(LVDS)传输到目标侧数据传输控制装置 30 中的包(请求包、流包等),并进行发送生成的包的处理。具体地讲,该链路控制器 90 启动发送事务,向收发器 20 指示发送生成的包。

主机侧数据传输控制装置 10 包括进行物理层处理等的收发器 20 (PHY)。该收发器 20 将由链路控制器 90 指示的包, 通过串行总线发送到目标侧数据传输控制装置 30 中。另外, 收发器 20 还接收来自目标侧数据传输控制装置 30 的包。此时, 链路控制器 90 解析接收的包, 进行链路层(事务层)的处理。

目标侧数据传输控制装置 30 包括进行物理层处理等的收发器 40 (PHY)。该收发器 40 通过串行总线接收来自主机侧数据传输控制装置 10 的包。另外, 收发器 40 还向主机侧数据传输控制装置 10 发送包。此时, 链路控制器 100 生成要发送的包且指示发送生成的包。

目标侧数据传输控制装置 30, 包括链路控制器 100 (链路层电路)。该链路控制器 100, 进行来自主机侧数据传输控制装置 10 的包的接收处理, 进行解析接收的包的链路层(事务层)处理。

目标侧数据传输控制装置 30, 包括接口电路 110, 该接口电路 110 进行与驱动显示面板 7 (LCD 等) 的显示驱动器 6 和照相机 8 (广义上是指一个或多个装置) 间的接口处理。该接口电路 110 生成各种接口信号, 通过接口总线输出到显示驱动器 6 等上。另外, 通过接口总线从照相机 8 接收各种接口信号。该接口电路 110 可以包括 RGB 接口电路、MPU 接口电路、串行接口电路、或者照相机接口电路(广义上是第一~第 N 的接口电路)等。

当主机侧(主机装置 5)的系统总线作为 RGB 接口总线使用时, 目标侧(显示驱动器 6)的接口总线也作为 RGB 接口总线使用。而且, 接口电路 110 (RGB 接口电路)生成 RGB 用接口信号并输出到显示驱动器 6 (广义上为装置)。另外, 当主机侧的系统总线作为 MPU 接口总线使用时, 目标侧的接口总线也作为 MPU 接口总线使用。而且, 接口电路 110 (MPU 接口电路)生成 MPU 用接口信号

并输出到显示驱动器 6。另外，当主机侧的系统总线作为照相机接口总线使用时，目标侧的接口总线也作为照相机接口总线使用。而且，目标侧的接口电路 110（照相机接口电路）从照相机 8 接收接口信号。另一方面，主机侧的接口电路 92（照相机接口电路）生成照相机接口信号并输出到主机装置 5。此外，也可以使系统总线和接口总线的接口形式不同。

通过设置上述的接口电路 92、110，在本实施例中实现了主机侧系统总线和目标侧接口总线间的总线桥接功能。

即，当系统总线作为 RGB 接口总线使用时，利用通过差动信号的串行总线的包传输将主机装置 5 输出的 RGB 接口信号传输到目标侧。而且，目标侧的接口电路 110 将与来自主机侧的 RGB 接口信号对应的 RGB 接口信号输出到显示驱动器 6。另外，当系统总线作为 MPU 接口总线使用时，利用通过差动信号的串行总线的包传输将主机装置 5 输出的 MPU 接口信号传输到目标侧。而且，目标侧的接口电路 110 将与来自主机侧的 MPU 接口信号对应的 MPU 接口信号输出到显示驱动器 6。

另外，当系统总线作为照相机接口总线使用时，利用通过差动信号的串行总线的包传输，将照相机 8 输出的照相机接口信号（数据信号、垂直同步信号、水平同步信号）从目标侧传输到主机侧。而且，主机侧的接口电路 92 将与来自目标侧的照相机接口信号对应的照相机接口信号输出到主机装置 5。

此外，在图 1 中，连接主机装置 5 的数据传输控制装置 10 作为主机侧（TX），连接照相机 8 的数据传输控制装置 30 作为目标侧（RX），但是本实施例并不限于此。例如，如图 2 所示，也可以将连接有照相机 8 的数据传输控制装置 30 作为主机侧（TX），将连接主机装置 5 的数据传输控制装置 10 作为目标侧（RX）。

即,在本实施例中,主机侧的数据传输控制装置包括时钟信号生成电路(PLL电路),将生成的时钟信号输出到目标侧的数据传输控制装置。而且,在图1的情况下,主机侧的数据传输控制装置10,将由时钟信号生成电路生成的差动时钟信号 CLK+/-输出到目标侧的数据传输控制装置30中。于是,目标侧的数据传输控制装置30根据该 CLK+/-生成差动选通信号 STB+/-。而且,目标侧的数据传输控制装置30与 STB+/-的边沿(上升沿或者下降沿)同步,将差动数据信号 DTI+/- (照相机数据)输出到主机侧的数据传输控制装置10。

另一方面,在图2所示的情况下,主机侧的数据传输控制装置30,由时钟信号生成电路生成差动时钟信号 CLK+/-。而且,主机侧的数据传输控制装置30与 CLK+/-的边沿同步,将差动数据信号 DTO+/- (照相机数据)输出到目标侧的数据传输控制装置10中。

此外,对于使用作为差动信号的 DTO+/-、CLK+/-、DTI+/-、STB+/-的串行传输方法,将在后述的图13中详细进行说明。

2. 照相机数据的格式变换

在从 CCD 或 CMOS 等照相机输出的照相机数据中,包括 YUV 422、YUV 420、RGB 888、RGB 565、RGB 444、RAW 6、RAW 7、RAW 8、RAW 10、RAW 12、JPEG 8 等各种格式。而且,在这些格式中,输入数据的数据单位的位数不同,例如 6、7、8、10、12、16、24 位(广义上为 K 位)。

但是,通过串行总线传输的包,是由以字节为单位或者以字为单位(广义上以 I 字节为单位)的数据构成。从而,为了将照相机数据分包并串行传输,有必要将 6、7、8、10、12、16、或 24 位的

照相机数据格式变换为以字节为单位或以字为单位（以1字节为单位）的数据。

图3(A)和图3(B)、以及图4(A)和图4(B)示出了实现这样的格式变换的第一、第二比较例的方法。图3(A)~图4(B)是作为格式变换对象的数据（照相机数据）是10位（RAW 10）的情况的例子。而且，图3(A)和图3(B)是将以该10位为单位的数据变换为以字节为单位的数据的情况的例子，图4(A)和图4(B)是将以该10位为单位的数据变换为以2字节为单位（以字为单位）的数据的情况的例子。

此外，在图3(A)等中，(101)是指第一个数据（10位数据）的第一位，(102)是指第一个数据的第二位。另外，(201)是指第二个数据的第一位，(202)是指第二个数据的第二位。从而，(101)~(110)表示第一个数据的1~10位，(201)~(210)表示第二个数据的1~10位。(301)~(310)、(401)~(410)等也同样。

如图3(A)、图4(A)所示，在第一比较例中，进行插入冗余数据的未压缩(unpacked)格式变换。即，在图3(A)中，(101)~(108)被设置为第一个字节数据，(109)、(110)和6位的冗余数据(×)被设置为第二个字节数据。另外，(201)~(208)被设置为第三个字节数据，(209)、(210)和6位的冗余数据被设置为第四个字节数据。

这样在第一比较例中，每次传输两个字节数据时都需要传输6位的冗余数据。从而，每次传输VGA画面的数据都必须传输 $640 \times 480 \times 6/8/1024 = 225\text{K}$ 字节的冗余数据。为此，串行总线的数据传输量（交换量）变得过大，数据传输效率低。

另一方面，在第二比较例中，如图3(B)、图4(B)所示，进行完全不插入冗余数据的已压缩(packed)的格式变换。在该第二比较例中，由于没有插入冗余数据，所以与第一比较例相比能够降低串行总线的数据传输量。但是，在该第二比较例中，数据格式器(解码电路)或计数器的电路规模变大，从而导致数据传输控制装置的大规模化或处理的烦杂化的问题。特别是，想支持所述的全部多种格式时，数据传输控制装置的大规模化或处理的烦杂化的问题将变得更严重。

3. 数据传输控制装置的构成例

图5、图6示出了解决上述问题的本实施例的数据传输控制装置的构成例。此外，也可以省略图5、图6的电路模块的一部分，或变更电路模块间的连接方式，也可以追加与图5、图6不同的其他电路模块。

图5是目标侧(图2的情况是主机侧)的数据传输控制装置30的构成例。在图5中，接口电路110进行与照相机8(广义上为装置)间的接口处理。而且，在接口电路110中，通过接口总线输入一个数据单位为K位的数据。此外，K是大于等于2(或6)的整数。

具体地讲，向接口电路110输入一个数据单位的位数为6、7、8、10、12、16或24位(下面适当表述为6~24位)的照相机数据CMDAT。另外，还向接口电路110输入与垂直同步信号、水平同步信号相当的CMVREF、CMHREF，以及用于捕获CMDAT的时钟信号CMCLKIN。

图7(A)和图7(B)示出了当照相机数据是8位的YUV格式时的CMDAT、CMVREF、CMHREF、CMCLKIN的信号波形例。

如图 7 (A) 所示, CMVREF 激活 (高电平) 后, 每当 CMHREF 激活时都向接口电路 110 输入一行的 CMDAT。另外, 如图 7 (B) 所示, CMDAT 能够在 CMCLKIN 的例如上升沿被采样。接口电路 110 将这样采样并捕获的数据 (照相机数据) 输出到链路控制器 100。此外, 图 7 (C) 和图 7 (D) 是照相机数据为 JPEG 格式时的信号波形例。

链路控制器 100 包括数据格式器 300、位计数器 310、字节计数器 312、包生成电路 320、包缓冲器 330 和内部寄存器 350。此外, 也可以是省略这些中一部分的构成。

数据格式器 300 用于进行数据的格式变换。例如, 接收从接口电路 110 依次输入的 K 位 (6~24 位) 数据, 并进行格式变换, 生成压缩数据 (packed data)。而且, 将生成的压缩数据例如以 8 位或者 16 位 (广义上为 I 字节) 为单位输出到包生成电路 320。

更具体地讲, 数据格式器 300 生成含有 M 个 (K+L) 位数据的 (N×I) 字节的压缩数据, 该 (K+L) 位数据通过对 K 位数据 (以 K 位为单位的数据) 追加 L 位伪数据而得到。此外, L 是大于等于 0 的整数, M 是大于等于 1 的整数, N 是大于等于 1 (或者 2) 的整数。另外, I 是大于等于 1 的整数。

此时, 在本实施例中, 数据格式器 300 生成根据 K 可变地设置 L 和 M (根据 K 变化 L 和 M) 的压缩数据。另外, 数据格式器 300 在根据存储于内部寄存器 350 中的 PCS、PW (M、N) 的设置信息决定的位位置上插入伪数据的处理。

图 8、图 9 示出了由数据格式器 300 生成的压缩数据的示例。图 8 是对应一个字节 (8 位) 输出生成的压缩数据时的示例, 图 9 是对应两个字节 (16 位) 输出生成的压缩数据时的示例。

在图 8、图 9 中，DATA 表示以 K 位为单位输入的数据（照相机数据）。PW 是压缩宽度（压缩数据的大小）。该压缩宽度 PW 能够表示为 $N \times I$ 字节，在图 8 中 PW 为 N 字节，在图 9 中 PW 为 $N \times 2$ 字节（N 字）。另外，PCS 是压缩内数据个数（压缩数据内的 K 位数据的个数），可以表示为 $PCS = M$ 。此外，图 8、图 9 中的伪数据（冗余数据）的位数（个数）可以表示为 L。

在图 8 中，当输入数据（照相机数据）是 $K=6、7、8、10、12、16、24$ 位时，分别生成如 A1、A2、A3、A4、A5、A6、A7 所示的压缩数据。在图 9 中，当输入数据是 $K=6、7、8、10、12、16、24$ 位时，分别生成如 B1、B2、B3、B4、B5、B6、B7 所示的压缩数据。而且，在图 8、图 9 中，伪数据的位数 L、与压缩内数据 PCS 相当的 M（或者与压缩宽度 PW 相当的 N）根据输入数据的位数 K 的变化而变化。此外，对于图 8、图 9 的详细情况将在后面描述。

数据格式器 300 包括数据缓冲器 302、伪数据插入电路 304。在数据缓冲器 302 上输入以 K 位（8~24 位）为单位的数据，以 8 位或者 16 位为单位输出压缩数据。伪数据插入电路 304 进行作为冗余数据的伪数据的插入处理。具体地讲，进行如下的处理：根据存储在内部寄存器 350 中的 PCS、PW（M、N）的设置信息，决定（设置）伪数据的位位置（数据缓冲器 302 上的位位置），在该位位置上插入伪数据（为 0 或 1 的数据）。

位计数器 310（像素计数器）进行数据的位数的计数处理。字节计数器 312 进行数据的字节数的计数处理。而且，数据格式器 300（伪数据插入电路 304）根据来自位计数器 310 的位数计数值、来自字节计数器 312 的字节数计数值、存储在内部寄存器 350 中的 PCS、PW（M、N）的设置信息等进行解码处理，决定插入伪数据的位位置。

包生成电路 320 生成通过串行总线发送的包。具体地讲，生成发送的包的报头，结合报头和数据汇编包。而且，生成的包被写入包缓冲器 330，传输到收发器 40。在此情况下，由报头生成电路 322 生成包的报头。

而且，在本实施例中，如图 10 (A) 所示，包生成电路 320 生成将由数据格式器 300 生成的压缩数据插入（设置）到数据域中的包，作为通过串行总线发送的包。图 10 (A) 是将输入数据的位数为 $K=10$ 的、图 8 的 A4 所示的压缩数据插入到数据域中时的例子。

此外，包的数据域中，可以只插入一个压缩数据，也可以插入多个压缩数据。另外，图 10 (A) 示出了包的数据宽度是 1 字节的情况的例子，但是包的数据宽度也可以大于等于 2 字节（1 字节）。当包的数据宽度设为 1 字节时，可从数据格式器 300 向包生成电路 320 以 1 字节（8 位）为单位输出压缩数据。此时，将使用如图 8 的 A1 ~ A7 所示的压缩数据。另一方面，当包的数据宽度设为 2 字节时，可从数据格式器 300 向包生成电路 320 以 2 字节（16 位）为单位输出压缩数据。此时，将使用如图 9 的 B1 ~ B7 所示的压缩数据。

另外，如图 10 (B) 所示，包生成电路 320 也可以在包的报头上插入用于设置 PCS、PW (M、N) 的设置信息。具体地讲，包的报头上设置有压缩内数据个数 PCS 的域和压缩宽度 PW 的域。而且，在这些 PCS 域、PW 域中插入 PCS 的设置信息和 PW 的设置信息。例如，在图 8 的 A1 情况下，将 PCS=4、PW=24 的设置信息插入到 PCS 域、PW 域中。在 A2 的情况下，将 PCS=2、PW=16 的设置信息，插入到 PCS 域、PW 域中。

此外，插入到包的报头中的上述设置信息，无需是压缩内数据个数 PCS 和/或压缩宽度 PW 的值本身，只要是至少能够设置（特

别指定) M、N 的信息即可。例如, 可以不是 PW 的值本身, 而是将 N (或者 $N \times I$) 的值作为设置信息使用。或者, 代替 N 将 L 作为设置信息使用, 也可以由 M 和 L 特别指定 N。

包缓冲器 330 是写入通过串行总线进行发送的包的发送用包缓冲器。即, 通过串行总线发送的包, 由包生成电路 320 生成并写入到包缓冲器 330 中, 传输到收发器 40。该包缓冲器 330, 例如能够由 FIFO (First In First Out: 先入先出) 或 RAM 构成。此外, 也能够将包缓冲器 330 设为环形缓冲区构造。另外, 也还可以将接收用包缓冲器设置在链路控制器 100 内。

内部寄存器 350 包括各种控制寄存器和状态寄存器。该内部寄存器 350 存储用于设置 PCS、PW (M、N) 的设置信息。具体地讲, 内部寄存器 350 包括 PCS 寄存器 352 和 PW 寄存器 354, 在这些各寄存器上存储有 PCS、PW 的设置信息。数据格式器 300 根据这些 PCS、PW 决定伪数据的插入位位置。另外, 包生成电路 320 将这些 PCS、PW 插入到包的 PCS、PW 域中。此外, PCS、PW (M、N) 的设置信息能够通过串行总线从对方装置 (主机装置) 传输到自己装置, 写入内部寄存器 350 中。

图 6 是主机侧 (图 2 的情况下是目标侧) 的数据传输控制装置 10 的构成例。如图 6 所示, 包括数据传输控制装置 10 的链路控制器 90 包括数据格式器 200、位计数器 210、字节计数器 212、包缓冲器 230、包解析电路 240 和内部寄存器 250。此外, 也可以是省略了这些中一部分的构成。

包缓冲器 230 是写入通过串行总线接收的包的接收用包缓冲器。即, 收发器 20 通过串行总线接收的包被写入到包缓冲器 230。而且, 将在写入的包的数据域中设置的压缩数据 (参照图 10 (A)、

图 10 (B)) 输出到数据格式器 200。此时，压缩数据，例如以 8 位或者 16 位 (I 字节) 为单位输出到数据格式器 200。

包缓冲器 230 例如能够由 FIFO 或 RAM 构成。此外，能够将包缓冲器 230 设为环形缓冲区构造。另外，将包缓冲器 230 设为双缓冲区构成，或者将发送用包缓冲器也设置在链路控制器 90 内。

包解析电路 240 解析通过串行总线接收的包。具体地讲，分离接收的包的报头和数据，抽出报头。该报头的抽出，是由报头抽样电路 242 进行。

例如，包解析电路 240 解析报头的包类型域，判断接收的包的类型 (请求包、应答包、确认包) 等。另外，解析报头的同步信号代码域，判断接收的包是否包括向接口电路 92 指示生成同步信号 (垂直同步信号、水平同步信号) 的同步信号代码。

例如在图 5 中，当照相机 8 输出垂直同步信号 CMVREF 时，包生成电路 320 生成包括同步信号代码的包，该同步信号代码指示生成垂直同步信号。另外，当照相机 8 输出水平同步信号 CMHREF 时，生成包括同步信号代码的包，该同步信号代码指示生成水平同步信号。而且，生成的包通过串行总线传输。包解析电路 240 解析传输来的包，当检测到垂直同步信号的代码时，向接口电路 92 指示生成、输出垂直同步信号 SCMVREF。另外，当检测到水平同步信号的代码时，指示生成、输出水平同步信号 SCMHREF。由此，实现了接口总线和系统总线间的总线桥接功能。

另外，包解析电路 240 解析接收的包的报头，抽出 PCS、PW (M、N) 的设置信息。具体地讲，如图 10 (B) 所示，当在 PCS 域、PW 域上设置有 PCS、PW 时，抽出这些 PCS、PW 的信息。

内部寄存器 **250** 包括各种控制寄存器和状态寄存器。该内部寄存器 **250** 存储有由包解析电路 **240** 抽出的 PCS、PW (M、N) 的设置信息。具体地讲, 内部寄存器 **250** 所包含的 PCS 寄存器 **252**、PW 寄存器 **254** 存储有 PCS、PW 信息。

如图 10 (A) 和图 10 (B) 所示, 在通过串行总线接收的包的数据域中插入有压缩数据。该压缩数据是含有 M 个 (K+L) 位数据的 (N×I) 字节的数据, 该 (K+L) 位数据通过对 K 位数据附加 L 位的伪数据而得到。而且, 该压缩数据是根据 K 可变地设置 L 和 M (或者 N) 的数据。

而且, 数据格式器 **200** (链路控制器 **90**) 从该压缩数据中抽出 K 位 (6~24 位) 的数据 (照相机数据), 输出到接口电路 **92**。另外, 数据格式器 **200** 从根据存储在内部寄存器 **250** 中的 PCS、PW (M、N) 的设置信息决定的位位置上, 进行删除伪数据的处理。

例如, 当图 8 的 A1 所示的压缩数据插入到数据域中时, 数据格式器 **200** 将 K=6 位的数据 (11)~(16)、(21)~(26)、(31)~(36)、(41)~(46) 从压缩数据抽出, 依次输出到接口电路 **92**。同样地, 当插入有图 8 的 A2、A3、A4、A5、A6、A7 所示的压缩数据时, 分别抽出 K=7、8、10、12、16、24 位的数据, 依次输出到接口电路 **92**。另外, 当插入有图 9 的 B2、B3、B4、B5、B6、B7 所示的压缩数据时, 分别抽出 K=7、8、10、12、16、24 位的数据, 依次输出到接口电路 **92**。

数据格式器 **200** 包括数据缓冲器 **202**、伪数据删除电路 **204**。在数据缓冲器 **202** 中以 8 位或者 16 位为单位输入压缩数据, 输出以 K 位 (8~24 位) 为单位的数据。伪数据删除电路 **204** 进行删除作为冗余数据的伪数据的处理。具体地讲, 用于进行如下的处理: 根据存储在内部寄存器 **250** 中的 PCS、PW (M、N) 的设置信息,

决定(设置)伪数据的位位置(数据缓冲器 202 上的位位置), 从该位位置上删除伪数据(为 0 或者 1 的数据)。

位计数器 210 进行数据的位数的计数处理。字节计数器 212 进行数据的字节数的计数处理。而且, 数据格式器 200 (伪数据删除电路 204) 根据来自位计数器 210 的位数的计数值、来自字节计数器 212 的字节数的计数值、以及存储在内部寄存器 250 中的 PCS、PW(M、N) 的设置信息进行解码处理, 决定删除伪数据的位位置。

接口电路 92 接收来自数据格式器 200 的 K 位(6~24 位)数据(照相机数据)。而且, 将该数据作为 SCMDAT 输出到主机装置 5。而且, 此时, 将与图 7(A)~图 7(D) 相同波形的垂直同步信号 SCMVREF、水平同步信号 SCMHREF、时钟信号 SCMCLKIN 输出到主机装置 5。由此, 能够进行从照相机 8 输出的 CMDAT、CMVREF、CMHREF 等的再生处理。

4. 格式变换方法

下面详细说明本实施例的格式变换方法。例如, 在图 8 的 A1 中, 输入的照相机数据格式是 RAW 6, 输入 K=6 位的数据(11)~(16)、(21)~(26)、(31)~(36)、(41)~(46)。此外, (11) 是指第一个数据(6 位数据)的第一位, (12) 是指第一个数据的第二位。另外, (21) 是指第二个数据的第一位, (22) 是指第二个数据的第二位。另外, (×) 是伪数据(冗余数据)。

而且, 如图 8 的 A1 所示, 当位数 K=6 时, 设置为压缩宽度 PW=24、压缩内数据个数 PCS=4。另外, 伪数据的位数成为 L=0。从而, 此时生成含有 PCS=4 个(M 个)的 6 位(K+L 位)的数据的、PW=24 位(N=3)的压缩数据。

另外，在图 8 的 A2 中，照相机数据的格式是 RAW 7，输入 $K=7$ 位的数据 (11) ~ (17)、(21) ~ (27)。而且，这样当 $K=7$ 时，设置为 $PW=16$ 、 $PCS=2$ 。另外，伪数据的位数为 $L=1$ 。从而，此时生成含有 $PCS=2$ 个 (M 个) 的 8 位 ($K+L$ 位) 数据的、 $PW=16$ 位 ($N=2$) 压缩数据。

此外，在图 8 的 A2 情况下，在字节计数器的计数值 = 1、位计数器的计数值 = 8 的情况、以及在字节计数器的计数值 = 2、位计数器的计数值 = 8 的情况下，可以插入伪数据。

另外，在图 8 的 A3 中，照相机数据的格式是 YUV 422、YUV 420、RAW 8 或 JPEG 8，输入 $K=8$ 位的数据 (11) ~ (18)、(21) ~ (28)。而且，这样当 $K=8$ 时，设置为 $PW=16$ 、 $PCS=2$ 。另外，伪数据的位数为 $L=0$ 。从而，此时，生成含有 $PCS=2$ 个 (M 个) 的 8 位 ($K+L$ 位) 数据的、 $PW=16$ 位 ($N=2$) 的压缩数据。

此外，在图 8 的 A4 情况下，在字节计数器的计数值 = 2、位计数器的计数值 = 3、4 的情况、在字节计数器的计数值 = 3、位计数器的计数值 = 7、8 的情况下，可以插入伪数据。

另外，在图 8 的 A4 中，照相机数据的格式是 RAW 10，输入 $K=10$ 位的数据 (101) ~ (110)、(201) ~ (210)。而且，这样当 $K=10$ 时，设置 $PW=24$ 、 $PCS=2$ 。另外，伪数据的位数为 $L=2$ 。从而，此时，生成含有 $PCS=2$ 个 (M 个) 12 位 ($K+L$ 位) 数据的、 $PW=24$ 位 ($N=3$ 字节) 压缩数据。图 8 的 A5 ~ A7、图 9 的 B1 ~ B7 的情况也同样地生成压缩数据。

在图 3 (A)、图 4 (A) 中所示的第一比较例中，冗余数据的位数多。因此，存在串行总线中的数据传输量变大的问题。另一方面，在图 3 (B)、图 4 (B) 的第二比较例中没有冗余数据，但是想

支持全部格式的照相机数据时，存在数据格式器和计数器大规模化的问题。

对此，在本实施例的方法中，虽然存在冗余数据，但是其位数远少于第一比较例。从而，不会大幅度加大串行总线中的数据传输量，而能够使数据传输高效化。另外，如图 8、图 9 所示，当想支持全部格式的照相机数据时，数据格式器和计数器的电路规模也远没有第二比较例那么大。

接着，使用图 11 (A) ~ 图 12 (C) 说明与第一、第二比较例相比本实施例方法的优点。图 11 (A) ~ (C) 是设置了图 8 的压缩数据的包宽度(总线宽度)是 8 位($I=1$)时的示例，图 12 (A) ~ (C) 是设置了图 9 的压缩数据的包宽度是 16 位($I=2$)时的例。

而且，在图 11 (A) ~ 图 12 (C) 中， N 是压缩数据的字节数或字数， L 是冗余数据(伪数据)的位数。另外， K 是输入数据的位数， M 是压缩数据内有的($K+L$)位数据的个数。

为了进行格式变换，需要分别计数图 11 (A) ~ 图 12 (C) 的 N 、 M 、 K 的计数器(字节计数器、位计数器等)。在此，对于 K 在第一、第二比较例以及本实施例中条件相同。从而，计数 N 、 M 的计数器、以及多路传输并解码来自计数器的计数值的电路等影响电路规模。从而，为了削减电路规模，需要使 $N \times M$ 尽量小。此外， N/M 的组合数相当于电路个数。

另一方面，为了减少串行总线的数据传输量，有必要使冗余数据的位数 L 减少。

从而，为了同时实现数据传输量的降低和电路的小规模化，优选能够同时实现 $N \times M$ 的最小化、 L 的最小化。

这点在图 11 (A)、图 12 (A) 的第一比较例中, 将 M 固定, 使 $M=1$ 。从而, $N \times M$ (电路规模) 能够变小。例如, 当计算 $N \times M$ 的总和时, 在图 11 (A) 中是 12 点, 在图 12 (A) 中是 8 点。

但是, 在该第一比较例中, 冗余数据的位数 L (数据传输量) 将变大。例如, 当计算 L 的总和时, 在图 11 (A) 中是 13 位, 在图 12 (A) 中是 45 位, 变得非常大。

另外, 在图 11 (B)、图 12 (B) 的第二比较例中, 将 L 固定, 使 $L=0$ 。从而, L (数据传输量) 能够变小。例如, 当计算 L 的总计时, 在图 11 (B)、图 12 (B) 中都是 0 位。

但是, 在该第二比较例中, 由于 N 和 M 都大, 所以 $N \times M$ (电路规模) 将变大。例如, 当计算 $N \times M$ 的总和时, 在图 11 (B) 中是 100 点, 在图 12 (B) 中是 197 点, 变得非常大。

与此相对, 在图 11 (C)、图 12 (C) 的本实施例的方法中, 根据 K 可变地设置 L 、 M 。即, 根据 K 使 L 、 M 变为适当的值。

更具体地讲, 在 $I=1$ 的图 11 (C) 中, 生成如下的压缩数据:

- (1) 当 $K=6$ 时, $L=0$ 、 $M=4$ 、 $N=3$
- (2) 当 $K=7$ 时, $L=1$ 、 $M=2$ 、 $N=2$
- (3) 当 $K=8$ 时, $L=0$ 、 $M=2$ 、 $N=2$
- (4) 当 $K=10$ 时, $L=2$ 、 $M=2$ 、 $N=3$
- (5) 当 $K=12$ 时, $L=0$ 、 $M=2$ 、 $N=3$
- (6) 当 $K=16$ 时, $L=0$ 、 $M=1$ 、 $N=2$ 或者

(7) 当 $K=24$ 时, $L=0$ 、 $M=1$ 、 $N=3$ 。

另外, 在 $I=2$ 的图 12 (C) 中, 生成如下的压缩数据:

(11) 当 $K=6$ 、 $I=2$ 时, $L=0$ 、 $M=8$ 、 $N=3$

(12) 当 $K=7$ 、 $I=2$ 时, $L=1$ 、 $M=4$ 、 $N=2$

(13) 当 $K=8$ 、 $I=2$ 时, $L=0$ 、 $M=4$ 、 $N=2$

(14) 当 $K=10$ 、 $I=2$ 时, $L=1$ 、 $M=3$ 、 $N=2$

(15) 当 $K=12$ 、 $I=2$ 时, $L=0$ 、 $M=4$ 、 $N=3$

(16) 当 $K=16$ 、 $I=2$ 时, $L=0$ 、 $M=2$ 、 $N=2$ 或者

(17) 当 $K=24$ 、 $I=2$ 时, $L=0$ 、 $M=2$ 、 $N=3$ 。

此时, 在本实施例的方法中, 公式 $N \times 8 \times I = (K+L) \times M$ 成立。例如, 在 $I=1$ 的图 11 (C) 中, 公式 $N \times 8 = (K+L) \times M$ 成立。另外, 在 $I=2$ 的图 12 (C) 中, 公式 $N \times 8 \times 2 = (K+L) \times M$ 成立。但是, 只有图 12 (C) 的 $K=10$ 的情况 (上述的 (14) 的情况) 是例外。

此外, 即使不能满足上述的 (1) ~ (7)、(11) ~ (17) 的全部, 也可以只生成满足 (1) ~ (7)、(11) ~ (17) 的一部分的压缩数据。即, 也可以只支持 YUV 422、YUV 420、RGB 888、RGB 565、RGB 444、RAW 6、RAW 7、RAW 8、RAW 10、RAW 12、JPEG 8 的一部分格式。

根据上述的本实施例的方法, 如从图 11 (C)、图 12 (C) 可明确, 能够将 $N \times M$ (电路规模) 减少为小于第二比较例。例如, 当

计算 $N \times M$ 的总和时，在图 11 (C) 中是 37 点，在图 12 (C) 中是 68 点。从而，与 $N \times M$ 的总和是 100 点、197 点的第二比较例相比，能够充分减小电路规模。

另外，在本实施例的方法中，冗余数据的位数比第一比较例少，因此，L (数据传输量) 也能够减小。例如，当计算 L 的总和时，在图 11 (C) 中是 3 点，在图 12 (C) 中 2 点。从而，与 L 的总和是 13、45 位的第一比较例相比，能够充分减少数据传输量。

由此，根据本实施例的方法，能够同时实现 $N \times M$ 的最小化和 L 的最小化。从而，不会大幅度增大电路规模，能够实现多种格式数据的高效地串行传输。

5. 基于差动信号的数据传输方式

下面使用图 13 说明本实施例的串行传输方法。在图 13 中， $DTO+$ 、 $DTO-$ 是主机侧 (数据传输控制装置 10) 输出到目标侧 (数据传输控制装置 30) 的数据 (OUT 数据)。 $CLK+$ 、 $CLK-$ 是主机侧提供给目标侧的时钟信号。主机侧与 $CLK+/-$ 边沿 (例如是上升沿。也可以是下降沿) 同步，输出 $DTO+/-$ 。从而，目标侧能够使用 $CLK+/-$ 采样并捕获 $DTO+/-$ 。还有，在图 13 中，目标侧根据从主机侧供给的时钟信号 $CLK+/-$ 动作。即， $CLK+/-$ 成为目标侧的系统时钟信号。因此，PLL (Phase Locked Loop) 电路 12 (广义上是指时钟信号生成电路) 设置在主机侧，没有设置在目标侧。

$DTI+$ 、 $DTI-$ 是目标侧输出到主机侧的数据 (IN 数据)。 $STB+$ 、 $STB-$ 是目标侧供给主机侧的选通信号 (广义上是时钟信号)。目标侧根据从主机侧供给的 $CLK+/-$ 生成 $STB+/-$ 并输出。而且，目标侧与 $STB+/-$ 的边沿 (例如是上升沿。也可以是下降沿) 同步，输出 $DTI+/-$ 。从而，主机侧能够使用 $STB+/-$ 采样并捕获 $DTI+/-$ 。

DTO+/-、CLK+/-、DTI+/-、STB+/-各个信号是发送器电路（驱动器电路）通过例如电流驱动（或者电压驱动）与这些信号的各个信号对应的差动信号线（Differential Signal Lines）来发送的。此外，为了实现更高速的传输，也可以设置大于等于两对的 DTO+/-、DTI+/-的各差动信号线。

主机侧的收发器 20 包括：OUT 传输用（广义上是数据传输用）发送器电路 22 和时钟信号传输用发送器电路 24、IN 传输用（广义上是数据传输用）接收器电路 26、选通传输用（广义上是时钟信号传输用）接收器电路 28。目标侧的收发器 40 包括：OUT 传输用接收器电路 42 和时钟信号传输用接收器电路 44、IN 传输用发送器电路 46 和选通传输用发送器电路 48。此外，也可以是不包括这些电路模块的一部分的构成。

OUT 传输用发送器电路 22 和时钟信号传输用发送器电路 24 分别通过电流驱动 DTO+/-、CLK+/-的差动信号线，发送 DTO+/-、CLK+/-。OUT 传输用接收器电路 42 和时钟信号传输用接收器电路 44 分别根据流经 DTO+/-、CLK+/-的差动信号线的电流进行电流/电压变换、并进行由电流、电压变换得到的差动电压信号（第一、第二电压信号）的比较处理（差动放大处理），从而接收 DTO+/-、CLK+/-。

IN 传输用发送器电路 46 和时钟信号传输用发送器电路 48 分别通过电流驱动 DTI+/-、STB+/-的差动信号线，发送 DTI+/-、STB+/-。IN 传输用接收器电路 26 和选通传输用接收器电路 28 分别根据流经 DTI+/-、STB+/-的差动信号线的电流进行电流/电压变换、并进行由电流/电压变换得到的差动电压信号（第一、第二电压信号）的比较处理（差动放大处理），从而接收 DTI+/-、STB+/-。

6. 电子设备

图 14 表示本实施例的电子设备的构成例。该电子设备包括本实施例中说明的数据传输控制装置 502、512、514、520、530。另外，包括基带引擎 500（广义上是通信装置）、应用引擎 510（广义上是处理器）、照相机 540（广义上是摄像装置）、或者 LCD 550（广义上是显示装置）。此外，也可以是省略这些的一部分的构成。根据该构成，能够实现具有照相机功能和 LCD(Liquid Crystal Display) 显示功能的便携式电话等。但是，本实施例的电子设备不限于便携式电话，还可以应用于数码照相机、PDA、电子记事本、电子词典或者便携型信息终端等各种电子设备。

如图 14 所示，在设置在基带引擎 500 上的主机侧的数据传输控制装置 502 与设置在应用引擎 510（图形引擎）上的目标侧的数据传输控制装置 512 之间，进行本实施例中说明的串行传输。另外，在设置在应用引擎 510 上的主机侧的数据传输控制装置 514 与包括照相机接口电路 522 的数据传输控制装置 520 之间、或与包括 LCD 接口电路 532 的数据传输控制装置 530 之间，也可以进行本实施例中说明的串行传输。此外，也可以由相同的硬件（CPU 等）实现基带引擎 500 和应用引擎 510。

根据图 14 的构成，与现有的电子设备相比，能够降低 EMI 噪声。另外，通过实现数据传输控制装置的小规模化、节能化，从而实现电子设备的进一步节能化。另外，当电子设备是便携式电话时，能够将通到便携式电话的连接区（铰链区）的信号线设为串行信号线，能够实现安装的简易化。

此外，如上所述详细说明了本实施例，但根据本发明的新颖点以及效果能够进行不脱离实体的多个变形，本领域的技术人员可以显而易见。从而，这样的变形例全部包括在本发明的保护范围内。

例如，在说明书或附图中，至少一次与更广义或者同义的不同术语（装置、I 字节等）一起出现的术语（照相机、显示装置、8/16 位等），在说明书或者附图的任意地方能够置换成与其不同术语。

另外，数据传输控制装置或电子设备的构成或动作也不限于本实施例中说明的构成或动作，能够进行各种的变形实施。另外，格式变换方法也没有限定在图 8、图 12（C）等说明的方法中。例如，K 也不限定在 6、7、8、10、12、16、24，I 也不限定在 1、2。另外，照相机数据之外的格式变换上也能够使用本发明的方法。

附图标记说明

5: 主机装置	6: 显示驱动器
7: 显示面板	8: 照相机
10: 数据传输控制装置（主机侧）	20: 收发器
30: 数据传输控制装置（目标侧）	40: 收发器
90、100: 链路控制器	92、110: 接口电路
200: 数据格式器	202: 数据缓冲器
204: 伪数据删除电路	210: 位计数器
212: 字节计数器	230: 包缓冲器
240: 包解析电路	242: 报头抽样电路
250: 内部寄存器	252: PCS 寄存器

254: PW 寄存器

300: 数据格式器

302: 数据缓冲器

304: 伪数据插入电路

310: 位计数器

312: 字节计数器

320: 包生成电路

322: 报头生成电路

330: 包缓冲器

350: 内部寄存器

352: PCS 寄存器

354: PW 寄存器

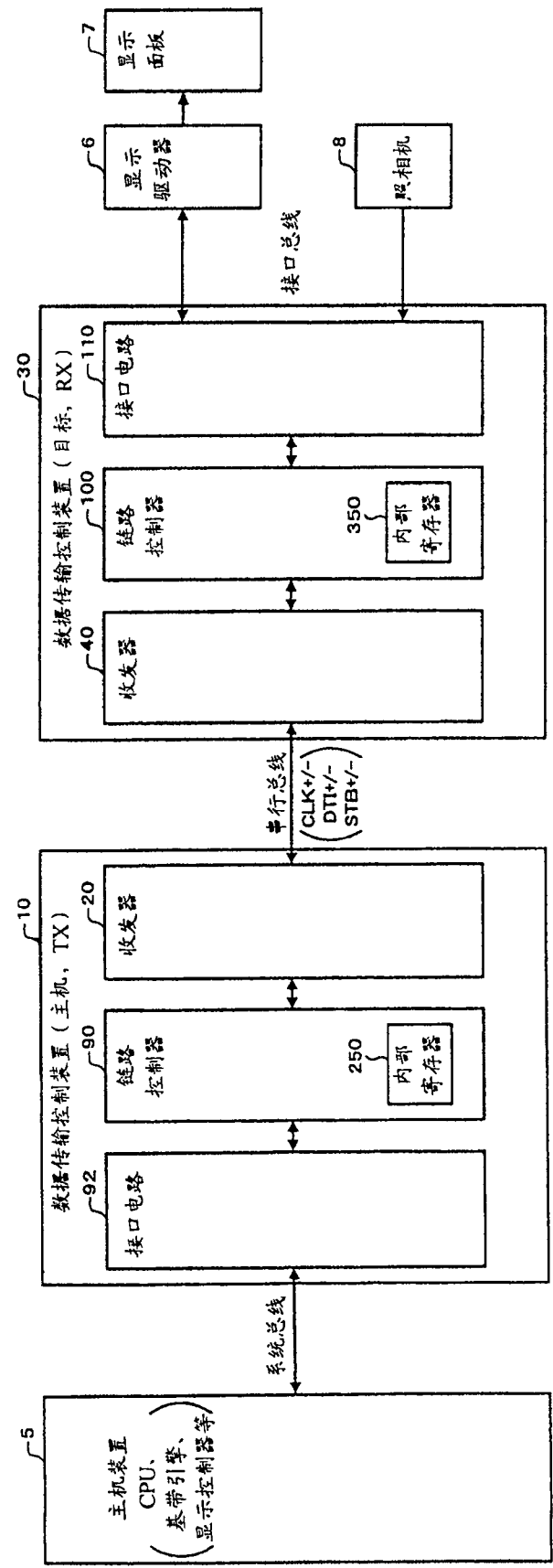


图 1

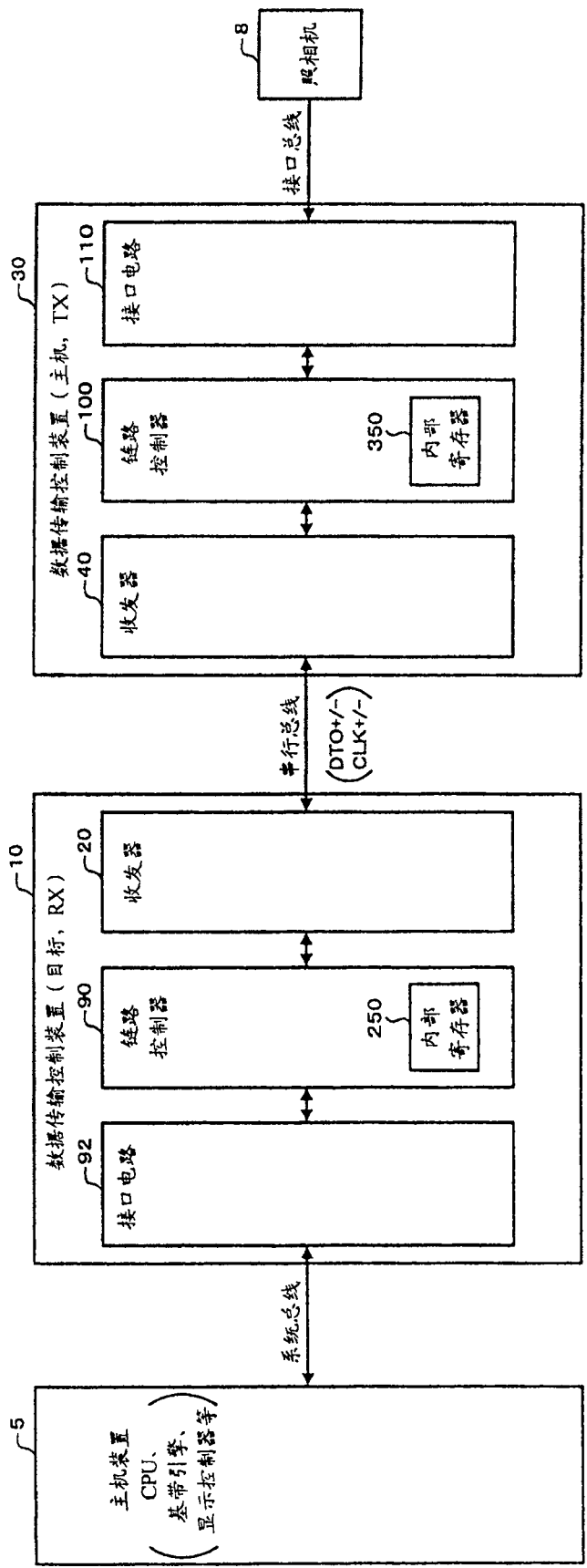


图 2

(A) 第一比较例

DATA (K 位)								
10	1	2	3	4	5	6	7	8
	101	102	103	104	105	106	107	108
	109	110	x	x	x	x	x	x
	201	202	203	204	205	206	207	208
	209	210	x	x	x	x	x	x

(B) 第二比较例

DATA (K 位)								
10	101	102	103	104	105	106	107	108
	109	110	201	202	203	204	205	206
	207	208	209	210	301	302	303	304
	305	306	307	308	309	310	401	402
	403	404	405	406	407	408	409	410

图 3

(A)第一比较例

DATA (K 位)																
10	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	101	102	103	104	105	106	107	108	109	110	x	x	x	x	x	x
	201	202	203	204	205	206	207	208	209	210	x	x	x	x	x	x

(B)第二比较例

DATA (K 位)																
10	101	102	103	104	105	106	107	108	109	110	201	202	203	204	205	206
	207	208	209	210	301	302	303	304	305	306	307	308	309	310	401	402
	403	404	405	406	407	408	409	410	501	502	503	504	505	506	507	508
	509	510	601	602	603	604	605	606	607	608	609	610	701	702	703	704
	705	706	707	708	709	710	A01	A02	A03	A04	A05	A06	A07	A08	A09	A10

图 4

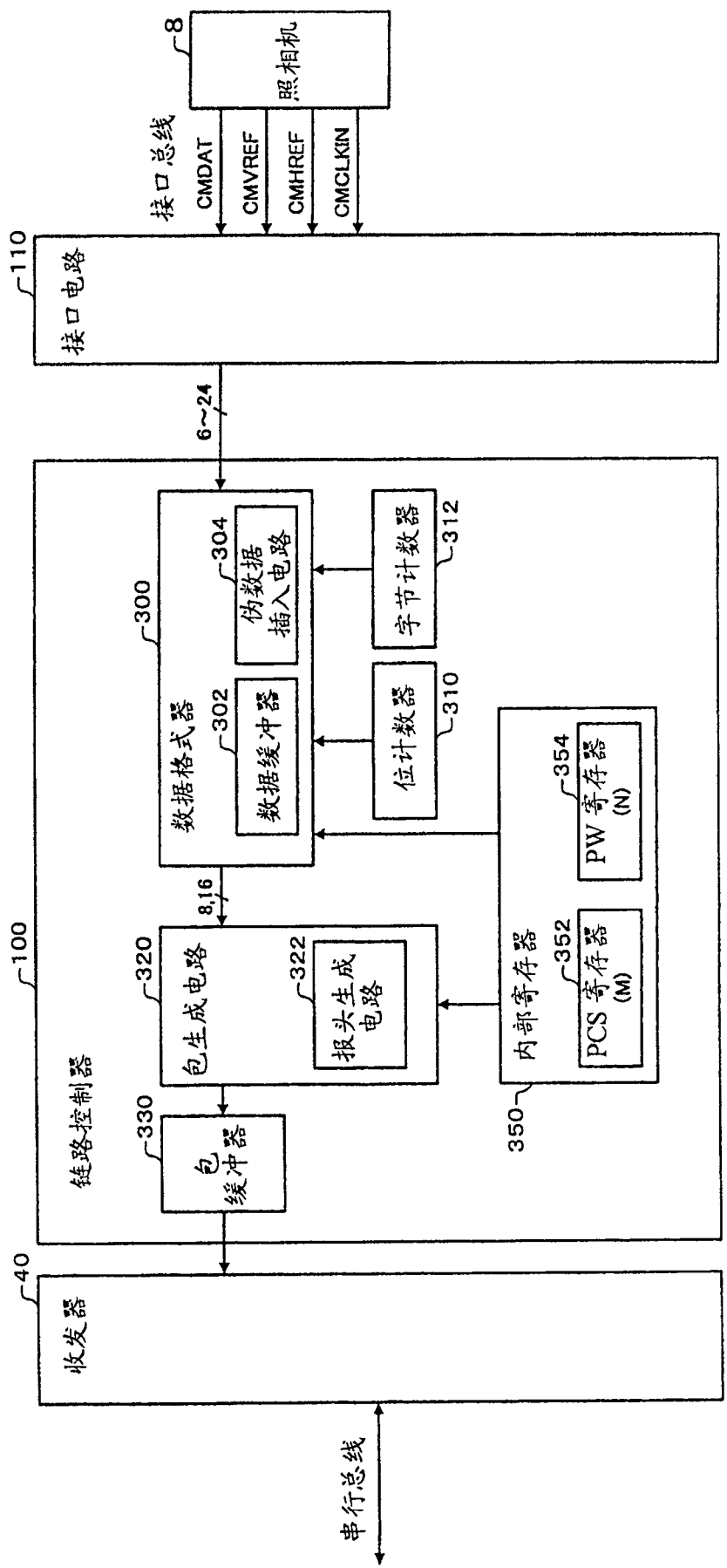


图 5

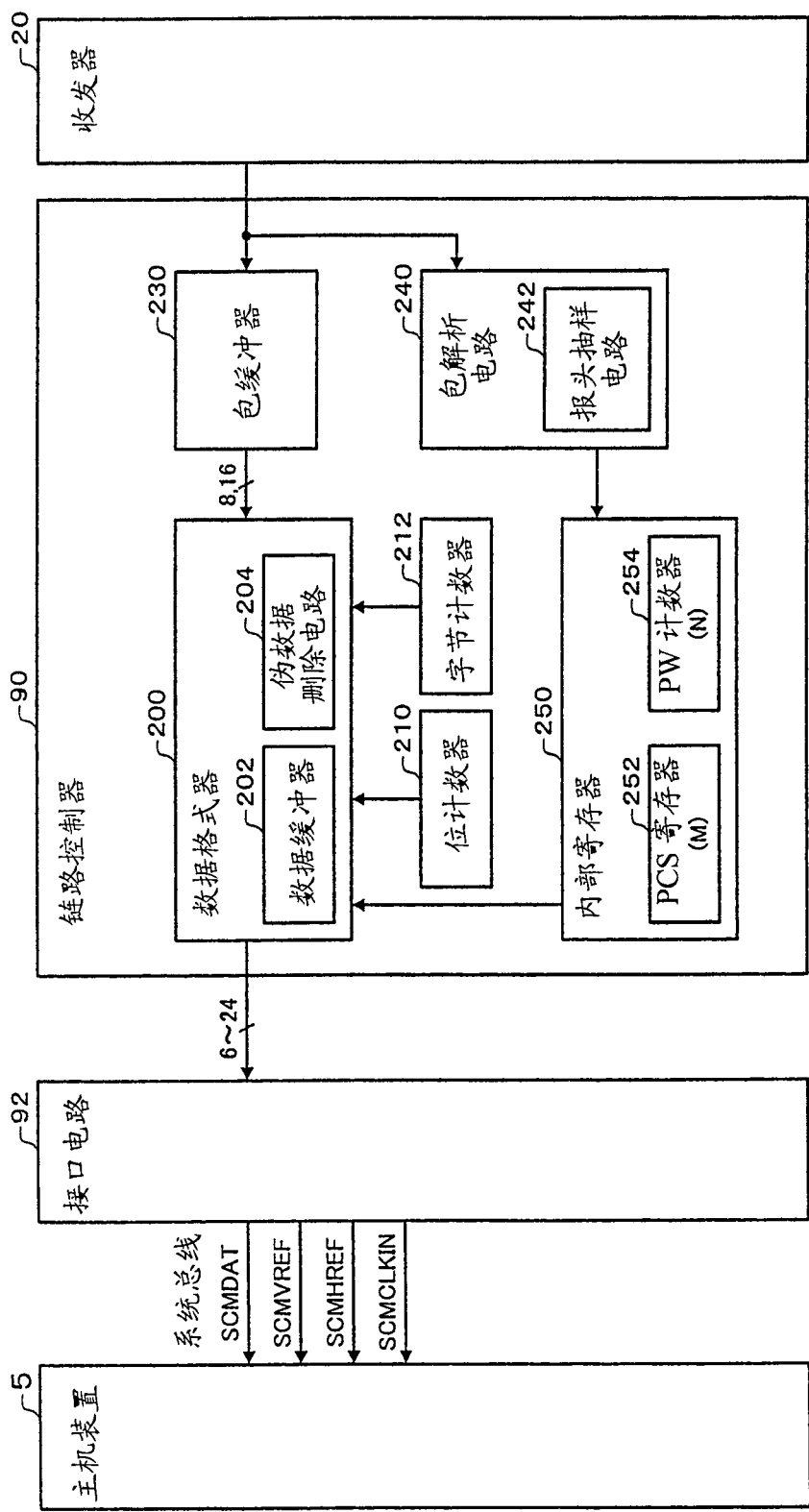


图 6

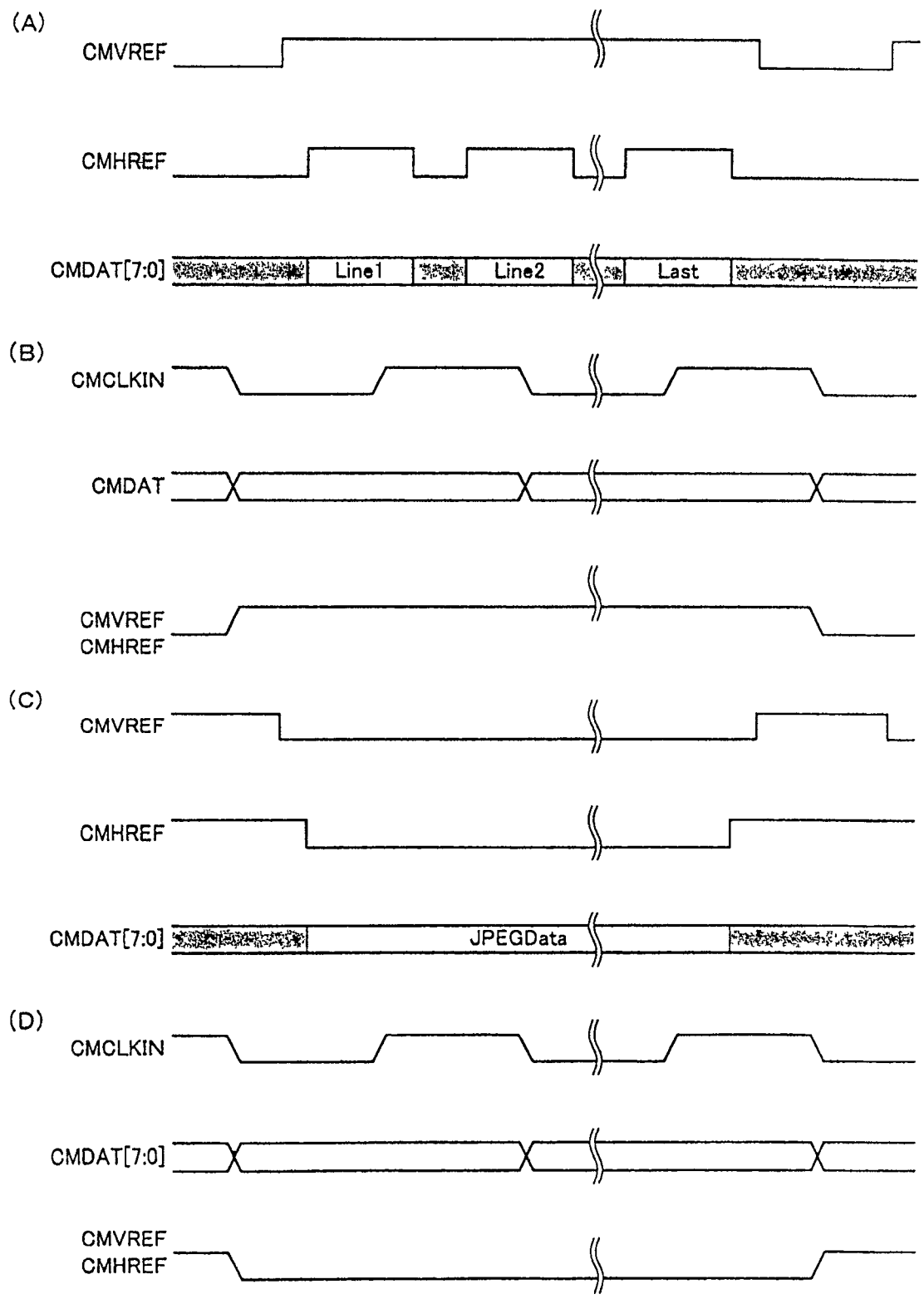


图 7

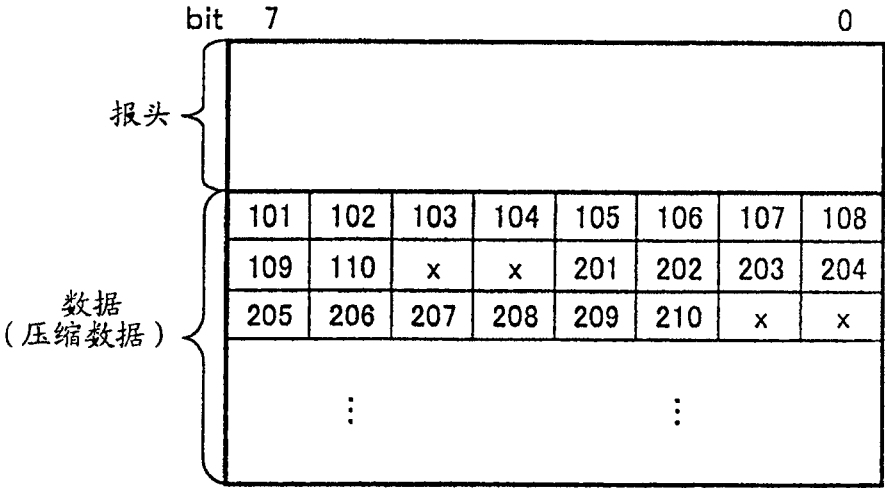
DATA (K 位)	PW (N 字节)	PCS (M 个)	1	2	3	4	5	6	7	8	
6	24 (N=3)	4	11	12	13	14	15	16	21	22	
			23	24	25	26	31	32	33	34	↖ A1
			35	36	41	42	43	44	45	46	
7	16 (N=2)	2	11	12	13	14	15	16	17	x	
			21	22	23	24	25	26	27	x	↖ A2
8	16 (N=2)	2	11	12	13	14	15	16	17	18	
			21	22	23	24	25	26	27	28	↖ A3
10	24 (N=3)	2	101	102	103	104	105	106	107	108	
			109	110	x	x	201	202	203	204	↖ A4
			205	206	207	208	209	210	x	x	
12	24 (N=3)	2	101	102	103	104	105	106	107	108	
			109	110	111	112	201	202	203	204	↖ A5
			205	206	207	208	209	210	211	212	
16	16 (N=2)	1	101	102	103	104	105	106	107	108	
			109	110	111	112	113	114	115	116	↖ A6
24	24 (N=3)	1	101	102	103	104	105	106	107	108	
			109	110	111	112	113	114	115	116	↖ A7
			117	118	119	120	121	122	123	124	

图 8

DATA (K位) 6	PW (N×2字节) 48 (N=3)	PCS (M个) 8	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
			11	12	13	14	15	16	21	22	23	24	25	26	31	32	33	34
			35	36	41	42	43	44	45	46	51	52	53	54	55	56	61	62
			63	64	65	66	71	72	73	74	75	76	81	82	83	84	85	86
7	32 (N=2)	4	11	12	13	14	15	16	17	x	21	22	23	24	25	26	27	x
			31	32	33	34	35	36	37	x	41	42	43	44	45	46	47	x
8	32 (N=2)	4	11	12	13	14	15	16	17	18	21	22	23	24	25	26	27	28
			31	32	33	34	35	36	37	38	41	42	43	44	45	46	47	48
10	32 (N=2)	3	101	102	103	104	105	106	107	108	109	110	x	201	202	203	204	205
			206	207	208	209	210	x	301	302	303	304	305	306	307	308	309	310
12	48 (N=3)	4	101	102	103	104	105	106	107	108	109	110	111	112	201	202	203	204
			205	206	207	208	209	210	211	212	301	302	303	304	305	306	307	308
			309	310	311	312	401	402	403	404	405	406	407	408	409	410	411	412
16	32 (N=2)	2	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116
			201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216
24	48 (N=3)	2	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116
			117	118	119	120	121	122	123	124	201	202	203	204	205	206	207	208
			209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224

图 9

(A)



(B)

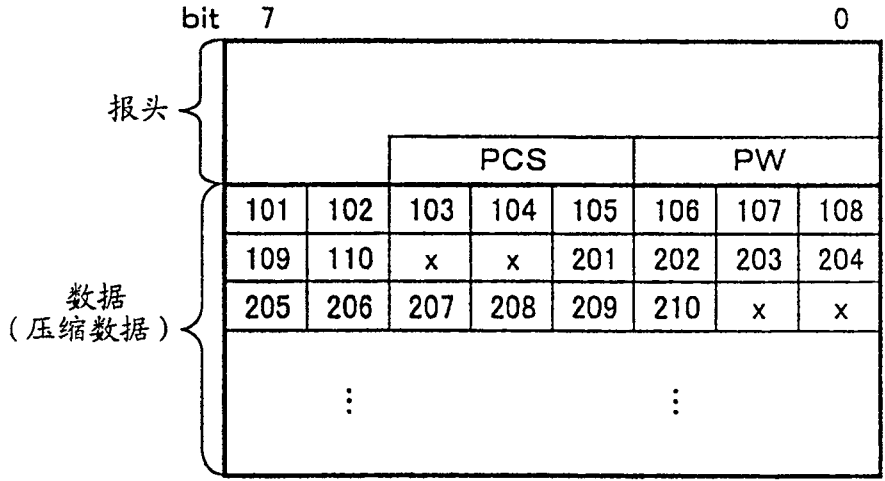


图 10

(A) 第一比较例 (固定 M=1)

N	L	K	M
1	2	6	1
1	1	7	1
1	0	8	1
2	6	10	1
2	4	12	1
2	0	16	1
3	0	24	1

(B) 第二比较例 (固定 L=0)

N	L	K	M
3	0	6	4
7	0	7	8
1	0	8	1
5	0	10	4
3	0	12	2
2	0	16	1
3	0	24	1

(C) 本实施例 (根据 K 可变地设置 L 和 M)

N(PW)	L(伪数据)	K(数据)	M(PCS)
3	0	6	4
2	1	7	2
2	0	8	2
3	2	10	2
3	0	12	2
2	0	16	1
3	0	24	1

$$N \times 8 = (K + L) \times M$$

$$(I = 1)$$

图 11

(A) 第一比较例 (固定 M=1)

N	L	K	M
1	10	6	1
1	9	7	1
1	8	8	1
1	6	10	1
1	4	12	1
1	0	16	1
2	8	24	1

(B) 第二比较例 (固定 L=0)

N	L	K	M
3	0	6	8
7	0	7	16
1	0	8	2
5	0	10	8
3	0	12	4
1	0	16	1
3	0	24	2

(C) 本实施例 (根据 K 可变地设置 L 和 M)

N(PW)	L(伪数据)	K(数据)	M(PCS)
3	0	6	8
2	1	7	4
2	0	8	4
2	1	10	3
3	0	12	4
2	0	16	2
3	0	24	2

$$N \times 8 \times 2 = (K + L) \times M$$

(I=2)

图 12

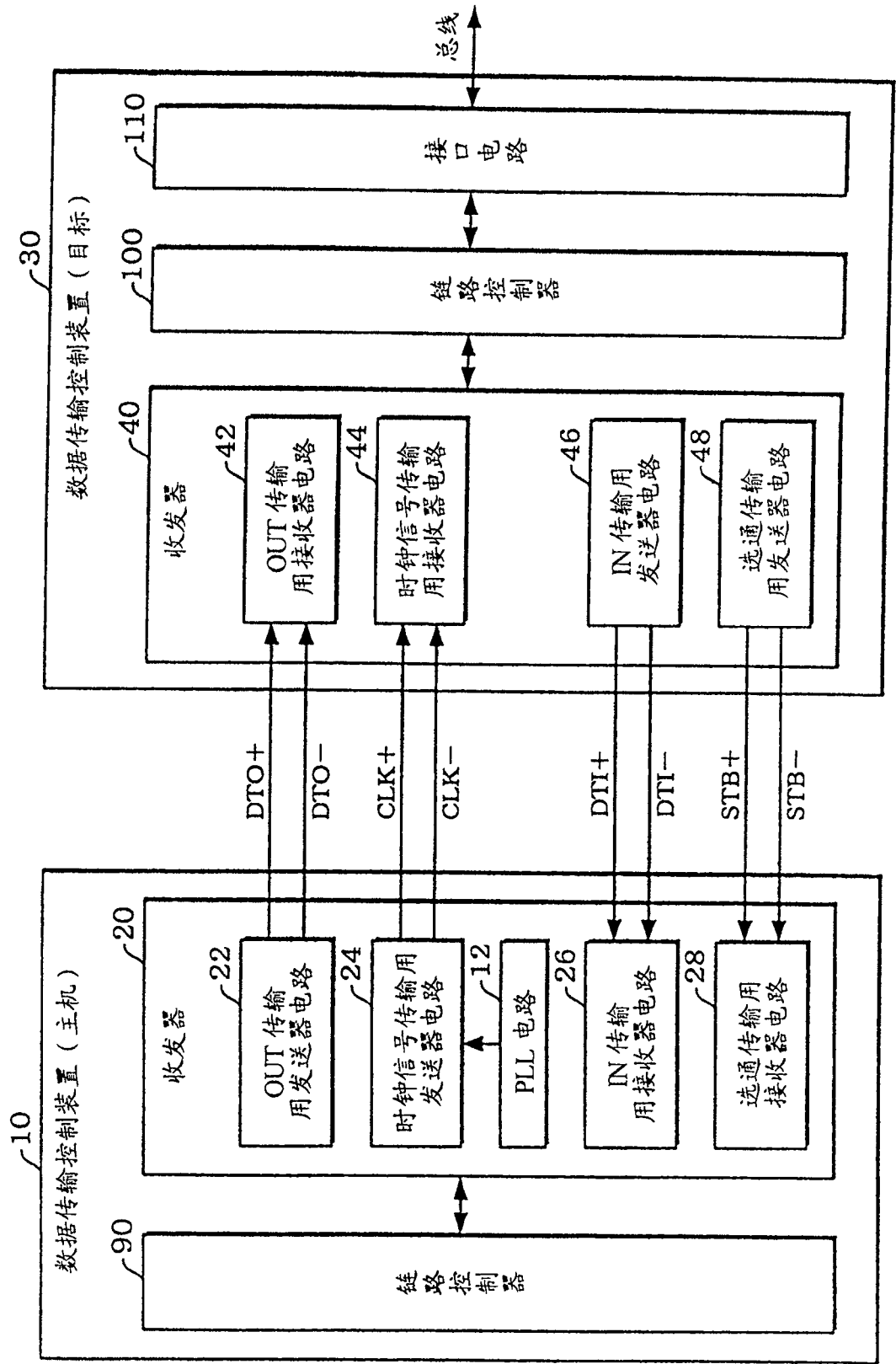


图 13

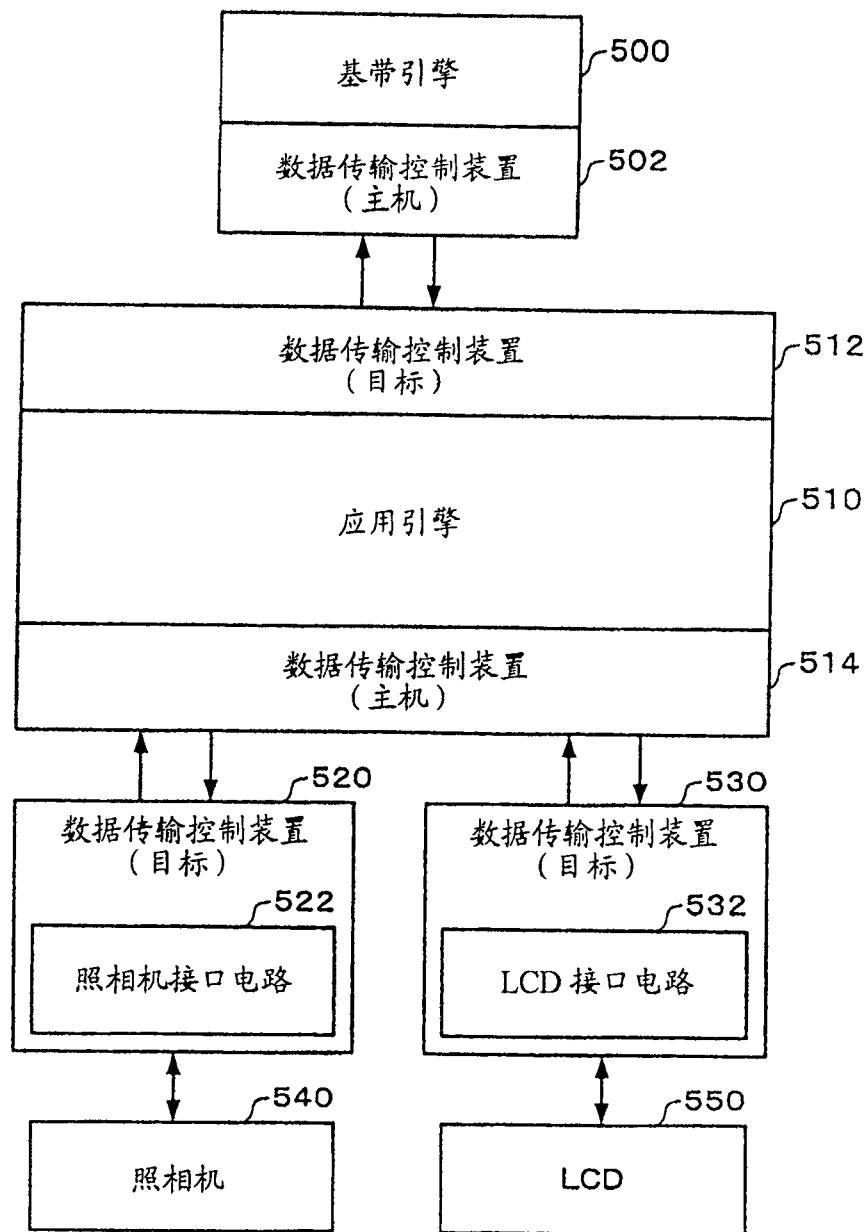


图 14