



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0030563
(43) 공개일자 2020년03월20일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01)
(52) CPC특허분류
H01L 25/0655 (2013.01)
H01L 23/31 (2013.01)
(21) 출원번호 10-2020-7004197
(22) 출원일자(국제) 2018년07월30일
심사청구일자 없음
(85) 번역문제출일자 2020년02월12일
(86) 국제출원번호 PCT/US2018/044342
(87) 국제공개번호 WO 2019/032322
국제공개일자 2019년02월14일
(30) 우선권주장
15/675,214 2017년08월11일 미국(US)

(71) 출원인
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
(72) 발명자
브하가밧 미린드 에스.
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
푸 레이
미국 텍사스 78735 오스틴 사우스웨스트 파크웨이
7171
(뒷면에 계속)
(74) 대리인
박장원

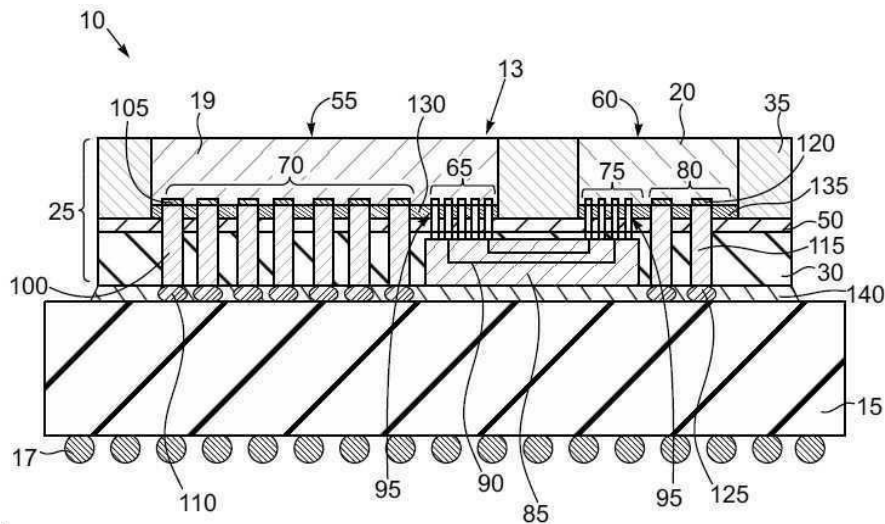
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 몰딩된 칩 조합물

(57) 요약

다양한 몰딩된 칩 조합물 및 이의 제조 방법이 개시된다. 하나의 양태에서, 제1 PHY 영역(75)을 갖는 제1 반도체 칩(20), 제2 PHY 영역(65)을 갖는 제2 반도체 칩(19), 제1 PHY 영역을 제2 PHY 영역에 인터커넥트하는 인터커넥트 칩(85), 및 제1 반도체 칩, 제2 반도체 칩 및 인터커넥트 칩을 함께 접합하는 몰딩(25)을 포함하는 몰딩된 칩 조합물이 제공된다.

대표도 - 도2



(52) CPC특허분류

H01L 24/06 (2013.01)

(72) 발명자

바버 아이버

미국 캘리포니아 95054 산타 클라라 어거스틴 드라
이브 2485

레옹 치아-켄

미국 캘리포니아 95054 산타 클라라 어거스틴 드라
이브 2485

아가르왈 라울

미국 캘리포니아 95054 산타 클라라 어거스틴 드라
이브 2485

명세서

청구범위

청구항 1

제1 PHY 영역(75)을 갖는 제1 반도체 칩(20),
제2 PHY 영역(65)을 갖는 제2 반도체 칩(19),
제1 PHY 영역을 제2 PHY 영역에 인터커넥트하는 인터커넥트 칩(85),
제1 반도체 칩과 제2 반도체 칩을 함께 측방으로 접합하는 제1 몰딩 층(35),
인터커넥트 칩을 적어도 부분적으로 봉지하는 제2 몰딩 층(30), 및
제1 몰딩 층과 제2 몰딩 층 사이에 위치하는 폴리머 층(50)
을 포함하는, 몰딩된 칩 조합물.

청구항 2

제1항에 있어서, 제1 반도체 칩은 몰딩된 칩 조합물이 회로 기판에 장착될 때 회로 기판(15)에 연결될 제1 복수의 인터커넥트(125)를 포함하고 제2 반도체 칩은 몰딩된 칩 조합물이 회로 기판에 장착될 때 회로 기판에 연결될 제2 복수의 인터커넥트(110)를 포함하는, 몰딩된 칩 조합물.

청구항 3

제2항에 있어서, 제1 반도체 칩은 제1 인터커넥트에 연결된 제1 비-PHY 영역(80)을 포함하고 제2 반도체 칩은 제2 인터커넥트에 연결된 제2 비-PHY 영역(70)을 포함하는, 몰딩된 칩 조합물.

청구항 4

제1항에 있어서, 제1 반도체 칩은 제1 비-PHY 영역(80)을 포함하고, 제1 반도체 칩 PHY 영역(75)은 제1 측방 치수(X_1)를 각각 갖는 전도체 패드(145)의 제1 그룹을 가지며, 제1 반도체 칩 비-PHY 영역은 실질적으로 동일한 제1 측방 치수를 각각 갖는 전도체 패드(145)의 제2 그룹을 가지며, 폴리머 층(50)은 전도체 패드의 제1 그룹과 정렬되는 복수의 개구부(347) 및 전도체 패드의 제2 그룹과 정렬되는 복수의 인터커넥트된 개구부(349)를 갖고, 폴리머 층은 각각의 개구부 내에 전도성 필라(150) 및 각각의 인터커넥트된 개구부 내에 인터커넥트된 전도성 필라(150')를 갖는, 몰딩된 칩 조합물.

청구항 5

제4항에 있어서, 인터커넥트된 전도성 필라 상에 또 다른 전도성 필라(370)를 포함하며, 상기 또 다른 전도성 필라는 제1 측방 치수보다 큰 제2 측방 치수를 갖는, 몰딩된 칩 조합물.

청구항 6

제1항에 있어서, 회로 기판을 포함하며 몰딩된 칩 조합물은 상기 회로 기판 상에 장착되는, 몰딩된 칩 조합물.

청구항 7

제1항에 있어서, 제1 반도체 칩은 프로세서를 포함하고 제2 반도체 칩은 메모리 칩을 포함하는, 몰딩된 칩 조합물.

청구항 8

제1 PHY 영역(75) 및 제1 비-PHY 영역(80)을 갖는 제1 반도체 칩(20),
제2 PHY 영역(65) 및 제2 비-PHY 영역(70)을 갖는 제2 반도체 칩(19),

제1 PHY 영역을 제2 PHY 영역에 인터커넥트하는 인터커넥트 칩(85),
제1 반도체 칩과 제2 반도체 칩을 함께 측방으로 접합하는 제1 몰딩 층(35),
제1 몰딩 층에 접합되며 인터커넥트 칩 및 제1 몰딩 층을 적어도 부분적으로 봉지하는 제2 몰딩 층(30), 및
제1 몰딩 층과 제2 몰딩 층 사이에 위치하는 폴리머 층(50)
을 포함하는, 몰딩된 칩 조합물.

청구항 9

제8항에 있어서, 제1 반도체 칩은 몰딩된 칩 조합물이 회로 기판에 장착될 때 회로 기판(15)에 연결될 제1 복수의 인터커넥트(125)를 포함하고 제2 반도체 칩은 몰딩된 칩 조합물이 회로 기판에 장착될 때 회로 기판에 연결될 제2 복수의 인터커넥트(110)를 포함하는, 몰딩된 칩 조합물.

청구항 10

제9항에 있어서, 제1 반도체 칩의 제1 비-PHY 영역(80)은 제1 인터커넥트에 연결되고 제2 반도체 칩의 제2 비-PHY 영역(70)은 제2 인터커넥트에 연결되는, 몰딩된 칩 조합물.

청구항 11

제8항에 있어서, 제1 반도체 칩의 PHY 영역(75)은 제1 측방 치수(X_1)를 각각 갖는 전도체 패드(145)의 제1 그룹을 포함하고, 제1 반도체 칩의 비-PHY 영역(80)은 실질적으로 동일한 제1 측방 치수를 각각 갖는 전도체 패드(145)의 제2 그룹을 포함하며, 폴리머 층(50)은 전도체 패드의 제1 그룹과 정렬되는 복수의 개구부(347) 및 전도체 패드의 제2 그룹과 정렬되는 복수의 개구부(349)를 가지며, 폴리머 층은 개구부 각각 내에 전도성 필라(150) 및 인터커넥트된 개구부 각각 내에 인터커넥트된 전도성 필라(150')를 가지며, 제1 반도체 칩의 비-PHY 영역은 인터커넥트된 전도성 필라 상의 또 다른 전도성 필라(370)를 포함하고, 또 다른 전도성 필라는 제1 측방 치수보다 큰 제2 측방 치수를 갖는, 몰딩된 칩 조합물.

청구항 12

제8항에 있어서, 회로 기판을 포함하며 상기 몰딩된 칩 조합물이 상기 회로 기판 상에 장착되는, 몰딩된 칩 조합물.

청구항 13

제8항에 있어서, 제1 반도체 칩은 프로세서를 포함하고 제2 반도체 칩은 메모리 칩을 포함하는, 몰딩된 칩 조합물.

청구항 14

인터커넥트 칩(85)에 의해 제1 반도체 칩(20)의 제1 PHY 영역(75)을 제2 반도체 칩(19)의 제2 PHY 영역(65)으로 인터커넥트하는 단계, 및

제1 몰딩 층(35)에 의해 제1 반도체 칩과 제2 반도체 칩을 함께 몰딩하는 단계,

제2 몰딩 층(30)에 의해 인터커넥트 칩을 적어도 부분적으로 봉지하는 단계, 및

제1 몰딩 층과 제2 몰딩 층 사이에 폴리머 층(50)을 도포하는 단계

를 포함하는, 몰딩된 칩 조합물을 제조하는 방법.

청구항 15

제14항에 있어서, 몰딩된 칩 조합물이 회로 기판 상에 장착될 때 회로 기판(15)으로 연결되도록 제1 복수의 인터커넥트(125)를 제1 반도체 칩 상에 제조하고 몰딩된 칩 조합물이 회로 기판 상에 장착될 때 회로 기판에 연결되도록 제2 복수의 인터커넥트(110)를 제2 반도체 칩 상에 제조하는 단계를 포함하는, 몰딩된 칩 조합물을 제조하는 방법.

청구항 16

제15항에 있어서, 제1 반도체 칩은 제1 인터커넥트에 연결된 제1 비-PHY 영역(80)을 포함하고 제2 반도체 칩은 제2 인터커넥트에 연결되는 제2 비-PHY 영역(70)을 포함하는, 몰딩된 칩 조립물을 제조하는 방법.

청구항 17

제14항에 있어서, 제1 반도체 칩은 제1 비-PHY 영역(80)을 포함하고, 상기 방법은 제1 측방 치수(X_1)를 각각 갖는 제1 반도체 칩 PHY 영역의 전도체 패드(145)의 제1 그룹 및 실질적으로 동일한 제1 측방 치수를 각각 갖는 제1 반도체 칩 비-PHY 영역의 전도체 패드(145)의 제2 그룹을 제조하는 단계, 전도체 패드의 제1 그룹과 정렬되는 복수의 개구부(347) 및 전도체 패드의 제2 그룹과 정렬되는 복수의 인터커넥트된 개구부(349)를 갖는 폴리머 층(50)을 제공하는 단계, 및 각각의 개구부 내에 전도성 필라(150)를 제조하고 각각의 인터커넥트된 개구부 내에 인터커넥트된 전도성 필라(150')를 제조하는 단계를 포함하는, 몰딩된 칩 조립물을 제조하는 방법.

청구항 18

제17항에 있어서, 인터커넥트된 전도성 필라 상에 또 다른 전도성 필라(370)를 위치시키는 단계를 포함하며, 또 다른 전도성 필라는 제1 측방 치수보다 큰 제2 측방 치수를 갖는, 몰딩된 칩 조립물을 제조하는 방법.

청구항 19

제14항에 있어서, 몰딩된 칩 조립물을 회로 기판 상에 장착하는 단계를 포함하는, 몰딩된 칩 조립물을 제조하는 방법.

청구항 20

제14항에 있어서, 제1 반도체 칩은 프로세서를 포함하고 제2 반도체 칩은 메모리 칩을 포함하는, 몰딩된 칩 조립물을 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 다양한 몰딩된 칩 조립물 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 종래 유형의 멀티-칩 모듈은 캐리어 기판 상에, 또는 캐리어 기판 상에 장착되는 인터포저(이른바, "2.5D") 상에 나란히 장착되는 두 개의 반도체 칩을 포함한다. 반도체 칩은 캐리어 기판에 장착되고 각각의 복수의 솔더 조인트에 의해 상기 캐리어 기판에 인터커넥트되는 플립-칩이다. 인터-칩 파워, 접지, 및 신호 전파뿐 아니라 인터포저 자체로부터의 입/출력을 위한 반도체 칩에 대한 입/출력 경로를 제공하기 위한 복수의 전기적 경로가 캐리어 기판에 제공된다. 반도체 칩은 각각의 언더필 물질 층을 포함하여, 칩, 인터포저 및 솔더 조인트의 열팽창 계수의 차이로 인한 상이한 열 팽창의 효과를 약화할 수 있다.

[0003] 2.5D 인터포저-기반 멀티-칩 모듈의 한 가지 종래의 변형이 인터포저 상에 나란히 장착된 두 개의 칩 간 인터커넥트를 위한 복수의 내부 전도체 트레이스를 갖는 실리콘 인터포저를 이용한다. 인터포저는 복수의 TSV(through-silicon via)로 제작되어 장착된 칩과 상기 인터포저가 장착되는 패키지 기판 사이에 경로를 제공할 수 있다. TSV 및 트레이스는 많은 수의 공정 단계를 이용해 제조된다.

[0004] 또 다른 종래의 멀티-칩 모듈 기법이 2D 웨이퍼-레벨 팬-아웃(즉 2D WLF0)이다. 종래의 2D WLF0 기법이 다이를 몰딩된 웨이퍼로 매립하는 것, 이른바 "웨이퍼 재구성(wafer reconstitution)"을 기초로 한다. 몰딩된 웨이퍼가 표준 웨이퍼 레벨 공정 흐름을 통해 처리되어, 최종 집적 회로 조립 구조체를 생성할 수 있다. 다이의 활성 표면은 몰드 화합물과 동일 평면 상에 있어서, 종래의 재배선 층(redistribution layer) 처리를 이용해 전도성 구리 트레이스 및 솔더 볼 패드의 몰딩된 영역으로의 "팬-아웃"을 가능하게 한다. 종래의 3D WLF0가 2D 기법을 제2 패키지 기판이 2D WLF0 상에 장착되는 멀티-칩 적층으로 확장시킨다.

[0005] 그 밖의 다른 일부 종래의 설계가 매립형 인터커넥트 브릿지(EMIB: embedded 인터커넥트 bridge)를 이용한다. 일반적으로 이들은 패키지 기판의 상부 리치에 매립된 실리콘 브릿지 칩(때때로 상부 면 입/출력만 갖는 유기

칩렛)이다.

도면의 간단한 설명

[0006]

본 발명의 상기 및 그 밖의 다른 이점이 이하의 상세한 설명을 읽고 도면을 참조하면 명확해질 것이다.

도 1은 예시적 몰딩된 칩 조합물을 포함하는 예시적 반도체 칩 디바이스의 도식이다.

도 2는 섹션 2-2에서 취해진 도 1의 부분도이다.

도 3은 증가된 배율로 도시된 도 2의 일부분이다.

도 4는 예시적 임시 멀티-칩 장착을 도시하는 부분도이다.

도 5는 예시적 임시 멀티-칩 장착을 도시하는 부분도이다.

도 6은 복수 칩의 예시적 몰딩을 도시하는 부분도이다.

도 7은 칩의 추가 공정을 도시하는 부분도이다.

도 8은 칩의 추가 공정을 도시하는 부분도이다.

도 9는 칩의 추가 공정을 도시하는 부분도이다.

도 10은 칩의 추가 공정을 도시하는 부분도이다.

도 11은 도 10의 일부분을 더 높은 배율로 도시하는 부분도이다.

도 12는 칩의 추가 공정을 도시하는 부분도이다.

도 13은 칩의 추가 공정을 도시하는 부분도이다.

도 14는 도 13의 일부분을 더 높은 배율로 도시하는 부분도이다.

도 15는 인터커넥트 칩을 칩 상에 장착하는 예시를 도시하는 부분도이다.

도 16은 도 15의 일부분을 더 높은 배율로 도시하는 부분도이다.

도 17은 칩의 추가 공정을 도시하는 부분도이다.

도 18은 칩의 추가 공정을 도시하는 부분도이다.

도 19는 칩의 추가 공정을 도시하는 부분도이다.

도 20은 예시적 회로 기관 상에 칩을 장착하는 예시를 도시하는 부분도이다.

도 21은 칩 상의 열 싱크의 예시적 장착을 도시하는 부분도이다.

도 22는 도 2와 유사한 부분도이나 대안적 예시적 몰딩된 칩 조합물을 갖는 대안적 예시적 반도체 칩 디바이스의 도식이다.

도 23은 도 22의 디바이스 상에 장착되는 예시적 인터커넥트 칩의 부분도이다.

도 24는 예시적 기관 장착 및 몰딩을 도시하는 부분도이다.

도 25는 몰딩된 칩 조합물 상의 열 싱크의 예시적 장착을 도시하는 부분도이다.

도 26은 반도체 칩의 PHY 영역 및 비-PHY 영역 패드의 작은 부분의 예시적 초기 공정을 도시하는 부분도이다.

도 27은 도 26에 도시된 PHY 영역 및 비-PHY 영역의 평면도이다.

도 28은 도 26과 유사하지만 칩의 예시적 추가 공정을 도시하는 부분도이다.

도 29는 도 28과 유사하지만 칩의 예시적 추가 공정을 도시하는 부분도이다.

도 30은 도 29에 도시된 칩의 일부분의 평면도이다.

도 31은 도 30에 도시된 마스크 층의 도식이다.

도 32는 도 29에 도시된 칩의 일부분이지만 추가 공정 후를 도시하는 평면도이다.

도 33은 칩의 추가 공정을 도시하는 분해도이다.

도 34는 도 28과 유사하지만 칩의 예시적 추가 공정을 도시하는 부분도이다.

도 35는 도 34에 도시된 칩의 일부분의 평면도이다.

도 36은 예시적 재구성된 몰딩된 칩 조합물 웨이퍼의 도식이다.

발명을 실시하기 위한 구체적인 내용

- [0007] 칩 지오메트리가 지난 수년 동안 지속적으로 축소되었다. 그러나 칩 크기의 축소에는 주어진 칩에 대한 입/출력 수의 증가가 동반되었다. 이는 멀티-칩 모듈에 대한 칩간 인터커넥트의 수를 크게 증가시킬 필요성을 야기했다. 현재의 2D 및 3D WLF0가 2.0 μm /라인 및 공백 수준의 제한된 최소 라인 공백을 가진다. 덧붙여, 종래의 WLF0 기법이 복수의 경화된 폴리이미드 필름을 이용해, 필요한 RDL 층을 생성할 수 있다. 이들 폴리이미드 필름은 기계적 응력, 따라서 뒤틀림의 원인인 경향을 가지며 이들의 상대적 높은 베이킹 온도가 다른 민감한 디바이스에 부정적인 영향을 미칠 수 있다. 마지막으로, WLF0와 EMIB 모두에서의 칩의 픽 앤 플레이스(pick and place) 정확도가 과제가 된다.
- [0008] 본 발명의 하나의 양태에 따르면, 제1 PHY 영역을 갖는 제1 반도체 칩, 제2 PHY 영역을 갖는 제2 반도체 칩, 제1 PHY 영역을 제2 PHY 영역으로 인터커넥트하는 인터커넥트 칩, 및 제1 반도체 칩, 제2 반도체 칩, 및 인터커넥트 칩을 함께 접합하는 몰딩을 포함하는 몰딩된 칩 조합물(molded chip combination)이 제공된다.
- [0009] 제1 반도체 칩이 몰딩된 칩 조합물이 회로 기판 상에 장착될 때 회로 기판으로 연결될 제1 복수의 인터커넥트를 포함하고, 제2 반도체 칩이 몰딩된 조합이 회로 기판 상에 장착될 때 회로 기판으로 연결될 제2 복수의 인터커넥트를 포함하는 몰딩된 칩 조합물.
- [0010] 제1 반도체 칩은 제1 인터커넥트에 연결된 제1 비-PHY 영역을 포함하고 제2 반도체 칩은 제2 인터커넥트에 연결된 제2 비-PHY 영역을 포함하는 몰딩된 칩 조합물.
- [0011] 몰딩은 제1 몰딩 물질 층 및 제2 몰딩 물질 층을 포함하는 몰딩된 칩 조합물.
- [0012] 제1 몰딩 물질 층과 제2 몰딩 물질 층 사이에 위치하는 폴리머 층을 포함하는 몰딩된 칩 조합물.
- [0013] 회로 기판을 포함하며, 몰딩된 칩 조합물이 회로 기판 상에 장착되는 몰딩된 칩 조합물.
- [0014] 제1 반도체 칩은 프로세서를 포함하고 제2 반도체 칩은 메모리 칩을 포함하는 몰딩된 칩 조합물.
- [0015] 본 발명의 또 다른 양태에 따라, 제1 PHY 영역을 갖는 제1 반도체 칩, 제2 PHY 영역을 갖는 제2 반도체 칩, 제1 PHY 영역을 제2 PHY 영역으로 인터커넥트하는 인터커넥트 칩, 제1 반도체 칩 및 제2 반도체 칩을 함께 접합하는 제1 몰딩 물질 층, 제1 몰딩 물질 층으로 접합되고 인터커넥트 칩을 적어도 부분적으로 봉지(encapsulate)하는 제2 몰딩 물질 층을 포함하는 몰딩된 칩 조합물이 제공된다.
- [0016] 제1 반도체 칩은 몰딩된 칩 조합물이 회로 기판 상에 장착될 때 회로 기판에 연결될 제1 복수의 인터커넥트를 포함하고 제2 반도체 칩은 몰딩된 조합물이 회로 기판 상에 장착될 때 회로 기판으로 연결될 제2 복수의 인터커넥트를 포함하는 몰딩된 칩 조합물.
- [0017] 제1 반도체 칩은 제1 인터커넥트에 연결되는 제1 비-PHY 영역을 포함하고, 제2 반도체 칩은 제2 인터커넥트에 연결되는 제2 비-PHY 영역을 포함하는 몰딩된 칩 조합물.
- [0018] 제1 몰딩 물질과 제2 몰딩 물질 층 사이에 위치하는 폴리머 층을 포함하는 몰딩된 칩 조합물.
- [0019] 회로 기판을 포함하고 몰딩된 칩 조합물은 상기 회로 기판 상에 장착되는 몰딩된 칩 조합물.
- [0020] 제1 반도체 칩은 프로세서를 포함하고 제2 반도체 칩은 메모리 칩을 포함하는 몰딩된 칩 조합물.
- [0021] 본 발명의 또 다른 양태에 따라, 몰딩된 칩 조합물을 제조하는 방법이 제공된다. 상기 방법은 인터커넥트 칩을 이용해 제1 반도체 칩의 제1 PHY 영역을 제2 반도체 칩의 제2 PHY 영역으로 인터커넥트하는 단계, 및 제1 반도체 칩, 제2 반도체 칩, 및 인터커넥트 칩을 함께 몰딩하는 단계를 포함한다.
- [0022] 몰딩된 칩 조합물이 회로 기판 상에 장착될 때 회로 기판에 연결될 제1 복수의 인터커넥트를 제1 반도체 칩 상에 제조하는 단계 및 몰딩된 조합물이 회로 기판 상에 장착될 때 회로 기판에 연결될 제2 복수의 인터커넥트를 제2 반도체 칩 상에 제조하는 단계를 포함하는 방법.

- [0023] 제1 반도체 칩은 제1 인터커넥트에 연결되는 제1 비-PHY 영역을 포함하고 제2 반도체 칩은 제2 인터커넥트에 연결되는 제2 비-PHY 영역을 포함하는 방법.
- [0024] 몰딩하는 단계는 제1 몰딩 물질 층으로 제1 반도체 칩을 제2 반도체 칩으로 몰딩하는 단계 및 인터커넥트 칩을 적어도 부분적으로 봉지하도록 제2 몰딩 물질 층을 몰딩하는 단계를 포함하는 방법.
- [0025] 제1 몰딩 물질 층과 제2 몰딩 물질 층 사이에 폴리머 층을 도포하는 단계를 포함하는 방법.
- [0026] 몰딩된 칩 조립물을 회로 기판 상에 장착하는 단계를 포함하는 방법.
- [0027] 제1 반도체 칩은 프로세서를 포함하고 제2 반도체 칩은 메모리 칩을 포함하는 방법.
- [0028] 이하에서 기재된 도면에서, 동일한 요소가 둘 이상의 도면에서 등장할 때 도면 부호가 전반적으로 반복된다. 도면, 특히, 예시적 반도체 칩 디바이스(10)의 도시인 도 1을 참조한다. 반도체 칩 디바이스(10)는, 시스템 기판, 회로 카드, 반도체 칩 패키지 기판 등일 수 있는 회로 기판(15) 상에 장착될 수 있는 몰딩된 칩 조립물(13)을 포함한다. 회로 기판(15)은 그 밖의 다른 일부 전기적 구조체, 가령, 이 배열에서 솔더 볼을 구성하는 복수의 인터커넥트 구조체(17)를 통해 또 다른 회로 기판 또는 그 밖의 다른 구조체와 전기적으로 인터페이싱할 수 있다. 그러나 해당 분야의 통상의 기술자라면 솔더 볼외의 다른 다양한 유형의 인터커넥트 구조체, 가령, 핀, 랜드 그리드 어레이 구조체 또는 그 밖의 다른 유형의 인터커넥트가 사용될 수 있음을 알 것이다. 몰딩된 칩 조립물(13)은 복수의 반도체 칩을 포함하며, 이들 중 두 개의 반도체 칩이 도시되고 19 및 20으로 각각 라벨링되며, 이 둘 모두 몰딩 물질(25)로 적어도 부분적으로 봉지된다. 이 배열에서, 몰딩 물질(25)은 두 개의 몰딩 층(30 및 35)으로 구성될 수 있다. 이하에서 더 상세히 기재될 바와 같이, 반도체 칩(19 및 20)은 몰딩 물질(25)에 의해 가려지며 따라서 도 1에 도시되지 않지만 이하에서 기재되고 차후 도면에서 도시될 또 다른 반도체 칩에 의해 전자적으로 연결될 수 있다.
- [0029] 반도체 칩 디바이스(10)의 추가 상세사항이, 섹션 2-2로 취해진 도 1의 부분도인 도 2를 참조함으로써 이해될 수 있다. 몰딩된 칩 조립물(13)의 몰딩 물질(25)은 몰딩 층(30), 몰딩 층(35), 및 몰딩 층(30 및 35) 사이에 끼워진 폴리머 층(50)으로 구성된다. 몰딩 층(35)은 반도체 칩(19 및 20)을 측방으로 둘러싸지만, 반도체 칩(19 및 20)의 각자의 상부 표면(55 및 60)은 반도체 칩(19 및 20) 상에의 열 스프레더(heat spreader)의 차후 선택적 배치를 촉진시킬 수 있도록 노출된 채 유지된다. 몰딩 층(30 및 35)에 대해 선택된 물질이 도포 가능한 몰딩 온도에서 적합한 점성을 보이고 몰딩 공정의 시점에서 존재하는 솔더 구조체 중 임의의 것의 용해점보다 낮은 몰딩 온도를 갖는 것이 바람직하다. 예시적 배열에서, 몰딩 층(30 및 35)에 대한 물질이 약 165℃의 몰딩 온도를 가질 수 있다. 두 개의 상업적 변형이 Sumitomo EME-G750 및 G760이다.
- [0030] 반도체 칩(19 및 20)은 다양한 집적 회로 중 임의의 것일 수 있다. 예시의 비배타적 리스트는 마이크로프로세서, 그래픽 처리 장치, 이 둘의 양태를 조합하는 애플리케이션 처리 장치, 메모리 디바이스, 주문형 집적 회로 등을 포함한다. 반도체 칩(19)은 칩간 신호의 전송에 특화된 다양한 내부 및 외부 전도체 구조를 갖는 물리 디바이스(physical device) 또는 "PHY" 영역, 및 파워 및 접지 및/또는 칩-회로 기판 간 신호의 전달에 더 맞춰진 전도체 구조를 갖는 비-PHY 영역(70)으로 구성된다. 마찬가지로 반도체 칩(20)은 반도체 칩(19)의 PHY 영역(65) 및 비-PHY 영역(70)과 동일한 기능을 갖는 PHY 영역(75) 및 비-PHY 영역(80)을 포함한다. 앞서 간략히 언급된 바와 같이, 반도체 칩(19 및 20)은 또 다른 반도체 칩, 즉, 인터커넥트 칩(85)에 의해 전기적으로 연결된다. 반도체 칩(19 및 20) 및 인터커넥트 칩(85)은 실리콘, 게르마늄 또는 그 밖의 다른 반도체 물질로 구성되며 벌크 반도체, 절연체 상 반도체(semiconductor on insulator) 또는 또 다른 설계일 수 있다. 인터커넥트 칩(85)은 필요에 따라 복수의 레벨 또는 단일 레벨 상에 있을 수 있는 복수의 내부 전도체 트레이스를 포함한다. 두 개의 트레이스가 도시되며 다 함께 90으로 라벨링된다. 트레이스(90)는, 크로스-해칭이 실용적이지 않으므로 각각 세 개의 사각형의 복수의 백색 스택으로 도시되는 도 2의 이러한 규모와 크기를 갖는, 전도성 경로(95)에 의해 반도체 칩(19 및 20)의 PHY 영역(65 및 75)의 전도체 구조와 전기적으로 인터페이싱한다. 그러나 다음 도면은 이들 전도성 경로(95)의 추가 상세사항을 도시할 것이다. 반도체 칩(19)의 비-PHY 영역(70)이 복수의 전도성 필라(100)에 의해 회로 기판과 전기적으로 인터페이싱할 수 있다. 각각의 전도성 필라(100)가 각자의 전도체 패드(105)에 의해 반도체 칩(19)으로 그리고 필요에 따라 솔더 범프 또는 마이크로 범프일 수 있는 솔더 인터커넥트(110)에 의해 회로 기판(15)으로 전기적으로 연결된다. 마찬가지로 반도체 칩(20)의 비-PHY 영역(80)은 반도체 칩(19)의 전도성 필라(100), 패드(105) 및 솔더 범프(110)와 실질적으로 유사할 수 있는 복수의 전도성 필라(115), 전도체 패드(120) 및 솔더 범프(125)에 의해 회로 기판(15)으로 전기적으로 연결된다. 전도성 필라(100)는 복수의 절연 층, 즉, 아래에서부터 위로, 몰딩 층(30), 폴리머 층(50), 및 부동태화 구조물(130)에 걸쳐 있다. 부동태화 구조물(130)은 다양한 절연 물질, 가령, 실리콘 디옥사이드, 실리콘 니트라이드,

또는 그 밖의 다른 유전체 물질의 라미네이트될 수 있다. 마찬가지로 전도성 필라(115)는 반도체 칩(20)의 몰딩 층(30), 폴리머 층(50), 및 직전에 기재된 부동태화 구조물(130)과 유사할 수 있는 부동태화 구조물(135)에 걸쳐 있다. 전도성 필라(100 및 115)는 이하에서 더 상세히 기재될 다양한 전도체 물질, 가령, 구리 등으로 구성될 수 있다. 전도성 패드(105 및 120)는 알루미늄, 구리 또는 다양한 그 밖의 다른 전도체 물질로 구성될 수 있다. 솔더 범프(110 및 125)는 다양한 잘 알려진 솔더 조성물, 가령, 주석-은, 주석-은-구리 등으로 구성될 수 있다. 폴리머 층(50)은 폴리벤즈옥사졸로 구성되는 것이 바람직하지만, 그 밖의 다른 폴리머 물질, 가령, 벤조시클로부텐, 저온 폴리이미드 또는 약 200℃ 미만의 경화 온도를 갖는 그 밖의 다른 폴리머가 사용될 수 있다. 폴리머 층(50)은 응력 완충부, 고립 필름으로서 역할하도록 설계될 수 있으며 재배선 층 라우팅을 가능하게 할 수 있다.

[0031] 회로 기관(15)은 유기 또는 세라믹일 수 있으며 단일 또는 더 일반적으로는 다층일 수 있다. 오정합된 열팽창계수의 영향을 완화시키기 위해, 언더필 물질(140)이 몰딩 층(30)과 회로 기관(15)의 상부 표면 사이에 위치할 수 있으며, 필요에 따라, 몰딩 층(30)의 좌측 에지와 우측 에지(이들 에지는 보이지 않음) 너머까지 측방으로 확장될 수 있다. 언더필 물질(140)은 잘 알려진 폴리머 언더필 물질로 구성될 수 있다.

[0032] PHY 영역(65 및 75)과 인터커넥트 칩(85) 사이의 전도성 경로(95)의 추가 상세사항이, 인터커넥트 칩(85)과 연관된 전도성 경로(95) 및 칩(19)의 PHY 영역(65) 중 하나의 일부를 도시하는 도 3을 함께 참조함으로써 이해될 수 있다. 본 기재는 또 다른 전도성 경로(95)도 역시 설명할 것임이 이해되어야 한다. 반도체 칩(19)과 연관된 전도성 경로(95)의 일부분이 보이지 않는 반도체 칩 내 다른 전도체 트레이스 또는 비아에 연결되는 전도체 패드(145) 및 니켈금 캡(155)으로 캡핑된 전도성 마이크로 필라(150)를 포함할 수 있다. 니켈-금 캡(155)은 장벽 층(barrier layer) 및 솔더 습윤성 표면으로 기능한다. 그 밖의 다른 가능한 물질은 니켈-바나듐, 백금, 팔라듐, 순수 금 등을 포함한다. 언더범프 금속화부(underbump metallization)(160)가 전도성 필라(150)와 전도체 패드(145) 사이에 위치한다. 전도체 패드(145)는 알루미늄, 구리, 금, 은, 이들의 조합 등으로 구성될 수 있다. UBM 구조물(160)은 스퍼터링된 티타늄, 텅스텐 및 구리로 구성될 수 있으며 니켈, 바나듐 또는 그 밖의 다른 물질을 더 포함할 수 있다. 언더범프 금속화부(160), 전도성 마이크로 필라(150) 및 니켈-금 캡(155)의 조합물이 반도체 칩(19)의 부동태화 구조물(130) 및 폴리머 층(50)에 걸쳐 뻗어 있다. 인터커넥트 칩(85)과 연관된 전도성 경로(95)의 일부분이, 전도체 패드(145)처럼, 설명의 단순화를 위해 도시되지 않지만 인터커넥트 칩(85) 내에 배치되는 하나 이상의 전도성 트레이스 또는 비아에 전기적으로 연결되는 전도체 패드(165)를 포함할 수 있다. 본 명세서에 기재된 부동태화 구조물(130 및 135)과 동일한 유형의 물질로 구성된 부동태화 구조물(166)이 전도체 패드(165)를 부분적으로 덮는다. 장벽/접착 층(167)은 전도체 패드(165) 상에 형성되고 Ti-W 및 구리, 이에 뒤따라, 도면에서 위쪽으로 진행하여, 구리 층(170), 니켈 층(175) 및 또 다른 구리 층(180)으로 구성되는 것이 바람직하다. 구리 층(180)은 솔더 마이크로 범프(185)로 캡핑된다. 해당 분야의 통상의 기술자라면 전도체 물질의 선택이 포함된 구성요소에 따라 달라질 수 있다. 예를 들어, 니켈, 금 및 니켈, 및 금 또는 심지어 바나듐이 장벽 층으로 역할 하여, 다른 전도성 층으로의 솔더 구성요소의 이주 또는 그 반대의 이주를 막을 수 있다. 솔더 마이크로 범프(185)는 다양한 선호되는 무납(lead-free) 솔더, 가령, 주석-구리-은, 주석-은, 또는 또 다른 유형의 솔더로 구성될 수 있음이 바람직하다. 니켈-금 캡(155)은 장벽 층 기능을 또한 제공하면서 솔더 마이크로 범프(185)에 대한 우수한 솔더 습윤성 층을 제공하도록 설계된다. 앞서 언급된 바와 같이, 도 3에 도시된 전도체 경로(95)는 도 2에 도시되고 앞서 기재된 다른 전도성 경로(95)에 대해 사용될 수 있다.

[0033] 도 1 및 2에 도시된 반도체 칩 디바이스(10)를 제조하는 예시적 프로세스가 지금부터 도 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19 및 20를 참조하고 먼저 도 4를 참조함으로써 이해될 수 있다. 도 4는 반도체 칩(19 및 20)을 부분으로, 도 1 및 2에 도시된 몰딩된 칩 조합물(13)로 조립되기 전의 상태일 독립적인 반도체 칩으로서 도시한다. 도 4에서, 반도체 칩(19 및 20)이 도 1 및 2에 도시된 배향에서 뒤집힌 것으로 도시된다. 반도체 칩(19 및 20)은 한꺼번에 반도체 웨이퍼(도시되지 않음)로 제작될 수 있으며, 상기 반도체 웨이퍼는 추후 싱글레이트되어 개별 반도체 칩(19 및 20)을 생산할 수 있다. 이들 제조 공정 동안, 트랜지스터, 커패시터, 인덕터, 및 그 밖의 다른 논리 요소 및 칩(19 및 20)에 적절한 회로 구조물을 포함하는 다양한 전자 구조물이 구성될 수 있으며 앞서 언급된 PHY 영역(65 및 75) 및 비-PHY 영역(70 및 80)이 칩(19 및 20)에서 각각 구축될 수 있다. 이와 관련하여, 반도체 칩(19)은, 전도체 패드(105 및 145)가 부동태화 구조물(130) 및 아래 놓인 전도체 패드(105)를 노출시키는 상기 부동태화 구조물(130) 내 복수의 개구부(190) 및 전도체 패드(145)로 이어지는, 부동태화 구조물(130)을 관통하는 복수의 개구부(195)와 함께 제조된 포인트까지 제작될 수 있다. 유사하게 반도체 칩(20)이, 비-PHY 영역(80) 내 전도체 패드(120)가 제조되고 PHY 영역(75) so 전도체 패드(145)가 구축될 뿐 아니라 부동태화 구조물(135) 내 개구부(200) 및 전도체 패드(145)로 이끄는 부동태화 구조물(135) 내 복수의 개구부(205)가 제조된 포인트까지 제작될 수 있다. 전도체 패드(105, 120 및 145)는 잘 알

려진 물질 증착 기법, 가령, 도금, 스퍼터링, 화학 기상 증착, 이들의 조합 등을 이용해 제조될 수 있다. 개구부(190, 195, 200 및 205)는 잘 알려진 포토리소그래피 및 지향성 에칭 기법을 이용해 형성될 수 있다.

[0034] 그 후 도 5에 도시된 바와 같이, 반도체 칩(19 및 20)은 도 4에 도시된 배향으로부터 뒤집혀 질 수 있고 캐리어 기판(210)에 장착될 수 있다. 반도체 칩(19 및 20)은 광-활성화 접착제(도시되지 않음) 또는 다양한 공정 단계들 후 캐리어 웨이퍼(210)가 차후 제거되도록 의도되기 때문에 그 밖의 다른 임시 고정 기법을 이용해 캐리어 기판(210)에 고정될 수 있다.

[0035] 그 후 도 6에 도시된 바와 같이, 약 60 내지 120분 동안 약 165 °C에서 적합한 화합물, 가령, Sumitomo EME-G750 또는 G760의 몰딩 층(35)이 형성된다. 이 압축 몰딩 공정은 반도체 칩(19 및 20)을 봉지하고 캐리어 기판(210)의 그 밖의 다른 노출된 부분을 덮을 것이다. 반도체 칩(19 및 20)의 상부 표면(55 및 60)을 각각 노출시키는 것이 바람직하기 때문에, 몰딩 층(35)은 도 7에 도시된 그라인딩 공정(grinding process)을 거쳐, 이들 표면(55 및 60)을 노출시킬 수 있다. 이때, 반도체 칩(19 및 20)은 캐리어 기판(210) 상에 장착되지만 몰딩 층(35)에 의해 측방으로 기계적으로 접합된 채 유지된다.

[0036] 그 후 도 8에 도시된 바와 같이, 반도체 칩(19 및 20) 및 몰딩 층(35)은 도 7에 도시된 캐리어 기판(210)으로부터 분리되고 도 7에 도시된 배향으로부터 뒤집힐 수 있다. 이때, 폴리머 층(50)이 반도체 칩(19 및 20)과 몰딩 층(35) 모두 위에 도포될 수 있다. 폴리머 층(50)은 잘 알려진 스핀 코팅 및 베이킹 기법을 이용해 도포될 수 있고, 블랭킷 증착 공정이 사용될 수 있기 때문에, 이때, 다양한 개구부(190, 195, 200 및 205)가 폴리머 층(50) 물질로 채워질 수 있다. 도 9에 도시된 바와 같이, 반도체 칩(19)의 다양한 전도체 패드(105 및 145) 및 반도체 칩(20)의 전도체 패드(120 및 145)를 재-노출하기 위해, 폴리머 층(50)은 적절하게 마스크되고 리소그래픽 패터닝, 즉, 포토리소그래피에 의해 패터닝되어, 전도체 패드(105)까지의 개구부(215), 전도체 패드(145) 및 반도체 칩(19)까지의 개구부(220), 반도체 칩(20)의 전도체 패드(145 및 120)까지의 개구부(220 및 225)를 각각 확립할 수 있다.

[0037] 그 후 도 10에 도시된 바와 같이, 레지스트 마스크(235)가 폴리머 층(50) 위에 도포되며 적절하게 패터닝되어 반도체 칩(19)의 전도체 패드(145)로 이어지는 개구부(240) 및 반도체 칩(20)의 전도체 패드(145)로 이어지는 개구부(245)를 확립할 수 있다. 여기서, 레지스트 마스크(235)의 목적은 반도체 칩(19 및 20)의 각각의 전도체 패드(105 및 120)를 마스크하여, 칩(19 및 20) 각각의 전도체 패드(145)와 연관된 다양한 전도체 구조가 제조될 수 있도록 한다. 이 제조 단계의 추가 상세사항이 지금부터 점선 사각형(250)으로 둘러 싸인 도 10의 일부분을 더 높은 배율로 도시하는 도 11을 함께 참조함으로써 이해될 수 있다. 박스(250)가 반도체 칩(19)의 PHY 영역(65)의 일부분 및 따라서 전도체 패드(105) 중 하나 및 전도체 패드(145) 중 하나를 둘러싼다. 도 11에 도시된 구조물은 반도체 칩(19)의 다른 유사한 전도체 구조물 및 칩(20)의 PHY 영역(75) 내 이들 전도체 구조물을 나타냄이 이해되어야 한다. 또한 도 11에 도시된 바와 같이, 레지스트 마스크(235)의 도포 전에, 잘 알려진 스퍼터링 및/또는 CVD 기법을 이용해 UBM(160)(도 3에도 도시됨)이 증착될 수 있다. 이 스퍼터 공정이 도시된 바와 같이 UBM(160)을 블랭킷 증착할 수 있다. 그 후, 잘 알려진 기법을 이용하는 스핀 코팅 및 베이킹에 의해 레지스트 마스크(235)가 도포될 수 있다. 그 중 하나가 도 11에 도시된 개구부(240)가 레지스트 마스크(235)에서 포토리소그래픽 패터닝될 수 있으며 그 후 도 3과 함께 앞서 기재된 기법 및 니켈-금 캡(155)을 이용해 마이크로 필라(150)가 제조될 수 있다. 복수의 전도체 물질(252)의 도포는 개구부(240) 및 유사한 개구부(245)에 의해 이뤄진다. 앞서 언급된 바와 같이, 마이크로 필라(150)는 반도체 칩(19)의 부동태화 구조물(130) 및 폴리머 층(50)의 일부분에 걸쳐 뻗어 있다. 이 도시된 배열에서 전도체 패드(145 및 105)는 각자의 측방 치수(지름 또는 가능한 그 밖의 다른 형태) x_1 및 x_2 를 갖고 제조되며, 이때, $x_2 > x_1$ 이다. 그러나 이하에서 기재되는 또 다른 배열에서, 반도체 칩(19)은 대략 동일한 크기인 x_1 및 x_2 로 제작된다. 이 환경은 또 다른 개시된 기법에 의해 해결되는 기술적 문제를 발생시킨다.

[0038] 그 후, 도 12에 도시된 바와 같이, 도 11에 도시된 레지스트 마스크(235)는 잘 알려진 애싱(ashing) 및 용매 박리 기법을 이용해 박리되고 또 다른 레지스트 마스크(260)가 잘 알려진 스핀 코팅 및 베이킹 기법을 이용해 도포되고 패터닝되어, 반도체(19)의 아래 놓인 전도체 패드(105)로 이어지는 개구부(265) 및 반도체 칩(20)의 아래 놓인 전도체 패드(120)로 이어지는 개구부(270)를 제외하고 반도체 칩(19 및 20) 각각의 전도체 패드(145) 및 마이크로 필라(150)를 덮을 수 있다.

[0039] 그 후 도 13에 도시된 바와 같이, 액적(275)에 의해 개략적으로 나타난 전도체 물질을 증착하여, 반도체 칩(19 및 20)의 전도성 필라(100 및 115)를 각각 제조하기 위해 복수의 물질 증착 단계가 수행된다. 지금부터, 점선 사각형(280)으로 둘러 싸인 도 13의 일부분을 더 높은 배율로 도시하는 도 14를 더 참조함으로써 이들 물질 제

조 공정의 추가 상세사항이 이해될 수 있다. 도 14에 도시된 바와 같이, 레지스트 마스크(260)의 도포 및 그 내부의 개구부(270)의 패터닝 전에, 도 10에 도시된 레지스트 마스크(235) 전에 증착되는 앞서 언급된 UBM 구조물(160)이 여전히 그대로 있다. 여기서, 전도성 필라(115)가 UBM 구조물(160)을 도금 전극으로서 이용해 바이어스 도금 공정(biased plating process)으로 구성될 수 있는 잘 알려진 도금 기법을 이용해 제조될 수 있다. 구리, 구리와 은, 구리와 주석, 또는 그 밖의 다른 유형의 물질이 사용될 수 있다. 전도성 필라(115)의 도금 후에, 도금에 의해, 또는 대안으로 스텔실 및 페이스트 공정에 의해, 솔더 캡(285)이 필라(115) 상에 제조된다. UBM 구조물(160)이 전도체 패드(120) 상에 음 접합하여 위치하며 UBM 구조물(160)과 전도성 필라(115)의 하부 리치(lower reach)의 조합이 부동태화 구조물(135) 및 반도체 칩(20) 상의 폴리머 층(50)의 일부분을 수직으로 관통하여 뚫어 있다.

[0040] 반도체 칩(19 및 20)에의 인터커넥트 칩(85)의 장착이 도 15 및 16과 관련하여 기재될 것이다. 도 15에 도시된 바와 같이, 도 13 및 14에 도시된 레지스트 마스크(260)가 잘 알려진 애싱 및 용매 박리 기법을 이용해 박리되어, 반도체 칩(19 및 20)으로부터 전도성 필라(100 및 115)가 각각 돌출되게 한다. 인터커넥트 칩(85)을 장착하기 전에, 반도체 칩(19 및 20) 및 몰딩 층(35)의 조합물이 물질 제거 공정, 가령, 습식 에칭을 거쳐, 폴리머 층(50) 상에 그러나 필라(100 및 115)의 측방에 위치하는 UBM 구조물(150)의 과량의 부분을 제거할 수 있다. 이 에칭은 인접한 필라(100와 115) 간의 차후의 전기적 단락 등을 방지하기 위해 필요하다. 이때까지, 내부 전도성 트레이스(90)뿐 아니라 도 3에 도시된 인터커넥트 칩(85)과 연관된 전도성 경로(95)의 부분까지 확립하기 위한 다양한 잘 알려진 기법을 이용해 인터커넥트 칩(85)은 제조된다. 예를 들어, 도 16은 도 15의 일부분을 도시하는데, 특히, 점선 사각형(290)으로 둘러 싸인 인터커넥트 칩(85)의 작은 부분을 더 높은 배율로 도시한다. 앞서 기재된 바와 같이, 도 3에 도시된 인터커넥트 칩(85)과 연관된 전도성 경로(95)의 부분이 전도체 패드(165), 부동태화 구조물(166), 시드 층(167), 및 다양한 층(170, 175 및 180) 및 이에 뒤 따르는 솔더 캡(185)으로 구성되며, 이들 모두 도 3에서 반영된 방향으로부터 뒤집혀 도시되어 있다. 인터커넥트 칩(85)이 폴리머 층(50) 상에 위치할 때, 리플로우가 수행되어 솔더 캡(185)과 반도체 칩(19 및 20)의 마이크로 필라(150) 상에 위치하는 아래 놓인 니켈-금 캡(155) 사이에 메탈로지컬 본드(metallurgical bond)를 확립할 수 있다.

[0041] 그 후 도 17에 도시된 바와 같이, 제2 몰딩 공정이 수행되어, 인터커넥트 칩(85), 전도성 필라(100 및 115), 및 폴리머 층(50)의 다른 노출된 부분 위에 몰딩 층(30)을 형성할 수 있다. 약 60 내지 120분 동안 약 165 °C에서 Sumitomo EME-G750 또는 G760 또는 본 명세서에 개시된 그 밖의 다른 몰딩 물질로 압축 몰딩 공정을 이용해 몰딩 층(30)이 제작된다. 전도성 필라(100 및 115)를 노출하는 것이 필요하며, 따라서 몰딩 층(30)이 도 18에 도시된 바와 같이 그라잉팅 공정을 겪는다. 이 그라잉팅 공정은 전도성 필라(100 및 115)를 노출하도록 설계되며, 인터커넥트 칩(85)의 높이에 따라, 인터커넥트 칩(85)의 후면까지 얇게 만들 수 있다. 도 19에 도시된 바와 같이 필라(100 및 115)가 노출될 때, 솔더 인터커넥트(110)가 필라(100) 상에 제조되고, 솔더 인터커넥트(125)가 필라(115) 상에 제조된다. 잘 알려진 솔더 도금 및/또는 페이스트 스텔실 공정 또는 그 밖의 다른 기법에 의해, 솔더 인터커넥트(110 및 125)가 솔더 범프의 픽 앤드 플레이스 배치에 의해 형성될 수 있다.

[0042] 그 후 도 20에 도시된 바와 같이, 완성된 몰딩된 조합물(13)이 도 19에서 도시된 방향으로부터 뒤집히고, 솔더 인터커넥트(110 및 125)의 리플로우 공정에 의해 회로 기관(15)으로 장착될 수 있다. 그 후, 언더필을 액체 및 모세관 작용으로서 분배함으로써 언더필(140)이 구축된다.

[0043] 열 관리 목적으로, 선택적 열 스프레더 또는 싱크(300)가 몰딩된 칩 조합물(13) 상에 장착되고 도 21에 도시된 바와 같이, 반도체 칩(19 및 20)과 각각 열적으로 접촉하도록 배치된다. 적절한 열 전달 물질(thermal interface material), 가령, 서멀 그리스 또는 페이스트(도시되지 않음)가 열 스프레더(300)와 반도체 칩(19 및 20)의 상부 표면(55 및 60) 사이에 각각 배치될 수 있다.

[0044] 도 22는 도 2처럼 부분도이지만, 대안적 예시적 반도체 칩 디바이스(10')의 부분도이다. 반도체 칩 디바이스(10')은 본 명세서에 도시되고 기재된 반도체 칩 디바이스(10)과 대부분의 속성을 공유한다. 주요한 차이점은, 반도체 칩 디바이스(10)가 도 2에 도시된 바와 같은 언더필 물질 층(140)을 이용하는 반면, 대안적 몰딩된 칩 조합물(13')의 몰딩 층(30)의 전체 높이를 증가시키기 위해 반도체 칩 디바이스(10')는 언더필 물질 층(140)을 제거한다는 것이다. 몰딩 층(35) 및 폴리머 층(50)이 이전에 기재된 배열에서처럼 사용된다. 그러나 도 22에 도시된 바와 같이, 몰딩 층(30)은, 전도성 필라(110 및 115)의 하부 단부 또는 그 근처에서 종료하기보다는, 회로 기관(15)을 따라 여기까지 몰딩되고, 또한 위쪽으로 뻗어 있어서, 칩(19 및 20), 몰딩 물질(35) 및 폴리머 층(50)의 조합물을 적어도 부분적으로 봉지할 수 있다. 몰딩 층(35)으로 반도체 칩(19 및 20)을 몰딩하기 위해 본 명세서에 기재된 제조 단계 및 반도체 칩(19)의 PHY 영역(65) 및 비-PHY 영역(70) 내에 그리고 그 주위에 다양한 전도체 구조물을 구성하는 것이 여기서도 사용된다. 반도체 칩(20)의 PHY 영역(75) 및 비-PHY 영역(80)이 반

복되거나 반도체 칩 디바이스(10)에 대해 본 명세서에 기재된 것과 동일할 것이다. 마찬가지로, 인터커넥트 칩(85)은 반도체 칩 디바이스(10)에 대해 본 명세서에 일반적으로 기재된 대로 구성될 것이다. 그러나 반도체 칩 디바이스(10)와 반도체 칩 디바이스(10')를 위해 사용되는 제조 공정 간에 일부 공정 흐름 차이가 있으며, 이는 지금부터 도 23와 관련하여 기재될 것이다. 도 23은 폴리머 층(50)의 제조 및 인터커넥트 칩(85)의 장착 후의, 반도체 칩(19 및 20)과 몰딩 층(35)의 몰딩된 조합을 도시한다. 덧붙여, 도 15에 도시된 바를 이끄는 앞서 기재된 기법을 이용해 전도성 필라(100 및 115)가 제조되었고 노출되었다. 그러나 이 스테이지에서, 솔더 인터커넥트(110 및 125)는 전도성 필라(100 및 115)에 각각 장착된다. 이는 본질적으로 픽 앤 플레이스 공정인 드롭 공정(drop process)을 이용해 이뤄질 수 있다. 솔더 인터커넥트(110 및 125)를 배치하기 위해 스텐실(도시되지 않음)을 위치시키는 것이 또한 가능할 수 있다. 이때 간단한 리플로우가 이뤄져서, 솔더 인터커넥트(110)와 전도성 필라(100) 간, 그리고 솔더 인터커넥트(125)와 전도성 필라(115) 간 초기 메탈로지컬 본딩을 확립할 수 있다. 그 후 도 24에 도시된 바와 같이, 인터커넥트 칩(85)과 함께, 반도체 칩(19 및 20) 및 몰딩 층(35)이 도 23에서 도시된 배향으로부터 뒤집혀서 회로 기판(15)에 장착될 수 있다. 이는 솔더 인터커넥트(110 및 125)와 회로 기판(15)의 전도성 패드(도시되지 않음) 사이에 메탈로지컬 연결을 확립하기 위해 리플로우 공정을 수반한다. 그 후, 이송 몰딩(transfer molding) 또는 그 밖의 다른 기법을 이용해 몰딩 물질(30)이 폴리머 층(50)과 회로 기판(15) 사이에 몰딩되어, 도 22의 완성 형태로 도시된 몰딩 층(30)을 구축할 수 있다. 이는 완성된 몰딩된 칩 조합물(13')을 구축한다. 도 25에 도시된 바와 같이, 선택적 열 스프레더(300)가 앞서 기재된 몰딩된 칩 조합물(13') 상에 장착될 수 있다. 대안으로 몰딩 층(30)을 위한 몰딩 공정이 필요에 따라 몰딩 층(30)의 측방 에지를 몰딩 층(35) 및 폴리머 층(50)의 측방 에지와 함께 종결되게 할 수 있다. 다시 말해, 열 전달 물질(도시되지 않음)이 열 싱크(300)와 반도체 칩(19 및 20) 사이에 위치될 수 있다.

[0045]

앞서 개시된 배열에서, 반도체 칩(19 및 20)의 PHY 영역(65 및 75) 내 전도체 패드가, 측방 치수 x_2 를 갖는 비-PHY 영역(70 및 80)의 전도체 패드보다 더 많고 일부 더 작은 치수 x_1 를 가진다. 그러나 반도체 칩(19 및 20)은 모든 전도체 패드에 대해, 즉, PHY 영역(65 및 75) 및 비-PHY 영역(70 및 80) 모두에 대해, 단일 측방 치수 x_1 로 제작될 수 있다. 그러나 이는, 디바이스(70 및 80)의 비-PHY 영역이 더 작은 측방 치수 x_1 크기 패드를 갖는 경우라도 더 큰 전도성 필라, 가령, 필라(100 및 115)를 이용할 수 있는 것이 바람직하다는 기술적 복잡성을 나타낸다. 이 문제에 대한 기술적 해결책이 도 26, 27, 28, 29, 30, 31, 32, 33, 34 및 35와 함께 도시되고 기재될 것이며 먼저 도 26을 참조한다. 도 26은 반도체 칩(20), 이의 PHY 영역(75)의 일부분 및 비-PHY 영역(80)의 일부분의 부분도이다. 여기서, PHY 영역(75)은 본 명세서에서 일반적으로 기재된 바와 같이 제조된 일부 측방 치수 x_1 을 갖는 복수의 전도체 패드(120)를 포함한다. 그러나 비-PHY 영역(80)은, 본 명세서에 도시된 측방 치수 x_2 를 갖는 더 큰 전도체 패드(120) 대신, 측방 치수 x_1 를 갖는 추가 복수의 전도체 패드(145)를 가진다. 이는 두 개의 개별 측방 치수를 갖는 최상부 레벨 전도체 패드를 구성 및 패터닝할 필요가 없는 공정을 이용해 반도체 칩(20)이 제조되는 경우 발생할 수 있다. 부동태화 구조물(135)은 PHY 영역(75) 및 비-PHY 영역(80) 모두에서 모든 전도체 패드(145)로의 복수의 개구부(225)를 갖고 도포 및 패터닝되었다. 도 27은 부동태화 구조물(135), 개구부(225) 및 아래 놓인 전도체 패드(145) 중 일부의 평면도를 도시한다. 전도체 패드(145)의 일부만 도시되며, 반도체 칩은 복잡도에 따라 수백 또는 수천 개의 이러한 패드를 포함할 수 있음이 이해되어야 한다. 도 27 및 그 밖의 다른 도면의 점선(308)이 PHY 영역(75)과 비-PHY 영역(80) 간 경계를 나타낸다. 두 개의 점선 원(310)이 아래 놓인 전도체 패드(145)와 옴 접합되기 위한 나중에 형성되는 전도성 필라(115)가 형성될 위치를 나타낸다. 더 작은 마이크로 필라(150)가 PHY 영역(75) 내 전도체 패드(145)와 옴 접합하여 형성될 것이다. 기술적 목표는 궁극적으로, 점선 원(310)의 위치에서 아래 놓인 작은 크기의 전도체 패드(145)와 옴 접합하는 큰 크기의 전도성 필라(115)를 제조할 수 있는 것이다. 먼저 도 28에 도시된 바와 같이, 폴리머 층(50)은 PHY 영역(75) 및 비-PHY 영역(80) 위에 반도체 칩(20)의 부동태화 구조물(135)에 도포되고 개구부(225)를 채운다. 폴리머 층(50)은 광활성 화합물을 포함하는 것이 바람직하다. 도 29에 도시된 바와 같이, 레지스트 마스크(320)가 폴리머 층(50)에 도포되고 PHY 영역(75) 위의 부동태화 구조물(135) 내 개구부(225)와 정렬되는 적절한 개구부(322) 및 부동태화 구조물(135) 내 비-PHY 영역(80) 위의 개구부(225)와 정렬되는 또 다른 적절한 개구부(323)를 갖도록 패터닝된다. 개구부(322 및 323)는 도 30 및 31에서 각각 평면도로 도시되어 있다. 개구부(322)와 개구부(323)는 상이한 풋프린트를 가진다. 개구부(322)는 PHY 영역(75) 내 아래 놓인 개구부(225)를 따르는 풋프린트를 가진다. 그러나 개구부(323)는 교차 연결 부분(340) 및 개구부(345)의 조합으로 구성되며, 여기서 개구부(345)는 비-PHY 영역(80) 내 아래 놓인 부분(225)과 정렬된다. 마스크(320)가 배치되고 패터닝되면, 폴리머 층(50)이 노출 및 현상되며, 도 32에 평면도로 도시된 바와 같이 마스크(320)가 박리되어 마스크 개구부(322)의 풋프린트(도 31)를 갖는 PHY 영역(75) 내 개구부(347)를 생성하며, 마스크 개구부(323)의 풋프린트(도 31)를 갖

는 비-PHY 영역(80) 내 교차 연결 부분(350)의 개구부(349) 및 개구부(352)를 생성할 수 있다. PHY 영역(75)과 비-PHY 영역(80) 모두 내의 아래 놓인 전도체 패드(145)가 이제 노출된다.

[0046] 그 후 도 33에 도시된 분해도에서 나타난 바와 같이, 또 다른 레지스트 마스크(330)가 폴리머 층(50)에 도포되며 패터닝되어, 폴리머 층(50) 내 개구부(347)와 정렬되는 적절한 개구부(354)를 PHY 영역(75) 위에 제공할 수 있고 부동태화 구조물(135) 내 개구부(349)와 정렬되는 개구부(356)의 또 다른 세트를 비-PHY 영역(80) 위에 제공할 수 있다. 개구부(354)는 폴리머 층(50) 내 개구부(347)와 동일한 풋프린트를 가지며 개구부(356)는 폴리머 층(50) 내 개구부(349)와 동일한 풋프린트를 가진다. 마스크(330)를 배치하고, 이산 전도성 필라(150)가 개구부(347) 내에 제조되고, 도금 및 본 명세서에 기재된 물질을 이용해, 인터커넥트된 전도성 필라(150')가 개구부(349) 내에 제조된다. 전도성 필라(150)와 전도성 필라(150')는 동일한 메탈로지컬 조성, 그러나 상이한 풋프린트를 가질 것이다. 전도성 필라(150')는 폴리머 층(50)을 통해, 전도체 바(359)에 의해 인터커넥트된 아래 놓인 전도체 패드(145)(도시되지 않음)까지 뻗어 있는 필라(358)들로 구성된다. 다음 공정을 통해, 더 큰 지름의 전도성 필라(370)(점선)가 비-PHY 영역(80) 내 전도성 필라(150')의 상부 상에 제조될 것이다. 궁극적으로 본 명세서에 기재된 기법을 이용해 도금 마스크(330)가 박리되어 전도성 필라(150) 및 전도성 필라(150')를 남길 수 있다. 전도체 바(359)처럼, 전도체 트레이스(도시되지 않음)가 폴리머 층(50)이 재배선 층 트레이스의 제조를 가능하게 하는 방식으로 제조될 수 있다. PHY 영역(75) 내 전도성 필라(150)의 기본 구조가 전도성 필라(150)에 대한 도 11에 도시된 것과 동일한 일반 구성이다. 또한 전도성 필라(150')가 동일한 층을 갖지만, 이의 풋프린트는 도 33에 도시된 전도성 필라(150)와 상이할 것이다.

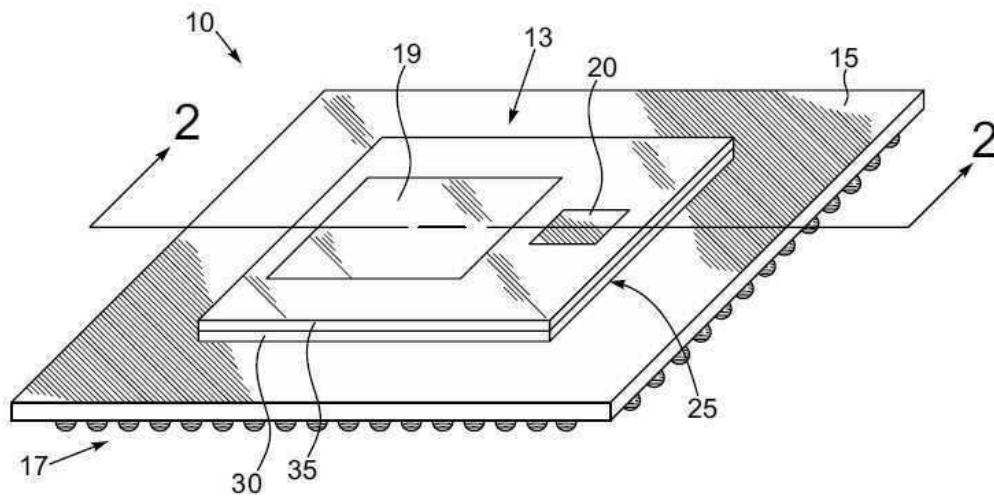
[0047] 그 후 도 34에 도시된 바와 같이, 도금 마스크(360)가 폴리머 층(50) 위에 제조되며, 도 27에 도시된 점선 원(310)의 크기 및 위치에 대응하도록 위치설정되고 크기가 정해지는 적절한 개구부(365)를 갖도록 패터닝된다. 목적은 차후의 도금 공정이 도 33에 도시된 인터커넥트된 필라(358)와 바(359)로 구성된 아래 놓인 인터커넥트된 전도성 필라(150')와 옴 접합되는 전도성 필라(370)를 구축할 수 있도록 하는 것이다. 도 35는 비-PHY 영역(80) 위의 도금 마스크(360) 및 도금된 전도성 필라(370)의 평면도를 도시한다. 아래 놓인 이산 전도성 필라(150)가 도금 마스크(460)에 의해 가려지고(따라서 점선으로 나타남) 인터커넥트된 전도성 필라(150)가 전도성 필라(370)와 도금 마스크(360)의 일부 모두에 의해 가려지며 마찬가지로 전도성 필라(150)가 가려짐으로써 점선으로 나타난다. 도금 마스크(360)는 잘 알려진 기법을 이용해 최종적으로 박리된다.

[0048] 해당 분야의 통상의 기술자라면 본 명세서에 기재된 몰딩된 칩 조합물(13)이, 웨이퍼 레벨 공정에서 어느 정도, 웨이퍼-유사 구조물(재구성된 웨이퍼)(380)로 단일 유닛으로 또는 한꺼번에 제조될 수 있음을 알 것이다. 예를 들어 도 36에서 도시된 바와 같이, 복수의 몰딩된 칩 조합물(13)이, 예를 들어, 몰딩 층(35 및 30)을 이용해 동시에 많은 수로 함께 몰딩될 수 있고, 경우에 따라, 이 웨이퍼 레벨 스테이지에서 인터커넥트 칩(85)이 몰딩된 칩 조합물(13) 상에 장착될 수 있다. 그 후, 몰딩된 칩 조합물(13)은 본 명세서의 다른 도면에서 도시된 개별 유닛으로 싱글레이트될 수 있다.

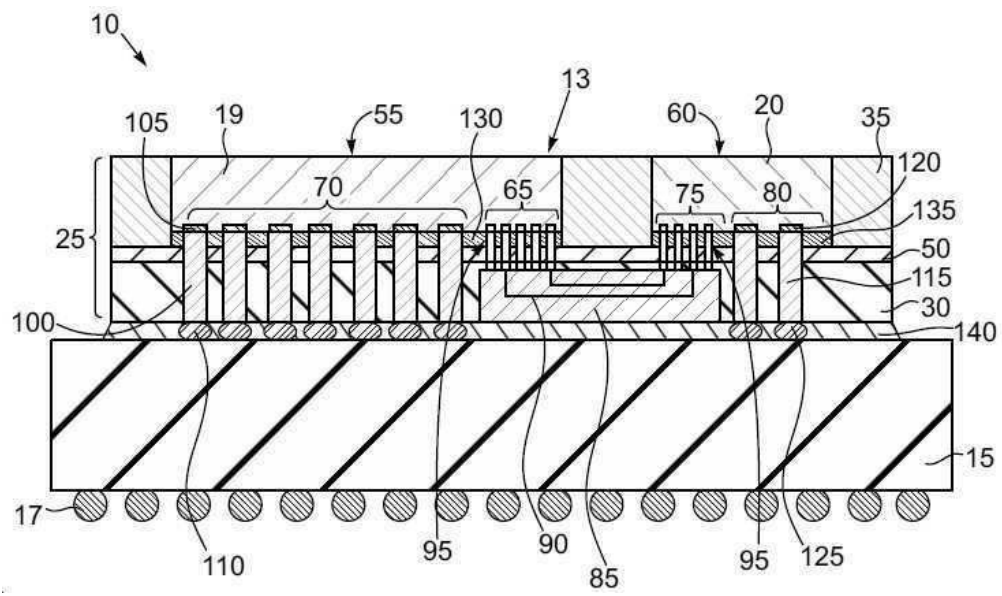
[0049] 본 발명이 다양한 수정 및 대안 형태를 가질 수 있지만, 특정 실시예가 예시로서 도면에서 도시되고 본 명세서에서 기재되었다. 그러나 본 발명은 개시된 특정 형태에 한정될 의도가 없음이 이해되어야 한다. 오히려 본 발명은 이하의 청구항에 의해 규정되는 본 발명의 사상 및 범위 내에 속하는 모든 수정, 균등 및 대안을 포함한다.

도면

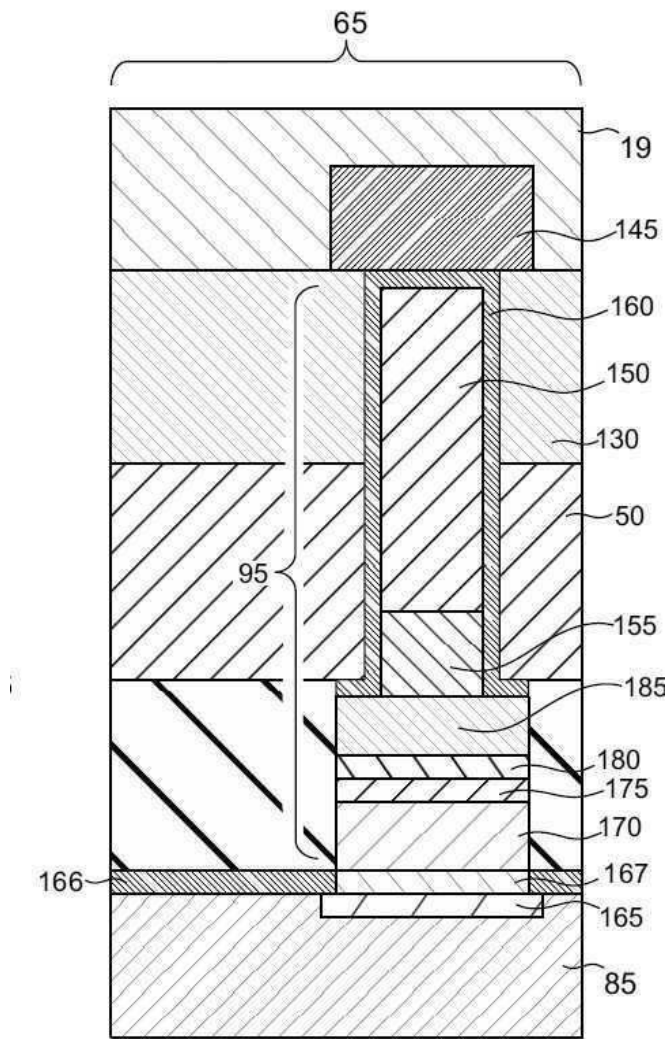
도면1



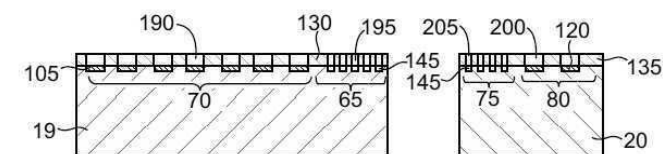
도면2



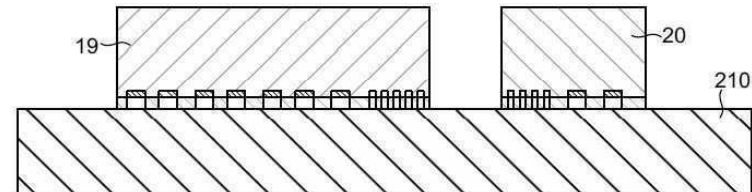
도면3



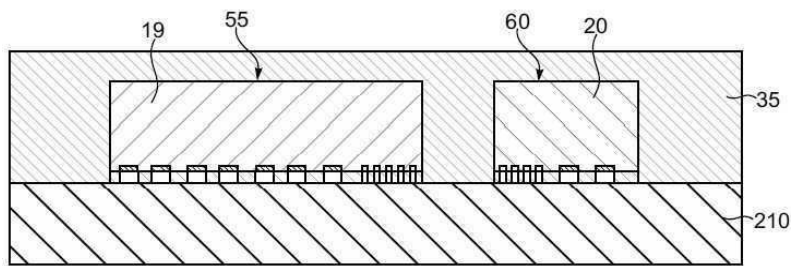
도면4



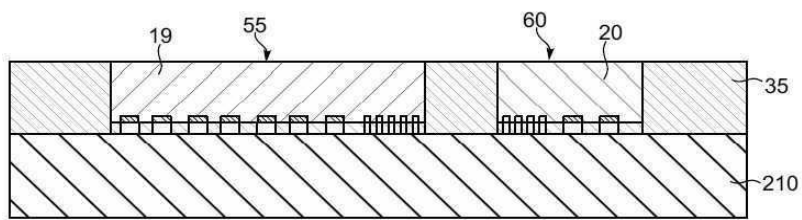
도면5



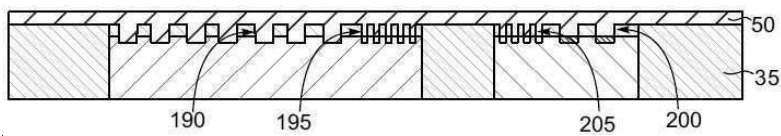
도면6



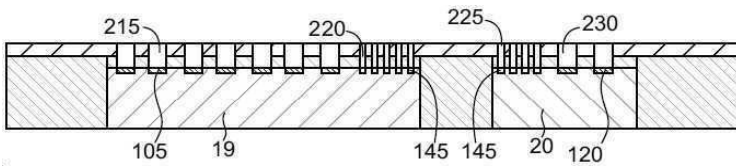
도면7



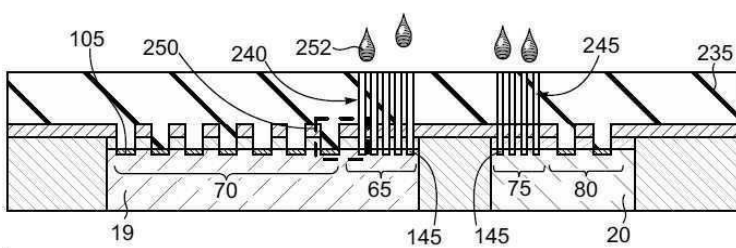
도면8



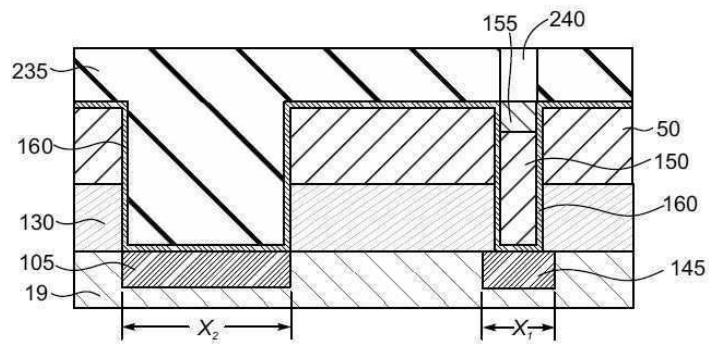
도면9



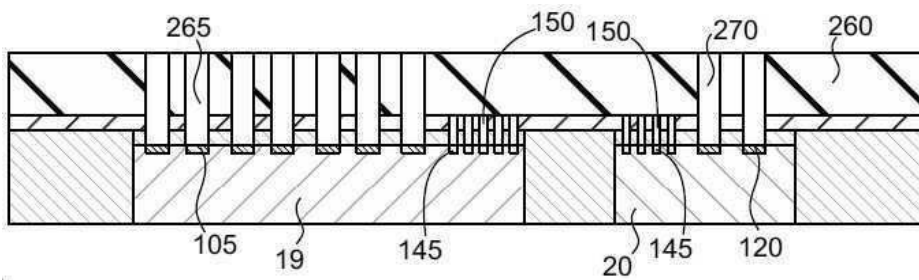
도면10



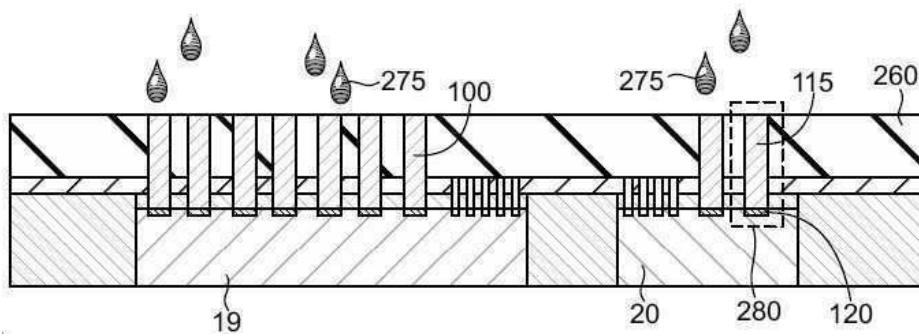
도면11



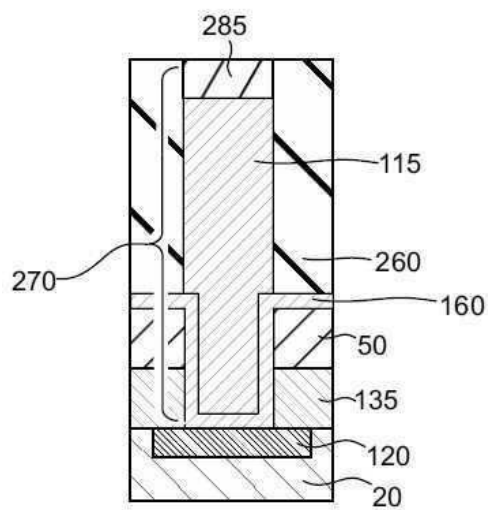
도면12



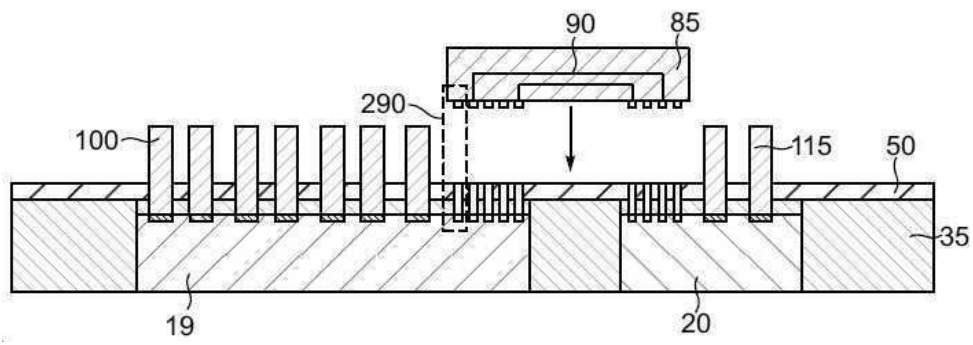
도면13



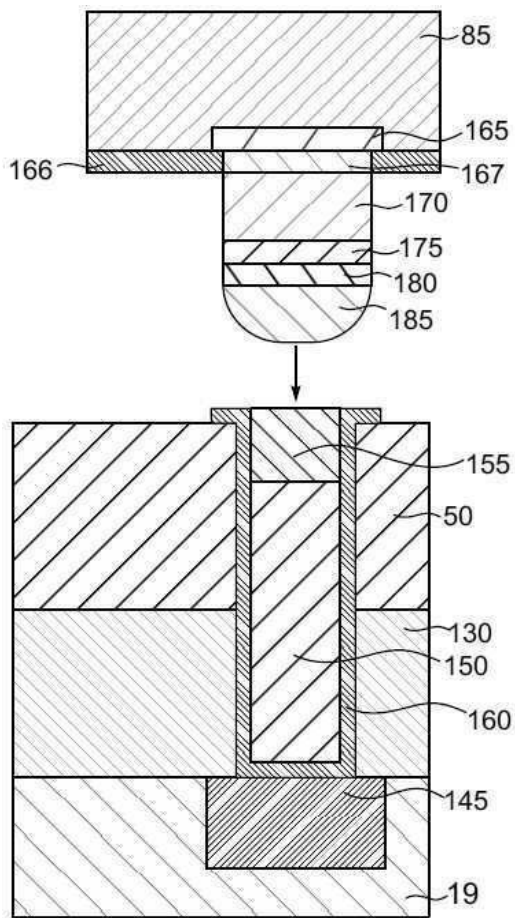
도면14



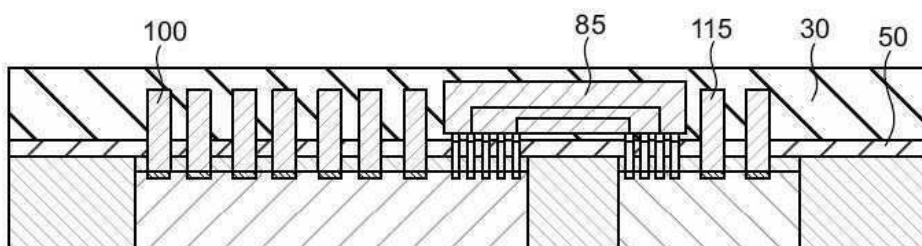
도면15



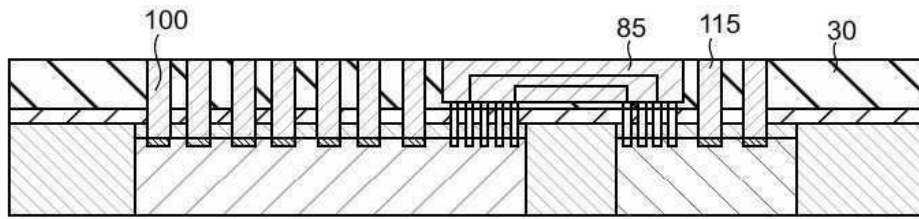
도면16



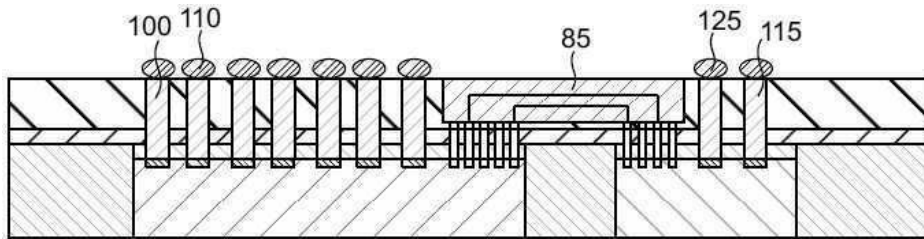
도면17



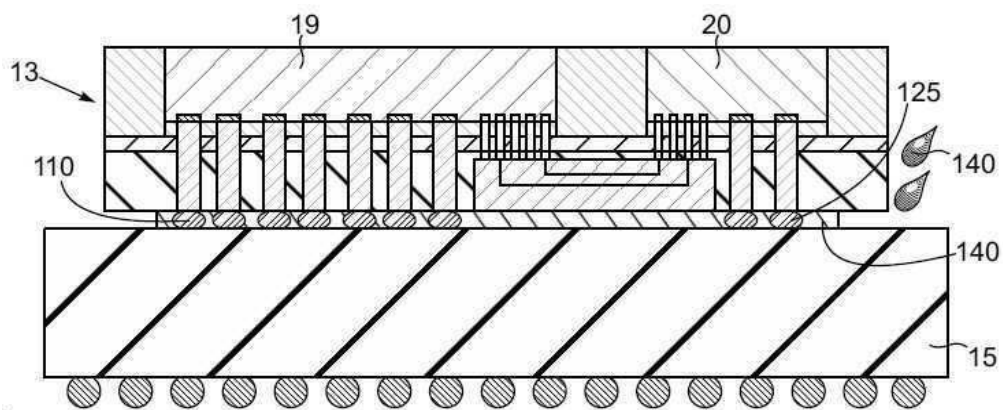
도면18



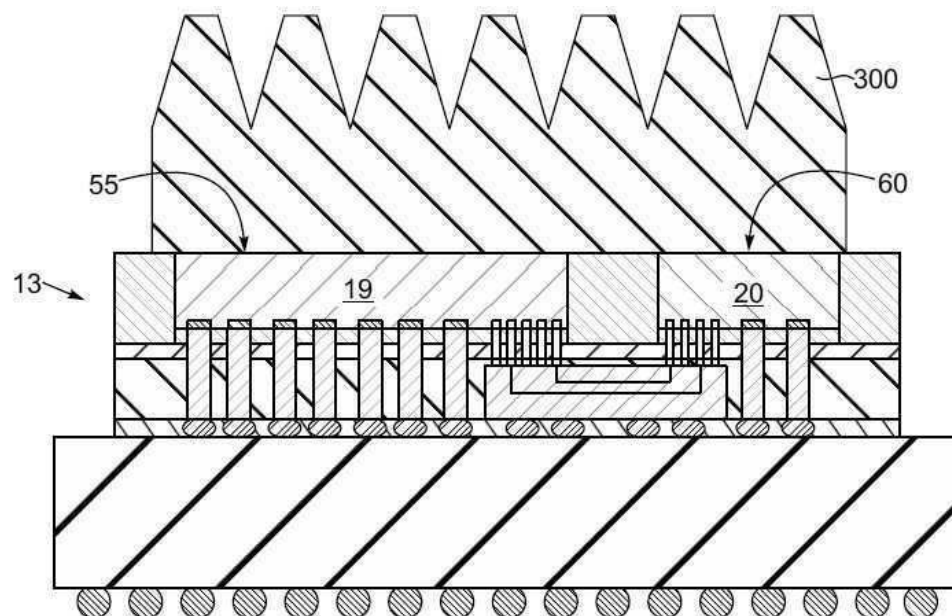
도면19



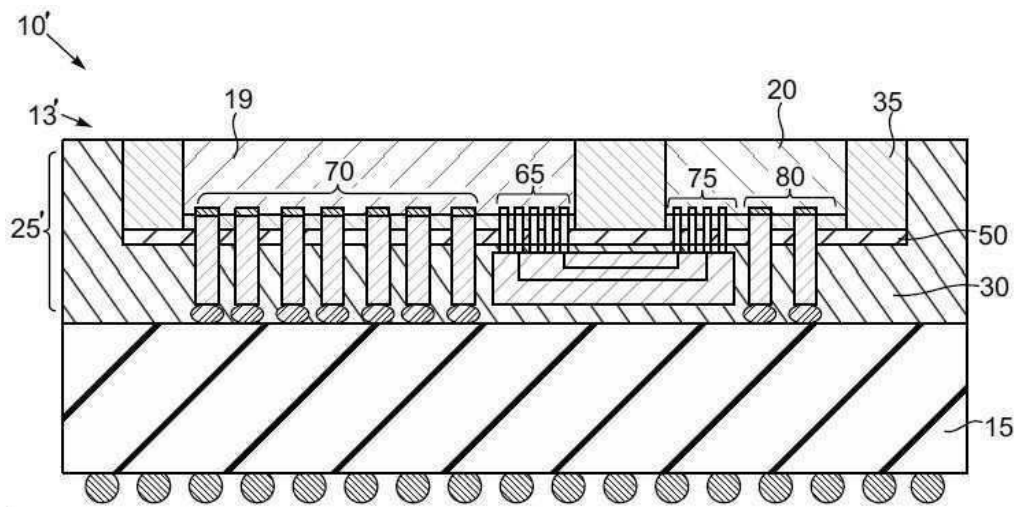
도면20



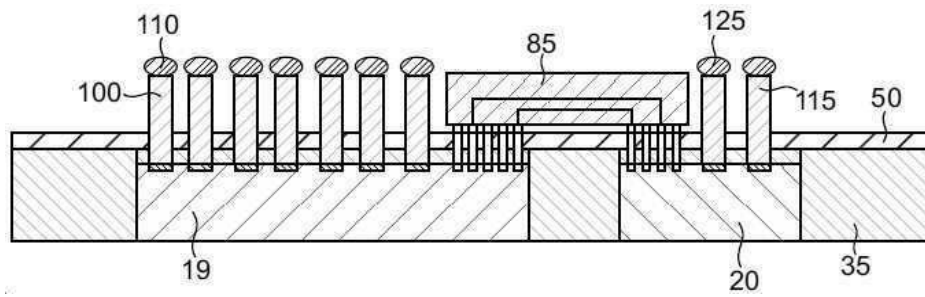
도면21



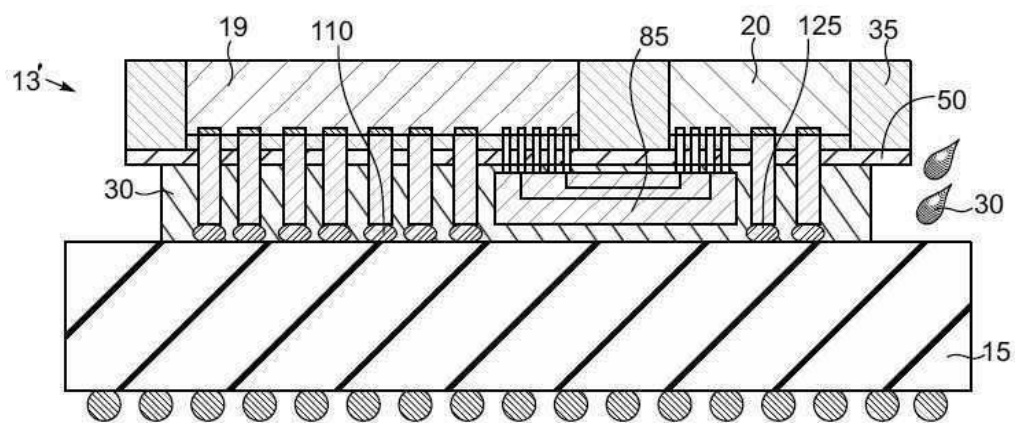
도면22



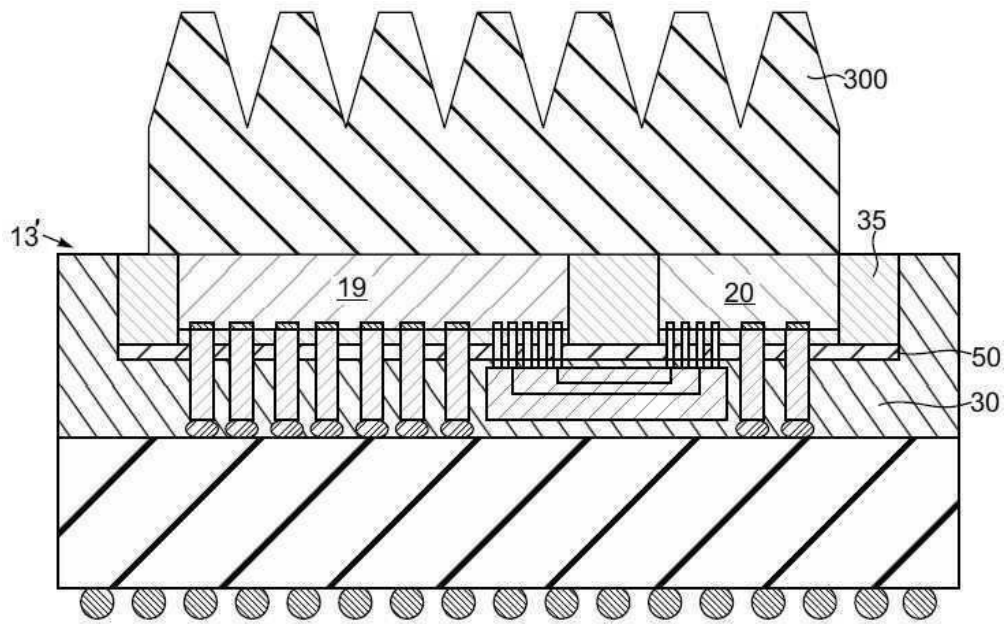
도면23



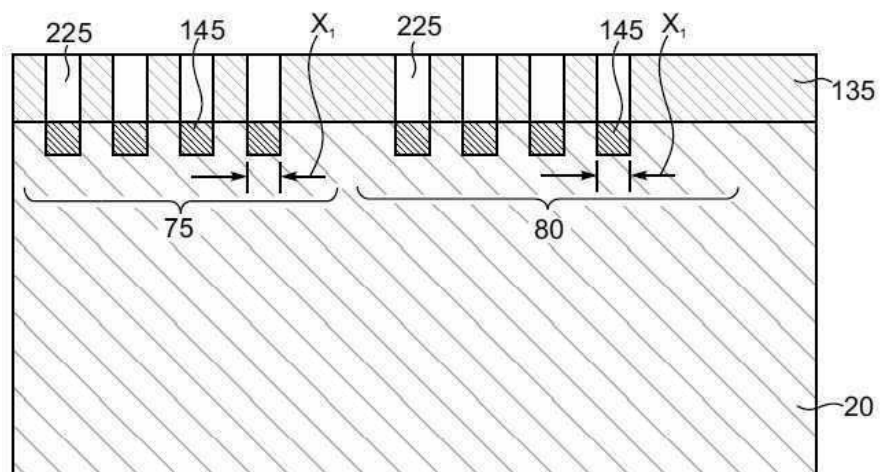
도면24



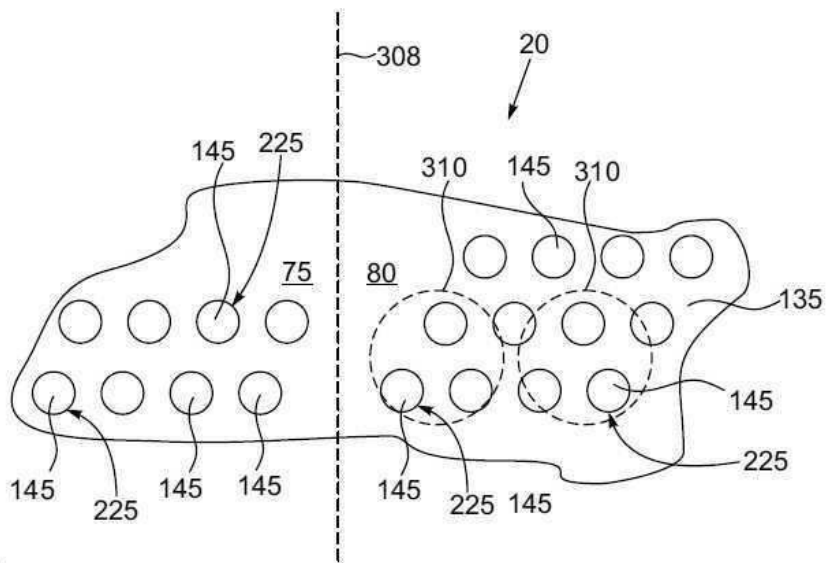
도면25



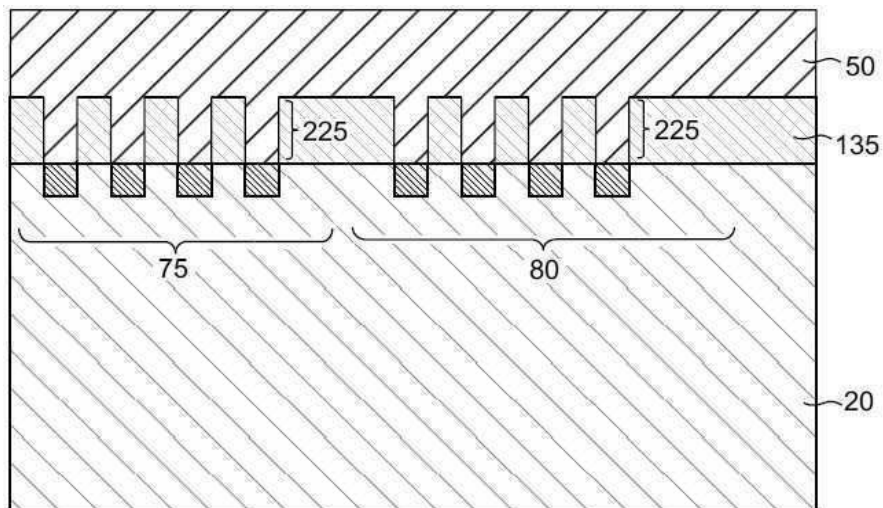
도면26



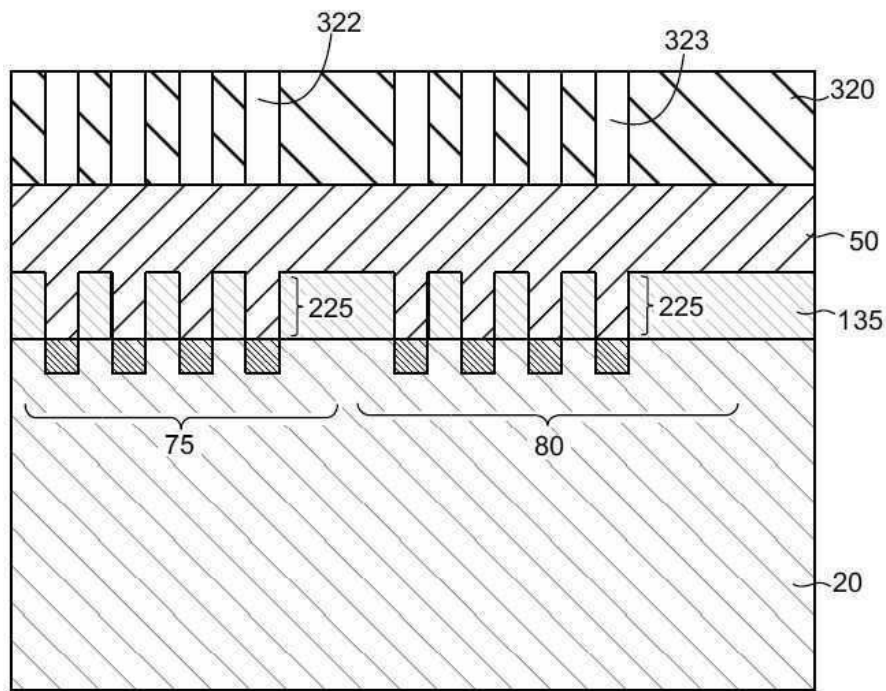
도면27



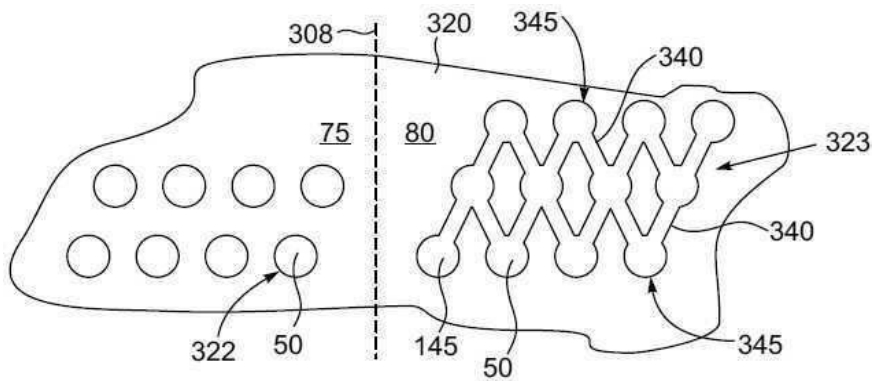
도면28



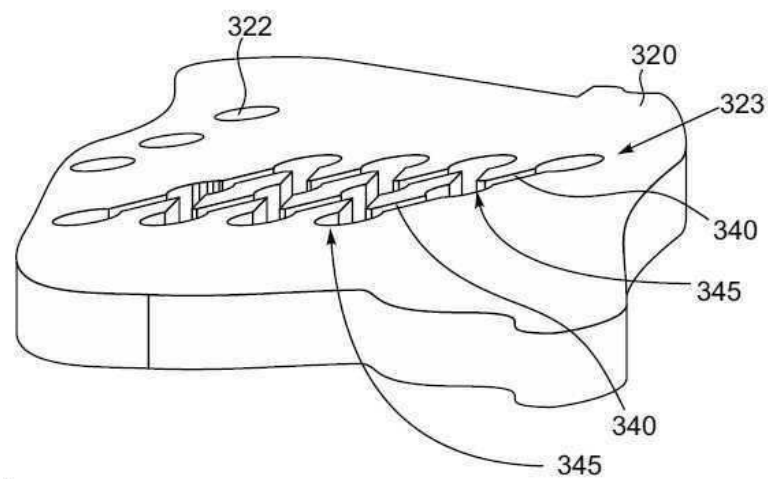
도면29



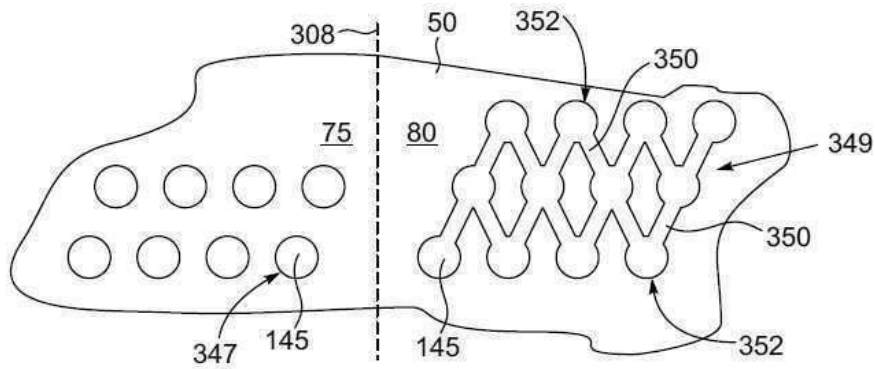
도면30



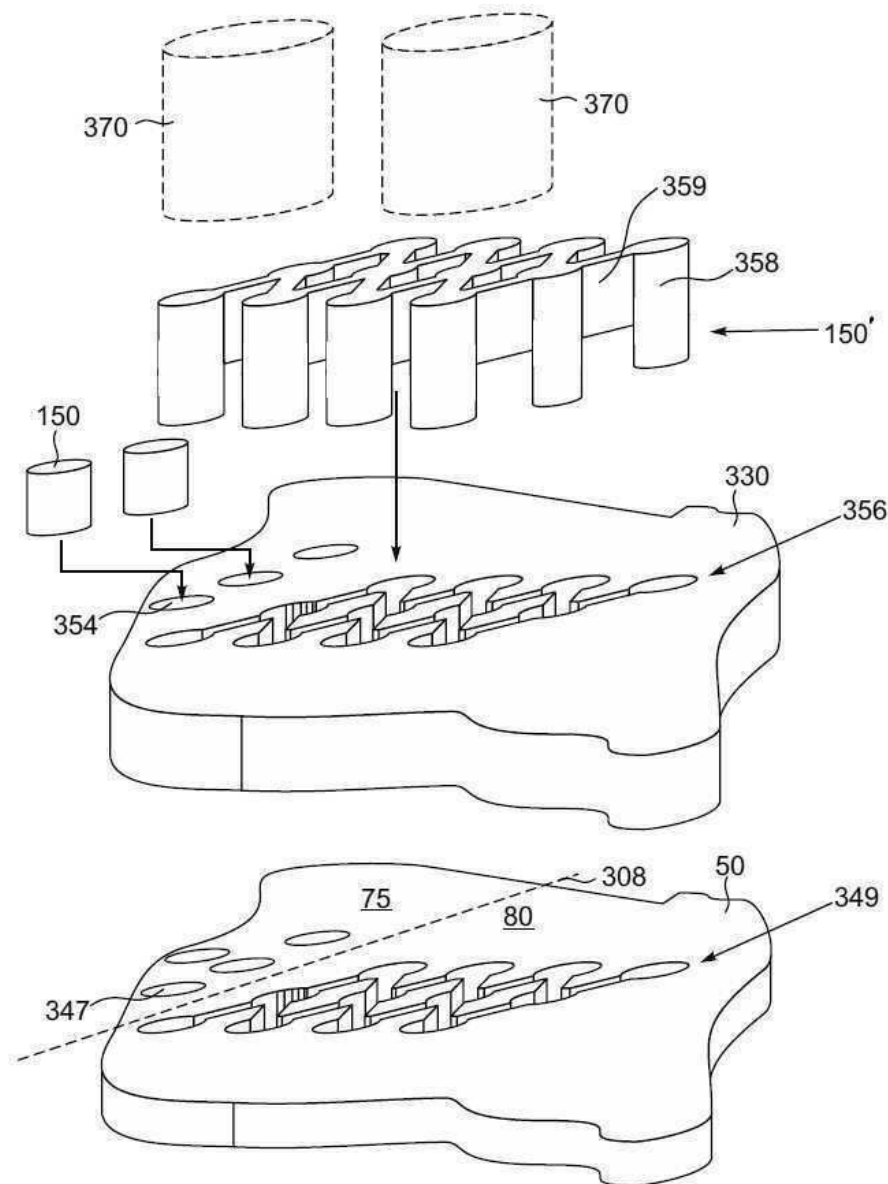
도면31



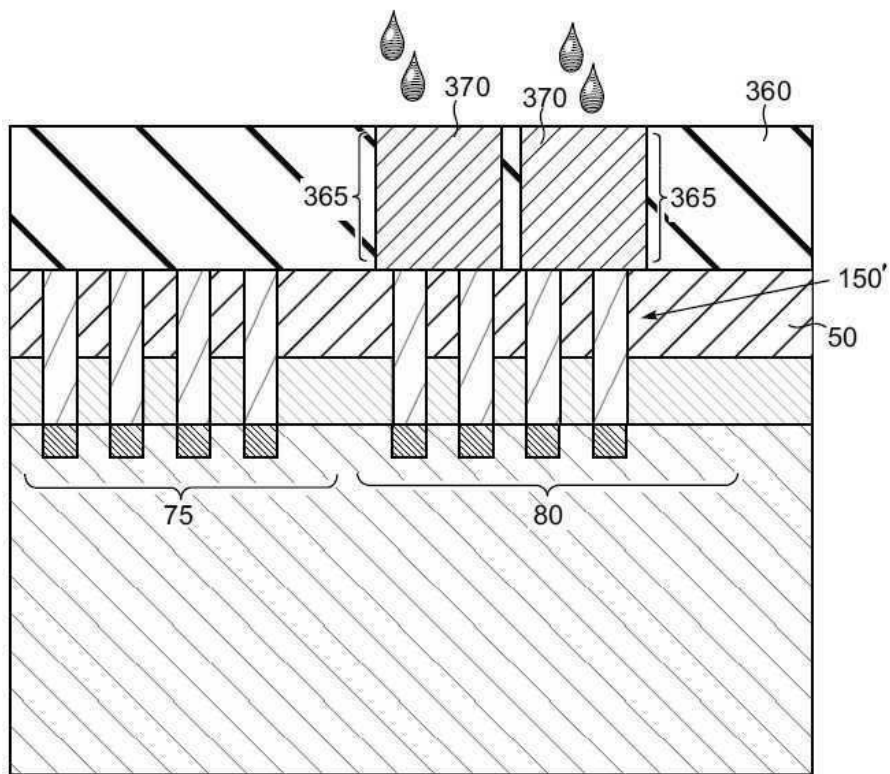
도면32



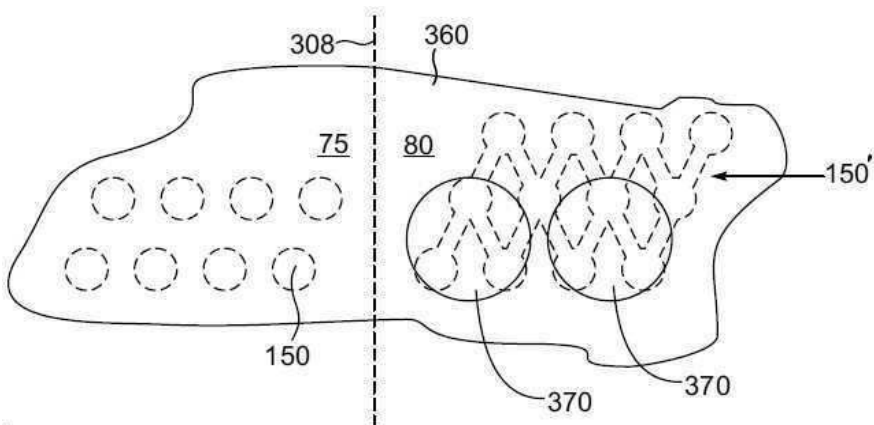
도면33



도면34



도면35



도면36

