

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



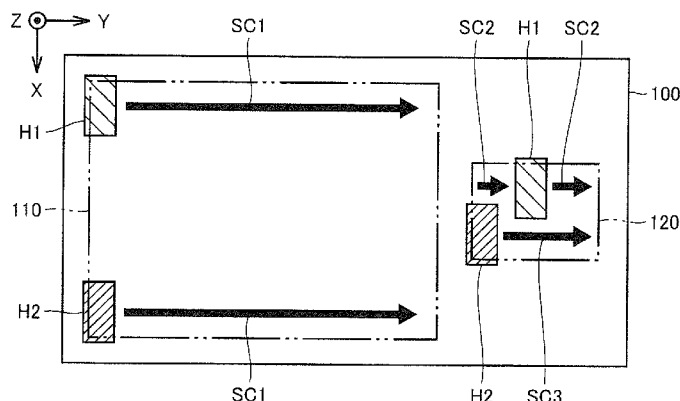
(10) 国際公開番号
WO 2012/169458 A1

- (51) 国際特許分類:
G01R 31/02 (2006.01) *H05K 3/00* (2006.01)
- (21) 国際出願番号: PCT/JP2012/064365
- (22) 国際出願日: 2012 年 6 月 4 日(04.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-129126 2011 年 6 月 9 日(09.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 五十嵐 万
人(IGARASHI, Kazuto).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami
Patent Office, p.c.); 〒5300005 大阪府大阪市北区中
之島二丁目 2 番 7 号 中之島セントラルタワー
Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PATTERN INSPECTION METHOD AND PATTERN INSPECTION DEVICE

(54) 発明の名称: パターン検査方法およびパターン検査装置

【図4】



(57) **Abstract:** An open defect line and a short defect line which are included in source lines provided in a common board (100) including a large-sized cell region (110) and a small-sized cell region (120) are detected using a pattern inspection device comprising a first inspection head (H1) and a second inspection head (H2). On this occasion, in the large-sized cell region (110), a pattern inspection is performed while scanning is performed with the first inspection head (H1) and the second inspection head (H2) traveling side by side. In the small-sized cell region (120), a pattern inspection is performed while scanning is performed with a time lag between the first inspection head (H1) and the second inspection head (H2) in order that the trajectory of the first inspection head (H1) and the trajectory of the second inspection head (H2) partially overlap each other.

(57) 要約:

[続葉有]



大型セル領域（１１０）と小型セル領域（１２０）とを含む共取り基板（１００）に設けられたソースラインに含まれるオープン欠陥ラインおよびショート欠陥ラインを、第１検査ヘッド（Ｈ１）および第２検査ヘッド（Ｈ２）を有するパターン検査装置を用いて検出する。その際、大型セル領域（１１０）上においては、第１検査ヘッド（Ｈ１）および第２検査ヘッド（Ｈ２）を並走して走査させつつ、パターン検査を行なう。また、小型セル領域（１１０）上においては、第１検査ヘッド（Ｈ１）の軌道と第２検査ヘッド（Ｈ２）の軌道とを一部重複させるべく、第１検査ヘッド（Ｈ１）および第２検査ヘッド（Ｈ２）を時間差をもって走査しつつ、パターン検査を行なう。

明 細 書

発明の名称： パターン検査方法およびパターン検査装置

技術分野

[0001] 本発明は、複数の導電ラインを含む配線パターンに含まれる欠陥ラインを検出するパターン検査方法およびパターン検査装置に関し、より特定的には、大型セル領域と小型セル領域とを含む検査対象基板に設けられた複数の導電ラインに含まれる欠陥ラインを検出するパターン検査方法およびパターン検査装置に関する。

背景技術

[0002] 液晶パネルや半導体メモリ等においては、互いに並行して配置された複数の導電ラインが行状および列状に基板上に積層形成される。たとえば、液晶パネルにあっては、ゲートラインやC sラインと呼ばれる導電ラインが複数行状に配置された層と、ソースラインと呼ばれる導電ラインが複数列状に配置された層とが、ガラス基板の主表面上に層間絶縁膜を介して積層形成される。

[0003] これら導電ラインは、所望の形状に精緻にパターンニングされていることが必要である。しかしながら、これら導電ラインは、いずれもそのライン幅が非常に狭くかつ隣り合う導電ライン間の配置ピッチも非常に小さいため、製造時における何らかの不具合等により、形成された導電ラインのパターンに欠陥（すなわち形状異常）が生じてしまう場合がある。そのため、製造途中において、形成された導電ラインのパターンに欠陥がないかパターン検査が実施され、当該パターン検査において欠陥が生じている箇所が特定されることで適宜リペアが実施される。

[0004] なお、上記欠陥には、主として、導電ラインの一部に断線が生じてしまうオープン欠陥や、導電ライン間に短絡が生じてしまうショート欠陥（特に、層間絶縁膜を介して異種の導電ライン間が短絡してしまうものをクロスショート欠陥と称する場合がある）が含まれる。

[0005] 上述したパターン検査方法が開示された文献としては、たとえば特開 2008-102031 号公報（特許文献 1）や、特開 2006-200994 号公報（特許文献 2）、特開 2009-229467 号公報（特許文献 3）等がある。これら公報に開示のパターン検査方法は、いずれも導電ラインに離間して給電電極および検出電極を対向配置することでこれらの間に形成される静電結合を利用して非接触でパターン検査を行なうものであり、具体的には、給電電極から導電ラインに交流電圧を印加し、これによって導電ラインに誘起される交流電圧を検出電極を用いて検出し、得られた検出波形の波形解析を行なうことで導電ラインのパターン検査が実施される。

[0006] このうち、上記特開 2008-102031 号公報には、導電ラインの延在方向に沿って配置された 1 つの給電電極と 1 つの検出電極とからなるセンサを導電ラインの両端に一对配置し、それぞれの給電電極から印加される交流電圧の位相を 180° 異ならしめることにより、これら一对のセンサが共働することで感度よくオープン欠陥を含む導電ライン（以下、オープン欠陥ラインと称する）が検出できることが記載されている。

[0007] また、上記特開 2008-102031 号公報には、導電ラインの延在方向と交差する方向に沿って配置された 2 つの給電電極とその間に配置された 1 つの検出電極とからなるセンサを用いることにより、当該センサによって感度よくショート欠陥を含む導電ライン（以下、ショート欠陥ラインと称する）が検出できることが記載されている（なお、以下においては、クロスショート欠陥を含む導電ラインを特にクロスショート欠陥ラインと称する場合もある）。

[0008] さらに、上記特開 2008-102031 号公報には、上述した 2 種類のセンサをそれぞれ導電ラインの延在方向と交差する方向に走査させることにより、短時間で効率的にオープン欠陥ラインおよびショート欠陥ラインの検出ができることが記載されている。

先行技術文献

特許文献

[0009] 特許文献1：特開2008-102031号公報

特許文献2：特開2006-200994号公報

特許文献3：特開2009-229467号公報

発明の概要

発明が解決しようとする課題

[0010] ところで、近年においては、液晶パネルの生産効率の向上を図るとともにガラス基板の利用効率を高めるために、大型のガラス基板にサイズの異なるセル領域を複数配し、各種加工を行なった後に当該ガラス基板を裁断することでこれらセル領域を切り出して個々に液晶パネルのTFT (thin film transistor) 基板として利用することが行なわれている。当該サイズの異なる複数のセル領域を含む基板は、一般に共取り基板と称され、当該共取り基板を用いた液晶パネルの生産工程にあっても、通常の基板（同サイズのセル領域のみを含む基板）を用いる場合と同様に、上述したガラス基板の裁断前にパターン検査が実施される必要がある。

[0011] 一方で、近年においては、液晶パネルの大型化が飛躍的に進んでおり、そのため上述したゲートライン、Csラインおよびソースラインも長尺のものとなっている。そのため、パターン検査における検査精度を十分に維持するためには、上述したセンサに含まれる給電電極をこれら導電ラインの延在方向に沿って長尺化することが必要不可欠であり、その結果、上述したセンサが設けられる一対の検査ヘッドも必然的に大型化する傾向にある。

[0012] そのため、共取り基板を用いた生産工程におけるパターン検査工程において、大型セル領域内に位置する長尺の導電ラインにおける検査精度を高めるために一対の検査ヘッドを大型化した場合には、小型セル領域内に位置する短尺の導電ラインのパターン検査時において、一対の検査ヘッド同士が物理的に干渉することで接触してしまい、一対の検査ヘッドを短尺の導電ラインの両端部上に配置することができず、パターン検査が行なえない問題が生じてしまう。

[0013] これを解決するためには、異なる長さの導電ラインに対応して、一対の検

査ヘッドをパターン検査装置に複数組具備させることが考えられるが、そのように構成した場合には、パターン検査装置の装置構成が非常に複雑化してしまう問題が生じてしまう。

[0014] したがって、本発明は、上述した問題を解決すべくなされたものであり、大型セル領域と小型セル領域とを含む検査対象基板に設けられた導電ラインに含まれる欠陥ラインを簡便に検出することができるパターン検査方法およびパターン検査装置を提供することを目的とする。

課題を解決するための手段

[0015] 本発明に基づくパターン検査方法は、大型セル領域と小型セル領域とを含む検査対象基板に設けられた導電ラインに含まれるオープン欠陥ラインおよびショート欠陥ラインを第1検査ヘッドおよび第2検査ヘッドを有するパターン検査装置を用いて検出する方法である。上記大型セル領域には、互いに並行して配置された複数の長尺の第1導電ラインを含む第1配線パターンが位置しており、上記小型セル領域には、互いに並行して配置された複数の短尺の第2導電ラインを含む第2配線パターンが位置している。なお、ショート欠陥ラインには、隣り合う同種の導電ライン間に短絡が生じてしまう欠陥と、異種の導電ライン間に短絡してしまう欠陥とが含まれる。

[0016] 上記パターン検査装置は、一の導電ラインに検査信号を印加することで当該一の導電ラインから得られる検出信号に基づいて欠陥ラインを検出する第1センサと、一の導電ラインに検査信号を印加することで当該一の導電ラインとは異なる他の導電ラインから得られる検出信号に基づいて欠陥ラインを検出する第2センサとを含んでいる。上記第1センサは、共働すべく上記第1検査ヘッドおよび上記第2検査ヘッドの双方に対を成して設けられており、上記第2センサは、上記第1検査ヘッドおよび上記第2検査ヘッドの双方に設けられている。

[0017] そして、上記本発明に基づくパターン検査方法は、以下のステップAおよびBを備えている。

[0018] A：上記大型セル領域上において、上記第1検査ヘッドおよび上記第2検

査ヘッドが上記第1導電ラインの個々の端部上を同時に通過することとなるように、上記第1検査ヘッドおよび上記第2検査ヘッドを上記第1導電ラインの延在方向と交差する方向に沿って並走して走査しつつ、上記第1配線パターンに含まれるオープン欠陥ラインを上記第1センサにて検出するとともに、上記第1配線パターンに含まれるショート欠陥ラインを上記第2センサにて検出するステップ。

[0019] B：上記小型セル領域上において、上記第1検査ヘッドの軌道と上記第2検査ヘッドの軌道とを一部重複させるべく、上記第1検査ヘッドおよび上記第2検査ヘッドが上記第2導電ラインの個々の端部上を時間差をもって通過することとなるように、上記第1検査ヘッドおよび上記第2検査ヘッドを上記第2導電ラインの延在方向と交差する方向に沿って走査しつつ、上記第2配線パターンに含まれるオープン欠陥ラインおよびショート欠陥ラインをいずれも上記第2センサにて検出するステップ。

[0020] 本発明に基づくパターン検査装置は、大型セル領域と小型セル領域とを含む検査対象基板に設けられた導電ラインに含まれるオープン欠陥ラインおよびショート欠陥ラインを検出するものでって、第1検査ヘッドと、第2検査ヘッドと、第1センサと、第2センサと、走査機構と、制御部とを備えている。上記大型セル領域には、互いに並行して配置された複数の長尺の第1導電ラインを含む第1配線パターンが位置しており、上記小型セル領域には、互いに並行して配置された複数の短尺の第2導電ラインを含む第2配線パターンが位置している。なお、ショート欠陥ラインには、隣り合う同種の導電ライン間に短絡が生じてしまう欠陥と、異種の導電ライン間が短絡してしまう欠陥とが含まれる。

[0021] 上記第1検査ヘッドおよび上記第2検査ヘッドは、上記検査対象基板の主表面に対向配置されるものであり、上記走査機構は、上記検査対象基板の上記主表面上における上記第1検査ヘッドおよび上記第2検査ヘッドの位置を相対的に変化させることで上記第1検査ヘッドおよび上記第2検査ヘッドを走査させるものである。上記第1センサは、一の導電ラインに検査信号を印

加することで当該一の導電ラインから得られる検出信号に基づいて欠陥ラインを検出するためのものであり、上記第2センサは、一の導電ラインに検査信号を印加することで当該一の導電ラインとは異なる他の導電ラインから得られる検出信号に基づいて欠陥ラインを検出するためのものである。上記第1センサは、共働すべく上記第1検査ヘッドおよび上記第2検査ヘッドの双方に対を成して設けられており、上記第2センサは、上記第1検査ヘッドおよび上記第2検査ヘッドの双方に設けられている。

[0022] そして、上記本発明に基づくパターン検査装置にあっては、上記制御部が、上記大型セル領域上において、上記第1検査ヘッドおよび上記第2検査ヘッドが上記第1導電ラインの個々の端部上を同時に通過することとなるように、上記第1検査ヘッドおよび上記第2検査ヘッドを上記第1導電ラインの延在方向と交差する方向に沿って並走して走査させつつ、上記第1配線パターンに含まれるオープン欠陥ラインを上記第1センサにて検出するとともに、上記第1配線パターンに含まれるショート欠陥ラインを上記第2センサにて検出し、上記小型セル領域上において、上記第1検査ヘッドの軌道と上記第2検査ヘッドの軌道とを一部重複させるべく、上記第1検査ヘッドおよび上記第2検査ヘッドが上記第2導電ラインの個々の端部上を時間差をもって通過することとなるように、上記第1検査ヘッドおよび上記第2検査ヘッドを上記第2導電ラインの延在方向と交差する方向に沿って走査させつつ、上記第2配線パターンに含まれるオープン欠陥ラインおよびショート欠陥ラインをいずれも上記第2センサにて検出するように、上記第1センサ、上記第2センサおよび上記走査機構を駆動制御する。

発明の効果

[0023] 本発明によれば、大型セル領域と小型セル領域とを含む検査対象基板に設けられた導電ラインに含まれる欠陥ラインを簡便に検出することができるパターン検査方法およびパターン検査装置とすることができる。

図面の簡単な説明

[0024] [図1]本発明の実施の形態1におけるパターン検査装置の概略平面図である。

[図2]図1に示すパターン検査装置の概略側面図である。

[図3]図1および図2に示す検査ヘッドの構成を示す模式図である。

[図4]本発明の実施の形態1におけるパターン検査方法の概略を示す模式図である。

[図5]本発明の実施の形態1におけるパターン検査方法において、大型セル領域内に位置するソースラインにおいてオープン欠陥ラインが検出される様子を示す図である。

[図6]本発明の実施の形態1におけるパターン検査方法において、大型セル領域内に位置するソースラインにおいてショート欠陥ラインが検出される様子を示す図である。

[図7]本発明の実施の形態1におけるパターン検査方法において、大型セル領域内に位置するソースラインにおいてゲートラインに対してのクロスショート欠陥ラインが検出される様子を示す図である。

[図8]本発明の実施の形態1におけるパターン検査方法において、小型セル領域内に位置するソースラインにおいてオープン欠陥ラインが検出される様子を示す図である。

[図9]本発明の実施の形態1におけるパターン検査方法において、小型セル領域内に位置するソースラインにおいてショート欠陥ラインが検出される様子を示す図である。

[図10]本発明の実施の形態1におけるパターン検査方法において、小型セル領域内に位置するソースラインにおいてゲートラインに対してのクロスショート欠陥ラインが検出される様子を示す図である。

[図11]本発明の実施の形態1におけるパターン検査方法において、小型セル領域内に位置するソースラインにおいてオープン欠陥ラインが検出される様子をより詳細に示す図である。

[図12]本発明の実施の形態1におけるパターン検査方法の第1変形例の概略を示す模式図である。

[図13]本発明の実施の形態1におけるパターン検査方法の第2変形例の概略

を示す模式図である。

[図14]本発明の実施の形態2におけるパターン検査装置の概略平面図である。

[図15]本発明の実施の形態2におけるパターン検査方法の概略を示す模式図である。

発明を実施するための形態

[0025] 以下、本発明の実施の形態について、図を参照して詳細に説明する。以下に示す実施の形態1および2においては、液晶パネルの製造工程において使用される共取り基板に形成されたソースラインに含まれるオープン欠陥ラインおよびショート欠陥ライン（ゲートラインに対してのクロスショート欠陥ラインを含む）を検査するパターン検査方法およびパターン検査装置に本発明を適用した場合を例示して説明を行なう。なお、同一のまたは共通する部分には図中同一の符号を付し、その説明は繰り返さない。

[0026] （実施の形態1）

図1は、本発明の実施の形態1におけるパターン検査装置の概略平面図であり、図2は、図1に示すパターン検査装置の概略側面図である。また、図3は、図1および図2に示す検査ヘッドの構成を示す模式図である。まず、これら図1および図2を参照して、本発明の実施の形態1におけるパターン検査装置の構成について説明する。

[0027] 図1および図2に示すように、パターン検査装置1Aは、検査対象基板である共取り基板100が載置されるステージ10と、一对の検査ヘッドである第1検査ヘッドH1および第2検査ヘッドH2が取付けられたガントリ20とを備えている。ガントリ20は、第1検査ヘッドH1および第2検査ヘッドH2を支持するアーム21と、ステージ10を挟み込む位置に設置された一对のレール22とを含んでおり、当該アーム21の両端が一对のレール22に移動可能に支持されている。

[0028] 第1検査ヘッドH1の下面には、パターン検査に使用される第1センサS1Aおよび第2センサS2Aが設けられており、第2検査ヘッドH2の下面

には、パターン検査に使用される第1センサS1Bおよび第2センサS2Bが設けられている（図3参照）。なお、これら第1センサS1A、S1Bおよび第2センサS2A、S2Bの詳細については、後述することとする。

[0029] また、パターン検査装置1Aは、ガントリ20を駆動することでガントリ20に取付けられた第1検査ヘッドH1および第2検査ヘッドH2をステージ10上において走査させるための走査機構70と、上述した第1センサS1A、S1Bおよび第2センサS2A、S2Bならびに走査機構70を駆動制御する制御部80とをさらに備えている。

[0030] ステージ10は、共取り基板100が載置される載置面をその上面に有しており、当該載置面が図中に示すXY平面に平行となるように設置されている。

[0031] 第1検査ヘッドH1および第2検査ヘッドH2は、それぞれ上述した走査機構70によって図中に示すX軸方向に沿って移動可能に構成されており、これにより図中に示すX1方向およびX2方向にそれぞれ移動する。また、第1検査ヘッドH1および第2検査ヘッドH2が取付けられたガントリ20のアーム21は、上述した走査機構70によって図中に示すY軸方向に沿って移動可能に構成されており、これにより図中に示すY1方向に移動する。なお、アーム21、第1検査ヘッドH1および第2検査ヘッドH2を駆動するための具体的な走査機構70としては、たとえばリニアモータやボールネジ等、公知の駆動機構が使用可能である。

[0032] また、パターン検査装置1Aには、図中に示すZ軸方向に沿って第1検査ヘッドH1と共取り基板100との間の距離および第2検査ヘッドH2と共取り基板100との間の距離を所定の距離に保つための機構が設けられている。当該機構としては、エア圧力センサやレーザセンサ等を含み、これらセンサの検出結果に基づいてステージ10を昇降させる昇降機構が使用可能である。

[0033] 以上により、第1検査ヘッドH1および第2検査ヘッドH2は、いずれもステージ10上に載置された共取り基板100の主表面上において、当該共

取り基板 100 の主表面と所定の距離だけ離間した状態で走査可能に構成されることになる。なお、Y 軸方向に沿った走査は、ステージ 10 が駆動されることで行なってもよいし、Z 軸方向の調整は、ガントリ 20 または第 1 検査ヘッド H1 および第 2 検査ヘッド H2 が駆動されることで行なってもよい。

[0034] 共取り基板 100 は、当該共取り基板 100 に含まれるセル領域を切り出す前のガラス基板であり、大型セル領域 110 と、小型セル領域 120 とを有している。大型セル領域 110 には、互いに並行して配置された長尺の複数の第 1 導電ラインを含む第 1 配線パターンが位置しており、小型セル領域 120 には、互いに並行して配置された長尺の複数の第 2 導電ラインを含む第 2 配線パターンが位置している。上記大型セル領域 110 内に位置する第 1 導電ラインには、列状に配置されたソースライン 111 および行状に配置されたゲートライン 112 が含まれ（図 5 等参照）、上記小型セル領域 120 内に位置する第 2 導電ラインには、列状に配置されたソースライン 121 および行状に配置されたゲートライン 122 が含まれる（図 8 等参照）。

[0035] 図 3 に示すように、第 1 センサ S1A は、第 1 検査ヘッド H1 に設けられており、検査対象であるソースライン 111 の延在方向に沿って延びる比較的大きい面積を有する平板状の給電電極 31 と、当該ソースライン 111 の一端部に配置される比較的小さい面積を有する平板状の検出電極 51 とを有している。給電電極 31 は、ソースライン 111 の一端部近傍に非接触で交流電圧を印加するための電極であり、交流電源 41 に接続されている。検出電極 51 は、ソースライン 111 の上記一端部に誘起された交流電圧を非接触で検出するための電極であり、増幅器 61 に接続されている。

[0036] 一方、第 1 センサ S1B は、第 2 検査ヘッド H2 に設けられており、検査対象であるソースライン 111 の延在方向に沿って延びる比較的大きい面積を有する平板状の給電電極 33 と、ソースライン 111 の他端部に配置される比較的小さい面積を有する平板状の検出電極 53 とを有している。給電電極 33 は、ソースライン 111 の他端部近傍に非接触で交流電圧を印加する

ための電極であり、交流電源 4 3 に接続されている。検出電極 5 3 は、ソースライン 1 1 1 の上記他端部に誘起された交流電圧を非接触で検出するための電極であり、増幅器 6 3 に接続されている。

[0037] このように、第 1 センサ S 1 A, S 1 B は、一のソースラインに検査信号としての交流電圧を印加することで当該一のソースラインから得られる検出信号としての交流電圧に基づいて欠陥ラインを検出するためのものであり、増幅器 6 1, 6 3 で増幅された信号を制御部 8 0 等に設けられた信号処理部において処理することで欠陥ラインが特定されることになる。本実施の形態においては、これら第 1 センサ S 1 A, S 1 B が、大型セル領域 1 1 0 内に位置するソースライン 1 1 1 に含まれるオープン欠陥ラインの検出にのみ使用される。

[0038] なお、第 1 センサ S 1 A, S 1 B に含まれる給電電極 3 1, 3 3 のそれぞれから印加される交流電圧のレベルを同じとして位相を 180° 異ならしめることにより、オープン欠陥がないソースライン 1 1 1 においては、同時に印加されたこれら逆相の交流電圧が相互に打ち消しあうことになるため、ノイズ成分が有効に除去されて検出電極 5 1, 5 3 に印加される交流電圧が安定的にほぼ「0」を示すことになり、オープン欠陥があるソースライン 1 1 1 においては、同時に印加されたこれら逆相の交流電圧の打ち消し合いが阻害されることになるため、検出電極 5 1, 5 3 に印加される交流電圧が大きく振れることになる。したがって、このようにすれば、これら一对の第 1 センサ S 1 A, S 1 B が共働することで感度よくオープン欠陥ラインを検出することができる。

[0039] また、図 3 に示すように、第 2 センサ S 2 A は、第 1 検査ヘッド H 1 に設けられており、検査対象であるソースライン 1 1 1, 1 2 1 に隣接するソースラインの延在方向に沿って延びる比較的大きい面積を有する一对の平板状の給電電極 3 2 a, 3 2 b と、検査対象であるソースライン 1 1 1, 1 2 1 の一端部に配置される比較的小さい面積を有する平板状の検出電極 5 2 とを有している。給電電極 3 2 a, 3 2 b は、検査対象であるソースライン 1 1

1, 121に隣接するソースラインの一端部近傍に非接触で交流電圧を印加するための電極であり、それぞれ交流電源42に接続されている。検出電極52は、検査対象であるソースライン111, 121の上記一端部に誘起された交流電圧を非接触で検出するための電極であり、増幅器62に接続されている。

[0040] 一方、第2センサS2Bは、第2検査ヘッドH2に設けられており、検査対象であるソースライン111, 121に隣接するソースラインの延在方向に沿って延びる比較的大きい面積を有する一对の平板状の給電電極34a, 34bと、検査対象であるソースライン111, 121の他端部に配置される比較的小さい面積を有する平板状の検出電極54とを有している。給電電極34a, 34bは、検査対象であるソースライン111, 121に隣接するソースラインの他端部近傍に非接触で交流電圧を印加するための電極であり、それぞれ交流電源44に接続されている。検出電極54は、検査対象であるソースライン111, 121の上記他端部に誘起された交流電圧を非接触で検出するための電極であり、増幅器64に接続されている。

[0041] このように、第2センサS2A, S2Bは、一のソースラインに検査信号としての交流電圧を印加することで当該一のソースラインとは異なるソースラインから得られる検出信号としての交流電圧に基づいて欠陥ラインを検出するためのものであり、増幅器62, 64で増幅された信号を制御部80等に設けられた信号処理部において処理することで欠陥ラインが特定されることになる。本実施の形態においては、これら第2センサS2A, S2Bが、大型セル領域110内に位置するソースライン111に含まれるショート欠陥ラインの検出（クロスショート欠陥ラインの検出を含む）と、小型セル領域120内に位置するソースライン121に含まれるオープン欠陥ラインの検出およびショート欠陥ラインの検出（ゲートライン122に対するショート欠陥であるクロスショート欠陥ラインの検出を含む）に使用される。

[0042] 図4は、本実施の形態におけるパターン検査方法の概略を示す模式図である。図5ないし図7は、本実施の形態におけるパターン検査方法において、

大型セル領域内に位置するソースラインにおいて各種欠陥ラインが検出される様子を示す図である。また、図8ないし図10は、本実施の形態におけるパターン検査方法において、小型セル領域内に位置するソースラインにおいて各種欠陥ラインが検出される様子を示す図である。以下においては、これら図4ないし図10を参照して、本実施の形態におけるパターン検査方法について説明する。

[0043] 図4に示すように、本実施の形態におけるパターン検査方法においては、図中において矢印SC1～SC3で示す如くの合計3回の走査をこの順で行なうことにより、パターン検査が実施される。当該3回の走査は、いずれも第1検査ヘッドH1および第2検査ヘッドH2が取付けられたガントリ20のアーム21を図中に示すY軸方向に沿って移動させることで行ない、各回の走査の間には、必要に応じて第1検査ヘッドH1および第2検査ヘッドH2を図中に示すX軸方向に沿って個別に移動させる。

[0044] ここで、本実施の形態においては、共取り基板100の大型セル領域110上において第1検査ヘッドH1および第2検査ヘッドH2を走査させる際には、これらを同時に並走して走査させており、共取り基板100の小型セル領域120上において第1検査ヘッドH1および第2検査ヘッドH2を走査させる際には、これらを個別に走査させている。これは、大型セル領域110内に位置するソースライン111に含まれるオープン欠陥ラインの検出の際の検査精度を高めるために、給電電極31, 33をソースライン111の延在方向に沿って長尺化した結果、第1検査ヘッドH1および第2検査ヘッドH2がそれぞれ大型化し、小型セル領域120内に位置するソースライン121に含まれる欠陥ラインの検出の際に、第1検査ヘッドH1および第2検査ヘッドH2が物理的に干渉することで接触してしまい、これらをソースライン121の両端部上に配置することができないためである。

[0045] しかしながら、本実施の形態の如く、共取り基板100の小型セル領域120上において、第1検査ヘッドH1の軌道および第2検査ヘッドH2の軌道とを一部重複させるべく、これら第1検査ヘッドH1および第2検査ヘッ

ドH 2がソースライン1 2 1の個々の端部上を時間差を持って通過することとなるように、個別に走査させることにより、上述した物理的な干渉が生じないことになる。その結果、小型セル領域1 2 0内に位置するソースライン1 2 1に含まれるオープン欠陥ラインの検出を第1センサS 1 A, S 1 Bで行なえないことになるが、本実施の形態におけるパターン検査方法にあっては、これを第1検査ヘッドH 1および第2検査ヘッドH 2に設けられた一対の第2センサS 2 A, S 2 Bで行なうこととしている。

[0046] 図4ないし図7に示すように、1回目の走査においては、共取り基板1 0 0の大型セル領域1 1 0のソースライン1 1 1の延在方向と直交する方向における端部であってかつソースライン1 1 1の延在方向に沿った両端部上に第1検査ヘッドH 1および第2検査ヘッドH 2が配置され、ソースライン1 1 1の延在方向と直交する方向（すなわちY軸方向）に向けて第1検査ヘッドH 1および第2検査ヘッドH 2が走査される。その際、第1検査ヘッドH 1および第2検査ヘッドH 2がソースライン1 1 1の個々の端部上を同時に通過することとなるように、第1検査ヘッドH 1および第2検査ヘッドH 2が並走して走査される。

[0047] この1回目の走査においては、大型セル領域1 1 0内に位置するソースライン1 1 1に含まれる欠陥ラインが上述した第1検査ヘッドH 1および第2検査ヘッドH 2に設けられた第1センサS 1 A, S 1 Bおよび第2センサS 2 A, S 2 Bによって特定される。なお、第2センサS 2 A, S 2 Bのうち、一方のみを使用した場合にも十分な検出精度が得られる場合には、第1検査ヘッドH 1に設けられた第2センサS 2 Aのみを使用することとし、第2検査ヘッドH 2に設けられた第2センサS 2 Bは使用しないこととしてもよい。

[0048] 具体的には、図5（A）に示すように、大型セル領域1 1 0内に位置するソースライン1 1 1にオープン欠陥A 1を含むオープン欠陥ラインが含まれる場合には、当該オープン欠陥ラインの端部上を第1検査ヘッドH 1および第2検査ヘッドH 2が通過する際に、図5（B）および図5（C）に示すよ

うに、第1センサS1A、S1Bに含まれる検出電極51、53によって検出される交流電圧が大きく変化し、これを上述した処理回路部において波形解析することで高いS/N比（信号対ノイズ比）で検出することが可能となる。これにより、オープン欠陥ラインの特定が行なわれることになる。ここで、その際のS/N比は、ソースライン111の長さや給電電極31、33の長さにもよるが、概ね150程度である。

[0049] また、図6（A）に示すように、大型セル領域110内に位置するソースライン111にショート欠陥A2（ここでは、ソースライン111同士のショート欠陥）を含むショート欠陥ラインが含まれる場合には、たとえば、当該ショート欠陥ラインの一端部上を第1検査ヘッドH1が通過する際に、図6（B）に示すように、第2センサS2Aに含まれる検出電極51によって検出される交流電圧が大きく変化し、これを上述した処理回路部において波形解析することで高いS/N比で検出することが可能となる。これにより、ショート欠陥ラインの特定が行なわれることになる。

[0050] また、図7（A）に示すように、大型セル領域110内に位置するソースライン111にゲートライン112に対してのクロスショート欠陥A3を含むクロスショート欠陥ラインが含まれる場合には、たとえば、当該クロスショート欠陥ラインの一端部上を第1検査ヘッドH1が通過する際に、図7（B）に示すように、第2センサS2Aに含まれる検出電極51によって検出される交流電圧が大きく変化し、これを上述した処理回路部において波形解析することで高いS/N比で検出することが可能となる。これにより、クロスショート欠陥ラインの特定が行なわれることになる。ここで、図6および図7に示すように、ショート欠陥がある場合とクロスショート欠陥がある場合とでは、波形の振れ方に違いがあり、上記波形解析によってこれらを峻別することが可能である。

[0051] 図4および図8ないし図10に示すように、2回目の走査においては、共取り基板100の小型セル領域120のソースライン121の延在方向と直交する方向における端部であってかつソースライン121の延在方向に沿っ

た一端部上に第1検査ヘッドH1が配置され、ソースライン121の延在方向と直交する方向（すなわちY軸方向）に向けて第1検査ヘッドH1が走査される。その際、第1検査ヘッドH1がソースライン121の個々の一端部上を通過することとなるように、第1検査ヘッドH1が単独で走査される。

[0052] また、図4および図8ないし図10に示すように、3回目の走査においては、共取り基板100の小型セル領域120のソースライン121の延在方向と直交する方向における端部であってかつソースライン121の延在方向に沿った他端部上に第2検査ヘッドH2が配置され、ソースライン121の延在方向と直交する方向（すなわちY軸方向）に向けて第2検査ヘッドH2が走査される。その際、第2検査ヘッドH2がソースライン121の個々の他端部上を通過することとなるように、第2検査ヘッドH2が単独で走査される。

[0053] この2回目および3回目の走査においては、小型セル領域120内に位置するソースライン121に含まれる欠陥ラインが上述した第1検査ヘッドH1および第2検査ヘッドH2に設けられた第2センサS2A、S2Bによって特定される。なお、本実施の形態においては、第1検査ヘッドH1および第2検査ヘッドH2に設けられた第1センサS1A、S1Bは、ここでは使用しない。

[0054] 具体的には、図8（A）に示すように、小型セル領域120内に位置するソースライン121にオープン欠陥B1を含むオープン欠陥ラインが含まれる場合には、当該オープン欠陥ラインの端部上を第1検査ヘッドH1および第2検査ヘッドH2が通過する際に、図8（B）および図8（C）に示すように、第2センサS2A、S2Bに含まれる検出電極51、53によって検出される交流電圧が大きく変化し、これを上述した処理回路部において波形解析することで高いS/N比で検出することが可能となる。これにより、オープン欠陥ラインの特定が行なわれることになる。ここで、その際のS/N比は、ソースライン121の長さや給電電極31、33の長さにもよるが、概ね15～30程度である。

[0055] また、図9（A）に示すように、小型セル領域120内に位置するソースライン121にショート欠陥B2（ここでは、ソースライン121同士のショート欠陥）を含むショート欠陥ラインが含まれる場合には、当該ショート欠陥ラインの一端部上を第1検査ヘッドH1が通過する際に、図9（B）および図9（C）に示すように、第2センサS2Aに含まれる検出電極51によって検出される交流電圧が大きく変化し、これを上述した処理回路部において波形解析することで高いS/N比で検出することが可能となる。これにより、ショート欠陥ラインの特定が行なわれることになる。ただし、図8および図9に示すように、オープン欠陥がある場合とショート欠陥がある場合とでは、波形の振れ方に大きな違いがなく、上記波形解析によってこれらを峻別することは困難である。

[0056] また、図10（A）に示すように、小型セル領域120内に位置するソースライン121にゲートライン122に対してのクロスショート欠陥B3を含むクロスショート欠陥ラインが含まれる場合には、当該クロスショート欠陥ラインの一端部上を第1検査ヘッドH1が通過する際に、図10（B）および図10（C）に示すように、第2センサS2Aに含まれる検出電極51によって検出される交流電圧が大きく変化し、これを上述した処理回路部において波形解析することで高いS/N比で検出することが可能となる。これにより、クロスショート欠陥ラインの特定が行なわれることになる。ここで、図8ないし図10に示すように、オープン欠陥およびショート欠陥がある場合とクロスショート欠陥がある場合とでは、波形の振れ方に違いがあり、上記波形解析によってこれらを峻別することが可能である。

[0057] なお、第1検査ヘッドH1および第2検査ヘッドH2の上述した如くの検出動作や、これら第1検査ヘッドH1および第2検査ヘッドH2を共取り基板100上において上述した如くに走査させるための走査機構70の動作は、いずれも上述した制御部80によってこれらが駆動制御されることで実現される。

[0058] また、図11は、本実施の形態におけるパターン検査方法において、小型

セル領域内に位置するソースラインにおいてオープン欠陥ラインが検出される様子をより詳細に示す図である。上述したように、本実施の形態におけるパターン検査方法においては、第1検査ヘッドH1および第2検査ヘッドH2が、いずれも小型セル領域120内に位置するソースライン121の片側の端部寄りの部分上のみを通過することになるため、当該端部とは反対側に位置する端部の近傍にオープン欠陥が存在している場合には、これらのいずれか単独のみを走査させただけではその検出が困難になる。

[0059] しかしながら、本実施の形態におけるパターン検査方法においては、第1検査ヘッドH1および第2検査ヘッドH2が時間差をもってソースライン121の一端部上および他端部上を通過することになるため、図11(A)ないし図11(C)に示すように、少なくとも第1検査ヘッドH1および第2検査ヘッドH2に設けられた第2センサS2A、S2Bのいずれかによって感度よくオープン欠陥ラインが検出されることになるため、これらの検出結果をあわせて総合判断することにより、どのような位置にあるオープン欠陥であってもこれが検出できることになる。

[0060] 以上において説明したように、本実施の形態におけるパターン検査装置1Aおよびパターン検査方法を採用して共取り基板100に含まれるソースライン111、121の欠陥検査を行なうことにより、第1検査ヘッドH1および第2検査ヘッドH2の物理的干渉を回避しつつ高精度にかつ簡便に欠陥パターンを検出することが可能になる。

[0061] なお、実際のパターン検査工程においては、上述した欠陥ラインを特定するパターン検査が実施された後に、当該欠陥ラインのどの位置に欠陥があるのかを特定するパターン検査がさらに実施されることになる。このパターン検査については、その詳細な説明はここでは省略するが、欠陥ラインの延在方向に沿って上述した第1センサまたは第2センサに近似の構成の非接触式センサを走査させることで電氣的に欠陥位置を特定する手法や、画像処理技術を用いて欠陥位置を特定する手法等、公知の手法が適用できる。当該手法を利用すれば、本実施の形態におけるパターン検査方法に従って検出された

小型セル領域におけるオープン欠陥ラインおよびショート欠陥ライン（ここでは、クロスショート欠陥ラインを除く）の峻別が、当該手法によるパターン検査において行なえることになる。

[0062] 図12は、本実施の形態におけるパターン検査方法の第1変形例の概略を示す模式図である。図12に示すように、本第1変形例に係るパターン検査方法においては、図中において矢印SC1～SC3で示す如くの合計3回の走査をこの順で行なうことにより、パターン検査が実施される。当該3回の走査のうち、1回目および2回目の走査は、上述した本実施の形態におけるそれと同様であり、3回目の走査は、その走査方向が反対向きである。このようにすれば、往路において1回目および2回目の走査が行なわれ、復路において3回目の走査が行なわれることになり、タクトタイムを短縮できる効果が得られる。

[0063] 図13は、本実施の形態におけるパターン検査方法の第2変形例の概略を示す模式図である。図13に示すように、本第2変形例に係るパターン検査方法においては、共取り基板100に2つの小型セル領域120が形成されており、図中において矢印SC1～SC5で示す如くの合計5回の走査をこの順で行なうことにより、パターン検査が実施される。このうち、2つの小型セル領域120上において実施されるそれぞれ2回の走査は、同様の走査である。このように、複数回走査を繰り返すこととすれば、共取り基板100に3つ以上のセル領域がある場合にも、これを簡便にパターン検査することができる。

[0064] （実施の形態2）

図14は、本発明の実施の形態2におけるパターン検査装置の概略平面図であり、図15は、本実施の形態におけるパターン検査方法の概略を示す模式図である。次に、これら図14および図15を参照して、本発明の実施の形態2におけるパターン検査装置の構成およびパターン検査方法について説明する。

[0065] 図14に示すように、パターン検査装置1Bに設けられたガントリ20は

、アーム 21 に加え、一对のサブアーム 23 を有しており、第 1 検査ヘッド H1 および第 2 検査ヘッド H2 は、一对のサブアーム 23 に個別に取付けられており、一对のサブアーム 23 は、アーム 21 に取付けられている。

[0066] 第 1 検査ヘッド H1 および第 2 検査ヘッド H2 は、それぞれ走査機構 70 によって図中に示す Y 軸方向に沿って移動可能に構成されており、これにより図中に示す Y2 方向および Y3 方向にそれぞれ移動する。また、第 1 検査ヘッド H1 および第 2 検査ヘッド H2 が取付けられたガントリ 20 の一对のサブアーム 23 は、上述した走査機構 70 によって図中に示す X 軸方向に沿って移動可能に構成されており、これにより図中に示す X1 および X2 方向にそれぞれ移動する。さらに、一对のサブアーム 23 が取付けられたガントリ 20 のアーム 21 は、走査機構 70 によって図中に示す Y 軸方向に沿って移動可能に構成されており、これにより図中に示す Y1 方向に移動する。なお、アーム 21、第 1 検査ヘッド H1、第 2 検査ヘッド H2 および一对のサブアーム 23 を駆動するための具体的な走査機構 70 としては、たとえばリニアモータやボールネジ等、公知の駆動機構が使用可能である。

[0067] このように構成することにより、図 14 において破線で示すように、第 1 検査ヘッド H1 および第 2 検査ヘッド H2 の位置を X 軸方向に沿って異ならしめるのみならず Y 軸方向に沿っても異ならしめることができるため、これら第 1 検査ヘッド H1 および第 2 検査ヘッド H2 を物理的干渉を避けつつ Y 軸方向に沿って重なるように配置することが可能になる。

[0068] したがって、図 15 に示すように、本実施の形態におけるパターン検査方法にあっては、図中において矢印 SC1、SC2 で示す如くの合計 2 回の走査をこの順で行なうことにより、2 回目の走査において、第 1 検査ヘッド H1 と第 2 検査ヘッド H2 とを個別に走査させることなく、1 度の走査で同時に時間差をもって小型セル領域 120 の両端部上を通過するように走査させることが可能になるため、上述した実施の形態 1 の如くの 3 回目の走査が不要になり、タクトタイムを短縮できる効果が得られる。

[0069] 以上において説明した本発明の実施の形態 1 および 2 においては、液晶パ

ネルの製造工程において使用される共取り基板に形成されたソースラインに含まれるオープン欠陥ラインおよびショート欠陥ライン（ゲートラインに対してのクロスショート欠陥ラインを含む）を検査する場合を例示して説明を行なったが、当然に共取り基板に形成されたゲートラインおよびC sラインに含まれるオープン欠陥ラインおよびショート欠陥ラインを検査する場合や、共取り基板に形成されたソースラインに含まれるC sラインに対してのクロスショート欠陥ラインを検査する場合等にも本発明を適用することができる。

[0070] また、本発明は、液晶パネルの製造工程において使用される共取り基板に形成された導電ラインのパターン検査のみならず、半導体メモリの製造工程において使用される共取り基板に形成された導電ラインのパターン検査等にも適用することができる。

[0071] このように、今回開示した上記実施の形態はすべての点で例示であって、制限的なものではない。本発明の技術的範囲は請求の範囲によって画定され、また請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

符号の説明

[0072] 1 A, 1 B パターン検査装置、10 ステージ、20 ガントリ、21 アーム、22 レール、23 サブアーム、31, 32 a, 32 b, 33, 34 a, 34 b 給電電極、41～44 交流電源、51～54 検出電極、61～64 増幅器、70 走査機構、80 制御部、100 共取り基板、110 大型セル領域、111 ソースライン、112 ゲートライン、120 小型セル領域、121 ソースライン、122 ゲートライン、A1, B1 オープン欠陥、A2, B2 ショート欠陥、A3, B3 クロスショート欠陥、H1 第1検査ヘッド、H2 第2検査ヘッド、S1A, S1B 第1センサ、S2A, S2B 第2センサ。

請求の範囲

[請求項1]

検査対象基板（１００）に設けられた大型セル領域（１１０）内に位置する互いに並行して配置された複数の長尺の第１導電ライン（１１１）を含む第１配線パターンと、前記検査対象基板（１００）に設けられた小型セル領域（１２０）内に位置する互いに並行して配置された複数の短尺の第２導電ライン（１２１）を含む第２配線パターンと、に含まれるオープン欠陥ラインおよびショート欠陥ラインを、第１検査ヘッド（Ｈ１）および第２検査ヘッド（Ｈ２）を有するパターン検査装置を用いて検出する、パターン検査方法であって、

前記パターン検査装置は、一の導電ラインに検査信号を印加することで当該一の導電ラインから得られる検出信号に基づいて欠陥ラインを検出する第１センサ（Ｓ１Ａ，Ｓ１Ｂ）と、一の導電ラインに検査信号を印加することで当該一の導電ラインとは異なる他の導電ラインから得られる検出信号に基づいて欠陥ラインを検出する第２センサ（Ｓ２Ａ，Ｓ２Ｂ）とを含み、

前記第１センサ（Ｓ１Ａ，Ｓ１Ｂ）は、共働すべく前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）の双方に対を成して設けられ、

前記第２センサ（Ｓ２Ａ，Ｓ２Ｂ）は、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）の双方に設けられ、

前記大型セル領域（１１０）上において、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）が前記第１導電ライン（１１１）の個々の端部上を同時に通過することとなるように、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）を前記第１導電ライン（１１１）の延在方向と交差する方向に沿って並走して走査しつつ、前記第１配線パターンに含まれるオープン欠陥ラインを前記第１センサ（Ｓ１Ａ，Ｓ１Ｂ）にて検出するとともに、前記第１配線パターンに含まれるショート欠陥ラインを前記第２センサ（Ｓ２Ａ，Ｓ

2 B) にて検出するステップと、

前記小型セル領域 (1 2 0) 上において、前記第 1 検査ヘッド (H 1) の軌道と前記第 2 検査ヘッド (H 2) の軌道とを一部重複させるべく、前記第 1 検査ヘッド (H 1) および前記第 2 検査ヘッド (H 2) が前記第 2 導電ライン (1 2 1) の個々の端部上を時間差をもって通過することとなるように、前記第 1 検査ヘッド (H 1) および前記第 2 検査ヘッド (H 2) を前記第 2 導電ライン (1 2 1) の延在方向と交差する方向に沿って走査しつつ、前記第 2 配線パターンに含まれるオープン欠陥ラインおよびショート欠陥ラインをいずれも前記第 2 センサ (S 2 A, S 2 B) にて検出するステップとを備えた、パターン検査方法。

[請求項2]

検査対象基板 (1 0 0) に設けられた大型セル領域 (1 1 0) 内に位置する互いに並行して配置された複数の長尺の第 1 導電ライン (1 1 1) を含む第 1 配線パターンと、前記検査対象基板 (1 0 0) に設けられた小型セル領域 (1 2 0) 内に位置する互いに並行して配置された複数の短尺の第 2 導電ライン (1 2 1) を含む第 2 配線パターンと、に含まれるオープン欠陥ラインおよびショート欠陥ラインを検出する、パターン検査装置であって、

前記検査対象基板 (1 0 0) の主表面に対向配置される第 1 検査ヘッド (H 1) および第 2 検査ヘッド (H 2) と、

共働すべく前記第 1 検査ヘッド (H 1) および前記第 2 検査ヘッド (H 2) の双方に対を成して設けられ、一の導電ラインに検査信号を印加することで当該一の導電ラインから得られる検出信号に基づいて欠陥ラインを検出するための第 1 センサ (S 1 A, S 1 B) と、

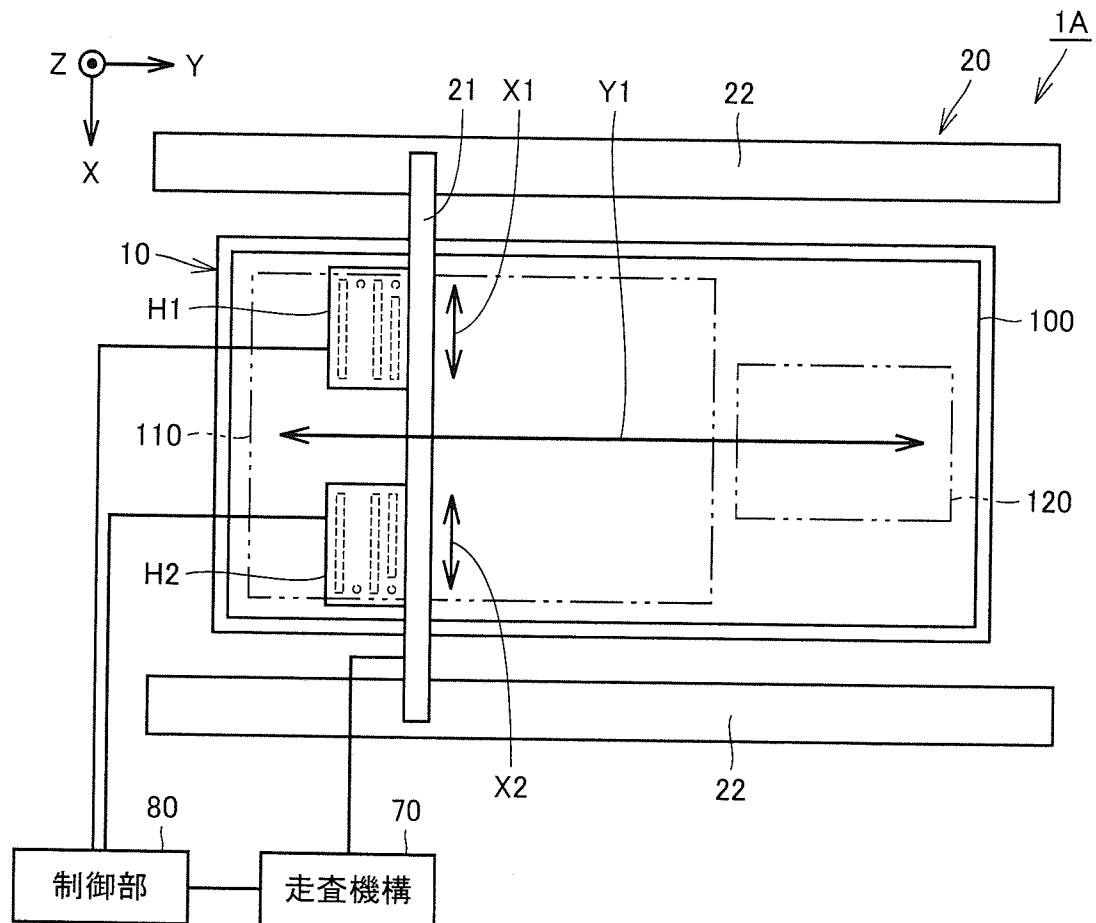
前記第 1 検査ヘッド (H 1) および前記第 2 検査ヘッド (H 2) の双方に設けられ、一の導電ラインに検査信号を印加することで当該一の導電ラインとは異なる他の導電ラインから得られる検出信号に基づいて欠陥ラインを検出するための第 2 センサ (S 2 A, S 2 B) と、

前記検査対象基板（１００）の前記主表面上における前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）の位置を相対的に変化させることで前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）を走査させる走査機構（７０）と、

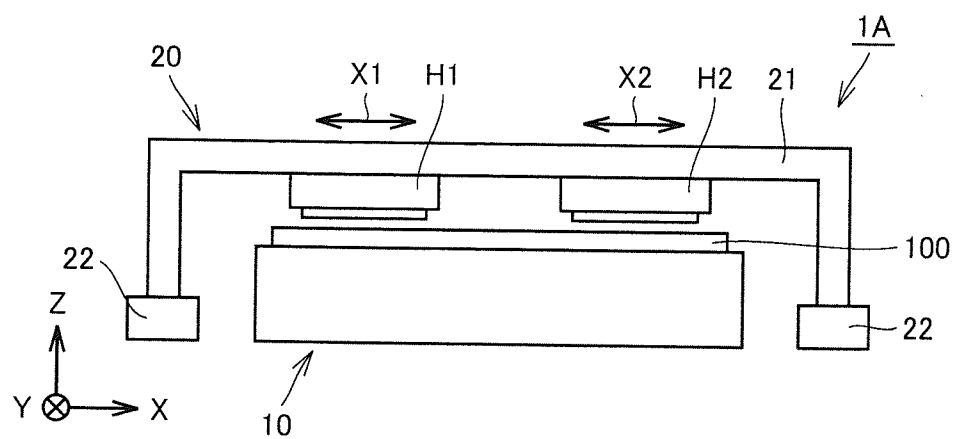
前記第１センサ（Ｓ１Ａ，Ｓ１Ｂ）および前記第２センサ（Ｓ２Ａ，Ｓ２Ｂ）を駆動制御するとともに、前記走査機構（７０）を駆動制御する制御部（８０）とを備え、

前記制御部（８０）は、前記大型セル領域（１１０）上において、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）が前記第１導電ライン（１１１）の個々の端部上を同時に通過することとなるように、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）を前記第１導電ライン（１１１）の延在方向と交差する方向に沿って並走して走査させつつ、前記第１配線パターンに含まれるオープン欠陥ラインを前記第１センサ（Ｓ１Ａ，Ｓ１Ｂ）にて検出するとともに、前記第１配線パターンに含まれるショート欠陥ラインを前記第２センサ（Ｓ２Ａ，Ｓ２Ｂ）にて検出し、前記小型セル領域（１２０）上において、前記第１検査ヘッド（Ｈ１）の軌道と前記第２検査ヘッド（Ｈ２）の軌道とを一部重複させるべく、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）が前記第２導電ライン（１２１）の個々の端部上を時間差をもって通過することとなるように、前記第１検査ヘッド（Ｈ１）および前記第２検査ヘッド（Ｈ２）を前記第２導電ライン（１２１）の延在方向と交差する方向に沿って走査させつつ、前記第２配線パターンに含まれるオープン欠陥ラインおよびショート欠陥ラインをいずれも前記第２センサ（Ｓ２Ａ，Ｓ２Ｂ）にて検出するように、前記第１センサ（Ｓ１Ａ，Ｓ１Ｂ）、前記第２センサ（Ｓ２Ａ，Ｓ２Ｂ）および前記走査機構（７０）を駆動制御する、パターン検査装置。

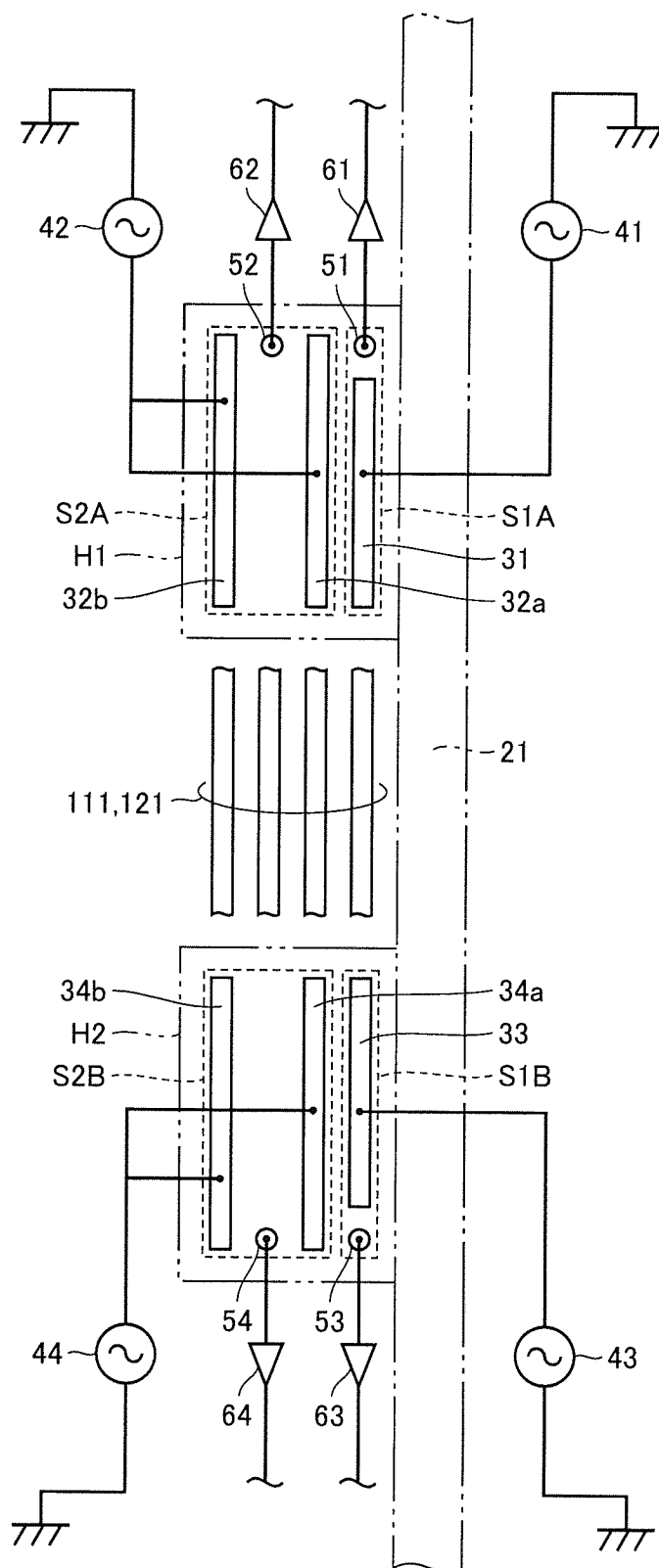
[図1]



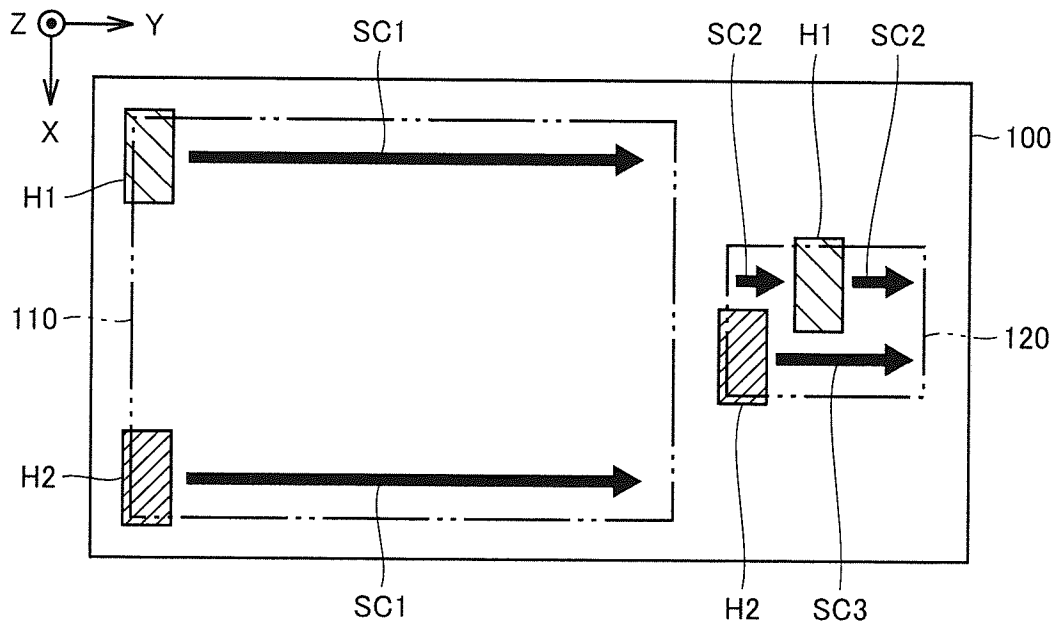
[図2]



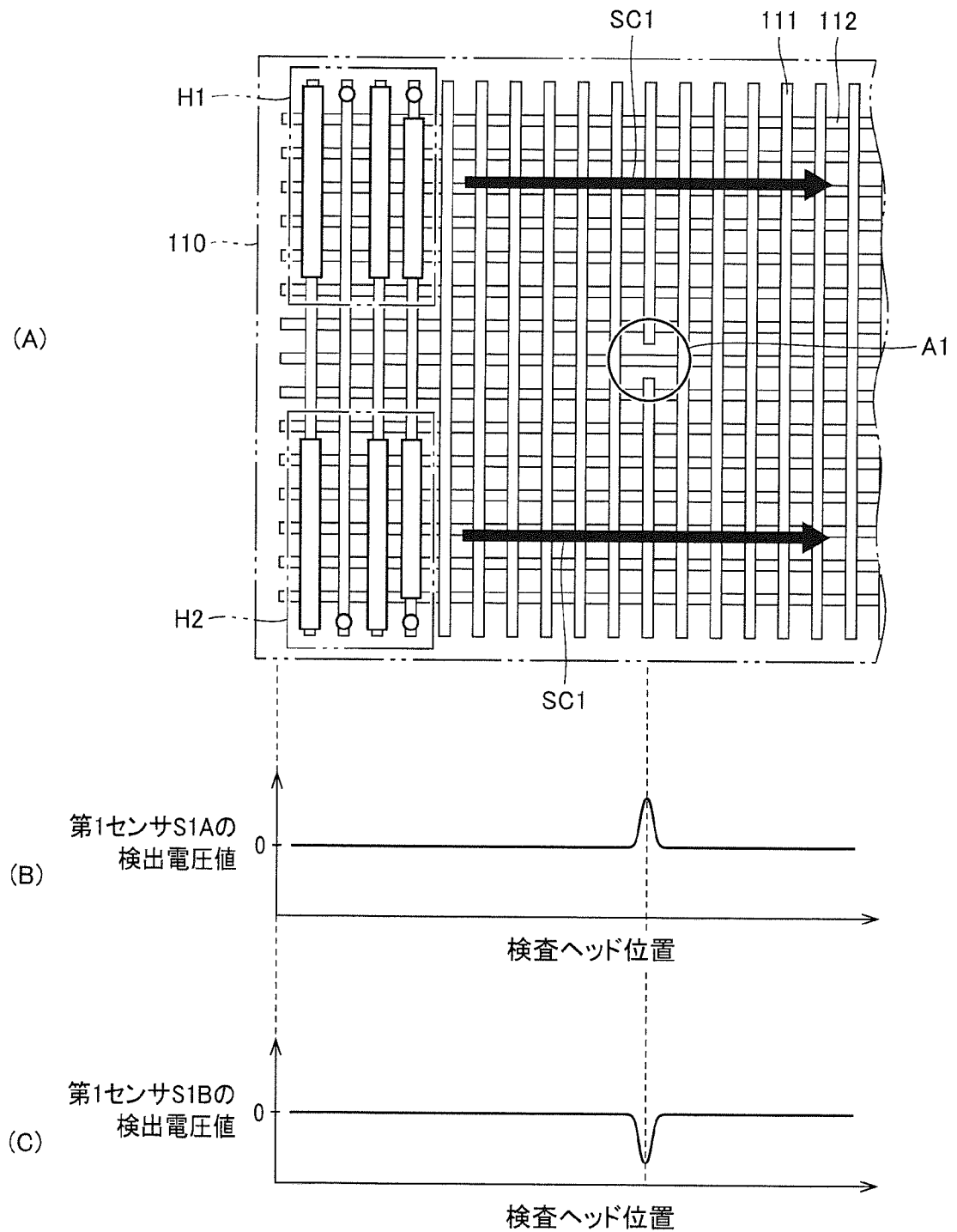
[図3]



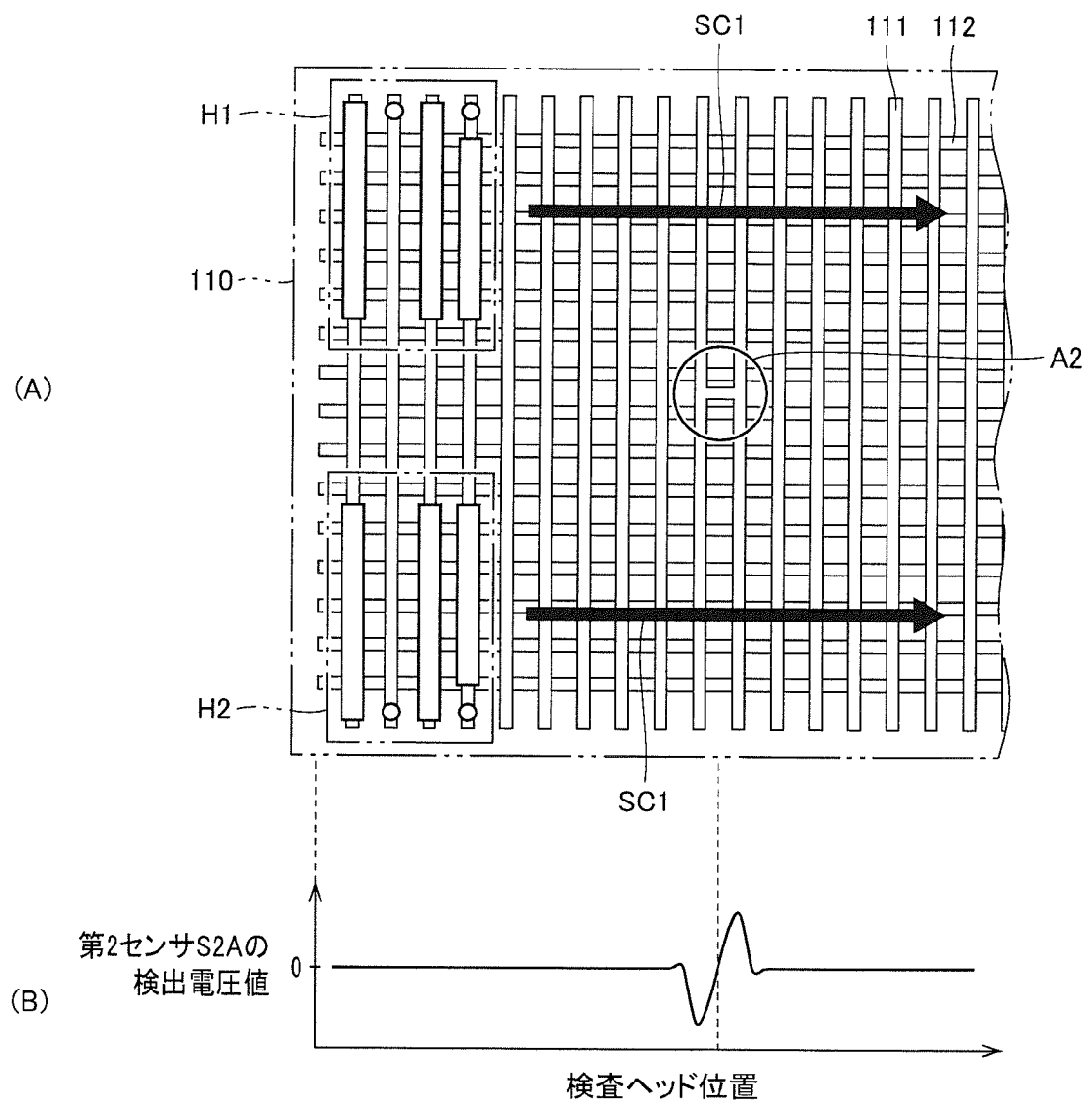
[図4]



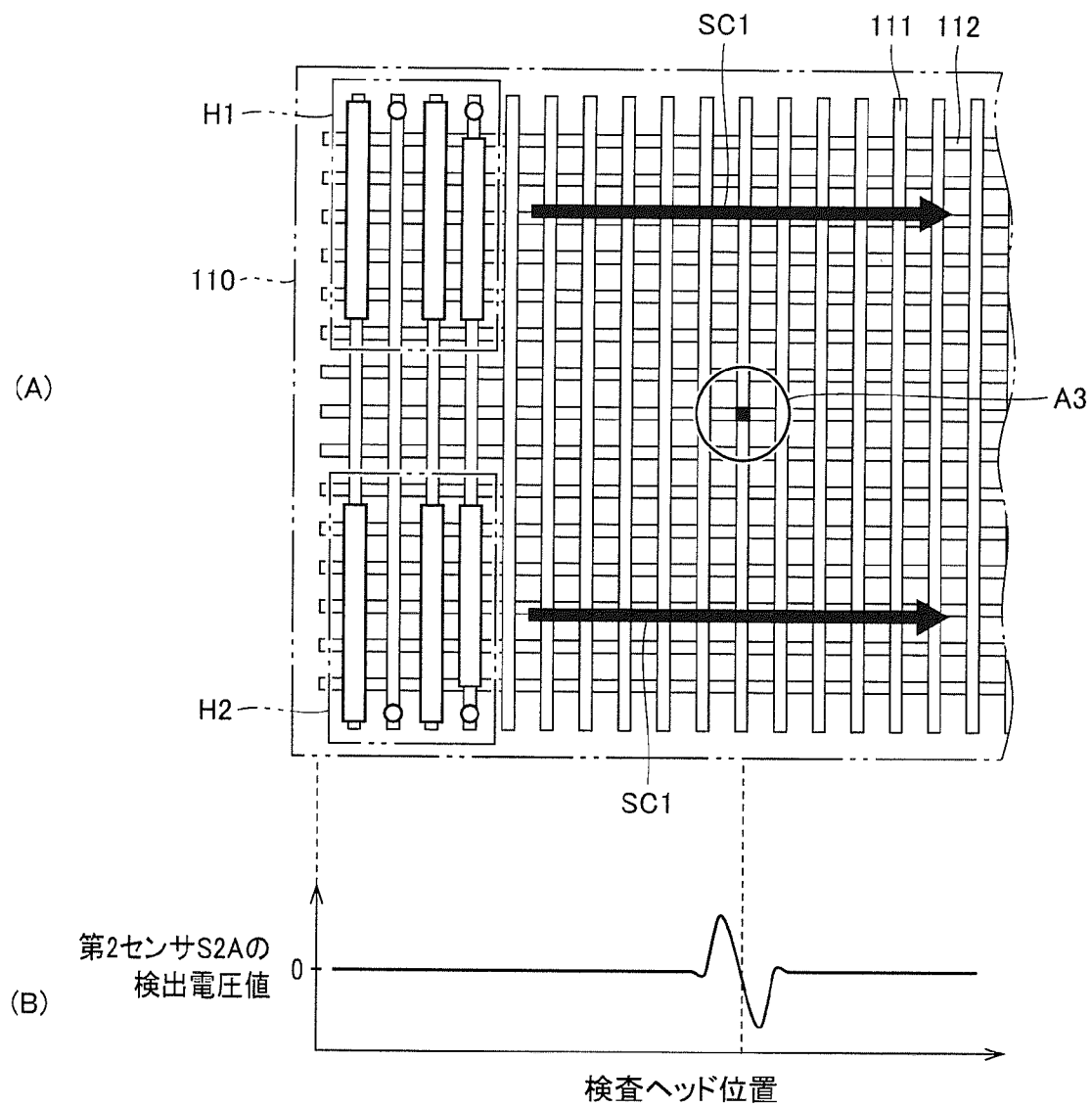
[図5]



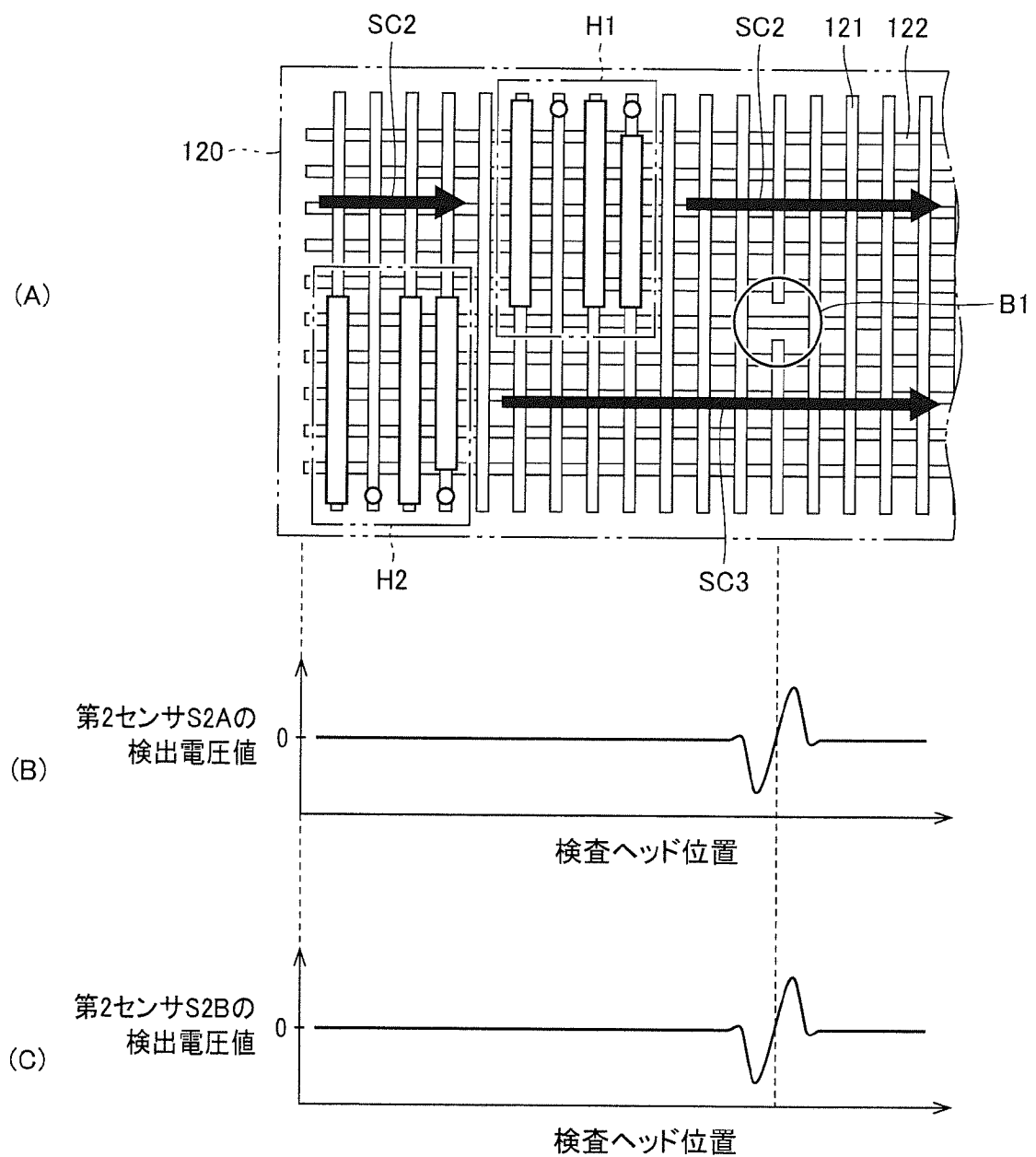
[図6]



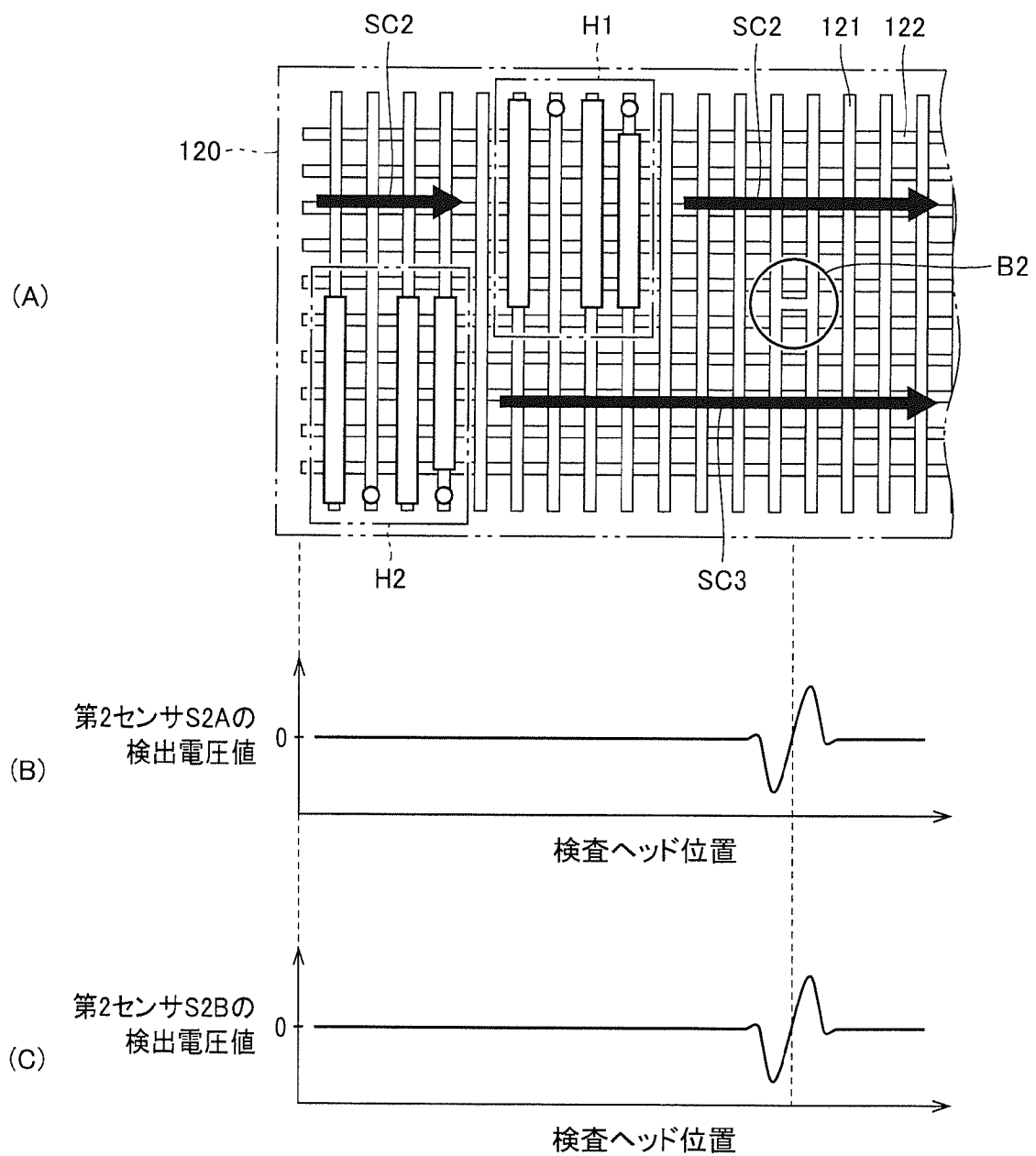
[図7]



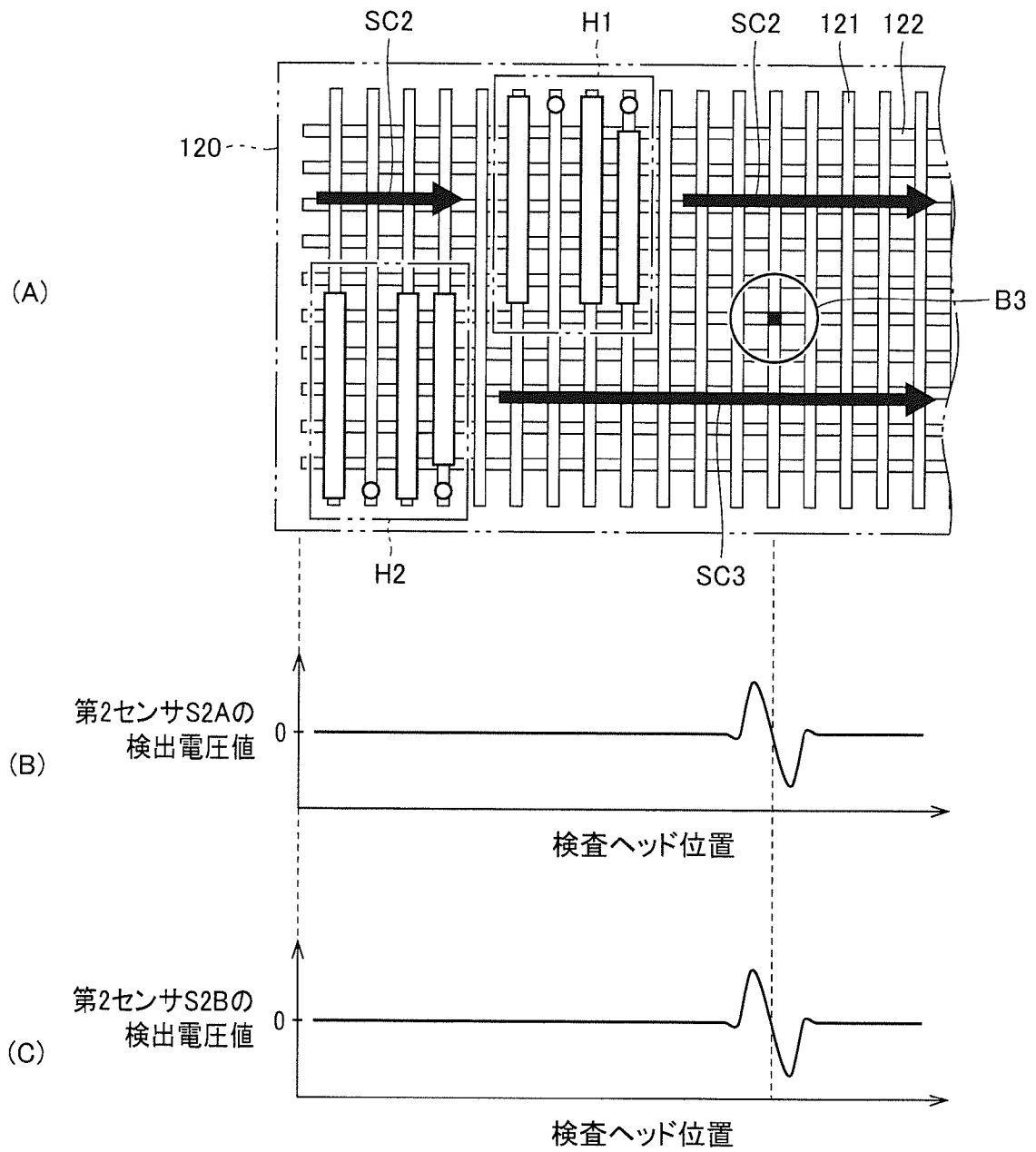
[図8]



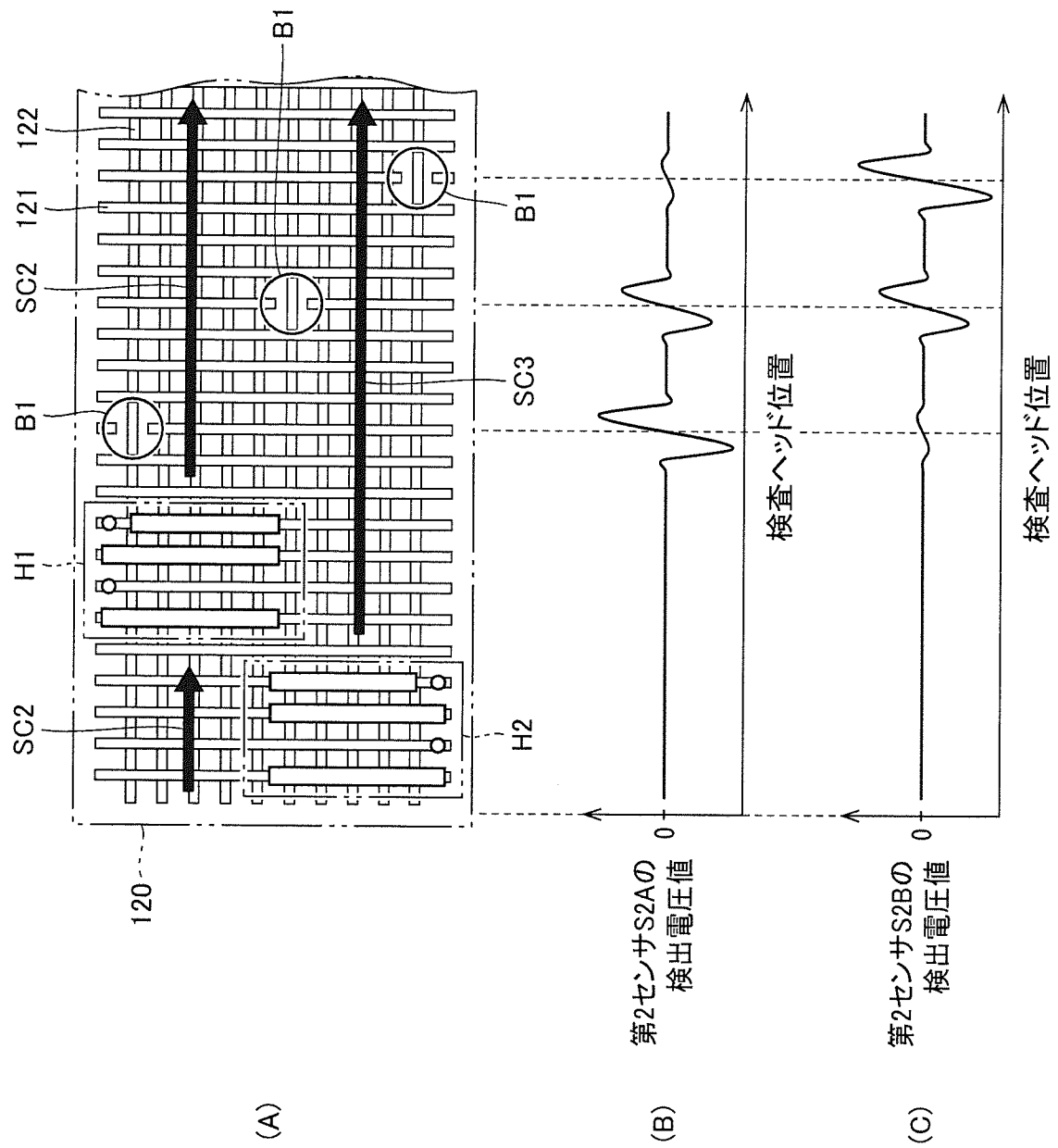
[図9]



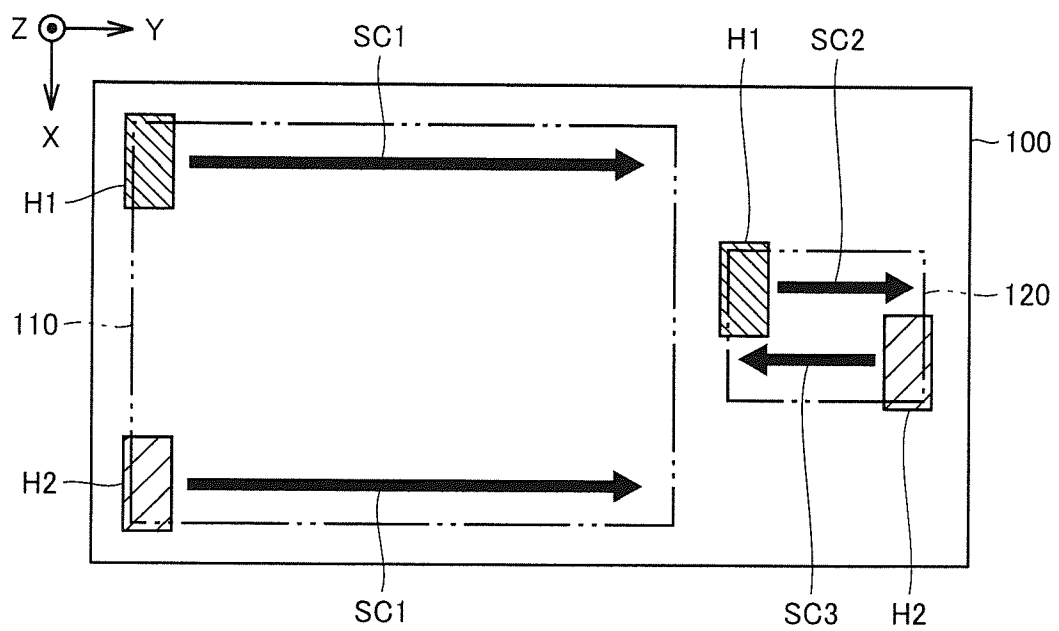
[図10]



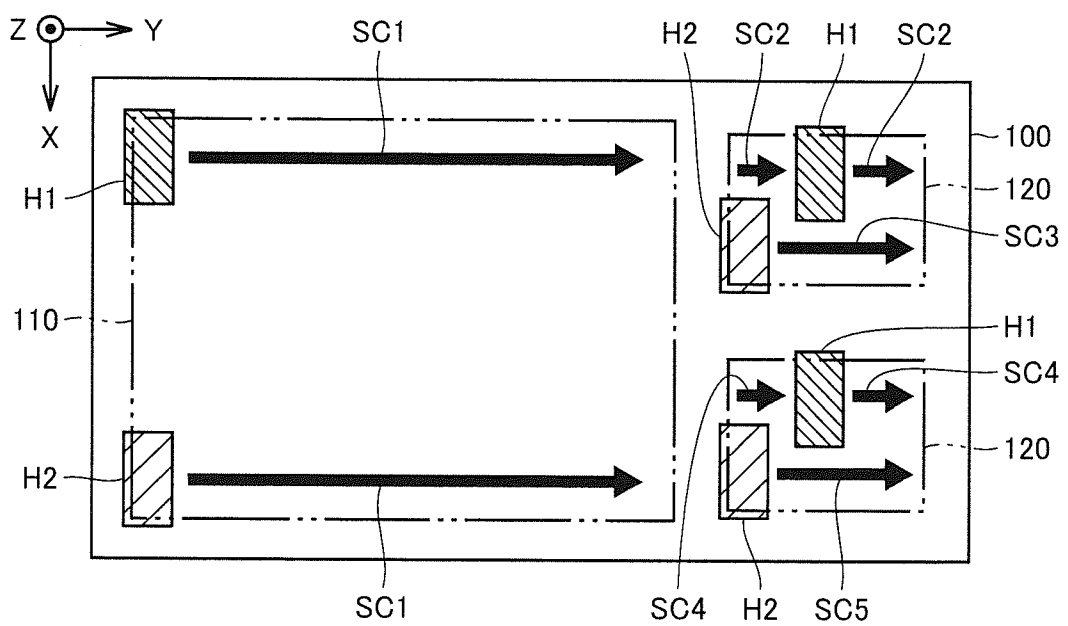
[図11]



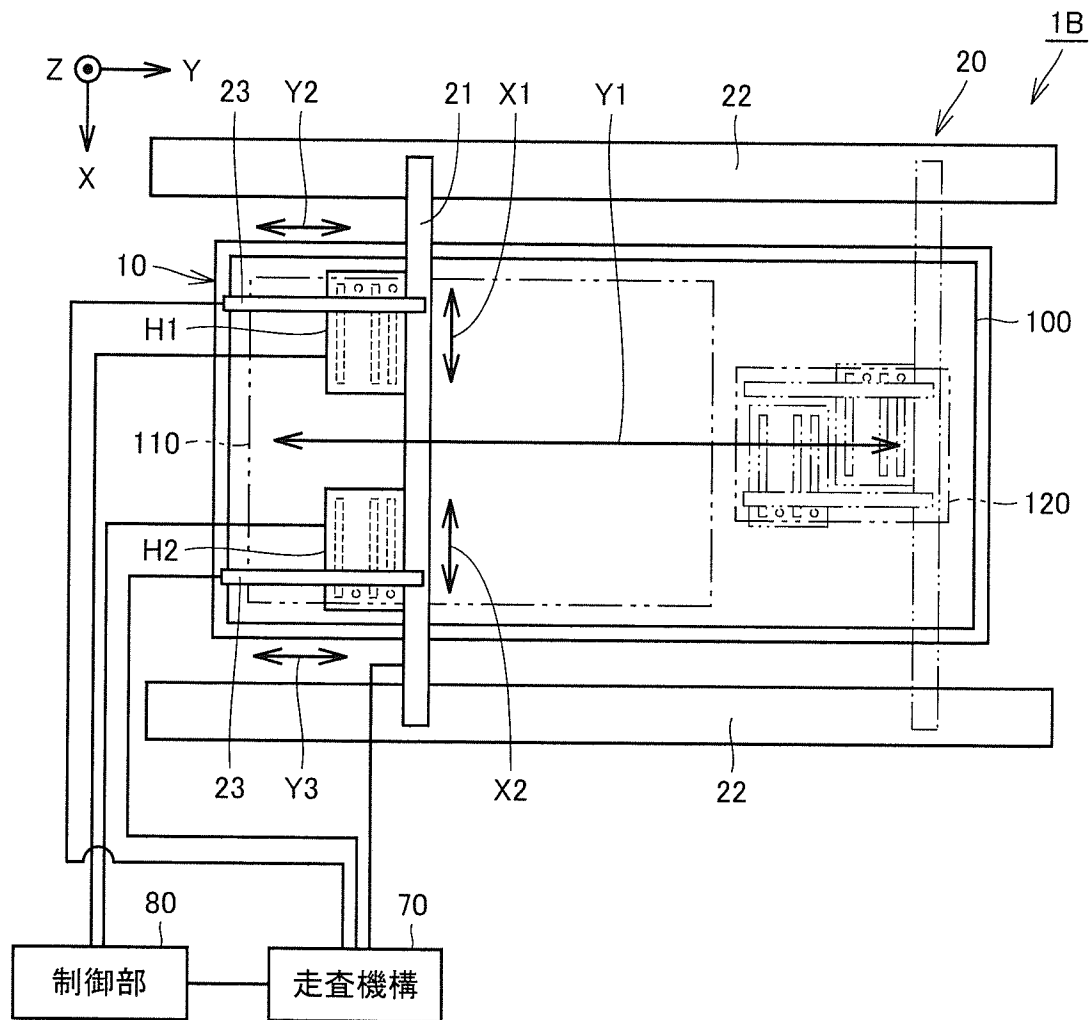
[図12]



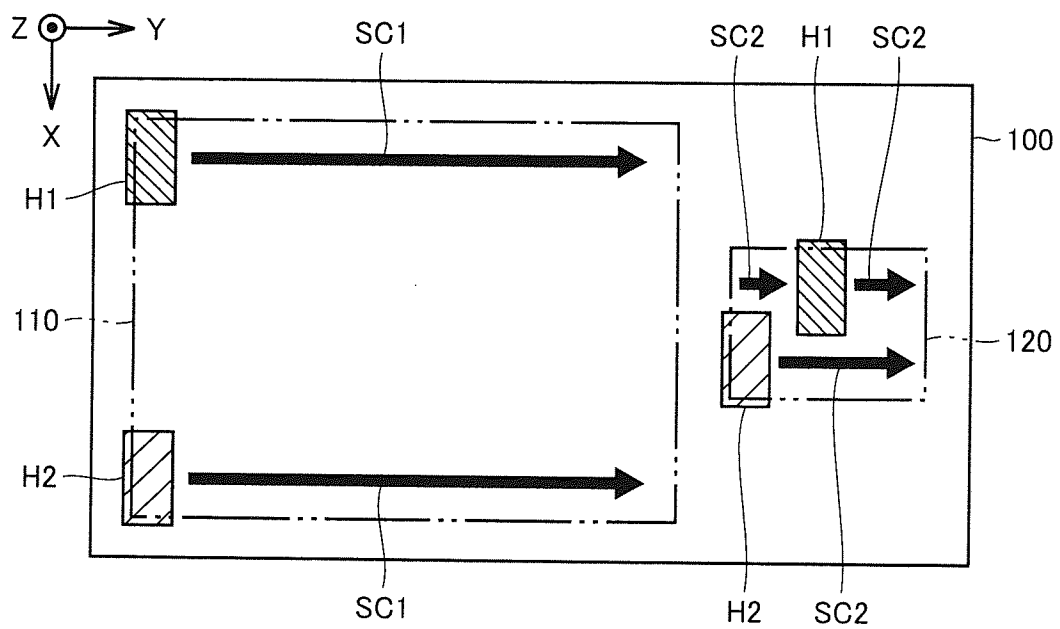
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064365

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/02 (2006.01) i, H05K3/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/02, H05K3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-102031 A (Tokyo Cathode Laboratory Co., Ltd.), 01 May 2008 (01.05.2008), entire text; all drawings & KR 10-2008-0035977 A & CN 101246267 A & TW 200819762 A	1-2
A	JP 2006-200994 A (OHT Inc.), 03 August 2006 (03.08.2006), entire text; all drawings & WO 2006/078057 A1 & KR 10-2007-0104420 A & CN 101107537 A	1-2
A	JP 2009-229467 A (OHT Inc.), 08 October 2009 (08.10.2009), entire text; all drawings (Family: none)	1-2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
15 June, 2012 (15.06.12)

Date of mailing of the international search report
26 June, 2012 (26.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064365

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-241614 A (NIDEC-READ Corp.), 08 September 2005 (08.09.2005), entire text; all drawings & KR 10-2005-0078205 A	1-2
A	JP 10-107289 A (Matsushita Electric Industrial Co., Ltd.), 24 April 1998 (24.04.1998), paragraphs [0020] to [0023]; fig. 6 (Family: none)	1-2

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R31/02 (2006.01)i, H05K3/00 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R31/02, H05K3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-102031 A (株式会社東京カソード研究所) 2008.05.01, 全文, 全図 & KR 10-2008-0035977 A & CN 101246267 A & TW 200819762 A	1-2
A	JP 2006-200994 A (オー・エイチ・ティー株式会社) 2006.08.03, 全文, 全図 & WO 2006/078057 A1 & KR 10-2007-0104420 A & CN 101107537 A	1-2
A	JP 2009-229467 A (オー・エイチ・ティー株式会社) 2009.10.08, 全文, 全図 (ファミリーなし)	1-2

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 6 . 2 0 1 2

国際調査報告の発送日

2 6 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越川 康弘

2 S

9 6 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-241614 A (日本電産リード株式会社) 2005.09.08, 全文, 全図 & KR 10-2005-0078205 A	1-2
A	JP 10-107289 A (松下電器産業株式会社) 1998.04.24, 【0020】 - 【0023】, 図 6 (ファミリーなし)	1-2