

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6080975号
(P6080975)

(45) 発行日 平成29年2月15日(2017.2.15)

(24) 登録日 平成29年1月27日(2017.1.27)

(51) Int. Cl. F I
H O 1 L 33/08 (2010.01) H O 1 L 33/08

請求項の数 30 (全 19 頁)

(21) 出願番号	特願2015-545811 (P2015-545811)	(73) 特許権者	595168543
(86) (22) 出願日	平成25年12月4日(2013.12.4)		マイクロン テクノロジー, インク,
(65) 公表番号	特表2016-503232 (P2016-503232A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成28年2月1日(2016.2.1)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2013/073055		ラル ウェイ 8000
(87) 国際公開番号	W02014/089175	(74) 代理人	100074099
(87) 国際公開日	平成26年6月12日(2014.6.12)		弁理士 大菅 義之
審査請求日	平成27年9月11日(2015.9.11)	(74) 代理人	100106851
(31) 優先権主張番号	13/708, 526		弁理士 野村 泰久
(32) 優先日	平成24年12月7日(2012.12.7)	(72) 発明者	オドノブリュドフ, ウラジーミル
(33) 優先権主張国	米国 (US)		アメリカ合衆国, アイダホ州 83616
			, イーグル, サウス ウィロー ウッド
			ウェイ 1363

最終頁に続く

(54) 【発明の名称】 垂直ソリッドステート変換器および埋め込み接点を有する高電圧ソリッドステート変換器ならびに関連システムおよび方法

(57) 【特許請求の範囲】

【請求項1】

ソリッドステート変換器 (SST) ダイであって、

複数の接合であって、各々が、第一の半導体材料と、第二の半導体材料と、前記第一の半導体材料を貫通して前記第二の半導体材料の一部を露出する開口とを有する、複数の接合と、

複数の第一接点であって、各々が前記複数の接合のうちの対応する接合の前記第一の半導体材料に電氣的に結合される、複数の第一接点と、

複数の第二接点であって、各々が前記複数の接合のうちの対応する接合の前記開口内に前記第一の半導体材料から絶縁されて前記第二の半導体材料の前記一部に電氣的に結合される、複数の第二接点と、

複数の相互接続であって、各々が前記複数の接合のうちの対応する接合の前記第一接点と前記複数の接合のうちの対応する他の接合の前記第二接点とを電氣的に結合する、複数の相互接続と、

前記複数の相互接続を覆う第一のパシベーション材料と、

前記第一のパシベーション材料上に形成されたバリア材料と、を含む、

ことを特徴とする SST ダイ。

【請求項2】

前記複数の接合の各々は、前記第一の半導体材料と前記第二の半導体材料との間に発光活性領域をさらに有し、前記開口は、前記第一の半導体材料および前記発光活性領域を貫

10

20

通して前記第二の半導体材料の一部を露出する、請求項 1 に記載の S S T ダイ。

【請求項 3】

前記複数の相互接続は、前記複数の接合の各々の前記第一の半導体材料および前記第二の半導体材料の一部をそれぞれ露出する穴を有する第二のパシベーション材料上に形成されており、前記第一のパシベーション材料は前記複数の相互接続および前記第二のパシベーション材料を覆う、請求項 1 に記載の S S T ダイ。

【請求項 4】

前記複数の接合の各々は、前記バリア材料上に堆積されたシード材料と、前記シード材料上に堆積された金属基板とを更に含む、請求項 1 乃至 3 のいずれか一項に記載の S S T ダイ。

10

【請求項 5】

前記複数の接合は、複数のトレンチによって互いに分離されることを特徴とする請求項 1 に記載の S S T ダイ。

【請求項 6】

それぞれが前記バリア材料の上に形成された、第一の外部端子および第二の外部端子をさらに含み、前記第一および第二の外部端子は、電源に接続するように構成される、ことを特徴とする請求項 1 に記載の S S T ダイ。

【請求項 7】

前記複数の接合は、各々が前記複数の第一接点および前記複数の第二接点を有する垂直構造であって、前記 S S T ダイは、外部コンポーネントに直接取り付けられるように構成される、ことを特徴とする請求項 1 に記載の S S T ダイ。

20

【請求項 8】

前記複数の接合が、互いに電氣的に直列に結合される、ことを特徴とする請求項 1 に記載の S S T ダイ。

【請求項 9】

前記バリア材料の上に形成された、第一の外部端子、第二の外部端子、及び、熱パッドをさらに含み、前記熱パッドが前記第一の外部端子、及び、前記第二の外部端子から電氣的に絶縁される、ことを特徴とする請求項 1 に記載の S S T ダイ。

30

【請求項 10】

前記熱パッドの面積が、前記第一の外部端子及び第二の外部端子のそれぞれの面積よりも大きい、ことを特徴とする請求項 9 に記載の S S T ダイ。

【請求項 11】

前記複数の相互接続に接続され、第二のダイ上の別の接点へと交差接続するように構成された第三接点と、をさらに含む、ことを特徴とする請求項 1 に記載の S S T ダイ。

【請求項 12】

複数の発光ダイオード (LED) ダイとこれらを分離するためのダイシングレーンとを含むソリッドステート変換器 (SST) ウェーハであって、

40

前記複数の LED ダイの各々は複数の接合を有し、

前記複数の接合の各々は、

第一の半導体材料と、

第二の半導体材料と、

前記第一の半導体材料および前記第二の半導体材料の間の発光活性領域と、

前記第一の半導体材料上に形成された第一接点と、

前記第一の半導体材料および前記発光活性領域をこれらから絶縁されて貫通し前記第二の半導体材料に結合する第二接点と、

を有し、

50

前記複数のLEDダイの各々は、さらに、
 前記第一接点を覆う第一のバシベーション材料と、
 複数の相互接続であって、前記複数の接合が直列に接続された直列接続体を構成するように、各々が、前記第一のバシベーション材料を貫通して対応する接合の前記第一接点に結合される一端部と、前記第一のバシベーション材料を貫通して対応する他の接合の前記第二接点に結合される他端部とを有する、複数の相互接続と、
前記直列接続体の一端をなす前記接合の前記第一接点に接続された第一の外部端子と、
前記直列接続体の他端をなす前記接合の前記第二接点に接続された第二の外部端子と、
 前記LEDダイの周辺部を連続的に除いて形成されることにより、前記直列接続体の一端をなす前記接合の前記第一接点に接続された前記第一の外部端子と、前記直列接続体の他端をなす前記接合の前記第二接点に接続された前記第二の外部端子と、前記第一のバシベーション材料の一部とを露出したまま、前記第一バシベーション材料の前記一部を除いた残部および前記複数の相互接続を覆う、第二のバシベーション材料と、
を含み、
前記複数のLEDダイの各々が、少なくとも前記第二のバシベーション材料を覆うバリア材料をさらに含む、
 ことを特徴とするSSTウェーハ。

10

【請求項13】

前記複数のLEDダイのうちの第一及び第二のダイの各々が、さらに、前記複数の相互接続のうちの一つに結合された第三接点をさらに含み、前記第一及び第二のダイの前記第三接点が互いに接続するように構成される、
 ことを特徴とする請求項12に記載のSSTウェーハ。

20

【請求項14】

前記複数のLEDダイの各々が、前記バリア材料上に形成された前記第一の外部端子、前記第二の外部端子、及び、熱パッドを含み、前記熱パッドが前記前記第一の外部端子及び前記第二の外部端子から電氣的に絶縁される、
 ことを特徴とする請求項12に記載のSSTウェーハ。

【請求項15】

前記熱パッドの面積が、前記第一の外部端子及び第二の外部端子のそれぞれの面積よりも大きい、

30

ことを特徴とする請求項14に記載のSSTウェーハ。

【請求項16】

ソリッドステート変換器(SST)ダイであって、
 前記SSTダイの第一面上の第一の外部端子と、
 前記SSTダイの前記第一面上の第二の外部端子と、
 複数のSST接合であって、各々が、互いに積層された第一および第二の半導体材料と、前記第一の半導体材料上に形成された第一接点と、前記第一半導体材料を貫通して前記第二半導体材料に電氣的に結合された第二接点とを含む、複数のSST接合と、

複数の相互接続であって、各々が、前記複数のSST接合の対応する一つの前記第一接点と、前記複数のSST接合の対応する他の一つの前記第二接点とを結合して、前記複数のSST結合を前記第一の外部端子と前記第二の外部端子との間に、電氣的に直列に結合する、複数の相互接続と、

40

前記第一の外部端子に接続された第一の部分、前記第二の外部端子に接続された第二の部分、並びにこれら第一および第二の部分の間にこれらから分離されて形成された第三の部分、を有するバリア材料と、

を含む、

ことを特徴とするSSTダイ。

【請求項17】

前記バリア材料上に堆積されたシード材料と、前記シード材料上に堆積された金属基板とをさらに含む、請求項16に記載のSSTダイ。

50

【請求項 18】

前記第一の外部端子、及び、前記第二の外部端子が、前記バリア材料上に形成され、前記 S S T ダイが、前記バリア材料上に形成された熱パッドをさらに有する、ことを特徴とする請求項 16 に記載の S S T ダイ。

【請求項 19】

前記第一の外部端子、前記第二の外部端子、及び、前記熱パッドのそれぞれが、銅を含む、ことを特徴とする請求項 18 に記載の S S T ダイ。

【請求項 20】

発光ダイオード (L E D) を形成する方法であって、

第一面と、前記第一面とは反対側の第二面と、前記第一面における第一の半導体材料と、前記第二面における第二の半導体材料と、前記第一の半導体材料および前記第二の半導体材料の間の発光活性領域と、を有する発光変換器構造を形成することと、

前記変換器構造の前記第一面における第一接点を形成することであって、前記第一接点は前記第一の半導体材料に電気的に結合される、ことと、

前記変換器構造および前記第一接点を複数の接合へと分離する複数のトレンチを形成することと、

前記複数の接合の各々に第二接点を形成することであって、前記第二接点は、前記第二の半導体材料に電気的に結合され、かつ前記変換器構造の前記第一面から前記第二の半導体材料へと伸びる、ことと、

前記第一接点にわたってパシベーション材料を形成することと、

前記パシベーション材料を通して、前記複数の接合の各々の前記第一接点の少なくとも一部を露出することと、

前記第二接点および隣接する複数の接合上の前記露出された第一接点の間に複数の相互接続を形成することと、

を含み、

前記複数の接合は、前記複数の相互接続を介して電気的に直列に結合され、

前記複数の相互接続にわたる追加パシベーション部分を形成することと、

前記変換器構造の前記第一面上にバリア材料を堆積することをさらに含む、

ことを特徴とする方法。

【請求項 21】

前記変換器構造を分離する複数のトレンチを形成することは、前記変換器構造における複数のメサをエッチングすることを含む、

ことを特徴とする請求項 20 に記載の方法。

【請求項 22】

前記第一面における前記バリア材料上にシード材料を堆積することと、前記パシベーション材料もしくは前記追加パシベーション部分のうちの一つ以上の部分を露出するために、前記シード材料および前記バリア材料をパターン化することと、をさらに含む、

ことを特徴とする請求項 20 に記載の方法。

【請求項 23】

前記パシベーション材料もしくは前記追加パシベーション部分のうちの一部を被覆することなく、前記シード材料上に金属基板を堆積することをさらに含む、

ことを特徴とする請求項 22 に記載の方法。

【請求項 24】

前記変換器構造の前記第一面における第一接点を形成することは、反射性 p 金属接点を形成することを含む、

ことを特徴とする請求項 20 に記載の方法。

【請求項 25】

直列に結合された複数の接合を有する複数のソリッドステート変換器 (S S T) ダイを形成する方法であって、

10

20

30

40

50

基板と、前記基板上の変換器構造とを有するウェーハを提供することであって、前記変換器構造は第一面における第一の半導体材料と、前記第一面とは反対側の第二面における第二の半導体材料と、を有し、前記ウェーハはさらに前記複数の接合を有する前記 S S T ダイへと前記変換器構造を分割する複数のダイシングレーンと、を有する、ことと、

前記複数の接合の各々に第一接点を形成することであって、前記第一接点は、前記第一の半導体材料に電氣的に結合される、ことと、

前記複数の接合の各々に前記第二の半導体材料に電氣的に結合された第二接点を形成することであって、前記第二接点は、前記変換器構造の前記第一面から前記第二の半導体材料へと伸びる、ことと、

前記複数の接合のうちの第一および第二の接合が相互接続を介して電氣的に直列に結合されるように、前記第一の接合の前記第二接点および前記第二の接合の前記第一接点の間に前記相互接続を形成することと、

前記相互接続にわたって誘電性材料を形成することと、

前記変換器構造の前記第一面上にバリア材料を堆積することと、

前記第一面における前記バリア材料上にシード材料を堆積することと、

前記シード材料上に金属基板を堆積することと、

を含む、

ことを特徴とする方法。

【請求項 26】

前記誘電性材料の第一部分および前記誘電性材料の第二部分を露出するために前記バリア材料をパターン化することであって、前記第二部分は、前記第一部分から間隔を開けて配置される、ことと、

前記第一面上に第一の外部端子および第二の外部端子を提供することであって、前記第一の外部端子は、前記第一部分によって前記 S S T ダイ上で区画され、前記第二外部端子は、前記第二部分によって前記 S S T ダイ上で区画される、ことと、

前記第一および第二の外部端子の間で前記複数の接合を直列に結合することと、をさらに含む、

ことを特徴とする請求項 25 に記載の方法。

【請求項 27】

前記第一の外部端子および前記第二の外部端子を外部コンポーネントに電氣的に結合することをさらに含む、

ことを特徴とする請求項 26 に記載の方法。

【請求項 28】

前記複数の S S T ダイの各々の前記第一面上に熱パッドを形成することをさらに含む、ことを特徴とする請求項 25 に記載の方法。

【請求項 29】

前記相互接続に電氣的に結合された第三の外部端子を提供することをさらに含み、前記第三の外部端子は、第二のダイ上の別の端子に交差接続するように構成される、

ことを特徴とする請求項 25 に記載の方法。

【請求項 30】

前記複数のダイシングレーンに沿って前記複数の S S T ダイをシンギュレーションすることをさらに含む、

ことを特徴とする請求項 25 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、高電圧ソリッドステート (solid-state) 変換器ならびにソリッドステート変換器および高電圧ソリッドステート変換器ダイの製造方法に関連する。特に、本技術は、埋め込み接点を有する垂直高電圧ソリッドステート変換器ならびに関連システムおよび方法に関する。

10

20

30

40

50

【背景技術】

【0002】

ソリッドステート照明（“SSL”）デバイスは、照明源として電気フィラメント、プラズマもしくは気体ではなく、発光ダイオード（“LED”）、有機発光ダイオード（“OLED”）および/もしくはポリマー発光ダイオード（“PLED”）を利用するように設計されている。LEDなどのソリッドステートデバイスは、半導体材料の中間活性領域から光を発生するために、逆ドープされた材料全体にバイアスをかけることによって、電気エネルギーを光へと変換する。SSLデバイスは、一般消費者向け電子デバイスを含む広範囲の製品およびアプリケーションに組み込まれている。例えば、携帯電話、携帯情報端末（“PDA”）、デジタルカメラ、MP3プレイヤーおよびほかの可搬電子デバイスは、バックライト用にSSLデバイスを利用する。さらに、SSLデバイスは、交通照明、標識、室内照明、屋外照明および他のタイプの一般照明にも利用されている。

10

【0003】

マイクロ電子デバイス製造者は、良好な性能でより高い光出力を必要とする一方、より小型の寸法でより洗練されたデバイスを開発している。現在の設計基準に合致するために、LEDは、フットプリントを小さくして、よりスリムなプロファイルで作製され、その後、高電圧アレイにおいて直列に結合される。ある実施形態においては、個々のSSLデバイスは、直列に結合された二つ以上のLED接合を含むことがある。

【0004】

図1Aは、横方向構造において直列の二つの接合を有する従来の高電圧SSLデバイス10aの断面図である。図1Aに示されるように、高電圧SSLデバイス10aは、絶縁材料12によって互いから電氣的に絶縁された複数のLED構造11（第一および第二のLED構造11a、11bとして個々に同定される）を支持する基板20を含む。各LED構造11a、11bは、例えば、窒化ガリウム/窒化インジウムガリウム（GaN/InGaN）多重量子井戸（“MQW”）を含み、P型GaN16およびN型GaN15のドープ材料の間に配置された活性領域14を有する。高電圧SSLデバイス10aは、横方向構造において、N型GaN15上の第一接点17およびP型GaN16上の第二接点19をも含む。個々のSSL構造11a、11bは、ノッチ22によって分離され、このノッチ22を通して、N型GaN15の一部が露出される。相互接続24は、ノッチ22を通して二つの隣接するSSL構造11a、11bを電氣的に接続する。動作においては、電力は、接点17、19を介してSSLデバイス10aに提供され、活性領域14を発光させる。

20

30

【0005】

図1Bは、例えば、横方向構造ではなく、垂直方向構造において、第一および第二接点17、19が互いに反対側にある、別の従来LEDデバイス10bの断面図である。LEDデバイス10bの形成中に、図1Aに示された基板20に類似する（図示されていない）成長基板は、まず、N型GaN15、活性領域14およびP型GaN16を支持する。第一接点17は、P型GaN16上に配置され、キャリア21は、第一接点17に取り付けられる。基板は除去され、それによって、第二接点19をN型GaN15上に配置することを可能にする。構造は、その後、図1Bに示される向きにするために反転される。LEDデバイス10bにおいて、第一接点17は、典型的には、N型GaN15に向かって光を方向づけるための反射性導電性材料（例えば、銀もしくはアルミニウム）を含む。変換器材料23および封入剤25は、その後、LED構造11上に、重ねて配置することができる。動作においては、LED構造11は、第二発光（例えば、黄色光）を放射するために、変換器材料23（例えば、蛍光体）を刺激する第一発光（例えば、青色光）を放射することができる。第一および第二発光の組み合わせは、所望の色の光（例えば、白色光）を生成することができる。

40

【0006】

垂直LEDデバイス10bは、典型的には、横方向LEDデバイス構造よりも高い効率を有する。より高い効率は、例えば、電流拡散、光抽出および熱特性の増加による結果で

50

ある可能性がある。しかしながら、熱特性の改善にもかかわらず、LEDデバイス10bは、種々の構造もしくは領域間に層間剥離を引き起こしうる、および/もしくはパッケージ化されたデバイスに他の損傷を引き起こしうる、相当量の熱を生成する。さらに、図1Bに示されるように、垂直LEDデバイス10bは、第一および第二接点17、19との電気的接続を形成するために、ダイの両側へのアクセスを必要とし、典型的には、第二接点19に結合された少なくとも一つのワイヤボンドを含み、それによって、デバイスフットプリント、および作製の複雑性が増す可能性がある。高性能を実現し、かつ処理ステップ中のデバイスに対する損傷を防ぐために、従来のLEDダイ処理ステップのうちの幾つかは、パッケージレベル(例えば、ダイレベルにおけるシングュレーション(singulation)(図1B)後)に制限されてきた。このようなパッケージレベル処理ステップは、パッケージの表面粗化などの他の望ましくない結果をもたらす得ると共に、時間およびコストなどの製造リソースに対する要件を増加させる。したがって、パッケージングを容易にし、性能および信頼性を改善した垂直LED、垂直高電圧LEDダイおよび他のソリッドステートデバイスに対するニーズがいまだ存在している。

【図面の簡単な説明】

【0007】

本開示の多くの態様は、以下の図面に対する参照によってよりよく理解することができる。図面内の構成要素は必ずしも同じ縮尺で描かれてはいない。その代わりに、本開示の原則を明確に示すことに重点が置かれている。さらに、図面においては、幾つかの図面を通して対応する要素に同様の符号を付すものとする。

【図1A】従来技術に従って構成されるLEDデバイスの概略断面図である。

【図1B】従来技術に従って構成されるLEDデバイスの概略断面図である。

【図2A】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略平面図である。

【図2B】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略断面図である。

【図2C】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略平面図である。

【図2D】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略断面図である。

【図2E】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略平面図である。

【図2F】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略断面図である。

【図2G】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略平面図である。

【図2H】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略断面図である。

【図2I】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略平面図である。

【図2J】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略断面図である。

【図2K】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略平面図である。

【図2L】本技術の実施形態に従うソリッドステート変換器を形成するためのプロセスの一部を示す概略断面図である。

【図3A】本技術のさらなる実施形態に従うソリッドステート変換器を形成するためのプロセスのさらなる一部を示す断面図である。

【図3B】本技術のさらなる実施形態に従うソリッドステート変換器を形成するためのプロセスのさらなる一部を示す断面図である。

10

20

30

40

50

【図 4 A】本技術の別の実施形態に従って構成される、複数のソリッドステート変換器を有するウェーハレベルアセンブリを形成するためのプロセスの一部を示す概略平面図である。

【図 4 B】本技術の別の実施形態に従って構成される、複数のソリッドステート変換器を有するウェーハレベルアセンブリを形成するためのプロセスの一部を示す概略平面図である。

【図 4 C】本技術の別の実施形態に従って構成される、複数のソリッドステート変換器を有するウェーハレベルアセンブリを形成するためのプロセスの一部を示す概略平面図である。

【発明を実施するための形態】

10

【0008】

ソリッドステート変換器 (SST) ならびに関連するシステムおよび方法の幾つかの実施形態の具体的な詳細が以下に記述される。“SST”という用語は、概して、可視、紫外、赤外および/もしくは他のスペクトルにおける電磁放射へと電気的エネルギーを変換するために、活性媒体として半導体材料を含むソリッドステートデバイスのことを称する。例えば、SSTは、ソリッドステート発光素子(例えば、LED、レーザダイオードなど)および/もしくは電気フィラメント、プラズマ、もしくは気体以外の他の発光源を含む。SSTは、電磁放射を電気へと変換するソリッドステートデバイスを代わりに含むことができる。さらに、使用される文脈によっては、“基板”という用語は、ウェーハレベル基板もしくはシンギュレーションされたデバイスレベル基板のことを称する可能性がある。この技術はさらなる実施形態を有することがあり、図 2 A - 図 4 C を参照することによって、以下に記述される実施形態の詳細が幾つがなくても実践されることがあることも、当業者には理解されたい。

20

【0009】

図 2 A - 図 4 C は、本技術の一実施形態に従う SST を形成するためのプロセスを示す概略平面図および断面図である。図 2 A - 図 2 L は、明瞭性のために単一の SST ダイ 200 を示すプロセスの様々な部分を示す。しかしながら、示されたステップは、本明細書に記述されたプロセスステップを同時に利用して、複数の SST ダイ 200 を作成するために、ウェーハレベルで実現することができることを理解されたい。例えば、図 2 A および図 2 B は、変換器構造 202 が成長基板 220 上に形成された後のプロセスの段階における SST ダイ 200 を示す。図 2 B に示されるように、SST ダイ 200 は、第一側面 201 a と、第一側面 201 a とは反対側を向く第二側面 201 b を有する。図 2 A および図 2 B を参照すると、SST ダイ 200 は、複数の接合 203 (接合 203 a - 203 i として個々に同定される)へと変換器構造 202 を分離する複数のフィーチャを含むことができる。例えば、SST ダイ 200 の第一側面 201 a から変換器構造 202 を通って基板 220 へと伸びるトレンチ 208 は、個々の接合 203 を、SST ダイ 200 上の隣接する接合もしくは他の接合 203 から分離し、かつ電気的に絶縁するために形成することができる。

30

【0010】

変換器構造 202 は、第一側面 201 a における第一の半導体材料 210 と、第二側面 201 b における第二の半導体材料 212 と、第一および第二の半導体材料 210、212 の間に配置された活性領域 214 と、を含むことができる。他の実施形態においては、変換器構造 202 は、窒化シリコン、窒化アルミニウム (AlN) および/もしくは他の好適な中間材料を含むこともできる。

40

【0011】

第一および第二の半導体材料 210 および 212 は、ドーパされた半導体材料である可能性がある。一実施形態においては、第一の半導体材料 210 は、P 型半導体材料 (例えば、P-GaN) であり、第二の半導体材料 212 は、N 型半導体材料 (例えば、N-GaN) である可能性がある。他の実施形態においては、第一の半導体材料 210 と第二の半導体材料 212 は、逆になることがある。さらなる実施形態においては、第一および第

50

二の半導体材料 210、212 は、ヒ化ガリウム (GaAs)、ヒ化アルミニウムガリウム (AlGaAs)、ヒ化リン化ガリウム (GaAsP)、リン化ガリウム (III) (GaP)、セレン化亜鉛 (ZnSe)、窒化ボロン (BN)、窒化アルミニウムガリウム (AlGaN) および / もしくは他の好適な半導体材料のうちの少なくとも一つを個々に含むことができる。

【0012】

第一および第二の半導体材料 210 および 212 の間の活性領域 214 は、単一量子井戸 ("SQW") および / もしくは単粒 (single grain) 半導体材料 (例えば、InGaN) を含むことができる。一実施形態においては、InGaN など単粒半導体材料は、約 10 ナノメートルより大きく約 500 ナノメートルまでの厚さを有する可能性 10 がある。ある実施形態においては、活性領域 214 は、InGaN SQW、GaN / InGaN MQW および / もしくは InGaN バルク材料を含むことができる。他の実施形態においては、活性領域 214 は、リン化アルミニウムガリウムインジウム (AlGaInP)、窒化アルミニウムガリウムインジウム (AlGaInN) および / もしくは他の好適な材料もしくは構造を含むことができる。

【0013】

ある実施形態においては、第一の半導体材料 210、活性領域 214、および第二の半導体材料 212 のうちの少なくとも一つは、有機化学蒸着 ("MOCVD")、分子ビームエピタキシー ("MBE")、液相エピタキシー ("LPE") および / もしくはハイブリッド気相エピタキシー ("HVPE") を介して、成長基板 220 上に形成すること 20 ができる。他の実施形態においては、変換器構造 202 の少なくとも一部は、他の好適なエピタキシャル成長技術を利用して形成されてもよい。

【0014】

図 2A および図 2B に示されるように、第一接点 204 は、第一の半導体材料 210 上に形成することができる。幾つかの実施形態においては、第一接点 204 は、下層の第一の半導体材料 210 の大部分にわたって伸びることができる。他の実施形態においては、第一接点 204 は、第一の半導体材料 210 のより小さい部分にわたって形成することができる。ある配置においては、第一接点 204 は、鏡とすることができ、および / もしくは、ニッケル (Ni)、銀 (Ag)、銅 (Cu)、アルミニウム (Al)、タングステン (W) および / もしくは他の反射性材料を含む反射性接点材料から形成することができ 30 る。図 2A および図 2B に示されるように、第一接点 204 は、第一の半導体材料 210 にわたって形成された接点材料の連続的の被覆 (overlay) とすることができる。しかしながら、他の実施形態においては、SST ダイ 200 は、第一の半導体材料 210 の第一側面 201a および被覆部分に配置された別々の反射性素子を含むことができる。その後の処理段階中に、SST ダイ 200 の活性領域 214 を通って第二側面 201b に向かって、反射性第一接点 204 が放射 (例えば光) を再方向づけできるように、変換器構造 202 は反転されてもよい (図 2B)。他の実施形態においては、第一接点 204 は、非反射性材料から形成することができ、および / もしくは SST ダイ 200 は、反射性素子を含まなくてもよい。第一接点 204 は、化学蒸着 ("CVD")、物理蒸着 ("PVD")、原子層堆積 ("ALD")、スピンコーティング、パターン化および / もしくは当 40 該技術分野で既知の他の好適な技術を利用して形成することができる。

【0015】

第二接点 206 は、SST ダイ 200 の第一側面 201a から第二の半導体材料 212 へと、またはその中へと伸びる複数の埋め込み接点素子 215 を含むことができる。図 2B を参照すると、埋め込み接点素子 215 は、変換器構造 202 の第一側面 201a (例えば、第一接点 204 もしくは第一の半導体材料 210) から第二の半導体材料 212 へと、またはその中へと伸びる変換器構造 202 において、複数のチャネルもしくは開口 219 をエッチングもしくは形成することによって形成することができる。一実施形態においては、開口 219 は、第一接点 204 が第一の半導体材料 210 上に形成される前に形成することができ、(図 2B に示されるように) 第二の半導体材料 212 の一部へと、ま 50

たはその中へと伸びることができる。別の実施形態においては、開口219は、第一の接点材料204がSSTダイ200の第一側面201aに形成された後に形成されてもよい。開口219のエッチングされた側壁は、誘電性材料218で被覆され、第一接点204、第一の半導体材料210および活性領域214を通して伸びる経路に沿って、第二の接点材料216を電氣的に絶縁する。誘電性材料218は、二酸化シリコン(SiO₂)、窒化シリコン(SiN)および/もしくは他の好適な誘電性材料を含むことができ、CVD、PVD、ALD、パターン化および/もしくは半導体作製技術分野で既知の他の好適な技術を介して、開口219内に堆積することができる。

【0016】

次のプロセスステップにおいて、開口219内の第二の半導体材料212の露出部分と電氣的に接続するために、埋め込み接点素子215は、絶縁された開口219内に第二の接点材料216を配置することによって形成することができる。第二の接点材料216は、チタン(Ti)、アルミニウム(Al)、ニッケル(Ni)、銀(Ag)および/もしくは他の好適な導電性材料を含むことができる。第二の接点材料216は、CVD、PVD、ALD、パターン化、および/もしくは他の好適な技術を利用して堆積することができる。したがって、図2Aおよび図2Bに示されるように、第一および第二の接点204、206は、SSTダイ200の第一側面201aから電氣的にアクセス可能である。

【0017】

図2Cおよび図2Dは、誘電性材料222(例えば、パシベーション材料)が、第一接点204にわたって形成された後のプロセスにおける段階を示す。他の機能のうちでもとりわけ、誘電性材料222は、下層の変換器構造202(明瞭性のために、図2Cで破線で示される或るフィーチャ)を環境から保護するために、かつ、互いに対して第一および第二の接点204、206の短絡を防止するために使用される。誘電性材料222は、開口219内の誘電性材料218と同一もしくは異なる可能性がある。例えば、誘電性材料222は、窒化シリコン(SiN)、二酸化シリコン(SiO₂)、ポリイミドおよび/もしくは他の好適な絶縁性材料を含むことができる。図2Cに示されるように、誘電性材料222は、第一接点204の一部を露出するアパーチャ224を含むことができる。示された実施形態においては、誘電性材料222は、個々の接合203a-203iの各々に関連付けられた長方形アパーチャ224を含む。しかしながら、他の実施形態においては、誘電性材料222は、より多数もしくはより少数のアパーチャ224を含むことができ、および/もしくは、アパーチャ224は異なる形状(例えば、正方形、円形、不規則形状など)を有することができる。誘電性材料222は、CVD、PVD、パターン化、スピニングおよび/もしくは他の好適な形成方法を利用して形成することができる。アパーチャ224は、誘電性材料222の一部を選択的に堆積するか選択的に除去することによって形成することができる。示された実施形態においては、誘電性材料222は、露出された第一および第二接点204、206を互いに横方向に間隔を開けるように配置され、それによって、その後の処理中に接点を互いに対して短絡する可能性を低減する。

【0018】

図2Cおよび図2Dに示されるように、誘電性材料222は、埋め込み接点素子215を被覆していない。特定の一実施形態においては、相互接続225は、接合(例えば、接合203d)上の第二接点206を、隣接する接合(例えば、接合203e)上のアパーチャ224を介して第一接点204へと電氣的に結合することができ、接合(例えば、接合203dおよび203e)は直列に結合される。相互接続225は、埋め込み接点素子215とアパーチャ224を通して露出された第一接点204との間の誘電性材料222にわたって相互接続線226を堆積することによって形成することができる。相互接続線226の下層の誘電性材料222は、第二接点206から第一接点204を電氣的に絶縁する。相互接続線226は、ニッケル(Ni)、銀(Ag)、銅(Cu)、アルミニウム(Al)、タングステン(W)および/もしくは他の好適な導電性材料などの第二の接点材料216用に利用される導電性材料を含む、好適な導電性材料から作成することができ

10

20

30

40

50

、また、堆積、パターン化および/もしくは本技術分野で既知の他の好適な方法を利用して形成することができる。

【0019】

図2Cに示されるように、SSTダイ200は、接合203a上に配置することができる第一の外部端子205を含む。第一の外部端子205は、接合203aにおけるアパーチャ224を通してアクセス可能な第一接点204の露出部分とすることができる。一般的に、第一の外部端子205は、複数の直列に結合された接合(例えば、接合203a - 203i)の第一の接合(例えば、接合203a)に関連付けられる。しかしながら、他の実施形態においては、第一の外部端子205は、別の接合203b - 203iに関連付けられてもよい。他の個々の接合203b - 203iの各々に関連付けられた長方形アパーチャ224と同様に、第一の外部端子205は、第一接点204の一部を露出する誘電性材料222内の長方形アパーチャ224を介して形成することができる。他の実施形態においては、アパーチャ224は、SSTダイ200上の第一の外部端子205を形成するために、第一接点204を露出させるための異なる形状(例えば、正方形、円形、不規則形状など)を有することができる。

10

【0020】

同様に、SSTダイ200は、接合203i、および/もしくは、通常直列に結合された接合203の一群の末端部にある別の接合に配置することができる第二の外部端子207を含む。第二の外部端子207は、ニッケル(Ni)、銀(Ag)、銅(Cu)、アルミニウム(Al)、タングステン(W)および/もしくは他の好適な導電性材料などの、第二の接点材料216用に利用される導電性材料を含む好適な導電性材料で作成することができる。第二の外部端子207は、第二接点206および/もしくは関連付けられた接合(例えば、接合203i)の第二の半導体材料212に対して、電気的に結合することができる。例えば、図2Cに示されるように、第二の外部端子207は、誘電性材料222にわたって、堆積、パターン化および/もしくは本技術分野で既知の他の好適な方法を利用して形成し、関連付けられた接合(例えば、接合203i)の第二接点206に対して電気的に接続することができる。

20

【0021】

動作においては、第一および第二の端子205、207は、直接取り付けるか、および/もしくは、外部デバイス、コンポーネントもしくは電源(例えば、ACもしくはDC電源)に対して外部で結合することができる。個々の接合203a - 203iは、印加された電圧に応じて、光および/もしくは他のタイプの電磁放射を放射するように構成される。一実施例においては、SSTダイ200は、SSTダイ200を組み込むデバイス内の高入力電圧を実現するために、SSTアレイ内の他のSSTダイと直列もしくは並列に結合することができる、それによってデバイスの性能を改善する。

30

【0022】

任意で、かつ別の実施形態においては、SSTダイ200は、一つ以上の中間接合(例えば、接合203b - 203h)における相互接続225もしくは相互接続線226に対して電気的に結合された第三接点もしくは交差接続接点250(例えば、接合203cにおける点線で示される)を有することができる。交差接続接点250は、SSTアレイなどのアレイ内に結合されたさらなるダイとの交差接続を形成するために使用することができる。交差接続接点および交差接続については、2012年9月4日に出願された米国特許出願整理番号13/603,106で記述されたソリッドステート変換器および高電圧SSTアレイに関連して詳細に記述されており、米国特許出願整理番号13/603,106は、本明細書にその全体において参照によって組み入れられる。したがって、接合203の間(例えば、接合203cと接合203dの間)の相互接続225に電気的に結合された交差接続接点250は、高電圧(例えば、複数接合)SSTダイ200内でのアクセス可能な電気的接続を提供する。このように、端子205、207を通して提供される入力電圧は、直列に結合された接合203を通して、かつ、SSTダイ200の並列に結合されたストリング(図示されていない)間で流れ、光出力を改善し、より高い電磁束送

40

50

達のための別の電氣的経路を提供する。したがって、交差接続接点250を有するSSTダイ200を組み込むアレイアセンブリ(図示されていない)は、接合不良を克服するための対策を有し、アレイ内の個々に結合されたSSTダイ200にわたるバイアスにおける変動を減少させる。さらには、アレイアセンブリは、接合不良後であっても使用を継続し、チップの性能および信頼性を改善し、それによって製造コストを低減することができる。

【0023】

さらなる実施形態においては、SSTダイ200は、例えば、並列に結合されたSSTダイ200の間のさらなる交差接続(図示されていない)を提供するための複数の相互接続225に関連付けられた複数の交差接続接点250を含むことができる。当該実施形態においては、一つ以上の交差接続接点250を有するSSTダイ200を組み込むアレイアセンブリ(図示されていない)は、例えば、並列に結合されたダイのストリング間のSSTダイ200の相互接続225を電氣的に結合する複数の交差接続(図示されていない)を含むように構成することができる。

10

【0024】

一実施形態においては、交差接続接点250は、SSTダイ200の第一側面201aで外部アクセス可能であり、交差接続は、ワイヤボンディングおよび/もしくは直接取り付けによって形成することができる。他の実施形態においては、交差接続接点250は、交差接続接点250と、下層の第一の半導体材料210および第一接点204との間に存在する好適な絶縁性材料もしくは誘電性材料で、SSTダイ200の第一側面201aに配置することができる。交差接続接点250用に好適な材料は、チタン(Ti)、アルミニウム(Al)、ニッケル(Ni)、銀(Ag)および/もしくは他の好適な導電性材料を含むことができる。交差接続接点250は、CVD、PVD、ALDもしくは半導体作製技術分野で既知の他の好適な技術を利用して形成することもできる。

20

【0025】

図2E-図2Lは、追加誘電性部分および導電性材料がSSTダイ200に対して加えられる間のプロセスにおける段階を示す。SSTダイ200の或る下層のフィーチャは、例示する目的のためだけに、図2E、図2Gおよび図2Iにおいて破線で示される。一実施形態においては、追加誘電性部分228は、誘電性材料222と同一の材料もしくは異なる材料で形成することができる。例えば、追加誘電性部分228は、窒化シリコン、二酸化シリコン、ポリイミドおよび/もしくは他の好適な誘電性材料を含むことができる。図2Eおよび図2Fに示されるように、追加誘電性部分228(例えば、パシベーション部分)は、第一接点204、第二接点206、相互接続線226および相互接続225を含むSSTダイ200の一部にわたって、(例えば、CVD、PVDもしくは他の好適なプロセスを介して)選択的に堆積することができる。幾つかの実施形態においては、追加誘電性部分228は、予め形成することができ、かつ、SSTダイ200の選択された電気接点および相互接続する部分にわたって配置することができる。示された実施形態においては、追加誘電性部分228は、第一接点204、第二接点206、相互接続線226および相互接続225の全てにわたって配置される。さらに、図2Eに示されるように、追加誘電性部分228は、第一および第二の外部端子205、207を被覆しないように、配置、堆積、パターン化および/もしくは構成される。他の実施形態においては、SSTダイ200は、第一および第二の接点204、206ならびに相互接続225のうち、より大きいか、もしくはより小さい部分を被覆する誘電性材料222および/もしくは誘電性部分228のより大きいか、もしくはより小さい領域を含むことができる。例えば、誘電性材料222および/もしくは誘電性部分228は、一つ以上の第二接点206が露出されるように堆積することができる。

30

40

【0026】

図2Gおよび図2Hは、SSTダイ200の第一側面201a上の誘電性材料222および/もしくは追加誘電性部分228にわたって堆積できるバリア金属などのバリア材料232の追加を示す。バリア材料232は、コバルト、ルテニウム、タンタル、窒化タン

50

タル、酸化インジウム、窒化タングステン、窒化チタン、タングステンチタン (W t i) および/もしくは他の好適な分離導電性材料を含むことができ、C V D、P V D、A L D、パターン化および/もしくは本技術分野で既知の他の好適な技術を利用して堆積することができる。

【 0 0 2 7 】

続いて、図 2 I および図 2 J を参照すると、金属シード材料 2 3 4 は、例えば下層の変換器構造 2 0 2 と他の外部コンポーネントとの間に導電性接続を提供するために、S S T ダイ 2 0 0 の第一側面 2 0 1 a 上のバリア材料 2 3 2 わたって堆積され、そこに取り付けることができる。示された実施形態においては、シード材料 2 3 4 は、第一側面 2 0 1 a 全体を被覆する。一実施形態においては、シード材料 2 3 4 は、銅 (C u)、チタン/銅合金および/もしくは他の好適な導電性材料の薄い連続的の被覆、他の配置においては、非連続的の被覆を含むことができ、電気めっき、無電界めっき、もしくは他の方法によって堆積することができる。例えば、シード材料 2 3 4 は、C V D、P V D、A L D、パターン化、スパッタ堆積および/もしくは本技術分野で既知の他の好適な技術を利用して堆積することができる。

10

【 0 0 2 8 】

図 2 G - 図 2 J を参照すると、バリア材料 2 3 2 は、シード材料 2 3 4 (例えば、銅シード材料) の拡散が、誘電性材料 2 2 2、追加誘電性部分 2 2 8 などの下層の半導体材料、または第一および第二の半導体材料 2 1 0、2 1 2 ならびに活性領域 2 1 4 を含む変換器構造 2 0 2 へ広まること (S S T ダイ 2 0 0 の電気的特性を変化させる可能性がある) を防止する。

20

【 0 0 2 9 】

図 2 I および図 2 J は、シード材料 2 3 4 およびバリア材料 2 3 2 が、下層の誘電性材料 2 2 2 もしくは追加誘電性部分 2 2 8 を露出するためにパターン化されるプロセスにおける段階も示す。図 2 I に示されるように、シード材料 2 3 4 およびバリア材料 2 3 2 は、第一の外部端子 2 0 5 および第二の外部端子 2 0 7 を包囲し、かつ電氣的に絶縁する第一側面 2 0 1 a 上の誘電性経路 2 3 6 を形成するために、選択的に除去するかエッチングすることができる。別の実施形態においては、バリア材料 2 3 2 および/もしくはシード材料 2 3 4 は、誘電性材料 2 2 2 および誘電性部分 2 2 8 にわたって選択的に堆積しつつ、其々バリア材料 2 3 2 および/もしくはシード材料 2 3 4 の誘電性経路 2 3 6 間隙を形成する当該部分を残すことができる。

30

【 0 0 3 0 】

図 2 K および図 2 L は、金属基板 2 3 8 が S S T ダイ 2 0 0 の第一側面 2 0 1 a 上のシード材料 2 3 4 にわたって形成されるプロセスにおける段階を示す。一実施形態においては、金属基板 2 3 8 は、銅 (C u)、アルミニウム (A l)、合金 (例えば、N i F e 合金) もしくは他の好適な材料を含むことができる。金属基板は、電気めっき、無電界めっき、もしくは本技術分野で既知の他の技術によって形成することができる。幾つかの実施形態においては、金属基板 2 3 8 は、約 1 0 0 μ m の厚さを有することができる。しかしながら、他の実施形態においては、金属基板 2 3 8 は、多様な厚さを有することができる。図 2 K および図 2 L に示されるように、金属基板 2 3 8 (例えば、厚い銅基板) は、誘電性経路 2 3 6 に沿って下層の誘電性材料 2 2 2 もしくは追加誘電性部分 2 2 8 を露出するために、パターン化することができる。一実施形態においては、金属基板 2 3 8 は、誘電性経路 2 3 6 を形成する、誘電性材料 2 2 2 および誘電性部分 2 2 8 の当該部分が金属基板 2 3 8 の間隙であるように、選択的にめっきすることができる。記述されるように、誘電性経路 2 3 6 は、第一の外部端子 2 0 5 および第二の外部端子 2 0 7 を包囲し電氣的に絶縁する。第一および第二の外部端子 2 0 5、2 0 7 に電氣的かつ垂直に結合され、誘電性経路 2 3 6 によって包囲される導電性金属基板 2 3 8 は、ワイヤボンドもしくはボンドパッドを追加する必要なく、外部コンポーネントの直接取り付け用の外部結合部位を提供する。

40

【 0 0 3 1 】

50

図 2 K を再び参照すると、金属基板 238 は、SST ダイ 200 から外部ヒートシンク（図示されていない）へと熱を伝達するために、かつ、第一側面 201 a 上の熱パッド 240 を SST ダイ 200 に提供するために熱伝導性を有することができる。例えば、金属基板 238 は、銅、アルミニウム、または SST ダイ 200 の熱膨張係数もしくは SST ダイ 200 が関連付けられる、より大きいパッケージもしくは回路ボードの熱膨張係数に少なくともほぼ類似する熱膨張係数を有する合金を含むことができる。したがって、熱パッド 240 は、ボード、パッケージ、ヒートシンクもしくは SST ダイ 200 を含むデバイスの別の素子に対して熱を伝達することによって、SST ダイ 200 の動作温度を低下させることができる。さらに、図 2 K の示された実施形態は、唯一つの熱パッド 240 を含んでいるが、他の実施形態においては、SST ダイ 200 は、種々の好適な寸法および形状のいずれかを有し、かつ、SST ダイ 200 の第一側面 201 a 上の種々の好適な位置のいずれかに配置される、より小さいおよび/もしくは個別の複数の熱パッド 240 を含んでもよい。

10

【0032】

SST ダイ 200（図 2 L）は、別のキャリア基板（図示されていない）へと取り付けることができるか、または、反転することができる、金属基板 238 は、SST ダイ 200 の第二側面 201 b 上のさらなる処理用の支持を提供することができる。図 3 A - 図 3 B は、さらなる処理の種々の段階における図 2 L の SST ダイ 200 の概略断面図である。例えば、図 3 A および図 3 B は、SST ダイ 200 が反転され、成長基板 220 が除去される（図 4 B）プロセスにおけるステップを示し、変換器構造 202 は、SST ダイ 200 の第二側面 201 b で露出される。成長基板 220 は、化学機械平坦化（CMP）、裏面研削、エッチング（例えば、ウェットエッチング、ドライエッチングなど）、化学的もしくは機械的剥離、および/もしくは他の除去技術によって除去することができる。このプロセスは、第二の半導体材料 212（図示されていない）の粗化を含むこともできる。同様に、金属基板 238 は、所望の場合には、裏面研削、CMP、エッチングおよび/もしくは他の好適な方法（図示されていない）によって研削するか、薄くすることができる。さらなる示されていない実施形態においては、SST ダイ 200 に対して、光学特性および/もしくは他の特性を向上するか、改善する（例えば、最適化する）ために、追加の処理を行うことができる。例えば、レンズなどの光学素子は、SST ダイ 200 の第二側面 201 b に追加することができる。結果として生じる SST ダイ 200 は、第一の外部端子 205（図 2 K に示される）、第二の外部端子 207 および熱パッド 240（図 2 K に示される）を第一側面 201 a に含み、それは、例えば、はんだリフロープロセスを用いて、ワイヤボンドを必要とせずに、ボード、パッケージもしくは他のコンポーネント上に取り付けることができる。したがって、直接取り付け端子 205、207 および熱パッド 240 によって、唯一つのステッププロセスで、ボードもしくは他の基板もしくは支持に対して、SST ダイ 200 を効率的に取り付けることが可能となる。

20

30

【0033】

例示的な目的のために、図 2 A - 図 3 B は、個々の SST ダイ 200 上の作製プロセスの段階を示す。図 4 A - 図 4 C は、複数の SST ダイ 200 を有するウェーハレベルアセンブリの一部を示す。本明細書に記述されるプロセスの各段階は、ウェーハレベルもしくはダイレベルで実施することができることを当業者には理解されたい。図 4 A は、図 2 I に示される SST ダイ 200 とほぼ類似する個々の SST ダイ 200 を 4 個含み、第一側面 401 a を有するウェーハレベルアセンブリ 400 の一部の平面図である。このように、図 4 A は、ウェーハレベルアセンブリ 400 の第一側面 401 a 上の下層バリア材料 232（例えば、図 2 G、図 2 H、図 2 J に示される）上に、金属シード材料 234 が堆積され、そこに取り付けられ、例えば下層変換器構造 202（図 2 J に示される）と他の外部コンポーネントの間の導電性接続を提供する、作製プロセスにおける段階を示す。図 4 A に示されるように、シード材料 234 およびバリア材料 232（図 2 J に示される）は、下層誘電性材料 222 もしくは追加誘電性部分 228 を露出するため、かつ複数の誘電性経路 236 を形成するためにパターン化される。

40

50

【 0 0 3 4 】

図 4 B は、図 2 K に示されるプロセスとほぼ類似するプロセスにおける段階のウェーハレベルアセンブリ 4 0 0 の一部の平面図である。例えば、図 4 B は、金属基板 2 3 8 がウェーハレベルアセンブリ 4 0 0 の第一側面 4 0 1 a 上のシード材料 2 3 4 にわたって形成され、複数の誘電性経路 2 3 6 を形成するためにパターン化される、作製プロセスにおける段階を示す。個々の S S T ダイ 2 0 0 の各々は、熱パッド 2 4 0 を含む。図 4 C に示されるように、アセンブリ 4 0 0 は、シングュレーションされた S S T ダイ 2 0 0 を形成するためにダイシングレーン (d i c i n g l a n e s) に沿って切断することができ、別の実施形態においては、S S T アレイを形成するために処理することができる。シングュレーションされた S S T ダイ 2 0 0 は、第一の外部端子 2 0 5、第二の外部端子 2 0 7 および熱パッド 2 4 0 を第一側面 2 0 1 a、4 0 1 a に含む。

10

【 0 0 3 5 】

前述の記載から、本技術の特定の実施形態が本明細書において例示する目的のために記述されてきたが、本開示を逸脱することなく、種々の改変がなされてもよいことを理解されたい。S S T ダイ 2 0 0 およびアセンブリ 4 0 0 は、追加コンポーネントおよび/もしくは本明細書で記述されたコンポーネントの異なる組み合わせを含むことができる。例えば、S S T ダイ 2 0 0 および/もしくはアセンブリ 4 0 0 は、複数のダイもしくはアセンブリを有する S S T アレイへと組み込むことができる。さらに、レンズなどの光学素子を個々の S S T ダイ 2 0 0 の各々に対して追加することができる。さらに、アセンブリ 4 0 0 は、S S T ダイ 2 0 0 の 2 × 2 アレイを含むが、他の実施形態においては、アセンブリは、異なる数の S S T ダイを含むか、および/もしくは異なる形状 (例えば、長方形、円形など) を有することができる。さらに、特定の実施形態の文脈において記述された本技術のある態様は、他の実施形態において除かれてもよい。例えば、誘電性材料 2 2 2 および誘電性部分 2 2 8 の構成は、異なる組み合わせの接点、相互接続および/もしくは他の導線を露出するか被覆するために変更することができる。さらに、本技術のある実施形態に関連付けられる特徴がその実施形態の文脈において説明されてきたが、他の実施形態もまた当該特徴を示すことがあり、また、全ての実施形態が必ずしも当該技術の範囲内にある当該特徴を示す必要はない。このように、本開示および関連技術は、本明細書で明白に示されても説明されてもいない他の実施形態を包含することができる。

20

【 図 1 A 】

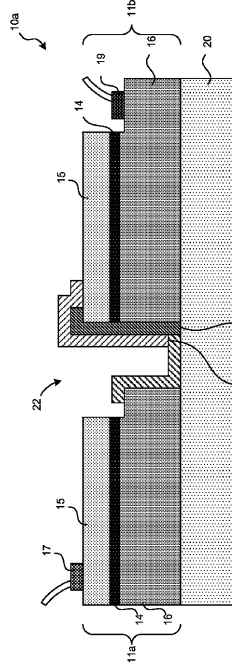
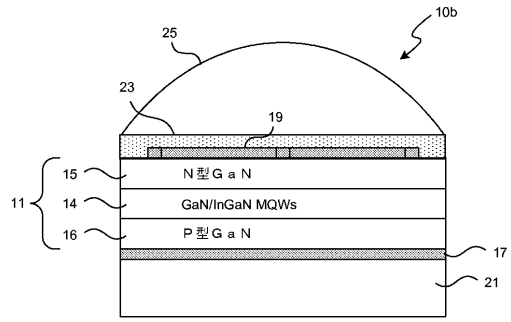


FIG. 1A
(Prior Art)

【 図 1 B 】



【 図 2 A 】

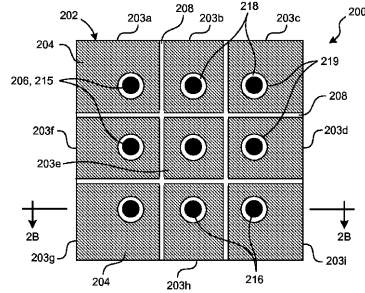


FIG. 2A

【 図 2 B 】

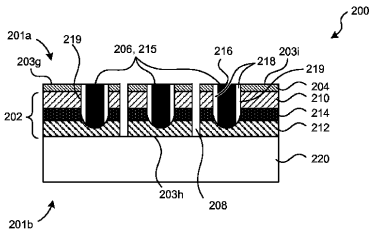


FIG. 2B

【 図 2 D 】

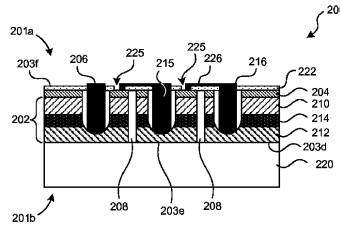


FIG. 2D

【 図 2 C 】

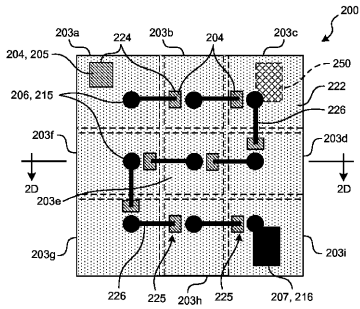


FIG. 2C

【 図 2 E 】

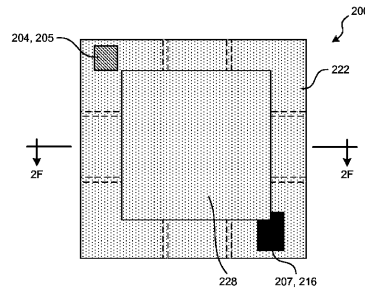


FIG. 2E

【 2 F 】

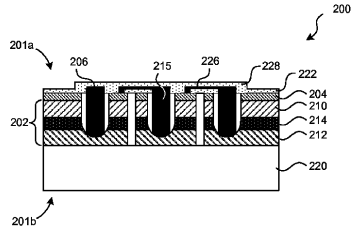


FIG. 2F

【 2 H 】

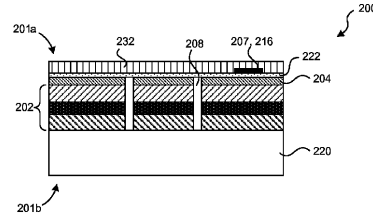


FIG. 2H

【 2 G 】

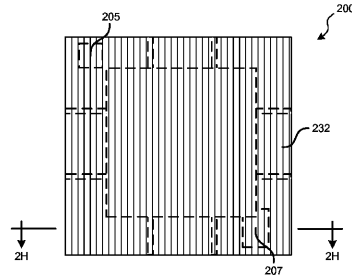


FIG. 2G

【 2 I 】

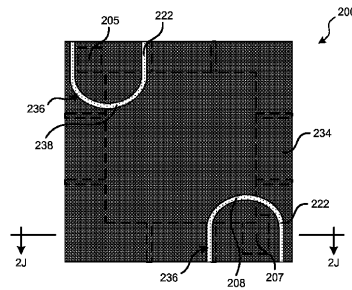


FIG. 2I

【 2 J 】

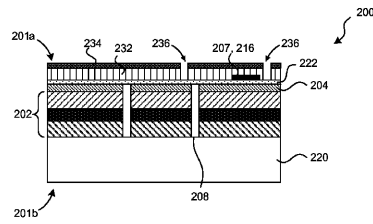


FIG. 2J

【 2 L 】

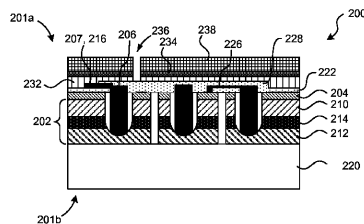


FIG. 2L

【 2 K 】

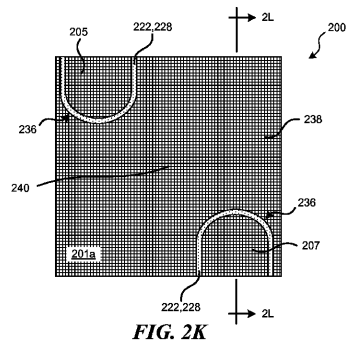


FIG. 2K

【 3 A 】

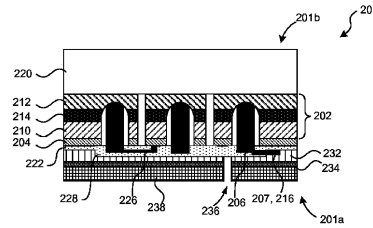


FIG. 3A

【 図 3 B 】

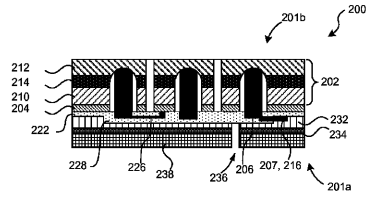


FIG. 3B

【 図 4 A 】

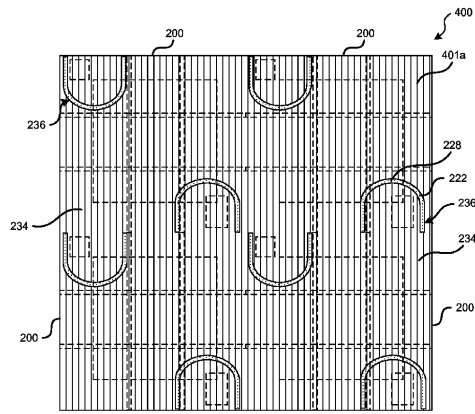


FIG. 4A

【 図 4 B 】

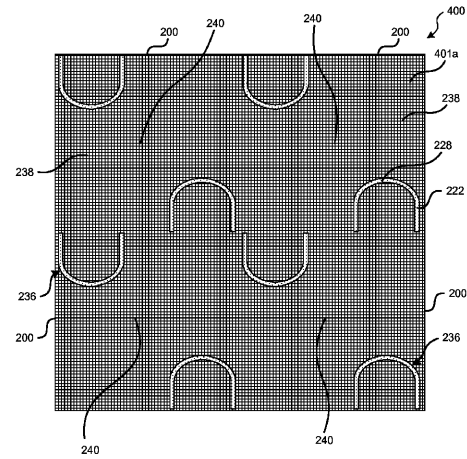


FIG. 4B

【 図 4 C 】

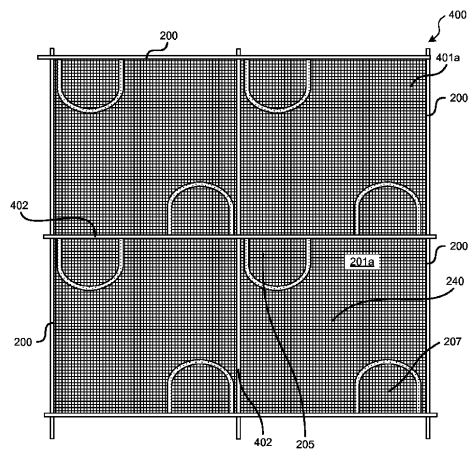


FIG. 4C

フロントページの続き

(72)発明者 シューバート, マーティン エフ.
アメリカ合衆国, アイダホ州 83716, ボイズ, サウス グローブ シアター アベニュー
3914

審査官 小濱 健太

(56)参考文献 国際公開第2010/146783(WO, A1)
特表2011-507234(JP, A)
特開2012-019217(JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 33/00 - 33/64