

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月7日(07.04.2022)



(10) 国際公開番号

WO 2022/070944 A1

(51) 国際特許分類:

H02P 29/024 (2016.01) H02M 1/00 (2007.01)
H03K 17/00 (2006.01) H02M 1/08 (2006.01)
H03K 17/691 (2006.01) H02M 7/48 (2007.01)
H03K 19/0175 (2006.01)

(21) 国際出願番号: PCT/JP2021/034072

(22) 国際出願日: 2021年9月16日(16.09.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

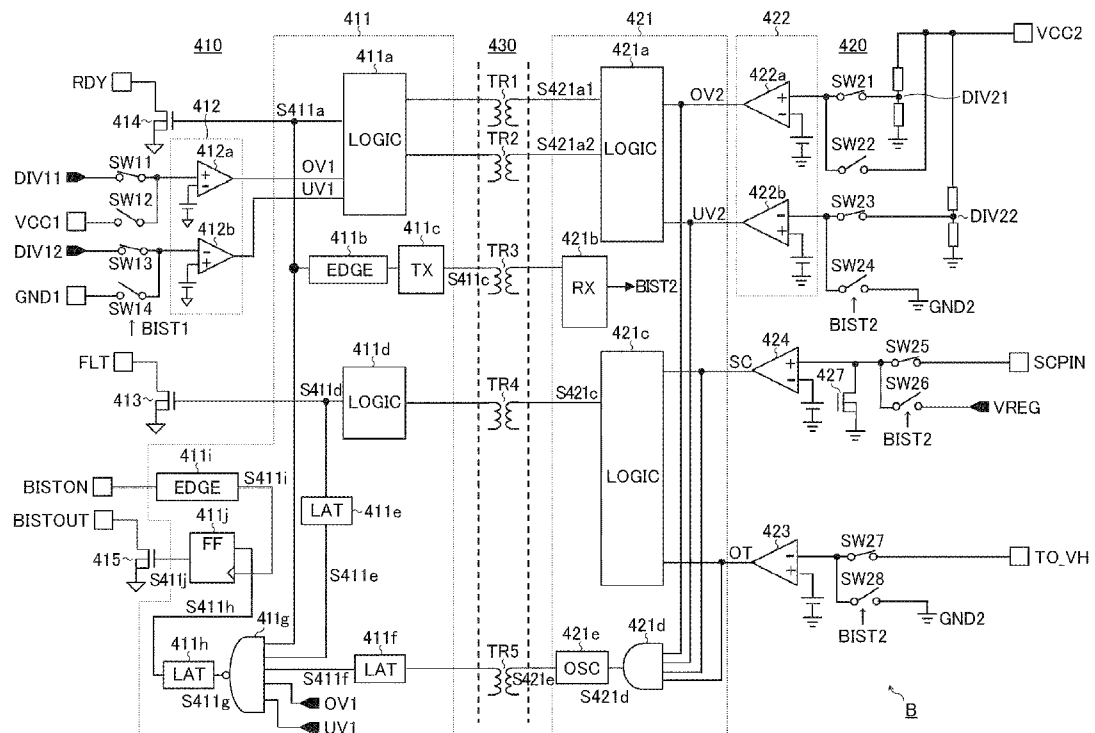
(30) 優先権データ:
特願 2020-163734 2020年9月29日(29.09.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 菊池 健(KIKUCHI Takeshi); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 西ノ内 正人
(NISHINOUCHI Masato); 〒6158585 京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 篠部 晃生(SASABE
Akio); 〒6158585 京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 柳島 大輝(YANAGISHIMA Daiki); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).

(54) Title: SIGNAL TRANSMISSION DEVICE, ELECTRONIC DEVICE AND VEHICLE

(54) 発明の名称: 信号伝達装置、電子機器、車両



(57) Abstract: A signal transmission device for transmitting a power transistor drive signal to a secondary circuit system from a primary circuit system while insulating the interval between the primary circuit system and the secondary circuit system, said device having: a first abnormality detection circuit configured so as to detect abnormalities in the primary circuit system; a second abnormality detection circuit configured so as to detect abnormalities in the secondary circuit system; a first signal transmission path configured so as to transmit detection results of the second abnormality detection

(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府
大阪市中央区天満橋京町 2 - 6 天満橋八
千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

circuit from the secondary circuit system to the primary circuit system while insulating the interval between the primary circuit system and the secondary circuit system; and a self-diagnosis circuit configured so as to self-diagnose the first abnormality detection circuit, the second abnormality detection circuit and the first signal transmission path.

(57) 要約: 信号伝達装置は、一次回路系と二次回路系との間を絶縁しつつ一次回路系から二次回路系にパワートランジスタの駆動信号を伝達するものであって、一次回路系の異常を検出するように構成された第1異常検出回路と、二次回路系の異常を検出するように構成された第2異常検出回路と、一次回路系と二次回路系との間を絶縁しつつ二次回路系から一次回路系に第2異常検出回路の検出結果を伝達するように構成された第1信号伝達経路と、第1異常検出回路、第2異常検出回路及び第1信号伝達経路それぞれを自己診断するように構成された自己診断回路と、を有する。

明 細 書

発明の名称： 信号伝達装置、電子機器、車両

技術分野

[0001] 本明細書中に開示されている発明は、信号伝達装置、及び、これを用いた電子機器並びに車両に関する。

背景技術

[0002] 従来、一次回路系と二次回路系との間を電氣的に絶縁しつつ、一次回路系と二次回路系との間で信号を伝達する信号伝達装置は、様々なアプリケーション（電源装置またはモータ駆動装置など）に用いられている。

[0003] なお、上記に関連する従来技術の一例としては、本願出願人による特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-011108号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の信号伝達装置では、自己診断機能について改善の余地があった。

[0006] 本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、適切に自己診断を行うことのできる信号伝達装置、及び、これを用いた電子機器並びに車両を提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本明細書中に開示されている信号伝達装置は、一次回路系と二次回路系との間を絶縁しつつ前記一次回路系から前記二次回路系にパワートランジスタの駆動信号を伝達するものであって、前記一次回路系の異常を検出するように構成された第1異常検出回路と、前記二次回路系の異常を検出するように構成された第2異常検出回路と、前記一次回路系と前記二次回路系

との間を絶縁しつつ前記二次回路系から前記一次回路系に前記第 2 異常検出回路の検出結果を伝達するように構成された第 1 信号伝達経路と、前記第 1 異常検出回路、前記第 2 異常検出回路及び前記第 1 信号伝達経路それぞれを自己診断するように構成された自己診断回路と、を有する。

発明の効果

[0008] 本明細書中に開示されている発明によれば、適切に自己診断を行うことのできる信号伝達装置、及び、これを用いた電子機器並びにを提供することが可能となる。

図面の簡単な説明

[0009] [図1]図 1 は、信号伝達装置の基本構成を示す図である。

[図2]図 2 は、トランスチップの基本構造を示す図である。

[図3]図 3 は、2 チャンネル型のトランスチップとして用いられる半導体装置の斜視図である。

[図4]図 4 は、図 3 に示す半導体装置の平面図である。

[図5]図 5 は、図 3 の半導体装置において低電位コイルが形成された層を示す平面図である。

[図6]図 6 は、図 3 の半導体装置において高電位コイルが形成された層を示す平面図である。

[図7]図 7 は、図 6 に示すVIII-VIII線に沿う断面図である。

[図8]図 8 は、図 7 に示す領域XIIIの拡大図（分離構造）を示す図である。

[図9]図 9 は、トランスチップのレイアウト例を模式的に示す図である。

[図10]図 10 は、信号伝達装置の実施形態を示す図である。

[図11]図 11 は、信号伝達装置が搭載される電子機器の一構成例を示す図である。

[図12]図 12 は、自己診断回路の一構成例を示す図である。

[図13]図 13 は、自己診断動作の第 1 例（電源起動時）を示す図である。

[図14]図 14 は、自己診断動作の第 2 例（UV 2 検出→解除時）を示す図である。

[図15]図15は、各種信号のタイミング制約条件を示す図である。

[図16]図16は、BIST指令伝達手法の第1実施形態を示す図である。

[図17]図17は、BIST指令伝達手法の第2実施形態を示す図である。

[図18]図18は、BIST指令伝達動作の第1例($T_L < T < T_H$)を示す図である。

[図19]図19は、BIST指令伝達動作の第2例($T < T_L$)を示す図である。

[図20]図20は、BIST指令伝達動作の第3例($T > T_H$)を示す図である。

[図21]図21は、電子機器が搭載される車両の外観を示す図である。

発明を実施するための形態

[0010] <信号伝達装置(基本構成)>

図1は、信号伝達装置の基本構成を示す図である。本構成例の信号伝達装置200は、一次回路系200p(VCC1-GND1系)と二次回路系200s(VCC2-GND2系)との間を絶縁しつつ、一次回路系200pから二次回路系200sにパルス信号を伝達し、二次回路系200sに設けられたスイッチ素子(不図示)のゲートを駆動する半導体集積回路装置(いわゆる絶縁ゲートドライバIC)である。例えば、信号伝達装置200は、コントローラチップ210と、ドライバチップ220と、トランスチップ230と、を単一のパッケージに封止して成る。

[0011] コントローラチップ210は、電源電圧VCC1(例えばGND1基準で最大7V)の供給を受けて動作する半導体チップである。コントローラチップ210には、例えば、パルス送信回路211と、バッファ212及び213が集積されている。

[0012] パルス送信回路211は、入力パルス信号INに応じて送信パルス信号S11及びS21を生成するパルスジェネレータである。より具体的に述べると、パルス送信回路211は、入力パルス信号INがハイレベルである旨を通知するときには、送信パルス信号S11のパルス駆動(単発または複数発

の送信パルス出力)を行い、入力パルス信号I Nがローレベルである旨を通知するときには、送信パルス信号S 2 1のパルス駆動を行う。すなわち、パルス送信回路2 1 1は、入力パルス信号I Nの論理レベルに応じて、送信パルス信号S 1 1及びS 2 1のいずれか一方をパルス駆動する。

[0013] バッファ2 1 2は、パルス送信回路2 1 1から送信パルス信号S 1 1の入力を受けて、トランスチップ2 3 0(具体的にはトランス2 3 1)をパルス駆動する。

[0014] バッファ2 1 3は、パルス送信回路2 1 1から送信パルス信号S 2 1の入力を受けて、トランスチップ2 3 0(具体的にはトランス2 3 2)をパルス駆動する。

[0015] ドライバチップ2 2 0は、電源電圧V C C 2(例えばG N D 2基準で最大3 0 V)の供給を受けて動作する半導体チップである。ドライバチップ2 2 0には、例えば、バッファ2 2 1及び2 2 2と、パルス受信回路2 2 3と、ドライバ2 2 4が集積されている。

[0016] バッファ2 2 1は、トランスチップ2 3 0(具体的にはトランス2 3 1)に誘起される受信パルス信号S 1 2を波形整形してパルス受信回路2 2 3に出力する。

[0017] バッファ2 2 2は、トランスチップ2 3 0(具体的にはトランス2 3 2)に誘起される受信パルス信号S 2 2を波形整形してパルス受信回路2 2 3に出力する。

[0018] パルス受信回路2 2 3は、バッファ2 2 1及び2 2 2を介して入力される受信パルス信号S 1 2及びS 2 2に応じてドライバ2 2 4を駆動することにより出力パルス信号O U Tを生成する。より具体的に述べると、パルス受信回路2 2 3は、受信パルス信号S 1 2のパルス駆動を受けて出力パルス信号O U Tをハイレベルに立ち上げる一方、受信パルス信号S 2 2のパルス駆動を受けて出力パルス信号O U Tをローレベルに立ち下げようようにドライバ2 2 4を駆動する。すなわち、パルス受信回路2 2 3は、入力パルス信号I Nの論理レベルに応じて出力パルス信号O U Tの論理レベルを切り替える。な

お、パルス受信回路 223 としては、例えば、RS フリップフロップを好適に用いることができる。

[0019] ドライバ 224 は、パルス受信回路 223 の駆動制御に基づいて出力パルス信号 OUT を生成する。

[0020] トランスチップ 230 は、トランス 231 及び 232 を用いてコントローラチップ 210 とドライバチップ 220 との間を直流的に絶縁しつつ、パルス送信回路 211 から入力される送信パルス信号 S11 及び S21 をそれぞれ受信パルス信号 S12 及び S22 としてパルス受信回路 223 に出力する。なお、本明細書中において、「直流的に絶縁する」とは、絶縁すべき対象物が導体では接続されていないということである。

[0021] より具体的に述べると、トランス 231 は、一次側コイル 231p に入力される送信パルス信号 S11 に応じて、二次側コイル 231s から受信パルス信号 S12 を出力する。一方、トランス 232 は、一次側コイル 232p に入力される送信パルス信号 S21 に応じて、二次側コイル 232s から受信パルス信号 S22 を出力する。

[0022] このように、絶縁間通信に用いられるスパイラルコイルの特性上、入力パルス信号 IN は、2 本の送信パルス信号 S11 及び S21（＝ライズ信号及びフォール信号に相当）に分離された後、2 つのトランス 231 及び 232 を介して一次回路系 200p から二次回路系 200s に伝達される。

[0023] なお、本構成例の信号伝達装置 200 は、コントローラチップ 210 及びドライバチップ 220 とは別に、トランス 231 及び 232 のみを搭載するトランスチップ 230 を独立に有しており、これら 3 つのチップを単一のパッケージに封止して成る。

[0024] このような構成とすることにより、コントローラチップ 210、及び、ドライバチップ 220 については、いずれも一般の低耐圧～中耐圧プロセス（数 V～数十 V 耐圧）で形成することができるので、専用の高耐圧プロセス（数千 V 耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。

[0025] なお、信号伝達装置200は、例えば、車両に搭載される車載機器の電源装置またはモータ駆動装置などで好適に利用することができる。上記の車両には、エンジン車のほか、電動車（BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV/PHV (plug-in hybrid electric vehicle/plug-in hybrid vehicle)、又は、FCEV/FCEV (fuel cell electric vehicle/fuel cell vehicle) などのxEV) も含まれる。

[0026] <トランスチップ（基本構造）>

次に、トランスチップ230の基本構造について説明する。図2は、トランスチップ230の基本構造を示す図である。本図のトランスチップ230において、トランス231は、上下方向に対向する一次側コイル231pと二次側コイル231sを含む。トランス232は、上下方向に対向する一次側コイル232pと二次側コイル232sを含む。

[0027] 一次側コイル231p及び232pは、いずれも、トランスチップ230の第1配線層（下層）230aに形成されている。二次側コイル231s及び232sは、いずれも、トランスチップ230の第2配線層（本図では上層）230bに形成されている。なお、二次側コイル231sは、一次側コイル231pの直上に配置され、一次側コイル231pに対向している。また、二次側コイル232sは、一次側コイル232pの直上に配置され、一次側コイル232pに対向している。

[0028] 一次側コイル231pは、内部端子X21に接続された第1端を始点として、内部端子X21の周囲を時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第2端が内部端子X22に接続されている。一方、一次側コイル232pは、内部端子X23に接続された第1端を始点として、内部端子X23の周囲を反時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第2端が内部端子X22に接続されている。内部端子X21、X22及びX23は、図示の順で直線的に配列されている。

[0029] 内部端子X21は、導電性の配線Y21及びビアZ21を介して、第2層

230bの外部端子T21に接続されている。内部端子X22は、導電性の配線Y22及びビアZ22を介して、第2層230bの外部端子T22に接続されている。内部端子X23は、導電性の配線Y23及びビアZ23を介して、第2層230bの外部端子T23に接続されている。なお、外部端子T21～T23は、直線的に並べて配置されており、コントローラチップ210とのワイヤボンディングに用いられる。

[0030] 二次側コイル231sは、外部端子T24に接続された第1端を始点として、外部端子T24の周囲を反時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第2端が外部端子T25に接続されている。一方、二次側コイル232sは、外部端子T26に接続された第1端を始点として、外部端子T26の周囲を時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第2端が外部端子T25に接続されている。なお、外部端子T24、T25及びT26は、図示の順で直線的に並べて配置されており、ドライバチップ220とのワイヤボンディングに用いられる。

[0031] 二次側コイル231s及び232sは、それぞれ、磁気結合によって一次側コイル231p及び232pに交流接続されると共に、一次側コイル231p及び232pから直流絶縁されている。すなわち、ドライバチップ220は、トランスチップ230を介してコントローラチップ210に交流接続されると共に、トランスチップ230によりコントローラチップ210から直流絶縁されている。

[0032] <トランスチップ（2チャンネル型）>

図3は、2チャンネル型のトランスチップとして用いられる半導体装置5を示す斜視図である。図4は、図3に示す半導体装置5の平面図である。図5は、図3に示す半導体装置5において低電位コイル22（＝トランスの一次側コイルに相当）が形成された層を示す平面図である。図6は、図3に示す半導体装置5において高電位コイル23（＝トランスの二次側コイルに相当）が形成された層を示す平面図である。図7は、図6に示すVIII-VIII線に沿う断面図である。

- [0033] 図3～図7を参照して、半導体装置5は、直方体形状の半導体チップ41を含む。半導体チップ41は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも1つを含む。
- [0034] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約1.12 eV）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2.0 eV以上であることが好ましい。ワイドバンドギャップ半導体は、SiC（炭化シリコン）であってもよい。化合物半導体は、III-V族化合物半導体であってもよい。化合物半導体は、AlN（窒化アルミニウム）、InN（窒化インジウム）、GaN（窒化ガリウム）およびGaAs（ヒ化ガリウム）のうちの少なくとも1つを含んでもよい。
- [0035] 半導体チップ41は、この形態では、シリコン製の半導体基板を含む。半導体チップ41は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、n型またはp型であってもよい。エピタキシャル層は、n型またはp型であってもよい。
- [0036] 半導体チップ41は、一方側の第1主面42、他方側の第2主面43、及び、第1主面42並びに第2主面43を接続するチップ側壁44A～44Dを有している。第1主面42及び第2主面43は、それらの法線方向Zから見た平面視（以下、単に「平面視」という）において、四角形状（この形態では長方形形状）に形成されている。
- [0037] チップ側壁44A～44Dは、第1チップ側壁44A、第2チップ側壁44B、第3チップ側壁44Cおよび第4チップ側壁44Dを含む。第1チップ側壁44Aおよび第2チップ側壁44Bは、半導体チップ41の長辺を形成している。第1チップ側壁44Aおよび第2チップ側壁44Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁44Cおよび第4チップ側壁44Dは、半導体チップ41の短辺を形成している。第3チップ側壁44Cおよび第4チップ側壁44Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁44A～44Dは、研削面からなる。

- [0038] 半導体装置 5 は、半導体チップ 4 1 の第 1 主面 4 2 の上に形成された絶縁層 5 1 をさらに含む。絶縁層 5 1 は、絶縁主面 5 2 および絶縁側壁 5 3 A ～ 5 3 D を有している。絶縁主面 5 2 は、平面視において第 1 主面 4 2 に整合する四角形状（この形態では長方形）に形成されている。絶縁主面 5 2 は、第 1 主面 4 2 に対して平行に延びている。
- [0039] 絶縁側壁 5 3 A ～ 5 3 D は、第 1 絶縁側壁 5 3 A、第 2 絶縁側壁 5 3 B、第 3 絶縁側壁 5 3 C および第 4 絶縁側壁 5 3 D を含む。絶縁側壁 5 3 A ～ 5 3 D は、絶縁主面 5 2 の周縁から半導体チップ 4 1 に向けて延び、チップ側壁 4 4 A ～ 4 4 D に連なっている。絶縁側壁 5 3 A ～ 5 3 D は、具体的には、チップ側壁 4 4 A ～ 4 4 D に対して面一に形成されている。絶縁側壁 5 3 A ～ 5 3 D は、チップ側壁 4 4 A ～ 4 4 D に面一な研削面を形成している。
- [0040] 絶縁層 5 1 は、最下絶縁層 5 5、最上絶縁層 5 6 および複数（この形態では 1 1 層）の層間絶縁層 5 7 を含む多層絶縁積層構造からなる。最下絶縁層 5 5 は、第 1 主面 4 2 を直接被覆する絶縁層である。最上絶縁層 5 6 は、絶縁主面 5 2 を形成する絶縁層である。複数の層間絶縁層 5 7 は、最下絶縁層 5 5 および最上絶縁層 5 6 の間に介在する絶縁層である。最下絶縁層 5 5 は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層 5 6 は、この形態では、酸化シリコンを含む単層構造を有している。最下絶縁層 5 5 の厚さおよび最上絶縁層 5 6 の厚さは、それぞれ $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下（たとえば $2\ \mu\text{m}$ 程度）であってもよい。
- [0041] 複数の層間絶縁層 5 7 は、最下絶縁層 5 5 側の第 1 絶縁層 5 8 および最上絶縁層 5 6 側の第 2 絶縁層 5 9 を含む積層構造をそれぞれ有している。第 1 絶縁層 5 8 は、窒化シリコンを含んでいてもよい。第 1 絶縁層 5 8 は、第 2 絶縁層 5 9 に対するエッチングストoppa層として形成されている。第 1 絶縁層 5 8 の厚さは、 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下（たとえば $0.3\ \mu\text{m}$ 程度）であってもよい。
- [0042] 第 2 絶縁層 5 9 は、第 1 絶縁層 5 8 の上に形成されている。第 1 絶縁層 5 8 とは異なる絶縁材料を含む。第 2 絶縁層 5 9 は、酸化シリコンを含んでい

てもよい。第2絶縁層59の厚さは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下（たとえば $2\ \mu\text{m}$ 程度）であってもよい。第2絶縁層59の厚さは、第1絶縁層58の厚さを超えていることが好ましい。

[0043] 絶縁層51の総厚さDTは、 $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。絶縁層51の総厚さDT及び層間絶縁層57の積層数は任意であって、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層55、最上絶縁層56および層間絶縁層57の絶縁材料は任意であり、特定の絶縁材料に限定されない。

[0044] 半導体装置5は、絶縁層51に形成された第1機能デバイス45を含む。第1機能デバイス45は、1つ又は複数（この形態では複数）の変圧器21（先出のトランスに相当）を含む。つまり、半導体装置5は、複数の変圧器21を含むマルチチャネル型デバイスである。複数の変圧器21は、絶縁側壁53A～53Dから間隔を空けて絶縁層51の内方部に形成されている。複数の変圧器21は、第1方向Xに間隔を空けて形成されている。

[0045] 複数の変圧器21は、具体的には、平面視において絶縁側壁53C側から絶縁側壁53D側に向けてこの順に形成された第1変圧器21A、第2変圧器21B、第3変圧器21Cおよび第4変圧器21Dを含む。複数の変圧器21A～21Dは、同様の構造をそれぞれ有している。以下では、第1変圧器21Aの構造を例にとって説明する。第2変圧器21B、第3変圧器21Cおよび第4変圧器21Dの構造の説明については、第1変圧器21Aの構造の説明が準用されるものとし、省略する。

[0046] 図5～図7を参照して、第1変圧器21Aは、低電位コイル22および高電位コイル23を含む。低電位コイル22は、絶縁層51内に形成されている。高電位コイル23は、法線方向Zに低電位コイル22と対向するように絶縁層51内に成されている。低電位コイル22および高電位コイル23は、この形態では、最下絶縁層55および最上絶縁層56に挟まれた領域（つまり複数の層間絶縁層57）に形成されている。

[0047] 低電位コイル22は、絶縁層51内において最下絶縁層55（半導体チッ

プ4 1) 側に形成されており、高電位コイル2 3は、絶縁層5 1内において低電位コイル2 2に対して最上絶縁層5 6 (絶縁主面5 2) 側に形成されている。つまり、高電位コイル2 3は、低電位コイル2 2を挟んで半導体チップ4 1に対向している。低電位コイル2 2および高電位コイル2 3の配置箇所は任意である。また、高電位コイル2 3は、1層以上の層間絶縁層5 7を挟んで低電位コイル2 2に対向していればよい。

[0048] 低電位コイル2 2及び高電位コイル2 3の間の距離 (つまり層間絶縁層5 7の積層数) は、低電位コイル2 2及び高電位コイル2 3の間の絶縁耐圧及び電界強度に応じて適宜調整される。低電位コイル2 2は、この形態では、最下絶縁層5 5側から数えて3層目の層間絶縁層5 7に形成されている。高電位コイル2 3は、この形態では、最上絶縁層5 6側から数えて1層目の層間絶縁層5 7に形成されている。

[0049] 低電位コイル2 2は、層間絶縁層5 7において第1絶縁層5 8及び第2絶縁層5 9を貫通して埋め込まれている。低電位コイル2 2は、第1内側末端2 4、第1外側末端2 5、ならびに、第1内側末端2 4および第1外側末端2 5の間を螺旋状に引き回された第1螺旋部2 6を含む。第1螺旋部2 6は、平面視において楕円形状 (長円形状) に延びる螺旋状に引き回されている。第1螺旋部2 6の最内周縁を形成する部分は、平面視において楕円形状の第1内側領域6 6を区画している。

[0050] 第1螺旋部2 6の巻回数は、5以上30以下であってもよい。第1螺旋部2 6の幅は、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第1螺旋部2 6の幅は、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第1螺旋部2 6の幅は、螺旋方向に直交する方向の幅によって定義される。第1螺旋部2 6の第1巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第1巻回ピッチは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第1巻回ピッチは、第1螺旋部2 6において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。

[0051] 第1螺旋部2 6の巻回形状及び第1内側領域6 6の平面形状は任意であり

、図5などに示される形態に限定されない。第1螺旋部26は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第1内側領域66は、第1螺旋部26の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0052] 低電位コイル22は、チタン、窒化チタン、銅、アルミニウム及びタングステンのうちの少なくとも1つを含んでいてもよい。低電位コイル22は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、層間絶縁層57内においてリセス空間を区画する。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

[0053] 高電位コイル23は、層間絶縁層57において第1絶縁層58及び第2絶縁層59を貫通して埋め込まれている。高電位コイル23は、第2内側末端27、第2外側末端28、ならびに、第2内側末端27および第2外側末端28の間を螺旋状に引き回された第2螺旋部29を含む。第2螺旋部29は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第2螺旋部29の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第2内側領域67を区画している。第2螺旋部29の第2内側領域67は、法線方向Zに第1螺旋部26の第1内側領域66に対向している。

[0054] 第2螺旋部29の巻回数は、5以上30以下であってもよい。第1螺旋部26の巻回数に対する第2螺旋部29の巻回数は、昇圧すべき電圧値に応じて調整される。第2螺旋部29の巻回数は、第1螺旋部26の巻回数を超えていることが好ましい。むろん、第2螺旋部29の巻回数は、第1螺旋部26の巻回数未満であってもよいし、第1螺旋部26の巻回数と等しくてもよい。

[0055] 第2螺旋部29の幅は、0.1 μm 以上5 μm 以下であってもよい。第2

螺旋部 29 の幅は、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 2 螺旋部 29 の幅は、螺旋方向に直交する方向の幅によって定義される。第 2 螺旋部 29 の幅は、第 1 螺旋部 26 の幅と等しいことが好ましい。

[0056] 第 2 螺旋部 29 の第 2 巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 2 巻回ピッチは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 2 巻回ピッチは、第 2 螺旋部 29 において螺旋方向に直交する方向に隣り合う 2 つの部分の間の距離によって定義される。第 2 巻回ピッチは、第 1 螺旋部 26 の第 1 巻回ピッチと等しいことが好ましい。

[0057] 第 2 螺旋部 29 の巻回形状及び第 2 内側領域 67 の平面形状は任意であり、図 6 などに示される形態に限定されない。第 2 螺旋部 29 は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第 2 内側領域 67 は、第 2 螺旋部 29 の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0058] 高電位コイル 23 は、低電位コイル 22 と同一の導電材料によって形成されていることが好ましい。つまり、高電位コイル 23 は、低電位コイル 22 と同様に、バリア層および本体層を含むことが好ましい。

[0059] 図 4 を参照して、半導体装置 5 は、複数（本図では 12 個）の低電位端子 11、及び、複数（本図では 12 個）の高電位端子 12 を含む。複数の低電位端子 11 は、対応する変圧器 21A～21D の低電位コイル 22 にそれぞれ電氣的に接続されている。複数の高電位端子 12 は、対応する変圧器 21A～21D の高電位コイル 23 にそれぞれ電氣的に接続されている。

[0060] 複数の低電位端子 11 は、絶縁層 51 の絶縁主面 52 の上に形成されている。複数の低電位端子 11 は、具体的には、複数の変圧器 21A～21D から第 2 方向 Y に間隔を空けて絶縁側壁 53B 側の領域に形成され、第 1 方向 X に間隔を空けて配列されている。

[0061] 複数の低電位端子 11 は、第 1 低電位端子 11A、第 2 低電位端子 11B、第 3 低電位端子 11C、第 4 低電位端子 11D、第 5 低電位端子 11E お

よび第6低電位端子11Fを含む。複数の低電位端子11A～11Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子11A～11Fの個数は任意である。

[0062] 第1低電位端子11Aは、平面視において第2方向Yに第1変圧器21Aに対向している。第2低電位端子11Bは、平面視において第2方向Yに第2変圧器21Bに対向している。第3低電位端子11Cは、平面視において第2方向Yに第3変圧器21Cに対向している。第4低電位端子11Dは、平面視において第2方向Yに第4変圧器21Dに対向している。第5低電位端子11Eは、平面視において第1低電位端子11Aおよび第2低電位端子11Bの間の領域に形成されている。第6低電位端子11Fは、平面視において第3低電位端子11Cおよび第4低電位端子11Dの間の領域に形成されている。

[0063] 第1低電位端子11Aは、第1変圧器21A（低電位コイル22）の第1内側末端24に電氣的に接続されている。第2低電位端子11Bは、第2変圧器21B（低電位コイル22）の第1内側末端24に電氣的に接続されている。第3低電位端子11Cは、第3変圧器21C（低電位コイル22）の第1内側末端24に電氣的に接続されている。第4低電位端子11Dは、第4変圧器21D（低電位コイル22）の第1内側末端24に電氣的に接続されている。

[0064] 第5低電位端子11Eは、第1変圧器21A（低電位コイル22）の第1外側末端25および第2変圧器21B（低電位コイル22）の第1外側末端25に電氣的に接続されている。第6低電位端子11Fは、第3変圧器21C（低電位コイル22）の第1外側末端25および第4変圧器21D（低電位コイル22）の第1外側末端25に電氣的に接続されている。

[0065] 複数の高電位端子12は、複数の低電位端子11から間隔を空けて絶縁層51の絶縁主面52の上に形成されている。複数の高電位端子12は、具体的には、複数の低電位端子11から第2方向Yに間隔を空けて絶縁側壁53A側の領域に形成され、第1方向Xに間隔を空けて配列されている。

- [0066] 複数の高電位端子 1 2 は、平面視において対応する変圧器 2 1 A～2 1 D に近接する領域にそれぞれ形成されている。高電位端子 1 2 が変圧器 2 1 A～2 1 D に近接するとは、平面視において高電位端子 1 2 および変圧器 2 1 の間の距離が、低電位端子 1 1 および高電位端子 1 2 の間の距離未満であることを意味する。
- [0067] 複数の高電位端子 1 2 は、具体的には、平面視において第 1 方向 X に沿って複数の変圧器 2 1 A～2 1 D と対向するように第 1 方向 X に沿って間隔を空けて形成されている。複数の高電位端子 1 2 は、さらに具体的には、平面視において高電位コイル 2 3 の第 2 内側領域 6 7 および隣り合う高電位コイル 2 3 の間の領域に位置するように第 1 方向 X に沿って間隔を空けて形成されている。これにより、複数の高電位端子 1 2 は、平面視において第 1 方向 X に複数の変圧器 2 1 A～2 1 D と一列に並んで配列されている。
- [0068] 複数の高電位端子 1 2 は、第 1 高電位端子 1 2 A、第 2 高電位端子 1 2 B、第 3 高電位端子 1 2 C、第 4 高電位端子 1 2 D、第 5 高電位端子 1 2 E および第 6 高電位端子 1 2 F を含む。複数の高電位端子 1 2 A～1 2 F は、この形態では、2 個ずつそれぞれ形成されている。複数の高電位端子 1 2 A～1 2 F の個数は任意である。
- [0069] 第 1 高電位端子 1 2 A は、平面視において第 1 変圧器 2 1 A（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 2 高電位端子 1 2 B は、平面視において第 2 変圧器 2 1 B（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 3 高電位端子 1 2 C は、平面視において第 3 変圧器 2 1 C（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 4 高電位端子 1 2 D は、平面視において第 4 変圧器 2 1 D（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 5 高電位端子 1 2 E は、平面視において第 1 変圧器 2 1 A および第 2 変圧器 2 1 B の間の領域に形成されている。第 6 高電位端子 1 2 F は、平面視において第 3 変圧器 2 1 C および第 4 変圧器 2 1 D の間の領域に形成されている。
- [0070] 第 1 高電位端子 1 2 A は、第 1 変圧器 2 1 A（高電位コイル 2 3）の第 2

内側末端 2 7 に電氣的に接続されている。第 2 高電位端子 1 2 B は、第 2 変圧器 2 1 B（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続されている。第 3 高電位端子 1 2 C は、第 3 変圧器 2 1 C（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続されている。第 4 高電位端子 1 2 D は、第 4 変圧器 2 1 D（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続されている。

[0071] 第 5 高電位端子 1 2 E は、第 1 変圧器 2 1 A（高電位コイル 2 3）の第 2 外側末端 2 8 および第 2 変圧器 2 1 B（高電位コイル 2 3）の第 2 外側末端 2 8 に電氣的に接続されている。第 6 高電位端子 1 2 F は、第 3 変圧器 2 1 C（高電位コイル 2 3）の第 2 外側末端 2 8 および第 4 変圧器 2 1 D（高電位コイル 2 3）の第 2 外側末端 2 8 に電氣的に接続されている。

[0072] 図 5 ～図 7 を参照して、半導体装置 5 は、絶縁層 5 1 内にそれぞれ形成された第 1 低電位配線 3 1、第 2 低電位配線 3 2、第 1 高電位配線 3 3 及び第 2 高電位配線 3 4 を含む。この形態では、複数の第 1 低電位配線 3 1、複数の第 2 低電位配線 3 2、複数の第 1 高電位配線 3 3 および複数の第 2 高電位配線 3 4 が形成されている。

[0073] 第 1 低電位配線 3 1 および第 2 低電位配線 3 2 は、第 1 変圧器 2 1 A の低電位コイル 2 2 および第 2 変圧器 2 1 B の低電位コイル 2 2 を同電位に固定している。また、第 1 低電位配線 3 1 および第 2 低電位配線 3 2 は、第 3 変圧器 2 1 C の低電位コイル 2 2 および第 4 変圧器 2 1 D の低電位コイル 2 2 を同電位に固定している。第 1 低電位配線 3 1 および第 2 低電位配線 3 2 は、この形態では、変圧器 2 1 A ～ 2 1 D の全ての低電位コイル 2 2 を同電位に固定している。

[0074] 第 1 高電位配線 3 3 および第 2 高電位配線 3 4 は、第 1 変圧器 2 1 A の高電位コイル 2 3 および第 2 変圧器 2 1 B の高電位コイル 2 3 を同電位に固定している。また、第 1 高電位配線 3 3 および第 2 高電位配線 3 4 は、第 3 変圧器 2 1 C の高電位コイル 2 3 および第 4 変圧器 2 1 D の高電位コイル 2 3 を同電位に固定している。第 1 高電位配線 3 3 および第 2 高電位配線 3 4 は

、この形態では、変圧器 2 1 A～2 1 Dの全ての高電位コイル 2 3を同電位に固定している。

[0075] 複数の第 1 低電位配線 3 1は、対応する低電位端子 1 1 A～1 1 Dおよび対応する変圧器 2 1 A～2 1 D（低電位コイル 2 2）の第 1 内側末端 2 4にそれぞれ電氣的に接続されている。複数の第 1 低電位配線 3 1は、同様の構造を有している。以下では、第 1 低電位端子 1 1 Aおよび第 1 変圧器 2 1 Aに接続された第 1 低電位配線 3 1の構造を例にとって説明する。他の第 1 低電位配線 3 1の構造の説明については、第 1 変圧器 2 1 Aに接続された第 1 低電位配線 3 1の構造の説明が準用されるものとし、省略する。

[0076] 第 1 低電位配線 3 1は、貫通配線 7 1、低電位接続配線 7 2、引き出し配線 7 3、第 1 接続プラグ電極 7 4、第 2 接続プラグ電極 7 5、1つまたは複数（この形態では複数）のパッドプラグ電極 7 6、および、1つまたは複数（この形態では複数）の基板プラグ電極 7 7を含む。

[0077] 貫通配線 7 1、低電位接続配線 7 2、引き出し配線 7 3、第 1 接続プラグ電極 7 4、第 2 接続プラグ電極 7 5、パッドプラグ電極 7 6および基板プラグ電極 7 7は、低電位コイル 2 2等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、貫通配線 7 1、低電位接続配線 7 2、引き出し配線 7 3、第 1 接続プラグ電極 7 4、第 2 接続プラグ電極 7 5、パッドプラグ電極 7 6および基板プラグ電極 7 7は、低電位コイル 2 2等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0078] 貫通配線 7 1は、絶縁層 5 1において複数の層間絶縁層 5 7を貫通し、法線方向 Z に沿って延びる柱状に延びている。貫通配線 7 1は、この形態では、絶縁層 5 1において最下絶縁層 5 5および最上絶縁層 5 6の間の領域に形成されている。貫通配線 7 1は、最上絶縁層 5 6側の上端部、および、最下絶縁層 5 5側の下端部を有している。貫通配線 7 1の上端部は、高電位コイル 2 3と同一の層間絶縁層 5 7に形成され、最上絶縁層 5 6によって被覆されている。貫通配線 7 1の下端部は、低電位コイル 2 2と同一の層間絶縁層 5 7に形成されている。

- [0079] 貫通配線 7 1 は、この形態では、第 1 電極層 7 8、第 2 電極層 7 9、および、複数の配線プラグ電極 8 0 を含む。貫通配線 7 1 では、第 1 電極層 7 8、第 2 電極層 7 9 および配線プラグ電極 8 0 が低電位コイル 2 2 等と同一の導電材料によってそれぞれ形成されている。つまり、第 1 電極層 7 8、第 2 電極層 7 9 および配線プラグ電極 8 0 は、低電位コイル 2 2 等と同様に、バリア層および本体層をそれぞれ含む。
- [0080] 第 1 電極層 7 8 は、貫通配線 7 1 の上端部を形成している。第 2 電極層 7 9 は、貫通配線 7 1 の下端部を形成している。第 1 電極層 7 8 は、アイランド状に形成され、法線方向 Z に低電位端子 1 1（第 1 低電位端子 1 1 A）に対向している。第 2 電極層 7 9 は、アイランド状に形成され、法線方向 Z に第 1 電極層 7 8 に対向している。
- [0081] 複数の配線プラグ電極 8 0 は、第 1 電極層 7 8 および第 2 電極層 7 9 の間の領域に位置する複数の層間絶縁層 5 7 にそれぞれ埋設されている。複数の配線プラグ電極 8 0 は、互いに電氣的に接続されるように最下絶縁層 5 5 から最上絶縁層 5 6 に向けて積層され、かつ、第 1 電極層 7 8 および第 2 電極層 7 9 を電氣的に接続している。複数の配線プラグ電極 8 0 は、第 1 電極層 7 8 の平面積および第 2 電極層 7 9 の平面積未満の平面積をそれぞれ有している。
- [0082] なお、複数の配線プラグ電極 8 0 の積層数は、複数の層間絶縁層 5 7 の積層数に一致している。この形態では、6 個の配線プラグ電極 8 0 が各層間絶縁層 5 7 内に埋設されているが、各層間絶縁層 5 7 内に埋設される配線プラグ電極 8 0 の個数は任意である。もちろん、複数の層間絶縁層 5 7 を貫通する 1 つまたは複数の配線プラグ電極 8 0 が形成されていてもよい。
- [0083] 低電位接続配線 7 2 は、低電位コイル 2 2 と同一の層間絶縁層 5 7 内において第 1 変圧器 2 1 A（低電位コイル 2 2）の第 1 内側領域 6 6 に形成されている。低電位接続配線 7 2 は、アイランド状に形成され、法線方向 Z に高電位端子 1 2（第 1 高電位端子 1 2 A）に対向している。低電位接続配線 7 2 は、配線プラグ電極 8 0 の平面積を超える平面積を有していることが好ま

しい。低電位接続配線 7 2 は、低電位コイル 2 2 の第 1 内側末端 2 4 に電氣的に接続されている。

[0084] 引き出し配線 7 3 は、層間絶縁層 5 7 内において半導体チップ 4 1 および貫通配線 7 1 の間の領域に形成されている。引き出し配線 7 3 は、この形態では、最下絶縁層 5 5 から数えて 1 層目の層間絶縁層 5 7 内に形成されている。引き出し配線 7 3 は、一方側の第 1 端部、他方側の第 2 端部、ならびに、第 1 端部および第 2 端部を接続する配線部を含む。引き出し配線 7 3 の第 1 端部は、半導体チップ 4 1 および貫通配線 7 1 の下端部の間の領域に位置している。引き出し配線 7 3 の第 2 端部は、半導体チップ 4 1 および低電位接続配線 7 2 の間の領域に位置している。配線部は、半導体チップ 4 1 の第 1 主面 4 2 に沿って延び、第 1 端部および第 2 端部の間の領域を帯状に延びている。

[0085] 第 1 接続プラグ電極 7 4 は、層間絶縁層 5 7 内において貫通配線 7 1 および引き出し配線 7 3 の間の領域に形成され、貫通配線 7 1 および引き出し配線 7 3 の第 1 端部に電氣的に接続されている。第 2 接続プラグ電極 7 5 は、層間絶縁層 5 7 内において低電位接続配線 7 2 および引き出し配線 7 3 の間の領域に形成され、低電位接続配線 7 2 および引き出し配線 7 3 の第 2 端部に電氣的に接続されている。

[0086] 複数のパッドプラグ電極 7 6 は、最上絶縁層 5 6 内において低電位端子 1 1 (第 1 低電位端子 1 1 A) および貫通配線 7 1 の間の領域に形成され、低電位端子 1 1 および貫通配線 7 1 の上端部にそれぞれ電氣的に接続されている。複数の基板プラグ電極 7 7 は、最下絶縁層 5 5 内において半導体チップ 4 1 および引き出し配線 7 3 の間の領域に形成されている。基板プラグ電極 7 7 は、この形態では、半導体チップ 4 1 および引き出し配線 7 3 の第 1 端部の間の領域に形成され、半導体チップ 4 1 および引き出し配線 7 3 の第 1 端部にそれぞれ電氣的に接続されている。

[0087] 図 6 及び図 7 を参照して、複数の第 1 高電位配線 3 3 は、対応する高電位端子 1 2 A ~ 1 2 D および対応する変圧器 2 1 A ~ 2 1 D (高電位コイル 2

3) の第2内側末端27にそれぞれ電氣的に接続されている。複数の第1高電位配線33は、同様の構造をそれぞれ有している。以下では、第1高電位端子12A及び第1変圧器21Aに接続された第1高電位配線33の構造を例にとって説明する。他の第1高電位配線33の構造の説明については、第1変圧器21Aに接続された第1高電位配線33の構造の説明が準用されるものとし、省略する。

[0088] 第1高電位配線33は、高電位接続配線81、および、1つまたは複数（この形態では複数）のパッドプラグ電極82を含む。高電位接続配線81およびパッドプラグ電極82は、低電位コイル22等と同一の導電材料によって形成されていることが好ましい。つまり、高電位接続配線81およびパッドプラグ電極82は、低電位コイル22等と同様に、バリア層および本体層を含むことが好ましい。

[0089] 高電位接続配線81は、高電位コイル23と同一の層間絶縁層57内において高電位コイル23の第2内側領域67に形成されている。高電位接続配線81は、アイランド状に形成され、法線方向Zに高電位端子12（第1高電位端子12A）に対向している。高電位接続配線81は、高電位コイル23の第2内側末端27に電氣的に接続されている。高電位接続配線81は、平面視において低電位接続配線72から間隔を空けて形成され、法線方向Zに低電位接続配線72には対向していない。これにより、低電位接続配線72と高電位接続配線81の間の絶縁距離が増加し、絶縁層51の絶縁耐圧が高められている。

[0090] 複数のパッドプラグ電極82は、最上絶縁層56内において高電位端子12（第1高電位端子12A）および高電位接続配線81の間の領域に形成され、高電位端子12及び高電位接続配線81にそれぞれ電氣的に接続されている。複数のパッドプラグ電極82は、平面視において高電位接続配線81の平面積未満の平面積をそれぞれ有している。

[0091] 図7を参照して、低電位端子11および高電位端子12の間の距離D1は、低電位コイル22および高電位コイル23の間の距離D2を超えているこ

とが好ましい ($D_2 < D_1$)。距離 D_1 は、複数の層間絶縁層 57 の総厚さ D_T を超えていることが好ましい ($D_T < D_1$)。距離 D_1 に対する距離 D_2 の比 D_2 / D_1 は、0.01 以上 0.1 以下であってもよい。距離 D_1 は、 $100 \mu\text{m}$ 以上 $500 \mu\text{m}$ 以下であることが好ましい。距離 D_2 は、 $1 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であってもよい。距離 D_2 は、 $5 \mu\text{m}$ 以上 $25 \mu\text{m}$ 以下であることが好ましい。距離 D_1 および距離 D_2 の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0092] 図 6 及び図 7 を参照して、半導体装置 5 は、平面視において変圧器 21A ~ 21D の周囲に位置するように絶縁層 51 内に埋設されたダミーパターン 85 を含む。

[0093] ダミーパターン 85 は、高電位コイル 23 および低電位コイル 22 とは異なるパターン（不連続なパターン）で形成されており、変圧器 21A ~ 21D から独立している。つまり、ダミーパターン 85 は、変圧器 21A ~ 21D としては機能しない。ダミーパターン 85 は、変圧器 21A ~ 21D において低電位コイル 22 および高電位コイル 23 の間の電界を遮蔽し、高電位コイル 23 に対する電界集中を抑制するシールド導体層として形成されている。ダミーパターン 85 は、この形態では、単位面積当たりにおいて高電位コイル 23 のライン密度と等しいライン密度で引き回されている。ダミーパターン 85 のライン密度が高電位コイル 23 のライン密度と等しいとは、ダミーパターン 85 のライン密度が高電位コイル 23 のライン密度の $\pm 20\%$ の範囲内に収まることを意味する。

[0094] 絶縁層 51 の内部におけるダミーパターン 85 の深さ位置は任意であり、緩和すべき電界強度に応じて調整される。ダミーパターン 85 は、法線方向 Z に関して低電位コイル 22 に対して高電位コイル 23 に近接する領域に形成されていることが好ましい。なお、法線方向 Z に関してダミーパターン 85 が高電位コイル 23 に近接するとは、法線方向 Z に関して、ダミーパターン 85 および高電位コイル 23 の間の距離が、ダミーパターン 85 および低電位コイル 22 の間の距離未満であることを意味する。

- [0095] この場合、高電位コイル 2 3 に対する電界集中を適切に抑制できる。法線方向 Z に関して、ダミーパターン 8 5 及び高電位コイル 2 3 の間の距離を小さくするほど、高電位コイル 2 3 に対する電界集中を抑制できる。ダミーパターン 8 5 は、高電位コイル 2 3 と同一の層間絶縁層 5 7 内に形成されていることが好ましい。この場合、高電位コイル 2 3 に対する電界集中を更に適切に抑制できる。ダミーパターン 8 5 は、電気的狀態が異なる複数のダミーパターンを含む。ダミーパターン 8 5 は高電位ダミーパターンを含んでもよい。
- [0096] 絶縁層 5 1 の内部における高電位ダミーパターン 8 6 の深さ位置は任意であり、緩和すべき電界強度に応じて調整される。高電位ダミーパターン 8 6 は、法線方向 Z に関して低電位コイル 2 2 に対して高電位コイル 2 3 に近接する領域に形成されていることが好ましい。法線方向 Z に関して高電位ダミーパターン 8 6 が高電位コイル 2 3 に近接するとは、法線方向 Z に関して、高電位ダミーパターン 8 6 および高電位コイル 2 3 の間の距離が、高電位ダミーパターン 8 6 及び低電位コイル 2 2 の間の距離未満であることを意味する。
- [0097] ダミーパターン 8 5 は、変圧器 2 1 A ~ 2 1 D の周囲に位置するように絶縁層 5 1 内に電氣的に浮遊状態に形成された浮遊ダミーパターンを含む。
- [0098] 浮遊ダミーパターンは、この形態では、平面視において高電位コイル 2 3 の周囲の領域を部分的に被覆し、かつ、部分的に露出させるように密なライン状に引き回されている。浮遊ダミーパターンは、有端状に形成されていてもよいし、無端状に形成されてもよい。
- [0099] 絶縁層 5 1 の内部における浮遊ダミーパターンの深さ位置は任意であり、緩和すべき電界強度に応じて調整される。
- [0100] 浮遊ラインの個数は任意であり、緩和すべき電界に応じて調整される。浮遊ダミーパターンは、複数の浮遊から構成されていてもよい。
- [0101] 図 7 を参照して、半導体装置 5 は、デバイス領域 6 2 において半導体チップ 4 1 の第 1 主面 4 2 に形成された第 2 機能デバイス 6 0 を含む。第 2 機能

デバイス60は、半導体チップ41の第1主面42の表層部、および／または、半導体チップ41の第1主面42の上の領域を利用して形成され、絶縁層51（最下絶縁層55）によって被覆されている。図7では、第2機能デバイス60が第1主面42の表層部に示された破線によって簡略化して示されている。

[0102] 第2機能デバイス60は、低電位配線を介して低電位端子11に電氣的に接続され、高電位配線を介して高電位端子12に電氣的に接続されている。低電位配線は、第2機能デバイス60に接続されるように絶縁層51内に引き回されている点を除いて、第1低電位配線31（第2低電位配線32）と同様の構造を有している。高電位配線は、第2機能デバイス60に接続されるように絶縁層51内に引き回されている点を除いて、第1高電位配線33（第2高電位配線34）と同様の構造を有している。第2機能デバイス60に係る低電位配線および高電位配線の具体的な説明は省略される。

[0103] 第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも1つを含んでいてもよい。受動デバイスは、第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の2種以上のデバイスが選択的に組み合わされた回路網を含んでいてもよい。回路網は、集積回路の一部または全部を形成していてもよい。

[0104] 受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイスは、抵抗及びコンデンサのいずれか一方または双方を含んでいてもよい。半導体整流デバイスは、pn接合ダイオード、PINダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも1つを含んでいてもよい。半導体スイッチングデバイスは、BJT [Bipolar Junction Transistor]、MISFET [Metal Insulator Field Effect Transistor]、IGBT [Insulated Gate Bipolar Junction Transistor] およびJFET [Junction Field Effect Transistor] のうちの少なくとも1つを含んでいてもよい。

- [0105] 図5～図7を参照して、半導体装置5は、絶縁層51内に埋設されたシール導体61をさらに含む。シール導体61は、平面視において絶縁側壁53A～53Dから間隔を空けて絶縁層51内に壁状に埋設され、絶縁層51をデバイス領域62および外側領域63に区画している。シール導体61は、外側領域63からデバイス領域62への水分の進入及びクラックの進入を抑制する。
- [0106] デバイス領域62は、第1機能デバイス45（複数の変圧器21）、第2機能デバイス60、複数の低電位端子11、複数の高電位端子12、第1低電位配線31、第2低電位配線32、第1高電位配線33、第2高電位配線34およびダミーパターン85を含む領域である。外側領域63は、デバイス領域62外の領域である。
- [0107] シール導体61は、デバイス領域62から電氣的に切り離されている。シール導体61は、具体的には、第1機能デバイス45（複数の変圧器21）、第2機能デバイス60、複数の低電位端子11、複数の高電位端子12、第1低電位配線31、第2低電位配線32、第1高電位配線33、第2高電位配線34およびダミーパターン85から電氣的に切り離されている。シール導体61は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体61は、デバイス領域62に繋がる電流経路を形成しない。
- [0108] シール導体61は、平面視において、絶縁側壁53～53Dに沿う帯状に形成されている。シール導体61は、この形態では、平面視において、四角環状（具体的には長方形環状）に形成されている。これにより、シール導体61は、平面視において四角形状（具体的には長方形形状）のデバイス領域62を区画している。また、シール導体61は、平面視においてデバイス領域62を取り囲む四角環状（具体的には長方形環状）の外側領域63を区画している。
- [0109] シール導体61は、具体的には、絶縁主面52側の上端部、半導体チップ41側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体61の上端部は、この形態では、絶縁主面52から

半導体チップ41側に間隔を空けて形成され、絶縁層51内に位置している。シール導体61の上端部は、この形態では、最上絶縁層56によって被覆されている。シール導体61の上端部は、1つまたは複数の層間絶縁層57によって被覆されていてもよい。シール導体61の上端部は、最上絶縁層56から露出してもよい。シール導体61の下端部は、半導体チップ41から上端部側に間隔を空けて形成されている。

[0110] このように、シール導体61は、この形態では、複数の低電位端子11および複数の高電位端子12に対して半導体チップ41側に位置するように絶縁層51内に埋設されている。また、シール導体61は、絶縁層51内において第1機能デバイス45（複数の変圧器21）、第1低電位配線31、第2低電位配線32、第1高電位配線33、第2高電位配線34およびダミーパターン85に絶縁主面52に平行な方向に対向している。シール導体61は、絶縁層51内において、第2機能デバイス60の一部に絶縁主面52に平行な方向に対向してもよい。

[0111] シール導体61は、複数のシールプラグ導体64、および、1つまたは複数（この形態では複数）のシールビア導体65を含む。シールビア導体65の個数は任意である。複数のシールプラグ導体64のうちの最上のシールプラグ導体64は、シール導体61の上端部を形成している。複数のシールビア導体65は、シール導体61の下端部をそれぞれ形成している。シールプラグ導体64およびシールビア導体65は、低電位コイル22と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体64およびシールビア導体65は、低電位コイル22等と同様に、バリア層および本体層を含むことが好ましい。

[0112] 複数のシールプラグ導体64は、複数の層間絶縁層57にそれぞれ埋め込まれ、平面視においてデバイス領域62を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体64は、互いに接続されるように最下絶縁層55から最上絶縁層56に向かって積層されている。複数のシールプラグ導体64の積層数は、複数の層間絶縁層57

の積層数に一致している。むろん、複数の層間絶縁層 57 を貫通する 1 つまたは複数のシールプラグ導体 64 が形成されていてもよい。

[0113] 複数のシールプラグ導体 64 の集合体により 1 つの環状のシール導体 61 が形成されるのであれば、複数のシールプラグ導体 64 の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体 64 の少なくとも 1 つが有端状に形成されていてもよい。また、複数のシールプラグ導体 64 の少なくとも 1 つが複数の有端帯状部分に分割されていてもよい。ただし、デバイス領域 62 への水分及びクラックの進入のリスクを鑑みると、複数のシールプラグ導体 64 は、無端状（環状）に形成されていることが好ましい。

[0114] 複数のシールビア導体 65 は、最下絶縁層 55 において半導体チップ 41 およびシールプラグ導体 64 の間の領域にそれぞれ形成されている。複数のシールビア導体 65 は、半導体チップ 41 から間隔を空けて形成され、シールプラグ導体 64 に接続されている。複数のシールビア導体 65 は、シールプラグ導体 64 の平面積未満の平面積を有している。単一のシールビア導体 65 が形成されている場合、単一のシールビア導体 65 は、シールプラグ導体 64 の平面積以上の平面積を有していてもよい。

[0115] シール導体 61 の幅は、 $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。シール導体 61 の幅は、 $1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であることが好ましい。シール導体 61 の幅は、シール導体 61 が延びる方向に直交する方向の幅によって定義される。

[0116] 図 7 及び図 8 を参照して、半導体装置 5 は、半導体チップ 41 及びシール導体 61 の間に介在し、シール導体 61 を半導体チップ 41 から電氣的に切り離す分離構造 130 を更に含む。分離構造 130 は、絶縁体を含むことが好ましい。分離構造 130 は、この形態では、半導体チップ 41 の第 1 主面 42 に形成されたフィールド絶縁膜 131 からなる。

[0117] フィールド絶縁膜 131 は、酸化膜（酸化シリコン膜）及び窒化膜（窒化シリコン膜）のうちの少なくとも一方を含む。フィールド絶縁膜 131 は、半導体チップ 41 の第 1 主面 42 の酸化によって形成された酸化膜の一例と

してのLOCOS (local oxidation of silicon) 膜からなることが好ましい。フィールド絶縁膜131の厚さは、半導体チップ41およびシール導体61を絶縁できる限り任意である。フィールド絶縁膜131の厚さは、0.1 μm 以上5 μm 以下であってもよい。

[0118] 分離構造130は、半導体チップ41の第1主面42に形成され、平面視においてシール導体61に沿う帯状に延びている。分離構造130は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。分離構造130は、シール導体61の下端部（シールビア導体65）が接続された接続部132を有している。接続部132は、シール導体61の下端部（シールビア導体65）が半導体チップ41側に向けて食い込んだアンカー部を形成していてもよい。むろん、接続部132は、分離構造130の主面に対して面一に形成されていてもよい。

[0119] 分離構造130は、デバイス領域62側の内端部130A、外側領域63側の外端部130B、ならびに、内端部130Aおよび外端部130Bの間の本体部130Cを含む。内端部130Aは、平面視において第2機能デバイス60が形成された領域（つまり、デバイス領域62）を区画している。内端部130Aは、半導体チップ41の第1主面42に形成された絶縁膜（図示せず）と一体的に形成されていてもよい。

[0120] 外端部130Bは、半導体チップ41のチップ側壁44A～44Dから露出し、半導体チップ41のチップ側壁44A～44Dに連なっている。外端部130Bは、より具体的には、半導体チップ41のチップ側壁44A～44Dに対して面一に形成されている。外端部130Bは、半導体チップ41のチップ側壁44A～44Dおよび絶縁層51の絶縁側壁53A～53Dとの間で面一な研削面を形成している。むろん、他の形態において、外端部130Bは、チップ側壁44A～44Dから間隔を空けて第1主面42内に形成されていてもよい。

[0121] 本体部130Cは、半導体チップ41の第1主面42に対してほぼ平行に延びる平坦面を有している。本体部130Cは、シール導体61の下端部（

シールビア導体 65) が接続された接続部 132 を有している。接続部 132 は、本体部 130C において内端部 130A 及び外端部 130B から間隔を空けた部分に形成されている。分離構造 130 は、フィールド絶縁膜 131 の他、種々の形態を採り得る。

[0122] 図 7 を参照して、半導体装置 5 は、シール導体 61 を被覆するように絶縁層 51 の絶縁主面 52 の上に形成された無機絶縁層 140 をさらに含む。無機絶縁層 140 は、パッシベーション層と称されてもよい。無機絶縁層 140 は、絶縁主面 52 の上から絶縁層 51 及び半導体チップ 41 を保護する。

[0123] 無機絶縁層 140 は、この形態では、第 1 無機絶縁層 141 及び第 2 無機絶縁層 142 を含む積層構造を有する。第 1 無機絶縁層 141 は、酸化シリコンを含んでいてもよい。第 1 無機絶縁層 141 は、不純物無添加の酸化シリコンである USG (undoped silicate glass) を含むことが好ましい。第 1 無機絶縁層 141 の厚さは、50 nm 以上 5000 nm 以下であってもよい。第 2 無機絶縁層 142 は、窒化シリコンを含んでいてもよい。第 2 無機絶縁層 142 の厚さは、500 nm 以上 5000 nm 以下であってもよい。無機絶縁層 140 の総厚さを大きくすることにより、高電位コイル 23 上の絶縁耐圧を高めることができる。

[0124] 第 1 無機絶縁層 141 が USG からなり、第 2 無機絶縁層 142 が窒化シリコンからなる場合、USG の絶縁破壊電圧 (V/cm) は窒化シリコンの絶縁破壊電圧 (V/cm) を超える。したがって、無機絶縁層 140 を厚化する場合、第 2 無機絶縁層 142 よりも厚い第 1 無機絶縁層 141 が形成されることが好ましい。

[0125] 第 1 無機絶縁層 141 は、酸化シリコンの一例としての BPSG (boron doped phosphor silicate glass) および PSG (phosphorus silicate glass) のうちの少なくとも一方を含んでいてもよい。ただし、この場合、酸化シリコン内に不純物 (ホウ素又はリン) が含まれるため、高電位コイル 23 上の絶縁耐圧を高める上では、USG からなる第 1 無機絶縁層 141 が形成されることが特に好ましい。むろん、無機絶縁層 140 は、第 1 無機絶

縁層 1 4 1 および第 2 無機絶縁層 1 4 2 のいずれか一方からなる単層構造を有していてもよい。

[0126] 無機絶縁層 1 4 0 は、シール導体 6 1 の全域を被覆し、シール導体 6 1 外の領域に形成された複数の低電位パッド開口 1 4 3 及び複数の高電位パッド開口 1 4 4 を有している。複数の低電位パッド開口 1 4 3 は、複数の低電位端子 1 1 をそれぞれ露出させている。複数の高電位パッド開口 1 4 4 は、複数の高電位端子 1 2 をそれぞれ露出させている。無機絶縁層 1 4 0 は、低電位端子 1 1 の周縁部に乗り上げたオーバーラップ部を有していてもよい。無機絶縁層 1 4 0 は、高電位端子 1 2 の周縁部に乗り上げたオーバーラップ部を有していてもよい。

[0127] 半導体装置 5 は、無機絶縁層 1 4 0 の上に形成された有機絶縁層 1 4 5 を更に含む。有機絶縁層 1 4 5 は、感光性樹脂を含んでいてもよい。有機絶縁層 1 4 5 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよい。有機絶縁層 1 4 5 は、この形態では、ポリイミドを含む。有機絶縁層 1 4 5 の厚さは、 $1\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。

[0128] 有機絶縁層 1 4 5 の厚さは、無機絶縁層 1 4 0 の総厚さを超えていることが好ましい。さらに、無機絶縁層 1 4 0 および有機絶縁層 1 4 5 の総厚さは、低電位コイル 2 2 及び高電位コイル 2 3 の間の距離 D 2 以上であることが好ましい。この場合、無機絶縁層 1 4 0 の総厚さは $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。また、有機絶縁層 1 4 5 の厚さは $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であることが好ましい。これらの構造によれば、無機絶縁層 1 4 0 及び有機絶縁層 1 4 5 の厚化を抑制できると同時に、無機絶縁層 1 4 0 及び有機絶縁層 1 4 5 の積層膜により高電位コイル 2 3 上の絶縁耐圧を適切に高めることができる。

[0129] 有機絶縁層 1 4 5 は、低電位側の領域を被覆する第 1 部分 1 4 6 及び高電位側の領域を被覆する第 2 部分 1 4 7 を含む。第 1 部分 1 4 6 は、無機絶縁層 1 4 0 を挟んでシール導体 6 1 を被覆している。第 1 部分 1 4 6 は、シー

ル導体 6 1 外の領域において複数の低電位端子 1 1（低電位パッド開口 1 4 3）をそれぞれ露出させる複数の低電位端子開口 1 4 8 を有している。第 1 部分 1 4 6 は、低電位パッド開口 1 4 3 の周縁（オーバーラップ部）に乗り上がったオーバーラップ部を有していてもよい。

[0130] 第 2 部分 1 4 7 は、第 1 部分 1 4 6 から間隔を空けて形成されており、第 1 部分 1 4 6 との間から無機絶縁層 1 4 0 を露出させている。第 2 部分 1 4 7 は、複数の高電位端子 1 2（高電位パッド開口 1 4 4）をそれぞれ露出させる複数の高電位端子開口 1 4 9 を有している。第 2 部分 1 4 7 は、高電位パッド開口 1 4 4 の周縁（オーバーラップ部）に乗り上がったオーバーラップ部を有していてもよい。

[0131] 第 2 部分 1 4 7 は、変圧器 2 1 A～2 1 D およびダミーパターン 8 5 を一括して被覆している。第 2 部分 1 4 7 は、具体的には、複数の高電位コイル 2 3、複数の高電位端子 1 2、第 1 高電位ダミーパターン 8 7、第 2 高電位ダミーパターン 8 8 および浮遊ダミーパターン 1 2 1 を一括して被覆している。

[0132] 本発明の実施形態は、さらに他の形態で実施できる。前述の実施形態では、第 1 機能デバイス 4 5 および第 2 機能デバイス 6 0 が形成された例について説明した。しかし、第 1 機能デバイス 4 5 を有せずに、第 2 機能デバイス 6 0 だけを有する形態が採用されてもよい。この場合、ダミーパターン 8 5 は取り除かれてもよい。この構造によれば、第 2 機能デバイス 6 0 について、第 1 実施形態において述べた効果（ダミーパターン 8 5 に係る効果を除く）と同様の効果を奏することができる。

[0133] つまり、低電位端子 1 1 および高電位端子 1 2 を介して第 2 機能デバイス 6 0 に電圧が印加された場合において、高電位端子 1 2 およびシール導体 6 1 の間の不所望な導通を抑制できる。また、低電位端子 1 1 および高電位端子 1 2 を介して第 2 機能デバイス 6 0 に電圧が印加された場合において、低電位端子 1 1 およびシール導体 6 1 の間の不所望な導通を抑制できる。

[0134] また、前述の実施形態では、第 2 機能デバイス 6 0 が形成された例につい

て説明した。しかし、第2機能デバイス60は必ずしも必要ではなく、取り除かれてもよい。

[0135] また、前述の実施形態では、ダミーパターン85が形成された例について説明した。しかし、ダミーパターン85は必ずしも必要ではなく、取り除かれてもよい。

[0136] また、前述の実施形態では、第1機能デバイス45が、複数の変圧器21を含むマルチチャネル型からなる例について説明した。しかし、単一の変圧器21を含むシングルチャネル型からなる第1機能デバイス45が採用されてもよい。

[0137] <トランス配列>

図9は、2チャンネル型のトランスチップ300（先出の半導体装置5に相当）におけるトランス配列の一例を模式的に示す平面図（上面図）である。本図のトランスチップ300は、第1トランス301と、第2トランス302と、第3トランス303と、第4トランス304と、第1ガードリング305と、第2ガードリング306と、パッドa1～a8と、パッドb1～b8と、パッドc1～c4と、パッドd1～d4と、を有する。

[0138] トランスチップ300において、第1トランス301を形成する二次側コイルL1sの一端には、パッドa1及びb1が接続されており、二次側コイルL1sの他端には、パッドc1及びd1が接続されている。第2トランス302を形成する二次側コイルL2sの一端には、パッドa2及びb2が接続されており、二次側コイルL2sの他端には、パッドc1及びd1が接続されている。

[0139] また、第3トランス303を形成する二次側コイルL3sの一端には、パッドa3及びb3が接続されており、二次側コイルL3sの他端には、パッドc2及びd2が接続されている。第4トランス304を形成する二次側コイルL4sの一端には、パッドa4及びb4が接続されており、二次側コイルL4sの他端には、パッドc2及びd2が接続されている。

[0140] なお、第1トランス301を形成する一次側コイル、第2トランス302

を形成する一次側コイル、第3トランス303を形成する一次側コイル、及び、第4トランス304を形成する一次側コイルは、いずれも本図に明示されていない。ただし、一次側コイルは、それぞれ、基本的に二次側コイルL1s～L4sと同様の構成を有しており、二次側コイルL1s～L4sとそれぞれ対向する形で、二次側コイルL1s～L4sそれぞれの直下に配置されている。

[0141] すなわち、第1トランス301を形成する一次側コイルの一端には、パッドa5及びb5が接続されており、一次側コイルの他端には、パッドc3及びd3が接続されている。また、第2トランス302を形成する一次側コイルの一端には、パッドa6及びb6が接続されており、一次側コイルの他端には、パッドc3及びd3が接続されている。

[0142] また、第3トランス303を形成する一次側コイルの一端には、パッドa7及びb7が接続されており、一次側コイルの他端には、パッドc4及びd4が接続されている。また、第4トランス304を形成する一次側コイルの一端には、パッドa8及びb8が接続されており、一次側コイルの他端には、パッドc4及びd4が接続されている。

[0143] ただし、上記のパッドa5～a8、パッドb5～b8、パッドc3並びにc4、及び、パッドd3並びにd4については、不図示のビアを介してトランスチップ300の内部から表面まで引き出されている。

[0144] 上記複数のパッドのうち、パッドa1～a8は、それぞれ、第1の電流供給用パッドに相当し、パッドb1～b8は、それぞれ、第1の電圧測定用パッドに相当する。また、パッドc1～c4は、それぞれ、第2の電流供給用パッドに相当し、パッドd1～d4は、それぞれ、第2の電圧測定用パッドに相当する。

[0145] 従って、本構成例のトランスチップ300であれば、その不良品検査時に各コイルの直列抵抗成分を正確に測定することができる。従って、各コイルの断線が生じている不良品をリジェクトすることはもちろん、各コイルの抵抗値異常（例えば、コイル同士の中途短絡）が生じている不良品についても

、これを適切にリジェクトすることが可能となり、延いては、不良品の市場流出を未然に防止することが可能となる。

[0146] なお、上記の不良品検査を通過したトランスチップ300については、上記複数のパッドを一次側チップ及び二次側チップ（例えば先出のコントローラチップ210及びドライバチップ220）との接続手段として用いればよい。

[0147] 具体的に述べると、パッドa1並びにb1、パッドa2並びにb2、パッドa3並びにb3、及び、パッドa4及びb4は、それぞれ、二次側チップの信号入力端または信号出力端に接続すればよい。また、パッドc1並びにd1、及び、パッドc2及びd2は、それぞれ、二次側チップのコモン電圧印加端（GND2）に接続すればよい。

[0148] 一方、パッドa5並びにb5、パッドa6並びにb6、パッドa7並びにb7、及び、パッドa8及びb8は、それぞれ、一次側チップの信号入力端または信号出力端に接続すればよい。また、パッドc3並びにd3、及び、パッドc4及びd4は、それぞれ、一次側チップのコモン電圧印加端（GND1）に接続すればよい。

[0149] ここで、第1トランス301～第4トランス304は、図9に示すように、それぞれの信号伝達方向毎にカップリングして並べられている。本図に即して述べると、例えば一次側チップから二次側チップに向けて信号を伝達する第1トランス301と第2トランス302が第1ガードリング305によって第1のペアとされている。また、例えば二次側チップから一次側チップに向けて信号を伝達する第3トランス303と第4トランス304が第2ガードリング306によって第2のペアとされている。

[0150] このようなカップリングを行った理由は、第1トランス301～第4トランス304をそれぞれ形成する一次側コイルと二次側コイルをトランスチップ300の基板上下方向に積み重ねる形で積層形成した場合において、一次側コイルと二次側コイルとの間で耐圧を確保するためである。ただし、第1ガードリング305、及び、第2ガードリング306については、必ずしも

必須の構成要素ではない。

[0151] なお、第1ガードリング305及び第2ガードリング306は、それぞれ、パッドe1及びe2を介して、接地端などの低インピーダンス配線に接続すればよい。

[0152] また、トランスチップ300において、パッドc1及びd1は、二次側コイルL1sと二次側コイルL2sとの間で共有されている。また、パッドc2及びd2は、二次側コイルL3sと二次側コイルL4sとの間で共有されている。また、パッドc3及びd3は、一次側コイルL1pと一次側コイルL2pとの間で共有されている。また、パッドc4及びd4は、対応するそれぞれの一次側コイルとの間で共有されている。このような構成とすることにより、パッド数を削減して、トランスチップ300の小型化を図ることが可能となる。

[0153] また、図9に示したように、第1トランス301～第4トランス304をそれぞれ形成する一次側コイルと二次側コイルは、トランスチップ300の平面視において、長方形状（または角を丸めたトラック状）となるように巻き回すことが望ましい。このような構成とすることにより、一次側コイルと二次側コイルが互いに重複する部分の面積が大きくなり、トランスの伝達効率を高めることが可能となる。

[0154] もちろん、本図のトランス配列はあくまでも一例であり、コイルの個数、形状、配置、及び、パッドの配置は任意である。また、これまでに説明してきたチップ構造及びトランス配列などについては、半導体チップ上にコイルを集積化した半導体装置全般に適用することが可能である。

[0155] <信号伝達装置>

図10は、信号伝達装置の実施形態を示す図である。本実施形態の信号伝達装置400は、一次回路系400p（VCC1－GND1系）と二次回路系400s（VCC2－GND2系）との間を電氣的に絶縁しつつ、一次回路系400pから二次回路系400sにパルス信号を伝達し、二次回路系400sに設けられたパワートランジスタ（不図示）のゲートを駆動する半導

体集積回路装置（いわゆる絶縁ゲートドライバIC）である。なお、信号伝達装置400は、先出の信号伝達装置200に相当するものとして理解することができる。

[0156] 信号伝達装置400は、装置外部との電氣的接続を確立する手段として、複数の外部端子（本図では、電源端子VCC1及びVCC2、接地端子GND1及びGND2、負電源端子VEE2、入力端子INA及びINB、出力端子OUT1H及びOUT1L、フォールト端子FLT、レディー端子RDY、イネーブル端子ENA、過熱／負荷電源異常検出端子TO__VH、短絡検出端子SCPIN、自己診断オン端子BISTON、及び、自己診断出力端子BISTOUT）を備えている。

[0157] 信号伝達装置400を形成するパッケージの第1辺（＝本図では左辺）には、上から順番に、接地端子GND1、フォールト端子FLT、イネーブル端子ENA、入力端子INA、入力端子INB、レディー端子RDY、電源端子VCC1、自己診断出力端子BISTOUT、自己診断オン端子BISTON、及び、接地端子GND1が配列されている。

[0158] 一方、同パッケージの第2辺（＝上記の第1辺と対向する辺であり、本図では右辺）には、上から順番に、負電源端子VEE2、出力端子OUT1L、出力端子OUT1H、電源端子VCC2、過熱／負荷電源異常検出端子TO__VH、接地端子GND2、短絡検出端子SCPIN、及び、負電源端子VEE2が配列されている。

[0159] このように、一次回路系400pの外部端子（GND1、FLT、ENA、INA及びINB、RDY、VCC1、BISTOUT、BISTON）をパッケージの第1辺に集約し、二次回路系400sの外部端子（VEE2、OUT1L、OUT1H、VCC2、TO__VH、GND2、SCPIN）をパッケージの第2辺に集約するとよい。

[0160] また、パッケージの第1辺及び第2辺には、それぞれの両端に接地端子GND1及び負電源端子VEE2を配置するとよい。すなわち、接地端子GND1及び負電源端子VEE2は、それぞれ、2本ずつ設けるとよい。

- [0161] なお、信号伝達装置400は、一次回路系400pと二次回路系400sとの間を絶縁しながら相互間の信号伝達を行う必要のあるアプリケーション全般（高電圧を取り扱うモータドライバまたはDC/DCコンバータなど）に広く適用することが可能である。
- [0162] 引き続き、図10を参照しながら、信号伝達装置400の内部構成について説明する。本構成例の信号伝達装置400は、コントローラチップ410（＝第1チップに相当）と、ドライバチップ420（＝第2チップに相当）と、トランスチップ430（＝第3チップに相当）と、を単一のパッケージに封止して成る。
- [0163] コントローラチップ410は、電源電圧VCC1（例えばGND1基準で最大7V）の供給を受けて動作する一次回路系400pの回路素子を集積化した半導体チップである。なお、コントローラチップ410には、例えば、ロジック回路411と、UVLO [under-voltage lock out] /OVL O [over-voltage lock out] 回路412と、NMOSFET 413～415が集積化されている。
- [0164] ロジック回路411は、入力パルス信号INA及びINBに応じて、パワートランジスタ（不図示）の駆動パルス信号PWMを生成する。例えば、INB＝H（ディセーブル時の論理レベル）であれば、PWM＝L（固定値）となり、INB＝L（イネーブル時の論理レベル）であれば、PWM＝INAとなる。また、ロジック回路411は、信号伝達装置400の各種異常検出信号（低電圧、過電圧、短絡、オープン、過熱、負荷電源異常など）を監視し、その監視結果に基づいてNMOSFET 413及び414を駆動することにより、フォールト信号FLTとレディー信号RDYの論理レベルを決定する機能も備えている。また、ロジック回路411は、イネーブル信号ENAに応じて、信号伝達装置400全体の動作可否（イネーブル/ディセーブル）を切り替える機能も備えている。
- [0165] さらに、ロジック回路411は、自己診断オン信号BISTONに応じて信号伝達装置400各部の自己診断（いわゆるBIST [built-in self t

est]) を行い、その自己診断結果に基づいてNMOSFET 415を駆動することにより、自己診断出力信号BISTOUTの論理レベルを決定する機能も備えている。すなわち、ロジック回路411は、信号伝達装置400に組み込まれた自己診断回路の一部として機能する（詳細は後述）。

[0166] UVLO/OVLO回路412は、電源電圧VCC1の低電圧／過電圧をそれぞれ検出して、その検出結果をロジック回路411に出力する。

[0167] NMOSFET 413は、ロジック回路411からの指示に応じてフォールト端子FLTと接地端との間を導通／遮断する。例えば、ドライバチップ420で過熱または負荷電源異常が検出されたときには、NMOSFET 413がオンして、フォールト端子FLTがローレベル（＝異常検出時の論理レベル）となる。

[0168] NMOSFET 414は、ロジック回路411からの指示に応じてレディー端子RDYと接地端との間を導通／遮断する。例えば、コントローラチップ410及びドライバチップ420いずれかで低電圧または過電圧が検出されたときには、NMOSFET 414がオンして、レディー端子RDYがローレベル（＝異常検出時の論理レベル）となる。

[0169] NMOSFET 415は、ロジック回路411からの指示に応じて自己診断出力端子BISTOUTと接地端との間を導通／遮断する。例えば、信号伝達装置400の自己診断結果がNGであったときには、NMOSFET 415がオンして、自己診断出力端子BISTOUTがローレベル（＝異常検出時の論理レベル）となる。

[0170] ドライバチップ420は、電源電圧VCC2（例えばGND2基準で最大30V）の供給を受けて動作する二次回路系400sの回路素子を集積化した半導体チップである。なお、ドライバチップ420には、例えば、ロジック回路421と、UVLO/OVLO回路422と、コンパレータ423及び424と、PMOSFET 425と、NMOSFET 426及び427が集積化されている。

[0171] ロジック回路421は、トランスチップ430を介して入力される駆動パ

ルス信号PWMに応じてPMOSFET425及びNMOSFET426をオン／オフすることにより、出力端子OUT1H及びOUT1Lに接続されるパワートランジスタ（不図示）のゲート駆動を行う。なお、出力端子OUT1H及びOUT1Lは、信号伝達装置400の外部で互いに短絡しておけばよい。また、ロジック回路421は、ドライバチップ420側の各種異常検出信号（低電圧、過電圧、短絡、オープン、過熱、負荷電源異常など）をトランスチップ430経由でコントローラチップ410に伝達する機能も備えている。

[0172] さらに、ロジック回路421は、ドライバチップ420側の自己診断結果（BIST__result）をトランスチップ430経由でコントローラチップ410に伝達する機能も備えている。すなわち、ロジック回路421は、信号伝達装置400に組み込まれた自己診断回路の一部として機能する（詳細は後述）。

[0173] UVO／OVO回路422は、電源電圧VCC2の低電圧／過電圧をそれぞれ検出して、その検出結果をロジック回路421に出力する。

[0174] コンパレータ423は、過熱／負荷電源異常検出端子TO__VHの端子電圧を監視することにより、パワートランジスタの過熱検出または負荷電源の過電圧検出を行う。

[0175] コンパレータ424は、短絡検出端子SCPINの端子電圧を監視することにより、パワートランジスタの短絡検出（上下パワートランジスタの貫通検出）を行う。

[0176] PMOSFET425は、ロジック回路421からの指示に応じて電源端と出力端子OUT1Hとの間を導通／遮断する。例えば、駆動パルス信号PWMがハイレベルであるときには、PMOSFET425がオンして、出力端子OUT1H（延いてはパワートランジスタのゲートに印加される出力パルス信号）がハイレベルとなる。

[0177] NMOSFET426は、ロジック回路421からの指示に応じて出力端子OUT1Lと接地端との間を導通／遮断する。例えば、駆動パルス信号P

WMがローレベルであるときには、NMOSFET 426がオンして、出力端子OUT1L（延いてはパワートランジスタのゲートに印加される出力パルス信号）がローレベルとなる。

[0178] このように、PMOSFET 425及びNMOSFET 426は、ゲート駆動用のハーフブリッジ出力段（CMOS [complementary MOS] インバータ段）として機能する。

[0179] NMOSFET 427は、ロジック回路421からの指示に応じて接地端子GND2と短絡検出端子SCPINとの間を導通／遮断する。例えば、NMOSFET 427は、OUT1H=Hであるときにオフし、OUT1H=Lであるときにオンする。なお、NMOSFET 427は、パワートランジスタ（不図示）と相補的にオン／オフすることにより、SCPIN-GND2間に外付けされたキャパシタ（不図示）を放電する放電スイッチとして機能する。

[0180] トランスチップ430は、コントローラチップ410とドライバチップ420との間を絶縁しつつ、双方向の信号伝達を行うためのトランスを集積化した半導体チップである。

[0181] なお、本構成例の信号伝達装置400は、コントローラチップ410及びドライバチップ420とは別に、トランスのみを搭載するトランスチップ430を独立に有しており、これら3つのチップを単一のパッケージに封止して成る。

[0182] このような構成とすることにより、コントローラチップ410、及び、ドライバチップ420については、いずれも一般の低耐圧～中耐圧プロセス（数V～数十V耐圧）で形成することができるので、専用の高耐圧プロセス（数千V耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。

[0183] また、コントローラチップ410、及び、ドライバチップ420については、いずれも実績のある既存プロセスで作成することが可能であり、新たに信頼性試験を行う必要がないので、開発期間の短縮及び開発コストの低減に

貢献することができる。

[0184] また、トランス以外の直流絶縁素子（例えばフォトカプラ）を用いる場合であっても、トランスチップ430のみを載せ換えることにより、容易に対応することが可能となるので、コントローラチップ410及びドライバチップ420を開発し直す必要がなくなり、開発期間の短縮及び開発コストの低減に貢献することができる。

[0185] <電子機器>

図11は、信号伝達装置400が搭載される電子機器の一構成例を示す図である。本構成例の電子機器Aは、上側ゲートドライバIC1H（u/v/w）と、下側ゲートドライバIC1L（u/v/w）と、上側パワートランジスタ2H（u/v/w）と、下側パワートランジスタ2L（u/v/w）と、ECU3と、モータ4と、を有する。

[0186] 上側ゲートドライバIC1H（u/v/w）は、それぞれ、ECU3と上側パワートランジスタ2H（u/v/w）との間を絶縁しつつ、ECU3から入力される上側ゲート制御信号に応じて上側ゲート駆動信号を生成することにより、上側パワートランジスタ2H（u/v/w）を駆動する。

[0187] 下側ゲートドライバIC1L（u/v/w）は、それぞれ、ECU3と下側パワートランジスタ2L（u/v/w）との間を絶縁しつつ、ECU3から入力される下側ゲート制御信号に応じて下側ゲート駆動信号を生成することにより、下側パワートランジスタ2L（u/v/w）を駆動する。

[0188] なお、上記の上側ゲートドライバIC1H（u/v/w）及び下側ゲートドライバIC1L（u/v/w）としては、先出の信号伝達装置400を好適に用いることができる。

[0189] 上側パワートランジスタ2H（u/v/w）は、それぞれ、3相（U相/V相/W相）のハーフブリッジ出力段を形成する上側スイッチとして、パワー系電源端（＝負荷電源電圧PVDの印加端）とモータ4の各相入力端との間に接続されている。

[0190] 下側パワートランジスタ2L（u/v/w）は、それぞれ、3相（U相/V相/W相）のハーフブリッジ出力段を形成する下側スイッチとして、パワー系電源端（＝負荷電源電圧PVDの印加端）とモータ4の各相入力端との間に接続されている。

V相/W相)のハーフブリッジ出力段を形成する下側スイッチとして、モータ4の各相入力端とパワー系接地端との間に接続されている。

[0191] 本図では、上側パワートランジスタ2H(u/v/w)及び下側パワートランジスタ2L(u/v/w)として、それぞれ、IGBT[insulated gate bipolar transistor]を用いているが、例えば、IGBTに代えてMOSFET[metal oxide semiconductor field effect transistor]を用いることも可能である。

[0192] ECU3は、上側ゲートドライバIC1H(u/v/w)及び下側ゲートドライバIC1L(u/v/w)を介して、上側パワートランジスタ2H(u/v/w)及び下側パワートランジスタ2L(u/v/w)をそれぞれ駆動することにより、モータ4の回転駆動を制御する。また、ECU3は、上側ゲートドライバIC1H(u/v/w)及び下側ゲートドライバIC1L(u/v/w)それぞれのフォールト端子FLT及びレディー端子RDYを監視し、その監視結果に基づいて各種の安全制御を行う機能も備えている。

[0193] さらに、ECU3は、自己診断オン信号BISTONを用いて信号伝達装置400の自己診断結果を出力させるとともに、自己診断出力信号BISTOUTの論理レベルに基づいて、信号伝達装置400の各種保護回路(低電圧保護、過電圧保護、過熱保護、及び、短絡保護)が正常であるか否かを確認する機能も備えている。

[0194] モータ4は、3相(U相/V相/W相)のハーフブリッジ出力段からそれぞれ入力される3相の駆動電圧U/V/Wに応じて回転駆動される3相モータである。

[0195] <自己診断回路>

図12は、信号伝達装置400に組み込まれる自己診断回路の一構成例を示す図である。本構成例の自己診断回路Bは、その一部分として先出のロジック回路411及び421を含むほか、スイッチSW11~SW14及びスイッチSW21~SW28を含む。また、トランスチップ430には、自己診断回路Bに関連する絶縁素子として、トランスTR1~TR5が集積化さ

れている。

[0196] まず、コントローラチップ410に着目して説明する。

[0197] ロジック回路411は、自己診断回路Bに関連する機能ブロックとして、例えば、ロジック部411aと、エッジ検出部411bと、パルス送信部411cと、ロジック部411dと、ラッチ411e及び411fと、NANDゲート411gと、ラッチ411hと、エッジ検出部411iと、フリップフロップ411jと、を含む。

[0198] ロジック部411aは、UVLO/OVLO回路412及び422のいずれかで低電圧又は過電圧が検出されたときに、NMOSFET414のゲート信号S411aをハイレベルに立ち上げてNMOSFET414をオンすることにより、レディー信号RDYをローレベル（＝異常検出時の論理レベル）に立ち下げる。なお、UVLO/OVLO回路412の検出結果（＝過電圧検出信号OV1及び低電圧検出信号UV1）は、ロジック部411aに直接入力されている。一方、UVLO/OVLO回路422の検出結果（＝過電圧検出信号OV2及び低電圧検出信号UV2）は、一旦ロジック回路421に入力された後、トランスTR1及びTR2を介してロジック部411aに伝達される。

[0199] エッジ検出部411bは、ゲート信号S411aの立下りエッジ（延いてはレディー信号RDYの立上りエッジ）を検出し、その検出結果をパルス送信部411cに出力する。

[0200] パルス送信部411cは、エッジ検出部411bでゲート信号S411aの立下りエッジが検出されたときに、トランスTR3を介してロジック回路421にパルス信号S411c（＝ドライバチップ420への自己診断指令）を送信する。

[0201] ロジック部411dは、ドライバチップ420で過熱（または負荷電源異常）若しくはパワートランジスタの短絡（上下貫通）が検出されたときに、NMOSFET413のゲート信号S411dをハイレベルに立ち上げてNMOSFET413をオンすることにより、フォールト端子FLTをローレ

ベル（＝異常検出時の論理レベル）に立ち下げる。過熱または短絡の検出結果（＝過熱検出信号OT及び短絡検出信号SC）は、一旦ロジック回路421に入力された後、トランスTR4を介してロジック部411dに伝達される。

[0202] ラッチ411eは、ゲート信号S411dを所定のタイミングでラッチすることにより、ラッチ信号S411eを生成してNANDゲート411gに出力する。

[0203] ラッチ411fは、ロジック回路421からトランスTR5を介して伝達される二次側BIST結果（＝パルス信号S421e）を所定のタイミングでラッチすることにより、ラッチ信号S411fを生成してNANDゲート411gに出力する。

[0204] NANDゲート411gは、ゲート信号S411a、ラッチ信号S411e及びS411f、並びに、過電圧検出信号OV1及び低電圧検出信号UV1の入力を受け付けてNAND信号S411gを生成する。従って、NAND信号S411gは、上記5信号の少なくとも一つがローレベル（＝異常未検出時の論理レベル）であるときにハイレベルとなり、上記5信号がいずれもハイレベル（＝異常検出時の論理レベル）であるときにローレベルとなる。

[0205] ラッチ411hは、NAND信号S411gを所定のタイミングでラッチすることにより、ラッチ信号S411hを生成してフリップフロップ411jに出力する。

[0206] エッジ検出部411iは、自己診断オン信号BISTONの立上りエッジを検出してフリップフロップ411jのクロック信号S411iにパルスを生成する。

[0207] フリップフロップ411jは、クロック信号S411iのパルス生成タイミングでラッチ信号S411hを取り込み、NMOSFET415のゲート信号S411jとして出力する。ゲート信号S411jがハイレベルであるときには、NMOSFET415がオンして自己診断出力信号BISTOU

Tがローレベル（＝自己診断NG時の論理レベル）となり、ゲート信号S411jがローレベルであるときには、NMOSFET415がオフして自己診断出力信号BISTOUTがハイインピーダンス状態（＝自己診断OK時の論理レベル）となる。

[0208] UVO/OVO回路412は、自己診断回路Bによる診断対象の一つであり、コンパレータ412a及び412bを含む。

[0209] コンパレータ412aは、非反転入力端（＋）に入力される監視対象電圧（DIV11またはVCC1）と、反転入力端（－）に入力される過電圧検出閾値とを比較して、過電圧検出信号OV1を生成する。なお、過電圧検出信号OV1は、監視対象電圧が過電圧検出閾値よりも高いときにハイレベル（＝異常時の論理レベル）となり、監視対象電圧が過電圧検出閾値よりも低いときにローレベル（＝正常時の論理レベル）となる。

[0210] コンパレータ412bは、反転入力端（－）に入力される監視対象電圧（DIV12またはGND1）と、非反転入力端（＋）に入力される低電圧検出閾値とを比較して、低電圧検出信号UV1を生成する。なお、低電圧検出信号UV1は、監視対象電圧が低電圧検出閾値よりも低いときにハイレベル（＝異常時の論理レベル）となり、監視対象電圧が低電圧検出閾値よりも高いときにローレベル（＝正常時の論理レベル）となる。

[0211] スイッチSW11は、分圧電圧DIV11（＝電源電圧VCC1の分圧電圧）の印加端とコンパレータ412aの非反転入力端（＋）との間に接続されている。スイッチSW11は、BIST時にオフして、非BIST時にオンする。一方、スイッチSW12は、電源電圧VCC1の印加端とコンパレータ412aの非反転入力端（＋）との間に接続されている。スイッチSW12は、BIST時にオンして、非BIST時にオフする。すなわち、コンパレータ412aの非反転入力端（＋）には、先出の監視対象電圧として、非BIST時に分圧電圧DIV11が入力され、BIST時に電源電圧VCC1が入力される。

[0212] スイッチSW13は、分圧電圧DIV12（＝電源電圧VCC1の分圧電

圧)の印加端とコンパレータ412bの反転入力端(一)との間に接続されている。なお、スイッチSW13は、BIST時にオフして、非BIST時にオンする。一方、スイッチSW14は、接地電圧GND1の印加端とコンパレータ412bの反転入力端(一)との間に接続されている。スイッチSW14は、BIST時にオンして非BIST時にオフする。すなわち、コンパレータ412bの反転入力端(一)には、先出の監視対象電圧として、非BIST時に分圧電圧DIV12が入力され、BIST時に接地電圧GND1が入力される。

[0213] なお、上記のスイッチSW11～SW14は、それぞれ、一次側自己診断信号BIST1に応じてオン／オフされる。例えば、一次側自己診断信号BIST1は、BIST時にローレベルとなり、非BIST時にハイレベルとなる。

[0214] 次に、ドライバチップ420に着目して説明を続ける。

[0215] ロジック回路421は、自己診断回路Bに関連する機能ブロックとして、例えば、ロジック部421aと、パルス受信部421bと、ロジック部421cと、ANDゲート421dと、オシレータ421eと、を含む。

[0216] ロジック部421aは、UVLO／OVL O回路422の検出結果(＝過電圧検出信号OV2及び低電圧検出信号UV2)をトランスTR1及びTR2経由でロジック部411aに伝達する。例えば、ロジック部421aは、低電圧または過電圧の検出時にパルス信号S421a1及びS421a2双方の生成(延いてはトランスTR1及びTR2双方の駆動)を停止する。ロジック部411aは、パルス信号S421a1及びS421a2双方の生成(延いてはトランスTR1及びTR2双方の駆動)が停止されたことを検出して、ロジック部421aで低電圧または過電圧が検出されたことを認識する。一方、ロジック部421aは、低電圧または過電圧の検出解除時(未検出時)にパルス信号S421a1またはS421a2を用いてトランスTR1またはTR2を駆動する。例えば、パワートランジスタのゲート信号(OUTH)がハイレベルであるときには、パルス信号S421a1を用いてト

ランスＴＲ１が駆動され、同ゲート信号（ＯＵＴＨ）がローレベルであるときには、パルス信号Ｓ４２１ａ２を用いてランスＴＲ２が駆動される。

[0217] パルス受信部４２１ｂは、ランスＴＲ３経由で受信したパルス信号Ｓ４１１ｃ（＝ドライバチップ４２０への自己診断指令）に応じて二次側自己診断信号ＢＩＳＴ２を生成する。

[0218] ロジック部４２１ｃは、過熱または短絡の検出結果（＝過熱検出信号ＯＴ及び短絡検出信号ＳＣ）をランスＴＲ４経由でロジック部４１１ｄに伝達する。例えば、ロジック部４２１ｃは、過熱又は短絡の検出時にパルス信号Ｓ４２１ｃを用いてランスＴＲ４を駆動する。

[0219] ＡＮＤゲート４２１ｄは、過電圧検出信号ＯＶ２、低電圧検出信号ＵＶ２、過熱検出信号ＯＴ及び短絡検出信号ＳＣの入力を受け付けてＡＮＤ信号Ｓ４２１ｄを生成する。従って、ＡＮＤ信号Ｓ４２１ｄは、上記４信号の少なくとも一つがローレベル（＝異常未検出時の論理レベル）であるときにローレベルとなり、上記４信号がいずれもハイレベル（＝異常検出時の論理レベル）であるときにハイレベルとなる。

[0220] オシレータ４２１ｅは、ＡＮＤ信号Ｓ４２１ｄがハイレベルに立ち上がったときに、ランスＴＲ５を介してロジック回路４１１にパルス信号Ｓ４２１ｅ（＝コントローラチップ４１０への自己診断結果であり、例えば１０ＭＨｚ、３ＣＬＫ）を送信する。

[0221] ＵＶＬＯ／ＯＶＬＯ回路４２２は、自己診断回路Ｂによる診断対象の一つであり、コンパレータ４２２ａ及び４２２ｂを含む。また、コンパレータ４２３及び４２４についても、それぞれ自己診断回路Ｂによる診断対象の一つである。

[0222] コンパレータ４２２ａは、非反転入力端（＋）に入力される監視対象電圧（ＤＩＶ２１またはＶＣＣ２）と、反転入力端（－）に入力される過電圧検出閾値とを比較して、過電圧検出信号ＯＶ２を生成する。なお、過電圧検出信号ＯＶ２は、監視対象電圧が過電圧検出閾値よりも高いときにハイレベル（＝異常時の論理レベル）となり、監視対象電圧が過電圧検出閾値よりも低

いときにローレベル（＝正常時の論理レベル）となる。

[0223] コンパレータ422bは、反転入力端（－）に入力される監視対象電圧（D1V22またはGND2）と、非反転入力端（＋）に入力される低電圧検出閾値とを比較して、低電圧検出信号UV2を生成する。なお、低電圧検出信号UV2は、監視対象電圧が低電圧検出閾値よりも低いときにハイレベル（＝異常時の論理レベル）となり、監視対象電圧が低電圧検出閾値よりも高いときにローレベル（＝正常時の論理レベル）となる。

[0224] コンパレータ423は、その反転入力端（－）に入力される監視対象電圧（TO_VHまたはGND2）と、非反転入力端（＋）に入力される過熱検出閾値とを比較して、過熱検出信号OTを生成する。なお、過熱検出信号OTは、監視対象電圧が過熱検出閾値よりも低いときにハイレベル（＝異常時の論理レベル）となり、監視対象電圧が過熱検出閾値よりも高いときにローレベル（＝正常時の論理レベル）となる。

[0225] コンパレータ424は、その非反転入力端（＋）に入力される監視対象電圧（SCPINまたはVREG）と、反転入力端（－）に入力される短絡検出閾値とを比較して、短絡検出信号SCを生成する。なお、短絡検出信号SCは、監視対象電圧が短絡検出閾値よりも高いときにハイレベル（＝異常時の論理レベル）となり、監視対象電圧が短絡検出閾値よりも低いときにローレベル（＝正常時の論理レベル）となる。

[0226] スイッチSW21は、分圧電圧D1V21（＝電源電圧VCC2の分圧電圧）の印加端とコンパレータ422aの非反転入力端（＋）との間に接続されている。スイッチSW21は、BIST時にオフして、非BIST時にオンする。一方、スイッチSW22は、電源電圧VCC2の印加端とコンパレータ422aの非反転入力端（＋）との間に接続されている。スイッチSW22は、BIST時にオンして、非BIST時にオフする。すなわち、コンパレータ422aの非反転入力端（＋）には、先出の監視対象電圧として、非BIST時に分圧電圧D1V21が入力され、BIST時に電源電圧VCC2が入力される。

[0227] スイッチSW23は、分圧電圧DIV22（＝電源電圧VCC2の分圧電圧）の印加端とコンパレータ422bの反転入力端（－）との間に接続されている。なお、スイッチSW23は、BIST時にオフして、非BIST時にオンする。一方、スイッチSW24は、接地電圧GND2の印加端とコンパレータ422bの反転入力端（－）との間に接続されている。スイッチSW24は、BIST時にオンして非BIST時にオフする。すなわち、コンパレータ422bの反転入力端（－）には、先出の監視対象電圧として、非BIST時に分圧電圧DIV22が入力され、BIST時に接地電圧GND2が入力される。

[0228] スイッチSW25は、短絡検出電圧SCPIN（＝SCPIN端子の端子電圧）の印加端とコンパレータ424の非反転入力端（＋）との間に接続されている。スイッチSW25は、BIST時にオフして非BIST時にオンする。一方、スイッチSW26は、内部電圧VREGの印加端とコンパレータ424の非反転入力端（＋）との間に接続されている。スイッチSW24は、BIST時にオンして、非BIST時にオフする。すなわち、コンパレータ424の非反転入力端（＋）には、先出の監視対象電圧として、非BIST時に短絡検出電圧SCPINが入力され、BIST時に内部電圧VREGが入力される。また、BIST時にはNMOSFET427がオフされる。

[0229] スイッチSW27は、過熱検出電圧TO_VH（＝過熱／負荷電源異常検出端子TO_VHの端子電圧）の印加端とコンパレータ423の反転入力端（－）との間に接続されている。なお、スイッチSW27は、BIST時にオフして非BIST時にオンする。一方、スイッチSW27は、接地電圧GND2の印加端とコンパレータ423の反転入力端（－）との間に接続されている。スイッチSW27は、BIST時にオンして非BIST時にオフする。すなわち、コンパレータ423の反転入力端（－）には、先出の監視対象電圧として、非BIST時に過熱検出電圧TO_VHが入力され、BIST時に接地電圧GND2が入力される。

- [0230] なお、上記のスイッチSW21～SW28は、それぞれ、二次側自己診断信号BIST2に応じてオン／オフされる。例えば、二次側自己診断信号BIST2は、BIST時にローレベルとなり、非BIST時にハイレベルとなる。
- [0231] 上記した自己診断回路Bは、UVLO／OVLO回路412（コンパレータ412a及び412b）、UVLO／OVLO回路422（コンパレータ422a及び422b）、過熱検出回路（コンパレータ423）及び短絡検出回路（コンパレータ424）を診断対象とするほか、ドライバチップ420の異常検出結果をコントローラチップ410に伝達する第1信号伝達経路（RDY出力用のトランスTR1及びTR2、並びに、FLT出力用のトランスTR4）も診断対象としており、それぞれの機能ブロックが正常に動作しているか否かを確認することができる。
- [0232] 例えば、コンパレータ412a及び412b、コンパレータ422a及び422b、並びに、コンパレータ423及び424が正しく動作していることを診断するためには、それぞれに入力される監視対象電圧として、正常入力範囲を外れた試験電圧（例えば電源電圧VCC1及びVCC2、または、接地電圧GND1及びGND2、若しくは、内部電圧VREG）を印加し、それぞれの異常検出信号（OV1／UV1、OV2／UV2、SC、OT）がハイレベル（＝異常検出時の論理レベル）になっていることを確認すればよい。
- [0233] また、上記の第1信号伝達経路（RDY出力用のトランスTR1及びTR2、並びに、FLT出力用のトランスTR4）が正しく動作していることを診断するためには、ロジック部411a及び411dによりレディー信号RDY及びフォールト信号FLTがローレベル（＝異常検出時の論理レベル）とされていること、言い換えれば、ゲート信号S411a及びS411dがハイレベルとなっていることを確認すればよい。
- [0234] 上記診断対象全てが正しく動作している場合には、NANDゲート411gに入力される5信号（S411a、S411e、S411f、OV1及び

UV1)がいずれもハイレベル(=異常検出時の論理レベル)となるので、NAND信号S411gがローレベルとなる。従って、自己診断オン信号BISTONがハイレベルに立ち上げられたときに、NMOSFET415がオフするので、自己診断出力信号BISTOUTがハイインピーダンス(=自己診断OK時の論理レベル)となる。

[0235] 一方、上記診断対象の少なくとも一つが正しく動作していない場合には、NANDゲート411gに入力される5信号(S411a、S411e、S411f、OV1及びUV1)の少なくとも一つがローレベル(=異常未検出時の論理レベル)となるので、NAND信号S411gがハイレベルとなる。従って、自己診断オン信号BISTONがハイレベルに立ち上げられたときに、NMOSFET415がオンするので、自己診断出力信号BISTOUTがローレベル(=自己診断NG時の論理レベル)となる。

[0236] このように、本構成例の信号伝達装置400は、一次回路系400pに設けられたコントローラチップ410の異常を検出するように構成された第1異常検出回路(UVLO/OVLO回路412)と、二次回路系400sに設けられたドライバチップ420の異常を検出するように構成された第2異常検出回路(UVLO/OVLO回路422、過熱検出用のコンパレータ423、短絡検出用のコンパレータ424)と、一次回路系400pと二次回路系400sとの間を絶縁しつつ二次回路系400sから一次回路系400pに第2異常検出回路の検出結果(OV2、UV2、OT及びSC)を伝達するように構成された第1信号伝達経路(TR1、TR2及びTR4)と、上記の第1異常検出回路(412)、第2異常検出回路(422、423、424)及び第1信号伝達経路(TR1、TR2、TR4)それぞれを自己診断するように構成された自己診断回路Bと、を有する。

[0237] なお、自己診断回路Bは、一次回路系400pのコントローラチップ410と二次回路系400sのドライバチップ420との間を絶縁しつつ、二次回路系400sのドライバチップ420から一次回路系400pのコントローラチップ410に対して、第2異常検出回路(422、423、424)

の自己診断結果を伝達するように構成された第2信号伝達経路（421d、421e及びTR5）を含む。

[0238] 本図に即して述べると、上記の第2信号伝達経路は、ANDゲート421d、オシレータ421e及びトランスTR5を用いることにより、ドライバチップ420における異常検出結果（OV2、UV2、OT及びSC）を単一のパルス信号S421eとしてコントローラチップ410に伝達するように構成することが望ましい。

[0239] <自己診断動作>

図13は、自己診断動作の第1例（電源起動時）を示す図であり、上から順に、電源電圧VCC1及びVCC2、レディー信号RDY、フォールト信号FLT、イネーブル信号ENA、入力パルス信号INA、出力パルス信号OUT1（先出の出力パルス信号OUT1Hがこれに相当）、自己診断オン信号BISTON、自己診断出力信号BISTOUT、並びに、内部BIST信号BISTINT（＝トータルの自己診断期間を設定するためにロジック回路411の内部で生成される論理信号）が描写されている。

[0240] 電源起動後、時刻t11において、電源電圧VCC1及びVCC2それぞれのUVOが解除され、レディー信号RDYがローレベルからハイレベル（＝レディー端子RDYがハイインピーダンスとされた状態）に立ち上がると、内部BIST信号BISTINTがハイレベルに立ち上がり、自己診断動作が開始される。

[0241] このとき、スイッチSW11及びSW13、並びに、スイッチSW21、SW23、SW25及びSW27がオフされて、スイッチSW12及びSW14、並びに、スイッチSW22、SW24、SW26及びSW28がオンされる。

[0242] すなわち、コンパレータ412a及び412b、コンパレータ422a及び422b、並びに、コンパレータ423及び424には、それぞれに入力される監視対象電圧として、正常入力範囲を外れた試験電圧（例えば電源電圧VCC1及びVCC2、または、接地電圧GND1及びGND2、若しく

は、内部電圧VREG)が印加される。

[0243] なお、内部BIST信号BISTINTは、イネーブル信号ENAなどには依存せず、レディー信号RDYの立上リエッジのみに依存するとよい。また、内部BIST信号BISTINTのハイレベル期間(=トータルの自己診断期間に相当)は、内蔵タイマで予め設定しておけばよい。本構成によれば、自己診断動作の完了フラグが不要となる。

[0244] また、自己診断動作中には、入力パルス信号INA及びINB、並びに、イネーブル信号ENAを無効とすればよい。すなわち、自己診断動作中には、出力パルス信号OUT1(先出のOUT1H及びOUT1L)をローレベルに固定し、パワートランジスタをオフ状態に維持するとよい。

[0245] また、上記と同様に、自己診断動作中には、自己診断オン信号BISTON(延いては自己診断出力信号BISTOUT)も無効にするとよい。例えば、自己診断オン信号BISTONをマスクするとよい。従って、自己診断動作中に自己診断オン信号BISTONがハイレベルに立ち上げられても、自己診断出力信号BISTOUTは、ローレベルに固定されたままとなる。

[0246] また、自己診断動作中には、レディー信号RDY及びフォールト信号FLTがいずれも固定されることなく、信号伝達装置400の内部状態に応じた論理レベルとなる。これにより、自己診断動作が実行されていることを装置外部から確認することが可能となる。

[0247] 時刻t12において、自己診断動作開始(時刻t11)から所定の期間T1(例えば最大150μs)が経過すると、スイッチSW11及びSW13、並びに、スイッチSW21、SW23、SW25及びSW27がオンされて、スイッチSW12及びSW14、並びに、スイッチSW22、SW24、SW26及びSW28がオフされる。

[0248] すなわち、コンパレータ412a及び412b、コンパレータ422a及び422b、並びに、コンパレータ423及び424には、それぞれに本来の監視対象電圧(分圧電圧DIV11及びDIV12、分圧電圧DIV21及びDIV22、過熱検出電圧TO_VH、並びに、短絡検出電圧SCPI

N) が印加される。

[0249] このとき、レディー信号 R D Y がハイレベルに立ち上がるが、自己診断動作が改めて開始されないように、内部 B I S T 信号 B I S T I N T のハイレベル期間には、レディー信号 R D Y の立上リエッジを無視するとよい。言い換えると、自己診断動作中に R D Y = L → H i Z となっても、内部 B I S T 信号 B I S T I N T のハイレベル期間をカウントする内蔵タイマがリセットされることはない。

[0250] その後、時刻 t 1 3 において、上記のスイッチ切替（時刻 t 1 2）から所定の期間 T 2（例えば最大 2 5 0 μ s）が経過すると、内部 B I S T 信号 B I S T I N T がローレベルに立ち下がり、上記一連の自己診断動作が終了される。これ以降、入力パルス信号 I N A 及び I N B、イネーブル信号 E N A、並びに、自己診断オン信号 B I S T O N がいずれも有効とされる。

[0251] 例えば、自己診断オン信号 B I S T O N が任意のタイミングでハイレベルに立ち上げられると、所定の期間 T 3 が経過した後、その時点における自己診断結果がラッチされ、自己診断出力信号 B I S T O U T として出力される。このとき、自己診断結果が N G であれば B I S T O U T = L（破線）となり、自己診断結果が O K であれば B I S T O U T = H i Z（実線）となる。なお、自己診断出力信号 B I S T O U T の信号ラッチは、レディー信号 R D Y の立下リエッジでリセットするとよい。

[0252] なお、コンパレータ 4 1 2 b または 4 2 2 b が故障しており、電源投入後もレディー信号 R D Y がハイレベルに立ち上がらない場合には、自己診断動作を開始することができない。ただし、電源投入後もレディー信号 R D Y がローレベルのままであるという時点で、信号伝達装置 4 0 0 に何らかの異常が生じているということは明らかなので、自己診断動作が開始できなくても特段の支障はない。

[0253] 図 1 4 は、自己診断動作の第 2 例（U V 2 検出→解除時）を示す図であり、先の図 1 3 と同様、上から順に、電源電圧 V C C 1 及び V C C 2、レディー信号 R D Y、フォールト信号 F L T、イネーブル信号 E N A、入力パルス

信号 I N A、出力パルス信号 O U T 1（先出の出力パルス信号 O U T 1 H がこれに相当）、自己診断オン信号 B I S T O N、自己診断出力信号 B I S T O U T、並びに、内部 B I S T 信号 B I S T I N T が描写されている。

[0254] 本図で示すように、先述の自己診断動作は、電源起動時（図 1 3）だけでなく、例えば、時刻 t_{20} における電源電圧 V C C 2 の U V L O 検出後、時刻 t_{21} で U V L O が解除されたときにも実行される。なお、時刻 t_{21} 以降の自己診断動作は、図 1 3 の時刻 t_{11} 以降と同様であるので、重複した説明は省略する。

[0255] <タイミング制約条件>

図 1 5 は、自己診断動作に関連する各種信号のタイミング制約条件を示す図であり、上から順に、レディー信号 R D Y、フォールト信号 F L T、一次側自己診断信号 B I S T 1、トランス T R の駆動パルス、二次側自己診断信号 B I S T 2、及び、内部 B I S T 信号 B I S T I N T が描写されている。

[0256] なお、本図では、内部 B I S T 信号 B I S T I N T の論理レベルが図 1 3 及び図 1 4 のそれとは反転されている。このように、内部 B I S T 信号 B I S T I N T をはじめとする各種信号の論理レベルは任意である。

[0257] また、レディー信号 R D Y 及びフォールト信号 F L T それぞれのハッチング領域は、自己診断動作に伴って論理レベルが変化することを示している。

[0258] まず、本図中に示されている期間 T a、T e、T f 及び T g について説明する。時刻 t_{31} でレディー信号 R D Y がハイレベルに立ち上がってから、時刻 t_{32} で二次側自己診断信号 B I S T 2 がローレベルに立ち下がるまでの期間 T a は、一次回路系 4 0 0 p から二次回路系 4 0 0 s への自己診断指令伝達期間に相当する。

[0259] また、時刻 $t_{31} \sim t_{34}$ に亘って一次側自己診断信号 B I S T 1 がローレベルに維持される期間 T d は、第 1 異常検出回路（例えば U V L O / O V L O 回路 4 1 2）の自己診断期間（ $t_{yp} 70 \mu s$ ）に相当する。

[0260] また、時刻 $t_{32} \sim t_{33}$ に亘って二次側自己診断信号 B I S T 2 がローレベルに維持される期間 T e は、第 2 異常検出回路（例えば U V L O / O V

LO回路422、過熱検出用のコンパレータ423、並びに、短絡検出用のコンパレータ424)の自己診断期間($t_{yp30\mu s}$)に相当する。

[0261] また、時刻 t_{33} で二次側自己診断信号BIST2がハイレベルに立ち上がってから、時刻 t_{35} でドライバチップ420を正常復帰させるまでの期間 T_f は、二次回路系400sの異常検出解除後における保護保持期間($t_{yp70\mu s}$)に相当する。

[0262] また、時刻 $t_{31} \sim t_{36}$ に亘って内部BIST信号BISTINTがローレベルに維持される期間 T_g は、トータルの自己診断期間($t_{yp200\mu s}$)に相当する。

[0263] ここで、第1のタイミング制約条件としては、 $T_a + T_e + T_f$ の最大値が T_g の最小値よりも短くなるように、それぞれの期間を設定することが望ましい。

[0264] また、本図では明示していないが、第2異常検出回路(例えばUVLO/OVLO回路422、過熱検出用のコンパレータ423、並びに、短絡検出用のコンパレータ424)の異常検出マスク期間(ノイズフィルタ期間)を T_b とし、二次回路系400sから一次回路系400pへの自己診断結果伝達期間を T_c とした場合、第2のタイミング制約条件としては、 $T_a + T_b + T_c$ の最大値が T_d の最小値よりも短くなるように、それぞれの期間を設定することが望ましい。

[0265] さらに、第3のタイミング制約条件としては、 T_b の最大値が T_e の最小値よりも短くなるように、それぞれの期間を設定することが望ましい。

[0266] <二次回路系へのBIST指令伝達手段>

図16は、一次回路系400pから二次回路系400sに自己診断指令(=二次回路系400sにおける自己診断動作の開始を指示する指令であり、以下ではBIST指令と呼ぶことがある)を伝達する手法の第1実施形態(パルス数判別)を示す図である。

[0267] まず、自己診断回路BにおけるBIST指令伝達手法の説明に先立ち、信号伝達装置400の主たる機能ブロックである絶縁信号伝達回路Cについて

、簡単に説明しておく。

[0268] 絶縁信号伝達回路Cは、トランスチップ430に集積化されたトランスTR11及びTR12を介して、一次回路系400pと二次回路系400sとの間を絶縁しつつ、一次回路系400pから二次回路系400sにパルス信号を伝達する。本図に即して述べると、絶縁信号伝達回路Cは、一次回路系400pの入力パルス信号IN（例えば先出の入力パルス信号INAがこれに相当）を、二次回路系400sの出力パルス信号OUT（例えば先出の出力パルス信号OUT1Hがこれに相当）として伝達する。

[0269] 例えば、絶縁信号伝達回路Cは、パルス送信部411xと、パルス受信部421xと、トランスTR11及びTR12と、バッファBUF1及びBUF2と、を含む。

[0270] パルス送信部411xは、入力パルス信号INの論理レベルに応じて、送信パルス信号S411及びS412のいずれか一方をパルス駆動する。例えば、パルス送信部411xは、入力パルス信号INがハイレベルである旨を通知するときに、トランスTR11の一次巻線に印加される送信パルス信号S411のパルス駆動（単発または複数発の送信パルス出力）を行い、入力パルス信号INがローレベルである旨を通知するときに、トランスTR12の一次巻線に印加される送信パルス信号S412のパルス駆動を行う。

[0271] 例えば、パルス送信部411xは、送信パルス信号S411及びS412それぞれのパルス駆動時において、10MHzで7発のパルスを生成するものとする。

[0272] なお、パルス送信部411xは、先出のロジック回路411に含まれる機能ブロックの一つであり、一次回路系400pのコントローラチップ410に集積化されている。

[0273] パルス受信部421xは、トランスTR11及びTR12からそれぞれバッファBUF1及びBUF2を介して入力される受信パルス信号S421及びS422に応じて、出力パルス信号OUTを生成する。例えば、パルス受信部421xは、送信パルス信号S411のパルス駆動を受けてトランスT

R 1 1 の二次巻線に現れる受信パルス信号 S 4 2 1 の誘起パルスを検出したときに、出力パルス信号 O U T をハイレベルに立ち上げる。一方、パルス受信部 4 2 1 x は、送信パルス信号 S 4 1 2 のパルス駆動を受けてトランス T R 1 2 の二次巻線に現れる受信パルス信号 S 4 2 2 の誘起パルスを検出したときに、出力パルス信号 O U T をローレベルに立ち下げる。すなわち、出力パルス信号 O U T の論理レベルは、入力パルス信号 I N の論理レベルに応じて切り替わる。

[0274] なお、パルス受信部 4 2 1 x は、先出のロジック回路 4 2 1 に含まれる機能ブロックの一つであり、二次回路系 4 0 0 s のドライバチップ 4 2 0 に集積化されている。

[0275] トランス T R 1 1 は、一次巻線に入力される送信パルス信号 S 4 1 1 に応じて、二次巻線から受信パルス信号 S 4 2 1 を出力する。一方、トランス T R 1 2 は、一次巻線に入力される送信パルス信号 S 4 1 2 に応じて、二次巻線から受信パルス信号 S 4 2 2 を出力する。

[0276] なお、上記のトランス T R 1 1 及び T R 1 2 は、いずれもトランスチップ 4 3 0 に集積化されている。トランスチップ 4 3 0 は、トランス T R 1 1 及び T R 1 2 を用いてコントローラチップ 4 1 0 とドライバチップ 4 2 0 との間を絶縁しつつ、パルス送信部 4 1 1 x から入力される送信パルス信号 S 4 1 1 及び S 4 1 2 をそれぞれ受信パルス信号 S 4 2 1 及び S 4 2 2 としてパルス受信部 4 2 1 x に出力する。

[0277] このように、絶縁間通信に用いられるスパイラルコイルの特性上、入力パルス信号 I N は、2本の送信パルス信号 S 4 1 1 及び S 4 1 2 (=ライズ信号及びフォール信号に相当)に分離された後、2系統のトランス T R 1 1 及び T R 1 2 を介して一次回路系 4 0 0 p から二次回路系 4 0 0 s に伝達される。

[0278] ここで、自己診断回路 B では、一次回路系 4 0 0 p から二次回路系 4 0 0 s に B I S T 指令を伝達する手段として絶縁信号伝達回路 C の一部を共用する構成、より具体的に述べると、図 1 2 のトランス T R 3 として絶縁信号伝

達回路CのトランスTR12（＝パワートランジスタのゲートオフ信号伝達用トランス）を共用する構成とすることが望ましい。

[0279] 本図に即して述べると、本構成例の自己診断回路Bにおいて、パルス送信部411cは、エッジ検出部411bでゲート信号S411aの立下リエッジが検出されたときに、トランスTR12（＝トランスTR3に相当）の一次巻線に印加される送信パルス信号S412をパルス駆動することにより、二次回路系400sにBIST指令を伝達する。一方、パルス受信部421bは、トランスTR12（＝トランスTR3に相当）経由で伝達された受信パルス信号S422を受信して、二次側自己診断信号BIST2を生成する。

[0280] このような構成を採用すれば、専用の信号伝達経路（別途のトランス）を用意する必要がないので、トランスチップ430（延いては信号伝達装置400全体）の小型化を図ることが可能となる。

[0281] ただし、上記のように絶縁信号伝達回路CのトランスTR12を共用する場合には、トランスTR12を介して伝達される受信パルス信号S422がパワートランジスタのゲートオフ信号であるのか、それともBIST指令であるのかを判別する必要がある。

[0282] そこで、自己診断回路B（特にパルス送信部411c）は、本来パワートランジスタのゲートオフ信号として機能する送信パルス信号S412を通常時と異なるパルス数で駆動し、パルス数の違いから信号判別を実現することにより、一次回路系400pから二次回路系400sにBIST指令を伝達する。

[0283] 例えば、絶縁信号伝達回路Cのパルス送信部411xは、パワートランジスタをオフするとき、送信パルス信号S412に10MHzで7発のパルス生成する。一方、自己診断回路Bのパルス送信部411cは、BIST指令を伝達するとき、送信パルス信号S412に10MHzで15発のパルス生成する。

[0284] 従って、例えば、自己診断回路Bのパルス受信部421bは、カウンタb

10を用いて受信パルス信号S422のパルス数をカウントし、受信パルス信号S422のパルス数が8発以上（例えば11発）であるときに、受信パルス信号S422がBIST指令であると判別して二次側自己診断信号BIST2を生成することができる。また、11発のパルスでBIST指令が判別される場合であっても、15発のパルスを生成することにより、パルス抜け対策として冗長性を持たせることができる。

[0285] なお、パルス受信部421bでは、BIST指令の検出後、所定期間（図15の期間 T_e に相当、 $\max 35\mu s$ 、 $\min 20\mu s$ ）に亘ってドライバチップ420をBISTモードとし、上記所定期間の経過後にBISTモードを解除させるとよい。このような構成とすることによりコントローラチップ410からBISTモード解除信号を受けずに済む。

[0286] また、BIST指令の伝達時には、パワートランジスタのゲートオフ時と同じく、送信パルス信号S412がパルス駆動される。従って、絶縁信号伝達回路Cのパルス受信部421xにより出力パルス信号OUTがローレベルに立ち下げられて、パワートランジスタがオフ状態となる。そのため、信号伝達装置400の自己診断中にモータ4が誤動作しない。

[0287] なお、本図では明示していないが、パルス受信部421x及び421bには、コモンモードノイズによる誤動作を抑制するための手段として、ノイズマスク回路を組み込んでおくといよい。さらに、パルス受信部421bには、カウンタb10の論理化けを抑制するための手段として、ロジック電源の変動を抑えるためのRCフィルタを組み込んでおくといよい。

[0288] ところで、信号伝達装置400の通常動作では、入力パルス信号INのハイレベルとローレベルが繰り返される場合がある。このような場合、受信パルス信号S422には、入力パルス信号INの立下りエッジ毎に7発ずつパルスが現れる。そのため、このような連続パルスを合算してカウントしてしまうと、BIST指令の誤判別を生じるおそれがある。そこで、受信パルス信号S422のカウンタb10は、送信パルス信号S411（延いては受信パルス信号S421）のパルス生成毎にリセットすることが望ましい。

[0289] ただし、絶縁信号伝達回路Cのパルス送信部411xは、入力パルス信号INと出力パルス信号OUTの不一致を検出して送信パルス信号S411またはS412のパルス駆動を繰り返す機能を備えている場合がある。このような場合、例えば、入力パルス信号INがローレベルであるのに出力パルス信号OUTがハイレベルのままであると、送信パルス信号S412が11発以上連続してパルス駆動され得る（7発×n回繰り返し）。そのため、パルス数の違いから信号判別を行う第1例のBIST指令伝達手法では、上記したカウンタb10のリセット制御をもってしても、BIST指令の誤判別を生じるおそれがある。

[0290] 以下では、このような不具合を解消することのできる別のBIST指令伝達手法（第2実施形態）を提案する。

[0291] 図17は、一次回路系400pから二次回路系400sにBIST指令を伝達する手法の第2実施形態（パルス周期判別）を示す図である。本実施形態の信号伝達装置400において、自己診断回路B（特にパルス送信部411c）は、本来パワートランジスタのゲートオフ信号として機能する送信パルス信号S412を通常時と異なるパルス周期（延いてはパルス周波数）で駆動し、パルス周期の違いから信号判別を実現することにより、一次回路系400pから二次回路系400sにBIST指令を伝達する。

[0292] 例えば、絶縁信号伝達回路Cのパルス送信部411xは、先にも述べたように、パワートランジスタをオフするとき、送信パルス信号S412に10MHz（周期 $T=0.1\mu s$ ）で7発のパルスを生成する。一方、自己診断回路Bのパルス送信部411cは、BIST指令を伝達するとき、送信パルス信号S412に1MHz（周期 $T=1\mu s$ ）で7発のパルスを生成する。

[0293] また、自己診断回路Bのパルス受信部421bは、例えば、周期上限判定部b11と、周期下限判定部b12と、インバータb13と、ANDゲートb14と、カウンタb15と、ラッチb16と、を含む。

[0294] 周期上限判定部b11は、受信パルス信号S422のパルス周期Tが上限周期TH（例えば $TH=1.5\mu s$ ）よりも短いことを確認するための内部

信号 S b 1 を出力する。なお、内部信号 S b 1 は、例えば、受信パルス信号 S 4 2 2 のパルス生成タイミングでハイレベルとなった後、次のパルスが生成されないまま上限周期 T_H が経過したときにローレベルとなる。すなわち、内部信号 S b 1 は、 $T < T_H$ であるときにハイレベルに維持され、 $T > T_H$ であるときにローレベルに立ち下がる。

[0295] 周期下限判定部 b 1 2 は、受信パルス信号 S 4 2 2 のパルス周期 T が下限周期 T_L （例えば $T_H = 0.5 \mu s$ ）よりも長いことを確認するための内部信号 S b 2 を出力する。なお、内部信号 S b 2 は、例えば、受信パルス信号 S 4 2 2 のパルス生成タイミングでローレベルとなった後、次のパルスが生成されないまま下限周期 T_L が経過したときにハイレベルとなる。すなわち、内部信号 S b 2 は、 $T < T_L$ であるときにローレベルに維持され、 $T > T_L$ であるときにハイレベルに立ち上がる。言い換えると、 $T > T_L$ であるときには、内部信号 S b 2 がパルス周期 T でパルス駆動される。

[0296] インバータ b 1 3 は、受信パルス信号 S 4 2 1（＝ゲートオン信号に相当）の論理レベルを反転させて内部信号 S b 3 を生成する。従って、内部信号 S b 3 は、受信パルス信号 S 4 2 1 がハイレベルであるときにローレベルとなり、受信パルス信号 S 4 2 1 がローレベルであるときにハイレベルとなる。

[0297] ANDゲート b 1 4 は、内部信号 S b 1 及び S b 3 の論理積演算を行うことにより内部信号 S b 4 を生成する。従って、内部信号 S b 4 は、内部信号 S b 1 及び S b 3 の少なくとも一方がローレベルであるときにローレベルとなり、内部信号 S b 1 及び S b 3 の双方がハイレベルであるときにハイレベルとなる。すなわち、内部信号 S b 4 は、受信パルス信号 S 4 2 2 のパルス周期 T が上限周期 T_H よりも長いとき、または、受信パルス信号 S 4 2 1 にパルスが生成されたときにローレベルとなる。

[0298] カウンタ b 1 5 は、内部信号 S b 2 のパルス数をカウントすることにより内部信号 S b 4 を生成する。例えば、カウンタ b 1 5 は、内部信号 S b 2 のパルス数が所定の閾値（例えば 3 発）に達したときに、内部信号 S b 5 をハ

イレベルに立ち上げる。なお、カウンタ $b15$ のカウント値（＝内部信号 $Sb2$ のパルス数）は、内部信号 $Sb4$ がローレベルに立ち下げられたときにゼロ値にリセットされる。

[0299] ラッチ $b16$ は、内部信号 $Sb5$ の入力を受け付けて二次側自己診断信号 $BIST2$ を生成する。より具体的に述べると、ラッチ $b16$ は、内部信号 $Sb5$ の立上りタイミングから所定期間（図15の期間 T_e に相当、 $max\ 35\ \mu s$ 、 $min\ 20\ \mu s$ ）に亘って二次側自己診断信号 $BIST2$ を $BIST$ モード時の論理レベルに保持し、上記所定期間の経過後に二次側自己診断信号 $BIST2$ を $BIST$ モード解除時の論理レベルに復帰させるとよい。このような構成とすることにより、コントローラチップ410から $BIST$ モード解除信号を受けずに済む。

[0300] 本構成例のパルス受信部421bによれば、パルス周期 T が所定範囲（ $T_L < T < T_H$ ）に収まる受信パルス信号 $S422$ を複数発（例えば3発以上）受信したときに、受信パルス信号 $S422$ が $BIST$ 指令であると判別して、二次側自己診断信号 $BIST2$ を生成することができる。なお、3発のパルスで $BIST$ 指令が判別される場合であっても、7発のパルスを生成することにより、パルス抜け対策として冗長性を持たせることができる。

[0301] また、 $BIST$ 指令の伝達時には、パワートランジスタのゲートオフ時と同じく、送信パルス信号 $S412$ がパルス駆動される。従って、絶縁信号伝達回路Cのパルス受信部421xにより出力パルス信号 OUT がローレベルに立ち下げられて、パワートランジスタがオフ状態となる。そのため、信号伝達装置400の自己診断中にモータ4が誤動作しない。

[0302] なお、本図では明示していないが、パルス受信部421x及び421bには、コモンモードノイズによる誤動作を抑制するための手段として、ノイズマスク回路を組み込んでおくといよい。さらに、パルス受信部421bには、カウンタ $b15$ の論理化けを抑制するための手段として、ロジック電源の変動を抑えるためのRCフィルタを組み込んでおくといよい。これらの点については、先述の第1例（パルス数判別）と同様である。

[0303] また、先にも述べたように、信号伝達装置400の通常動作では、入力パルス信号INのハイレベルとローレベルが繰り返される場合がある。ここで、入力パルス信号INのパルス周期と、自己診断回路Bのパルス送信部411cで生成される送信パルス信号S412のパルス周期（例えば $1\mu s$ ）が互いに近い場合には、入力パルス信号INの立下りエッジ毎に生じる受信パルス信号S422のパルス周期Tがあたかも先の所定範囲（ $T_L < T < T_H$ ）に収まっているように見えてしまい、BIST指令の誤判別を生じるおそれがある。そこで、パルス受信部421bのカウンタb15は、本構成例のように、送信パルス信号S411（延いては受信パルス信号S421）のパルス生成毎にリセットすることが望ましい。

[0304] また、パルス周期の違いから信号判別を行う第2例のBIST指令伝達手法であれば、仮に、絶縁信号伝達回路Cのパルス送信部411xが入力パルス信号INと出力パルス信号OUTの不一致を検出して送信パルス信号S411またはS412のパルス駆動を繰り返す機能を備えていたとしても、BIST指令の誤判別を生じる心配がなくなる。

[0305] 図18は、第2実施形態におけるBIST指令伝達動作の第1例（ $T_L < T < T_H$ ）を示す図であり、上から順に、受信パルス信号S422、内部信号Sb1、Sb2及びSb5、並びに、二次側自己診断信号BIST2が描写されている。

[0306] なお、本図では、二次側自己診断信号BIST2の論理レベルが図15のそれとは反転されている。このように、二次側自己診断信号BIST2をはじめとする各種信号の論理レベルは任意である。

[0307] 受信パルス信号S422のパルス周期Tが所定範囲（ $T_L < T < T_H$ ）に収まっている場合には、内部信号Sb1がハイレベルに維持された状態で、内部信号Sb2に連続パルスが生成される。このとき、カウンタb15は、リセットされることなく内部信号Sb2のパルス数をカウントし続けて、そのカウント値が所定の閾値（本図では3発）に達した時点で内部信号Sb5をハイレベルに立ち上げる。その結果、二次側自己診断信号BIST2がハ

イレベルとなり、期間 T_e に亘ってドライバチップ420の自己診断動作が実施される。なお、受信パルス信号S422のパルス生成停止後、上限周期 T_H が経過した時点で、内部信号Sb1がローレベルに立ち下がり、カウンタb15がリセットされるので、内部信号Sb5もローレベルに立ち下がる。

[0308] 図19は、第2実施形態におけるBIST指令伝達動作の第2例($T < T_L$)を示す図であり、先出の図18と同じく、上から順に、受信パルス信号S422、内部信号Sb1、Sb2及びSb5、並びに、二次側自己診断信号BIST2が描写されている。

[0309] 本図の第2例は、受信パルス信号S422のパルス周期 T が短い場合（例えば通常時のゲートオフ信号が伝達されている場合）に相当する。この場合、内部信号Sb2がハイレベルに立ち上がらない（パルス生成が行われない）ので、カウンタb15のカウント値が所定の閾値に達しない。その結果、二次側自己診断信号BISTがローレベルに維持されるので、ドライバチップ420がBISTモードに切り替わることはない。なお、受信パルス信号S422のパルス生成停止後、下限周期 T_L が経過した時点で内部信号Sb2がハイレベルに立ち上がり、カウント値が一つインクリメントされるが、その後遅滞なく内部信号Sb1がローレベルに立ち下がり、カウンタb15がリセットされるので、内部信号Sb5がハイレベルに立ち上がることはない。

[0310] 図20は、第2実施形態におけるBIST指令伝達動作の第3例($T > T_H$)を示す図であり、先出の図18及び図19と同じく、上から順に、受信パルス信号S22、内部信号Sb1、Sb2及びSb5、並びに、二次側自己診断信号BIST2が描写されている。

[0311] 本図の第3例は、受信パルス信号S422のパルス周期 T が長い場合（例えば0.1MHzのノイズが周期的に重畳した場合）に相当する。この場合、受信パルス信号S422のパルス生成毎に内部信号Sb2がハイレベルに立ち上がり、カウント値が一つインクリメントされるが、次のパルス生成タ

イミングが到来するまでに上限周期THが経過し、内部信号Sb1がローレベルに立ち下がるので、内部信号Sb5がハイレベルに立ち上がらない。その結果、二次側自己診断信号BISTがローレベルに維持されるので、ドライバチップ420がBISTモードに切り替わることはない。

[0312] <車両への適用>

図21は、電子機器が搭載される車両の外観を示す図である。本構成例の車両X10は、不図示のバッテリーから電力供給を受けて動作する電子機器X11～X18を搭載している。

[0313] 車両X10には、エンジン車のほか、電動車（BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV／PHV (plug-in hybrid electric vehicle／plug-in hybrid vehicle)、又は、FCEV／FCV (fuel cell electric vehicle／fuel cell vehicle)などのxEV)も含まれる。

[0314] なお、本図における電子機器X11～X18の搭載位置は、図示の便宜上、実際とは異なる場合がある。

[0315] 電子機器X11は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など）、または、モータに関する制御（トルク制御、及び、電力回生制御など）を行う電子制御ユニットである。

[0316] 電子機器X12は、HID [high intensity discharged lamp] 又はDRL [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

[0317] 電子機器X13は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

[0318] 電子機器X14は、車両X10の運動に関連する制御（ABS [anti-lock brake system] 制御、EPS [electric power steering] 制御、電子サスペンション制御など）を行う制動ユニットである。

[0319] 電子機器X15は、ドアロック又は防犯アラームなどの駆動制御を行うセ

キュリティコントロールユニットである。

[0320] 電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品またはメーカーオプション品として、工場出荷段階で車両X10に組み込まれている電子機器である。

[0321] 電子機器X17は、車載A/V [audio/visual] 機器、カーナビゲーションシステム、及び、ETC [electronic toll collection system] など、ユーザオプション品として任意で車両X10に装着される電子機器である。

[0322] 電子機器X18は、車載ブロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

[0323] なお、電子機器X11～X18は、先に説明した電子機器Aの具体例として理解することができる。すなわち、先述の信号伝達装置400は、電子機器X11～X18のいずれにも組み込むことが可能である。

[0324] <総括>

以下では、これまでに説明してきた種々の実施形態について総括的に述べる。

[0325] 例えば、本明細書中に開示されている信号伝達装置は、一次回路系と二次回路系との間を絶縁しつつ前記一次回路系から前記二次回路系にパワートランジスタの駆動信号を伝達するものであって、前記一次回路系の異常を検出するように構成された第1異常検出回路と、前記二次回路系の異常を検出するように構成された第2異常検出回路と、前記一次回路系と前記二次回路系との間を絶縁しつつ前記二次回路系から前記一次回路系に前記第2異常検出回路の検出結果を伝達するように構成された第1信号伝達経路と、前記第1異常検出回路、前記第2異常検出回路及び前記第1信号伝達経路それぞれを自己診断するように構成された自己診断回路と、を有する構成（第1の構成）とされている。

[0326] なお、上記第1の構成から成る信号伝達装置において、前記自己診断回路

は、前記一次回路系と前記二次回路系との間を絶縁しつつ前記二次回路系から前記一次回路系に前記第2異常検出回路の自己診断結果を伝達するように構成された第2信号伝達経路を含む、構成（第2の構成）にしてもよい。

[0327] また、上記第1または第2の構成から成る信号伝達装置は、前記一次回路系から前記二次回路系への自己診断指令伝達期間を T_a とし、前記第2異常検出回路の自己診断期間を T_e とし、前記二次回路系の異常検出解除後における保護保持期間を T_f とし、トータルの自己診断期間を T_g とすると、 $T_a + T_e + T_f$ の最大値が T_g の最小値よりも短い構成（第3の構成）にしてもよい。

[0328] また、上記第1～第3いずれかの構成から成る信号伝達装置は、前記一次回路系から前記二次回路系への自己診断指令伝達期間を T_a とし、前記第2異常検出回路の異常検出マスク期間を T_b とし、前記二次回路系から前記一次回路系への自己診断結果伝達期間を T_c とし、前記第1異常検出回路の自己診断期間を T_d とすると、 $T_a + T_b + T_c$ の最大値が T_d の最小値よりも短い構成（第4の構成）にしてもよい。

[0329] 或いは、上記第1～第4いずれかの構成から成る信号伝達装置は、前記第2異常検出回路の異常検出マスク期間を T_b とし、前記第2異常検出回路の自己診断期間を T_e とすると、 T_b の最大値が T_e の最小値よりも短い構成（第5の構成）にしてもよい。

[0330] また、上記第1～第5いずれかの構成から成る信号伝達装置において、前記自己診断回路は、前記パワートランジスタのオフ信号を通常時と異なるパルス数で駆動することにより前記一次回路系から前記二次回路系に自己診断指令を伝達する構成（第6の構成）にしてもよい。

[0331] また、上記第1～第5いずれかの構成から成る信号伝達装置において、前記自己診断回路は、前記パワートランジスタのオフ信号を通常時と異なるパルス周期で駆動することにより前記一次回路系から前記二次回路系に自己診断指令を伝達する構成（第7の構成）にしてもよい。

[0332] また、上記第1～第7いずれかの構成から成る信号伝達装置は、前記一次

回路系の回路素子を集積化した第1チップと、前記二次回路系の回路素子を集積化した第2チップと、前記一次回路系と前記二次回路系の間を絶縁する絶縁素子を集積化した第3チップと、を単一のパッケージに封止した構成（第8の構成）としてもよい。

[0333] また、例えば、本明細書中に開示されている電子機器は、パワートランジスタと、前記パワートランジスタのゲートを駆動するゲートドライバICと、を有し、前記ゲートドライバICは、上記第1～第8いずれかの構成から成る信号伝達装置である構成（第9の構成）とされている。

[0334] また、例えば、本明細書中に開示されている車両は、上記第9の構成から成る電子機器を有する構成（第10の構成）とされている。

[0335] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0336]	1 H (u / v / w)	上側ゲートドライバIC
	1 L (u / v / w)	下側ゲートドライバIC
	2 H (u / v / w)	上側パワートランジスタ
	2 L (u / v / w)	下側パワートランジスタ
	3 ECU	
	4 モータ	
	5 半導体装置	
	11、11A～11F	低電位端子
	12、12A～12F	高電位端子
	21、21A～21D	変圧器（トランス）

- 2 2 低電位コイル（一次側コイル）
- 2 3 高電位コイル（二次側コイル）
- 2 4 第 1 内側末端
- 2 5 第 1 外側末端
- 2 6 第 1 螺旋部
- 2 7 第 2 内側末端
- 2 8 第 2 外側末端
- 2 9 第 2 螺旋部
- 3 1 第 1 低電位配線
- 3 2 第 2 低電位配線
- 3 3 第 1 高電位配線
- 3 4 第 2 高電位配線
- 4 1 半導体チップ
- 4 2 第 1 主面
- 4 3 第 2 主面
- 4 4 A～4 4 D チップ側壁
- 4 5 第 1 機能デバイス
- 5 1 絶縁層
- 5 2 絶縁主面
- 5 3 A～5 3 D 絶縁側壁
- 5 5 最下絶縁層
- 5 6 最上絶縁層
- 5 7 層間絶縁層
- 5 8 第 1 絶縁層
- 5 9 第 2 絶縁層
- 6 0 第 2 機能デバイス
- 6 1 シール導体
- 6 2 デバイス領域

- 6 3 外側領域
- 6 4 シールプラグ導体
- 6 5 シールビア導体
- 6 6 第1内側領域
- 6 7 第2内側領域
- 7 1 貫通配線
- 7 2 低電位接続配線
- 7 3 引き出し配線
- 7 4 第1接続プラグ電極
- 7 5 第2接続プラグ電極
- 7 6 パッドプラグ電極
- 7 7 基板プラグ電極
- 7 8 第1電極層
- 7 9 第2電極層
- 8 0 配線プラグ電極
- 8 1 高電位接続配線
- 8 2 パッドプラグ電極
- 8 5 ダミーパターン
- 8 6 高電位ダミーパターン
- 8 7 第1高電位ダミーパターン
- 8 8 第2高電位ダミーパターン
- 8 9 第1領域
- 9 0 第2領域
- 9 1 第3領域
- 9 2 第1接続部
- 9 3 第1パターン
- 9 4 第2パターン
- 9 5 第3パターン

9 6	第 1 外周ライン
9 7	第 2 外周ライン
9 8	第 1 中間ライン
9 9	第 1 接続ライン
1 0 0	スリット
1 3 0	分離構造
1 4 0	無機絶縁層
1 4 1	第 1 無機絶縁層
1 4 2	第 2 無機絶縁層
1 4 3	低電位パッド開口
1 4 4	高電位パッド開口
1 4 5	有機絶縁層
1 4 6	第 1 部分
1 4 7	第 2 部分
1 4 8	低電位端子開口
1 4 9	高電位端子開口
2 0 0	信号伝達装置
2 0 0 p	一次回路系
2 0 0 s	二次回路系
2 1 0	コントローラチップ（第 1 チップ）
2 1 1	パルス送信回路（パルスジェネレータ）
2 1 2、2 1 3	バッファ
2 2 0	ドライバチップ（第 2 チップ）
2 2 1、2 2 2	バッファ
2 2 3	パルス受信回路（R S フリップフロップ）
2 2 4	ドライバ
2 3 0	トランスチップ（第 3 チップ）
2 3 0 a	第 1 配線層（下層）

230b 第2配線層（上層）
231、232 トランス
231p、232p 一次側コイル
231s、232s 二次側コイル
300 トランスチップ
301 第1トランス
302 第2トランス
303 第3トランス
304 第4トランス
305 第1ガードリング
306 第2ガードリング
400 信号伝達装置（絶縁ゲートドライバIC）
400p 一次回路系
400s 二次回路系
410 コントローラチップ
411 ロジック回路
411a ロジック部
411b エッジ検出部
411c パルス送信部
411d ロジック部
411e、411f ラッチ
411g NANDゲート
411h ラッチ
411i エッジ検出部
411j フリップフロップ
411x パルス送信部
412 UVLO/OVLO回路
412a、412b コンパレータ

4 1 3、4 1 4、4 1 5 N M O S F E T

4 2 0 ドライバチップ

4 2 1 ロジック回路

4 2 1 a ロジック部

4 2 1 b パルス受信部

4 2 1 c ロジック部

4 2 1 d A N D ゲート

4 2 1 e オシレータ

4 2 1 x パルス受信部

4 2 2 U V L O / O V L O 回路

4 2 2 a、4 2 2 b コンパレータ

4 2 3、4 2 4 コンパレータ

4 2 5 P M O S F E T

4 2 6 N M O S F E T

4 2 7 N M O S F E T (放電スイッチ)

4 3 0 トランスチップ

a 1 ~ a 8 パッド (第 1 の電流供給用パッドに相当)

b 1 ~ b 8 パッド (第 1 の電圧測定用パッドに相当)

b 1 0 カウンタ

b 1 1 周期上限判定部

b 1 2 周期下限判定部

b 1 3 インバータ

b 1 4 A N D ゲート

b 1 5 カウンタ

b 1 6 ラッチ

c 1 ~ c 4 パッド (第 2 の電流供給用パッドに相当)

d 1 ~ d 4 パッド (第 2 の電圧測定用パッドに相当)

e 1、e 2 パッド

A 電子機器

B 自己診断回路

BUF 1、BUF 2 シュミットバッファ

C 絶縁信号伝達回路

L 1 p、L 2 p 一次側コイル

L 1 s、L 2 s、L 3 s、L 4 s 二次側コイル

SW 1 1～SW 1 4、SW 2 1～SW 2 8 スイッチ

T 2 1、T 2 2、T 2 3、T 2 4、T 2 5、T 2 6 外部端子

TR 1～TR 5、TR 1 1、TR 1 2 トランス

X 第 1 方向

X 2 1、X 2 2、X 2 3 内部端子

Y 第 2 方向

Y 2 1、Y 2 2、Y 2 3 配線

Z 法線方向

Z 2 1、Z 2 2、Z 2 3 ビア

X 1 0 車両

X 1 1～X 1 8 電子機器

請求の範囲

- [請求項1] 一次回路系と二次回路系との間を絶縁しつつ前記一次回路系から前記二次回路系にパワートランジスタの駆動信号を伝達する信号伝達装置であって、
- 前記一次回路系の異常を検出するように構成された第1異常検出回路と、
- 前記二次回路系の異常を検出するように構成された第2異常検出回路と、
- 前記一次回路系と前記二次回路系との間を絶縁しつつ前記二次回路系から前記一次回路系に前記第2異常検出回路の検出結果を伝達するように構成された第1信号伝達経路と、
- 前記第1異常検出回路、前記第2異常検出回路及び前記第1信号伝達経路それぞれを自己診断するように構成された自己診断回路と、
- を有する、信号伝達装置。
- [請求項2] 前記自己診断回路は、前記一次回路系と前記二次回路系との間を絶縁しつつ前記二次回路系から前記一次回路系に前記第2異常検出回路の自己診断結果を伝達するように構成された第2信号伝達経路を含む、請求項1に記載の信号伝達装置。
- [請求項3] 前記一次回路系から前記二次回路系への自己診断指令伝達期間を T_a とし、前記第2異常検出回路の自己診断期間を T_e とし、前記二次回路系の異常検出解除後における保護保持期間を T_f とし、トータルの自己診断期間を T_g とすると、 $T_a + T_e + T_f$ の最大値が T_g の最小値よりも短い、請求項1または2に記載の信号伝達装置。
- [請求項4] 前記一次回路系から前記二次回路系への自己診断指令伝達期間を T_a とし、前記第2異常検出回路の異常検出マスク期間を T_b とし、前記二次回路系から前記一次回路系への自己診断結果伝達期間を T_c とし、前記第1異常検出回路の自己診断期間を T_d とすると、 $T_a + T_b + T_c$ の最大値が T_d の最小値よりも短い、請求項1～3のいずれ

か一項に記載の信号伝達装置。

[請求項5] 前記第2異常検出回路の異常検出マスク期間を T_b とし、前記第2異常検出回路の自己診断期間を T_e とすると、 T_b の最大値が T_e の最小値よりも短い、請求項1～4のいずれか一項に記載の信号伝達装置。

[請求項6] 前記自己診断回路は、前記パワートランジスタのオフ信号を通常時と異なるパルス数で駆動することにより前記一次回路系から前記二次回路系に自己診断指令を伝達する、請求項1～5のいずれか一項に記載の信号伝達装置。

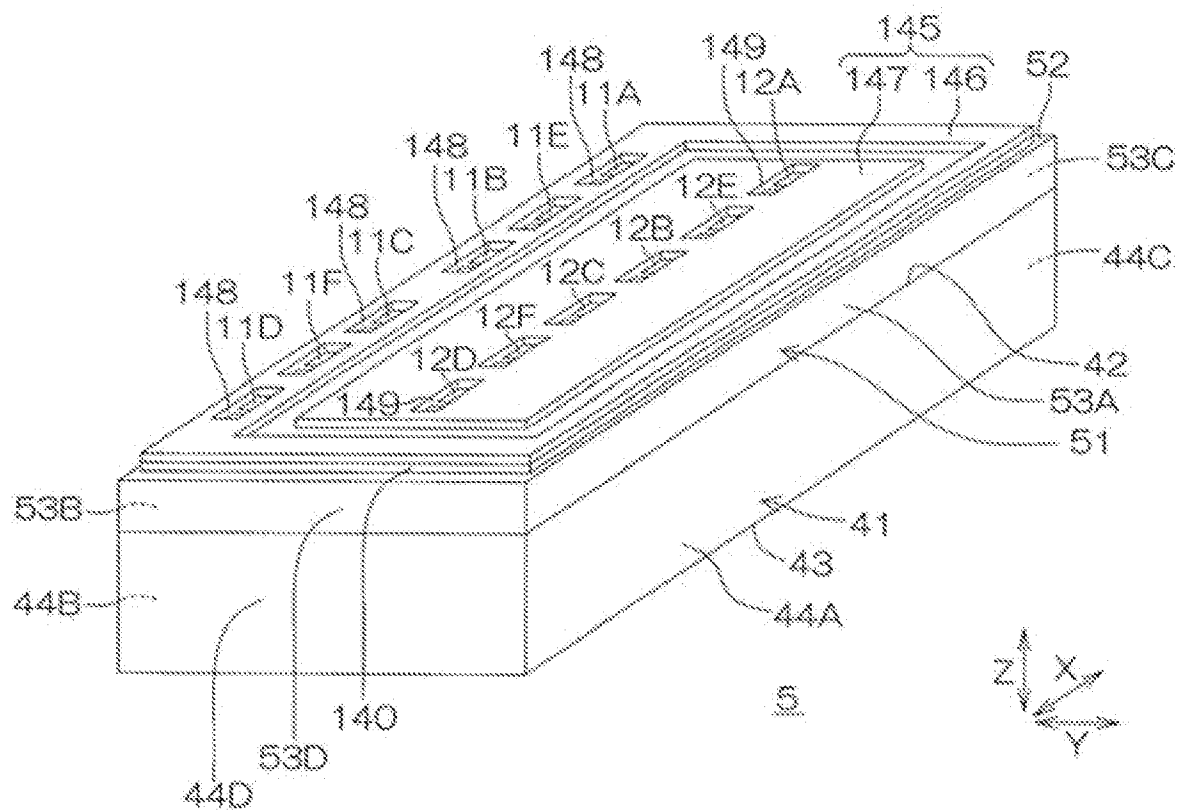
[請求項7] 前記自己診断回路は、前記パワートランジスタのオフ信号を通常時と異なるパルス周期で駆動することにより前記一次回路系から前記二次回路系に自己診断指令を伝達する、請求項1～5のいずれか一項に記載の信号伝達装置。

[請求項8] 前記一次回路系の回路素子を集積化した第1チップと、
前記二次回路系の回路素子を集積化した第2チップと、
前記一次回路系と前記二次回路系の間を絶縁する絶縁素子を集積化した第3チップと、
を単一のパッケージに封止した、請求項1～7のいずれか一項に記載の信号伝達装置。

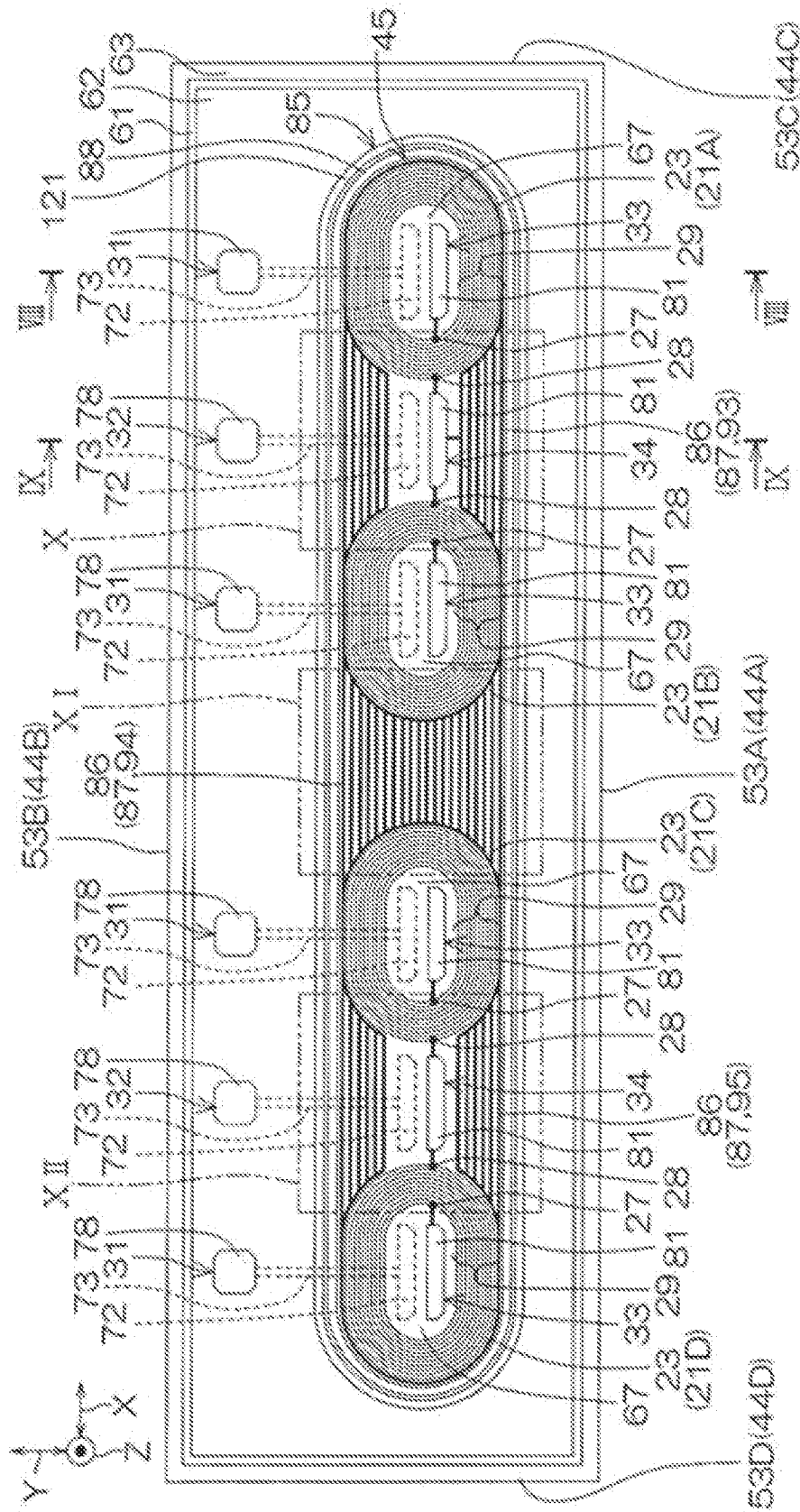
[請求項9] パワートランジスタと、前記パワートランジスタのゲートを駆動するゲートドライバICと、を有し、前記ゲートドライバICは、請求項1～8のいずれか一項に記載の信号伝達装置である、電子機器。

[請求項10] 請求項9に記載の電子機器を有する、車両。

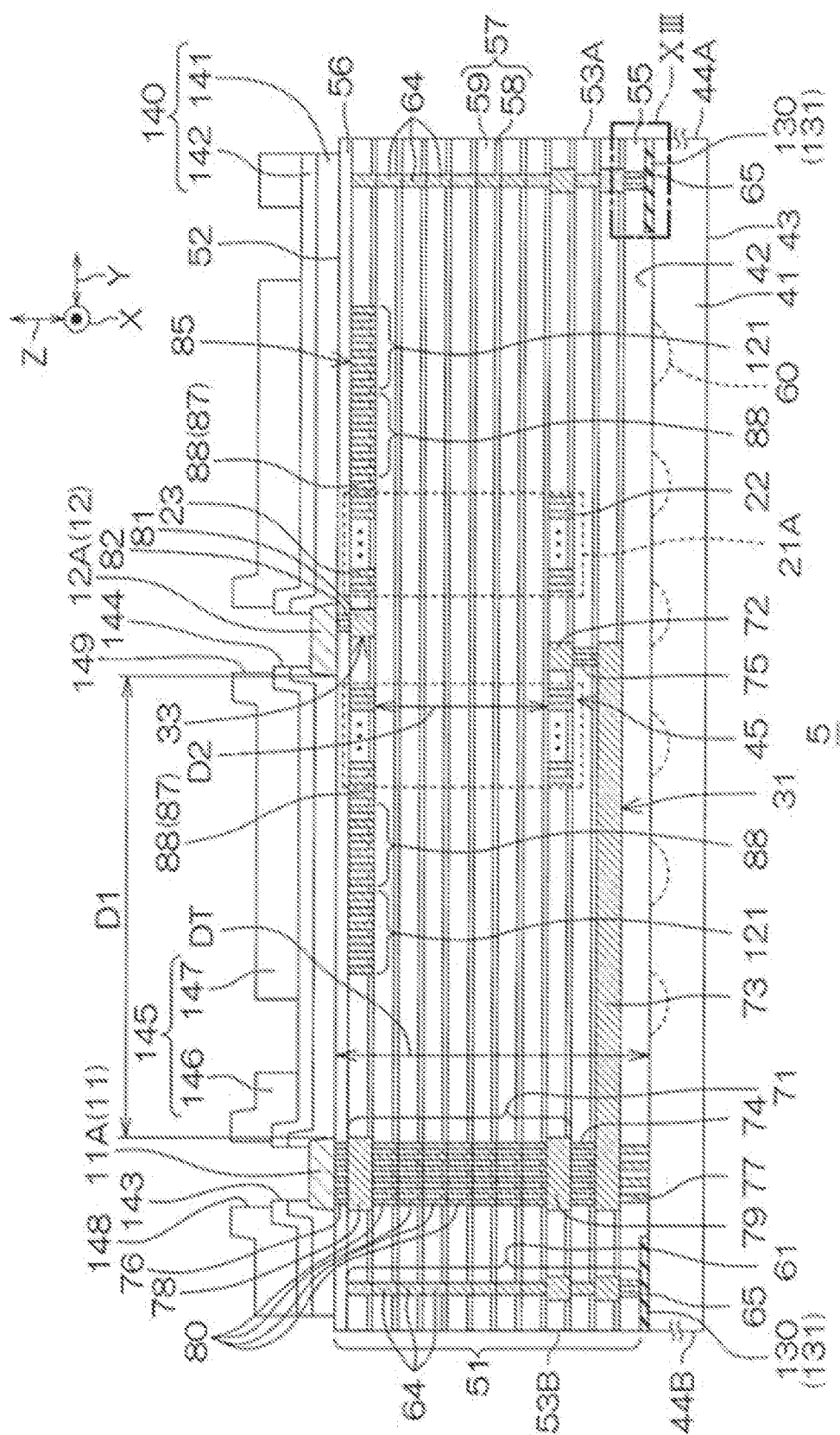
[図3]

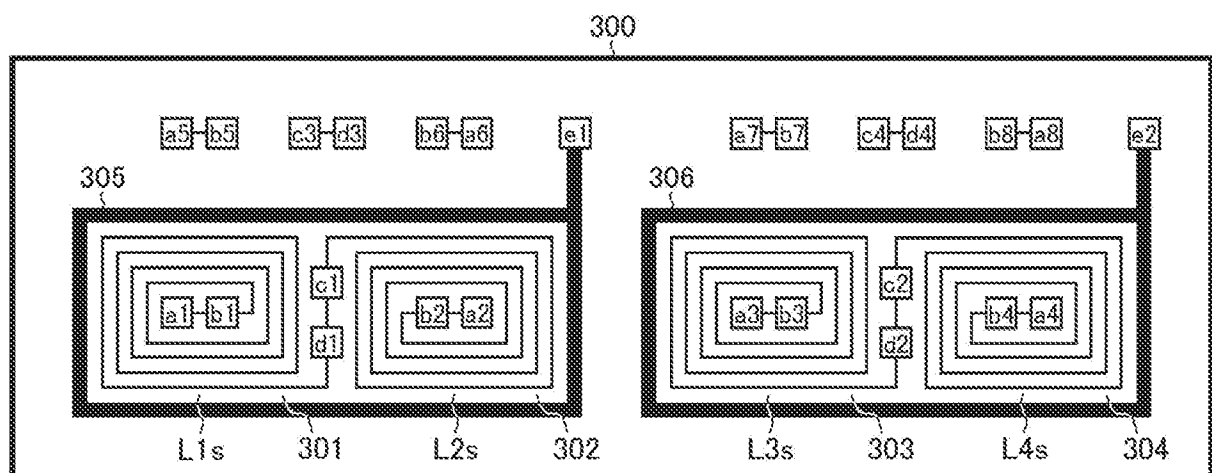
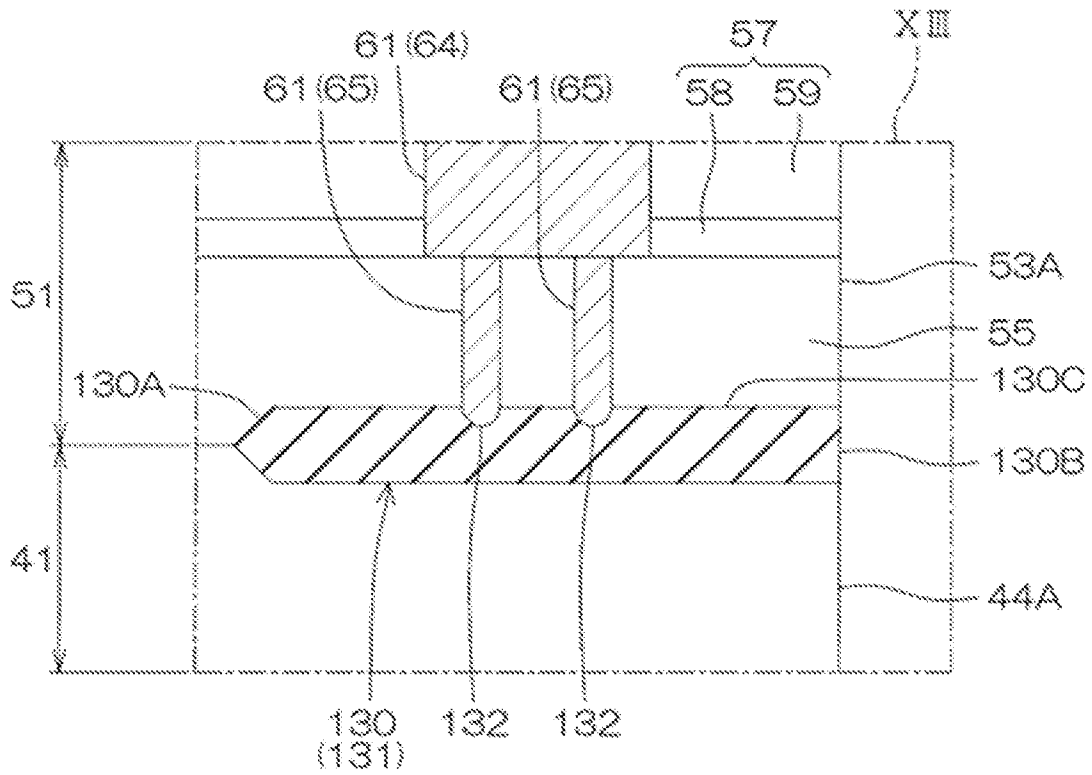


[図6]

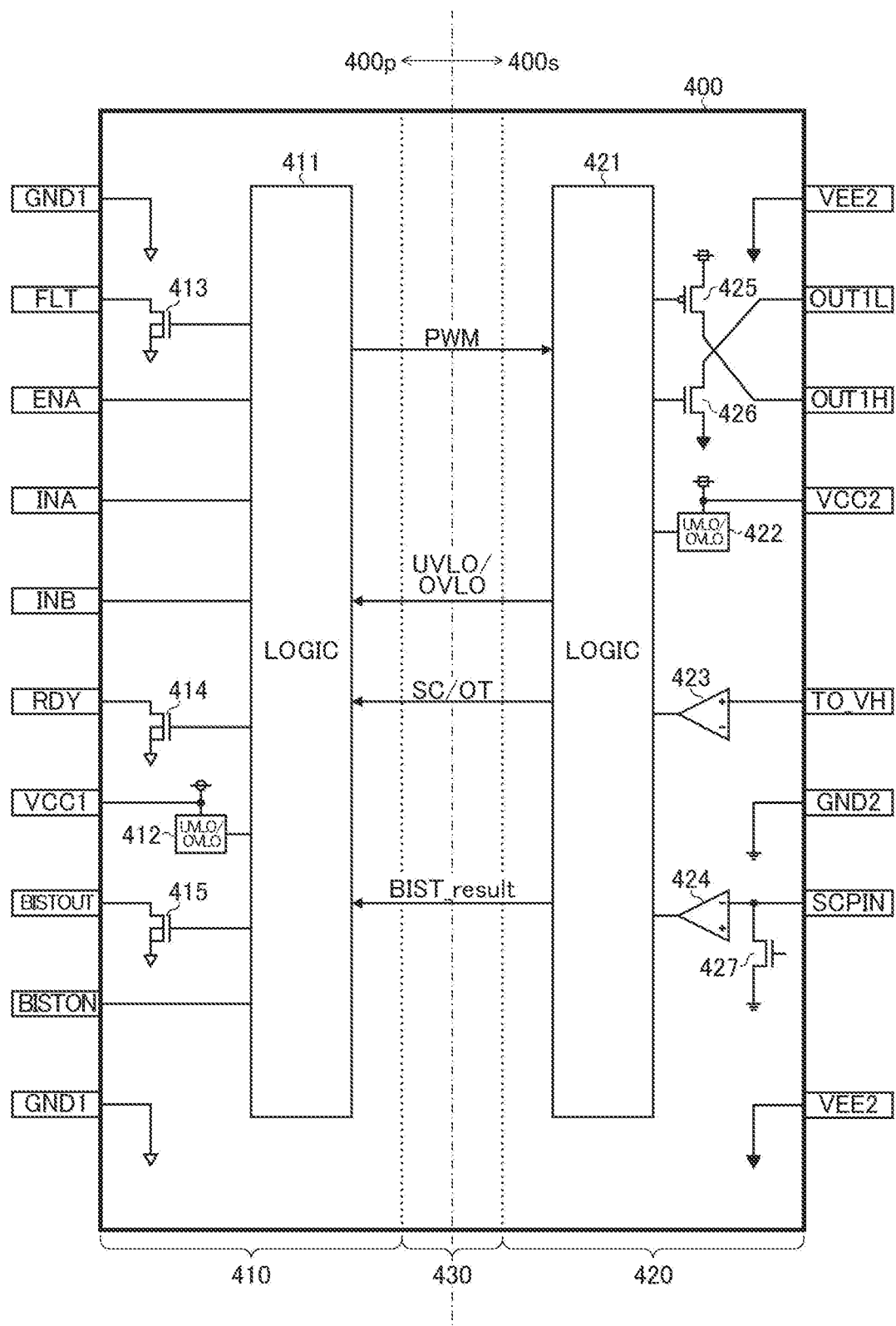


[図7]

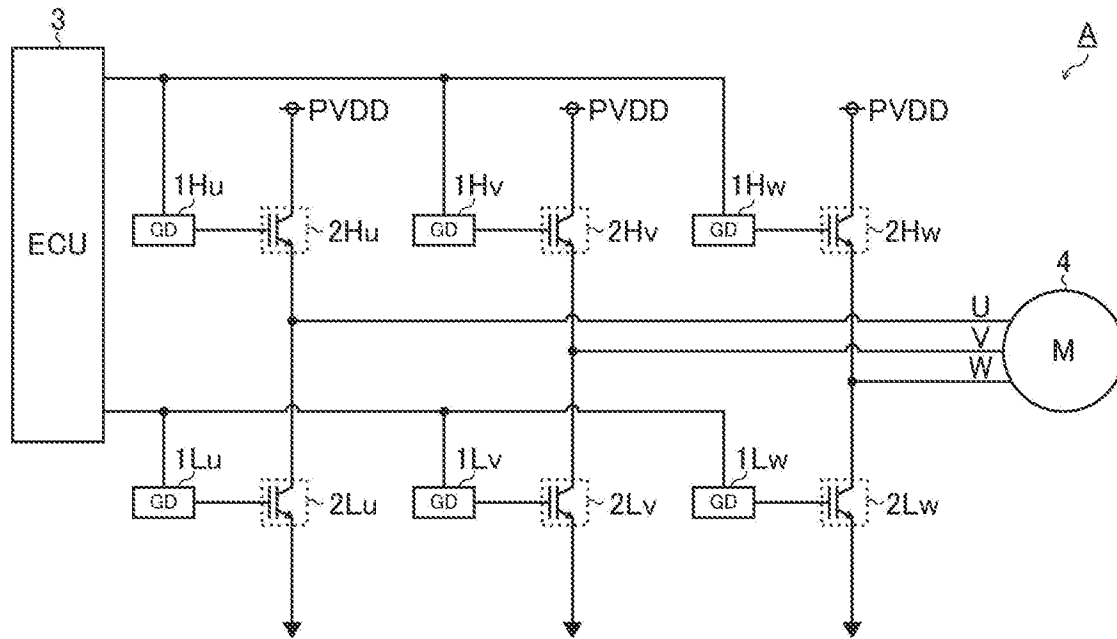




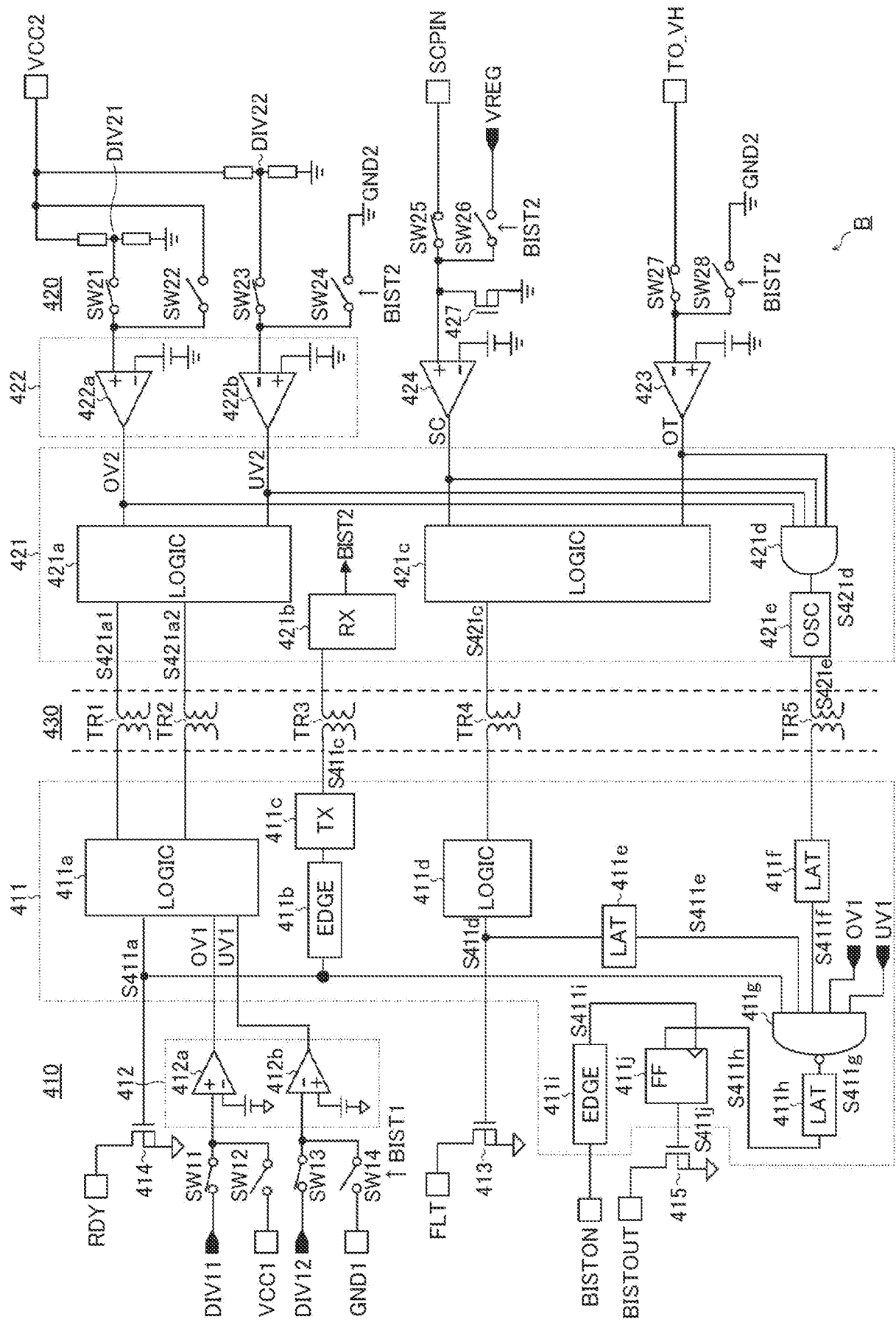
[図10]



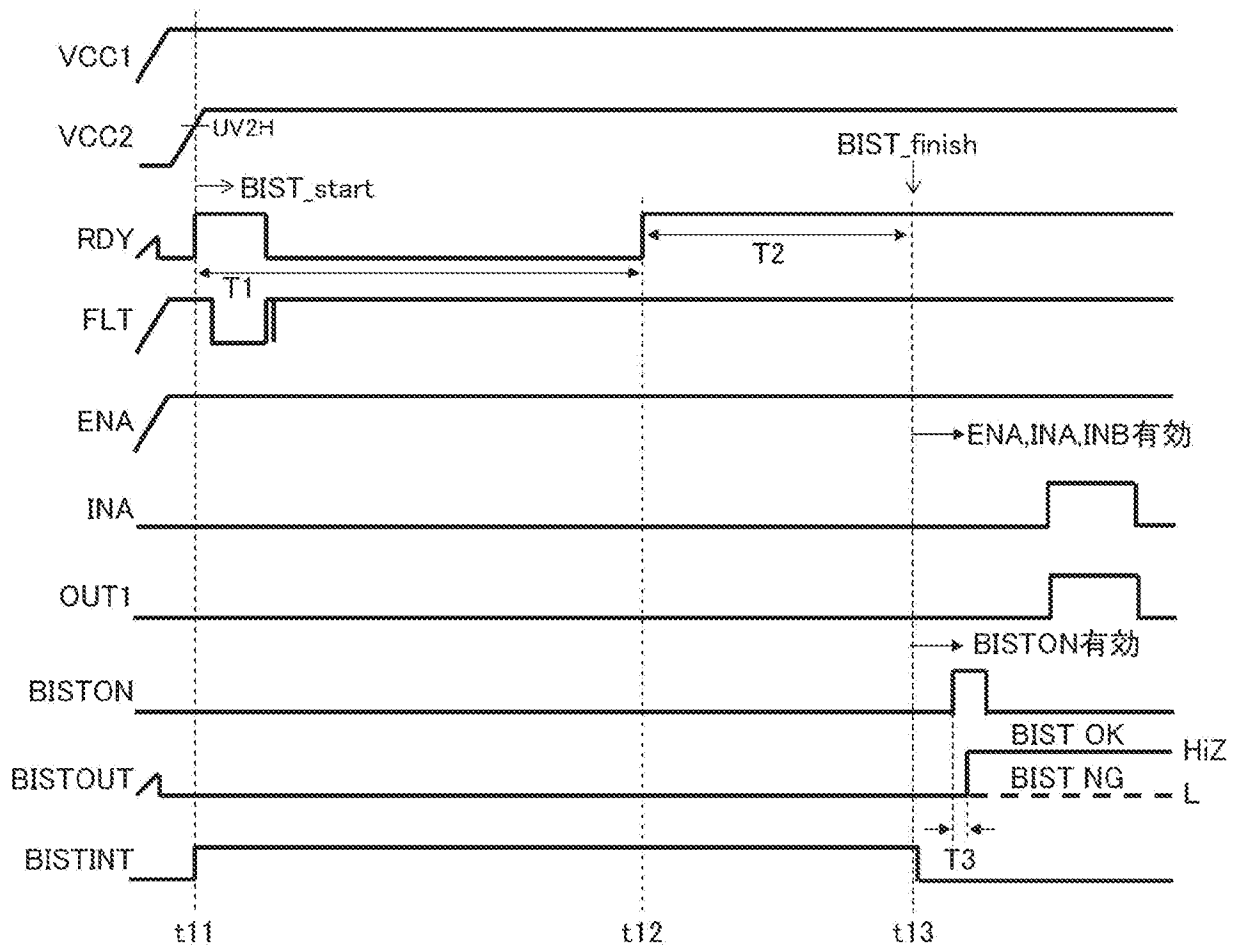
[図11]



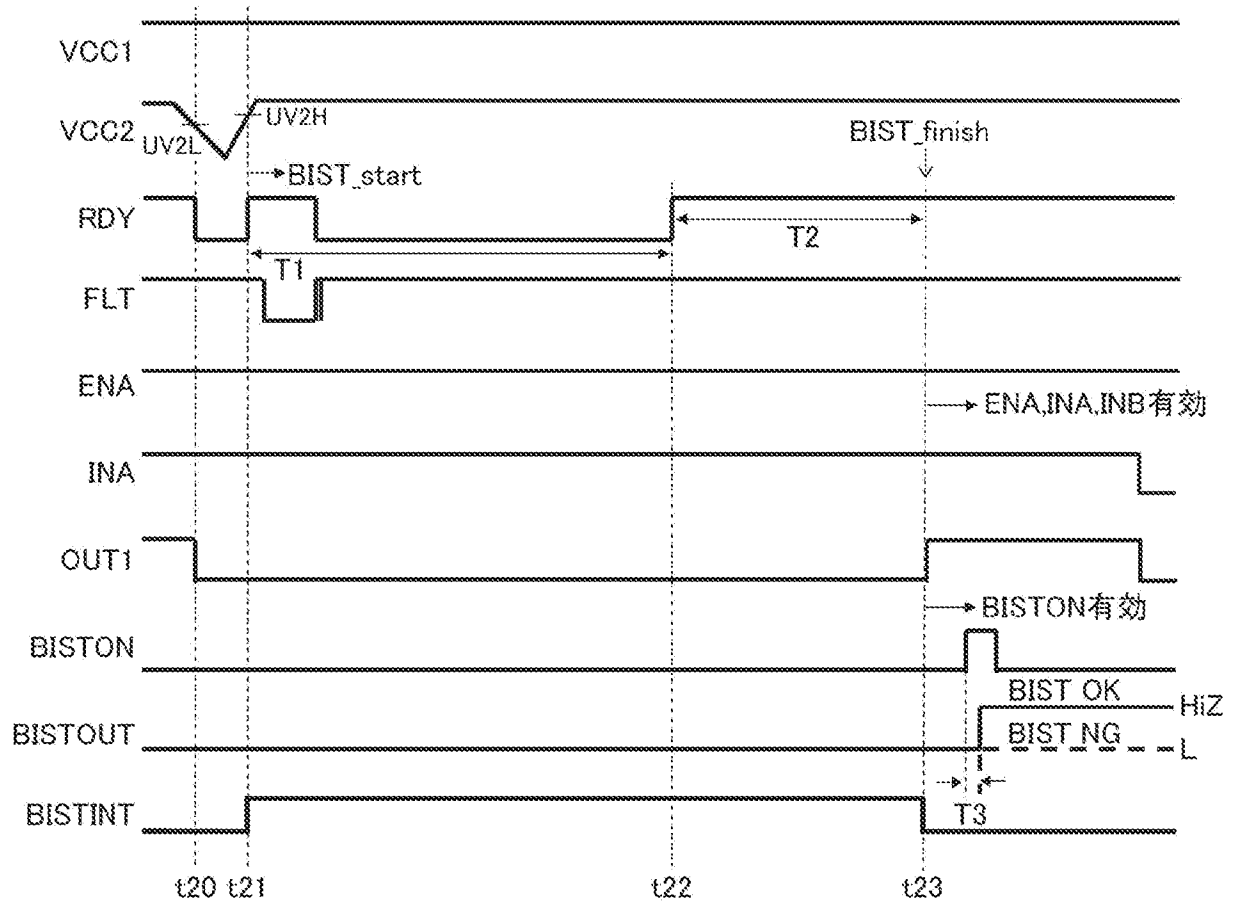
[図12]



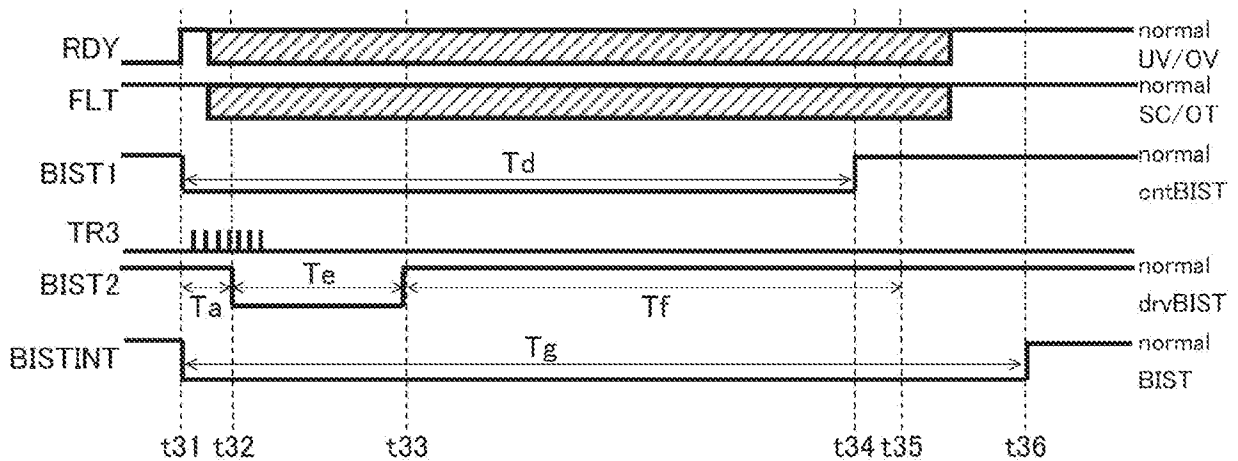
[図13]



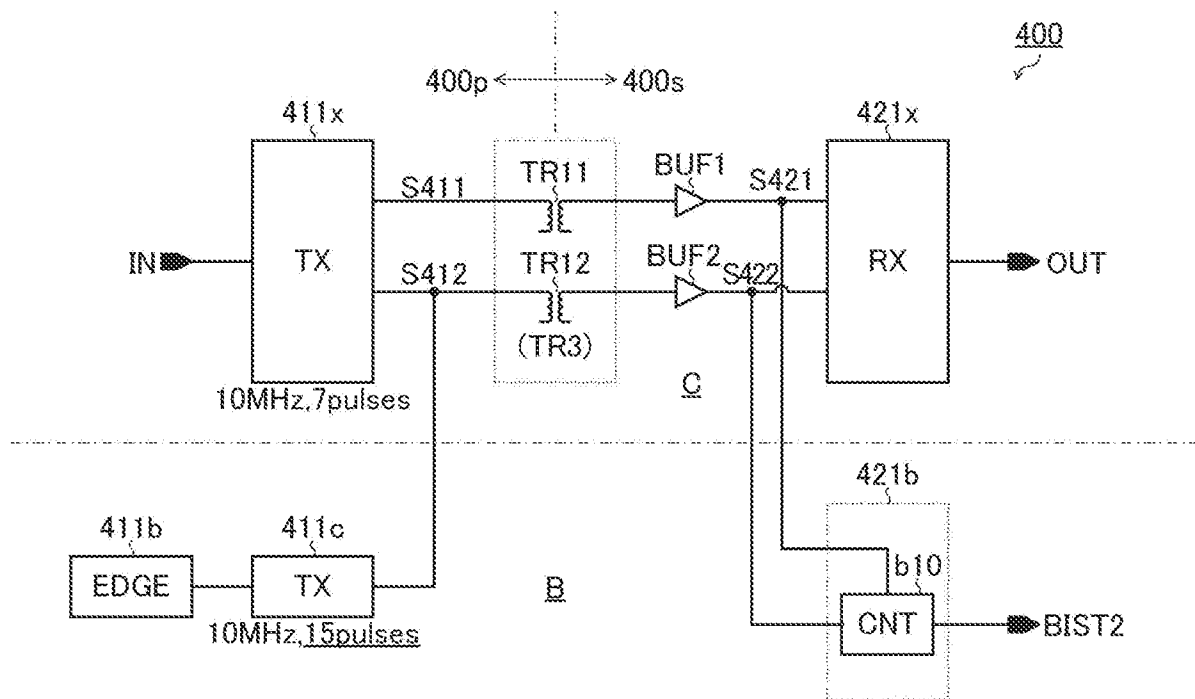
[図14]



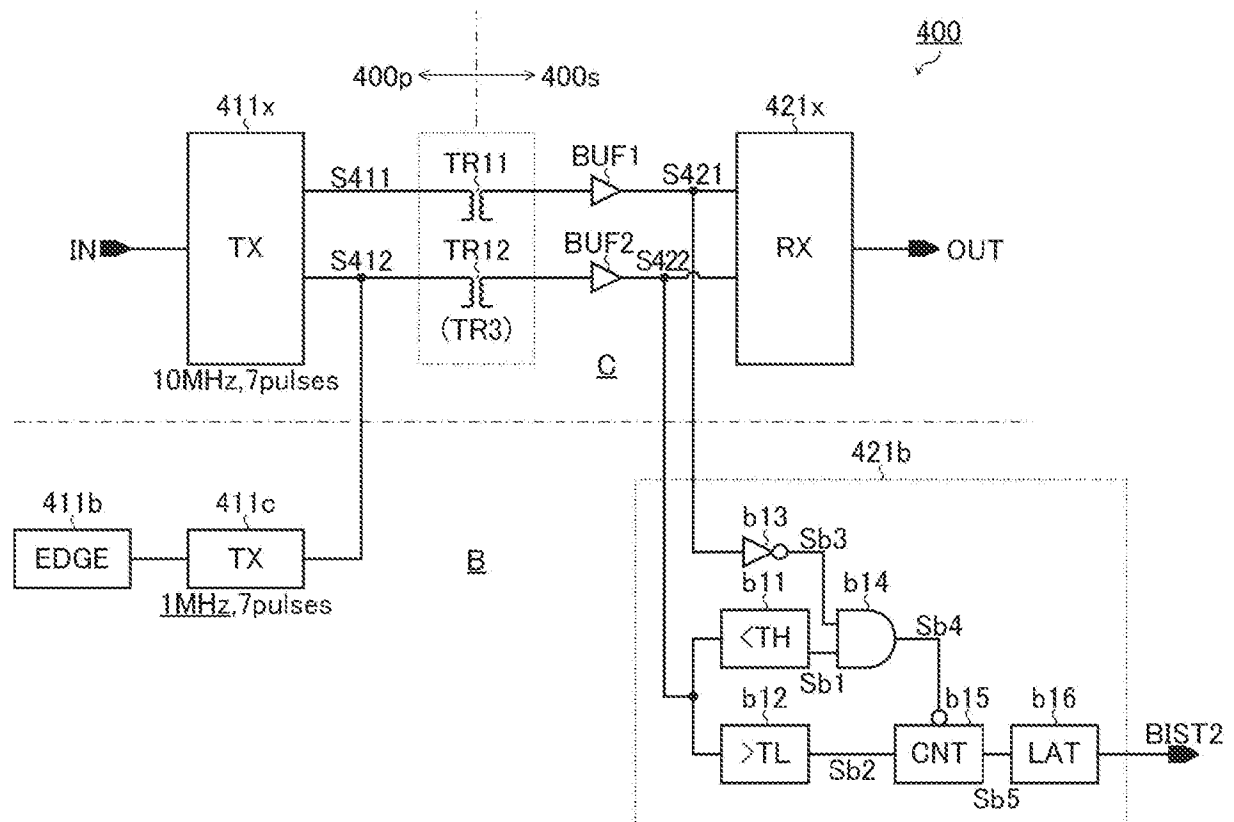
[図15]



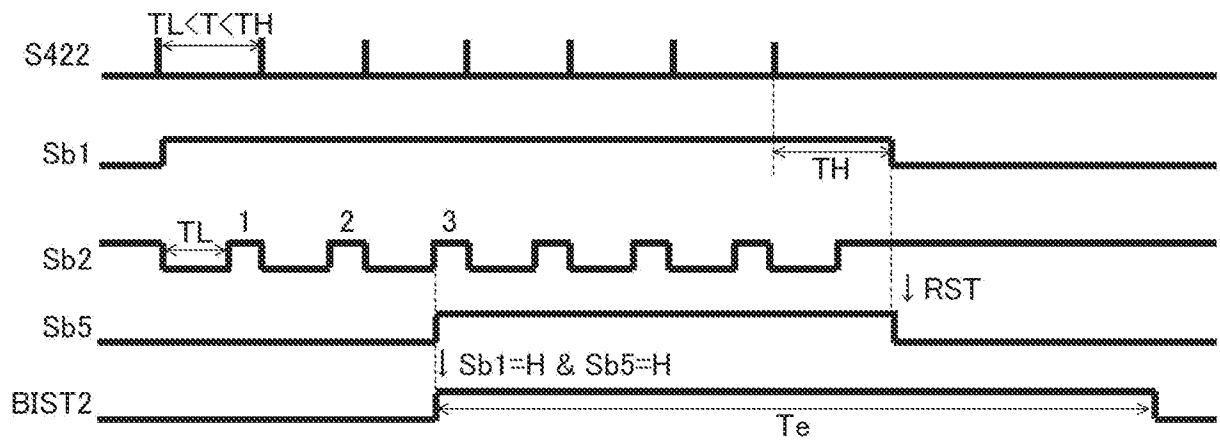
[図16]



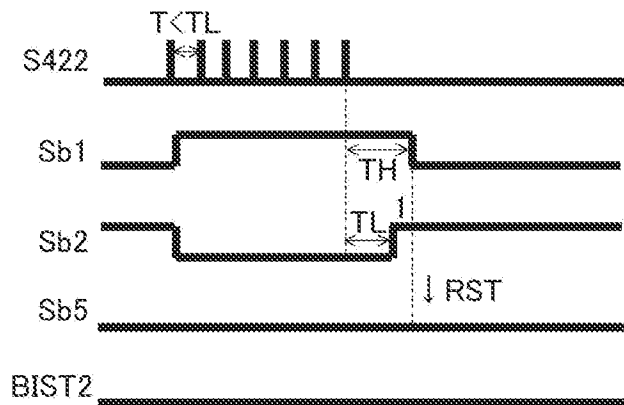
[図17]



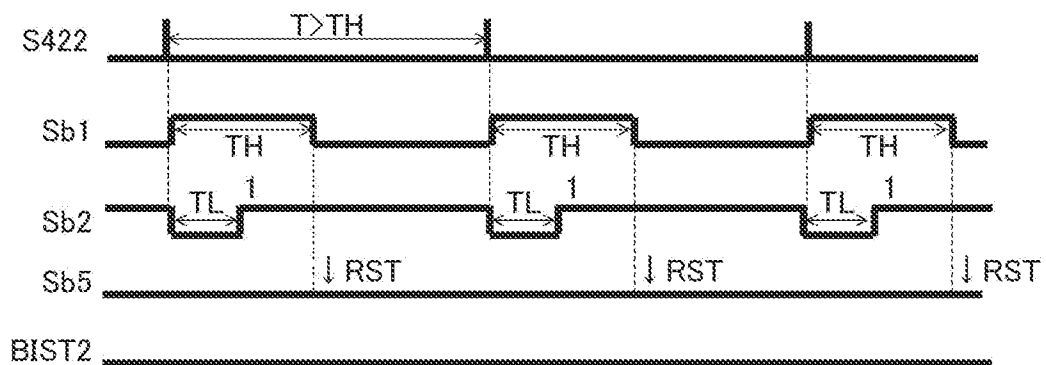
[図18]



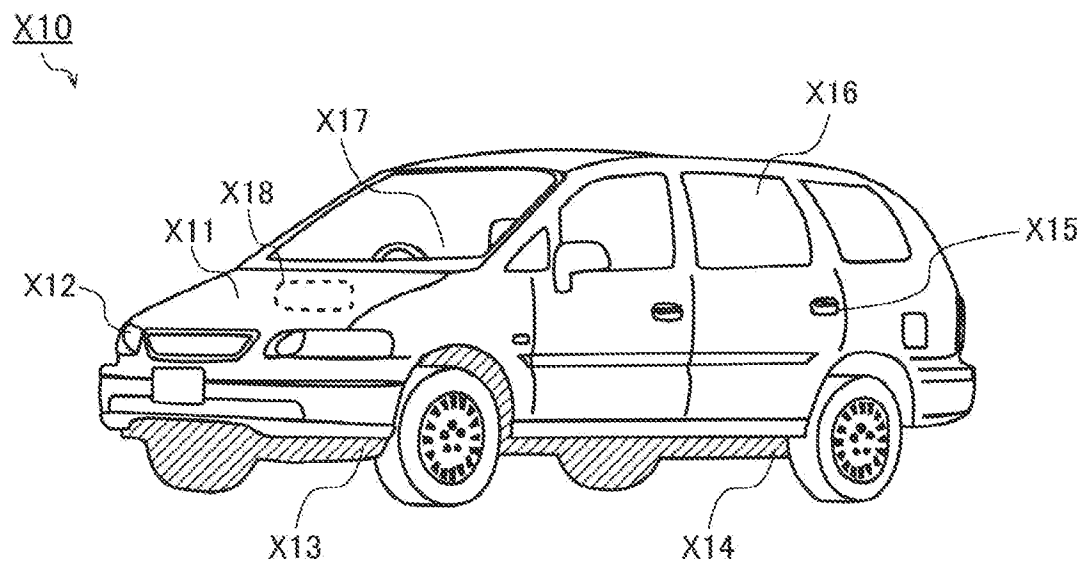
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/034072

A. CLASSIFICATION OF SUBJECT MATTER

H02P 29/024(2016.01)i; **H03K 17/00**(2006.01)i; **H03K 17/691**(2006.01)i; **H03K 19/0175**(2006.01)i; **H02M 1/00**(2007.01)i; **H02M 1/08**(2006.01)i; **H02M 7/48**(2007.01)i

FI: H03K19/0175 280; H03K17/691; H03K19/0175 240; H03K17/00 B; H02M7/48 M; H02M1/00 E; H02M1/00 H; H02M1/00 R; H02M1/08 A; H02P29/024

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02P29/024; H03K17/00; H03K17/691; H03K19/0175; H02M1/00; H02M1/08; H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-232637 A (ROHM CO., LTD.) 08 October 2009 (2009-10-08) entire text, all drawings	1-10
A	JP 2010-10762 A (ROHM CO., LTD.) 14 January 2010 (2010-01-14) entire text, all drawings	1-10
A	JP 2007-104488 A (AUTONETWORKS TECHNOLOGIES LTD.) 19 April 2007 (2007-04-19) entire text, all drawings	1-10
A	WO 2020/004578 A1 (HITACHI, LTD.) 02 January 2020 (2020-01-02) entire text, all drawings	1-10
A	JP 9-322555 A (SANYO ELECTRIC CO., LTD.) 12 December 1997 (1997-12-12) entire text, all drawings	1-10
A	JP 2012-227517 A (ROHM CO., LTD.) 15 November 2012 (2012-11-15) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 September 2021

Date of mailing of the international search report

12 October 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/034072

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2009-232637	A	08 October 2009	(Family: none)	
JP	2010-10762	A	14 January 2010	US 2009/0322380 A1 entire text, all drawings	
JP	2007-104488	A	19 April 2007	(Family: none)	
WO	2020/004578	A1	02 January 2020	(Family: none)	
JP	9-322555	A	12 December 1997	(Family: none)	
JP	2012-227517	A	15 November 2012	US 2012/0250385 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02P 29/024(2016.01)i; H03K 17/00(2006.01)i; H03K 17/691(2006.01)i; H03K 19/0175(2006.01)i; H02M 1/00(2007.01)i; H02M 1/08(2006.01)i; H02M 7/48(2007.01)i FI: H03K19/0175 280; H03K17/691; H03K19/0175 240; H03K17/00 B; H02M7/48 M; H02M1/00 E; H02M1/00 H; H02M1/00 R; H02M1/08 A; H02P29/024																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02P29/024; H03K17/00; H03K17/691; H03K19/0175; H02M1/00; H02M1/08; H02M7/48 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2021年																						
日本国実用新案登録公報	1996-2021年																						
日本国登録実用新案公報	1994-2021年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2009-232637 A（ローム株式会社）08.10.2009（2009-10-08） 全文, 全図</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2010-10762 A（ローム株式会社）14.01.2010（2010-01-14） 全文, 全図</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2007-104488 A（株式会社オートネットワーク技術研究所）19.04.2007（2007-04-19） 全文, 全図</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>WO 2020/004578 A1（株式会社日立製作所）02.01.2020（2020-01-02） 全文, 全図</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 9-322555 A（三洋電機株式会社）12.12.1997（1997-12-12） 全文, 全図</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2012-227517 A（ローム株式会社）15.11.2012（2012-11-15） 全文, 全図</td> <td>1-10</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2009-232637 A（ローム株式会社）08.10.2009（2009-10-08） 全文, 全図	1-10	A	JP 2010-10762 A（ローム株式会社）14.01.2010（2010-01-14） 全文, 全図	1-10	A	JP 2007-104488 A（株式会社オートネットワーク技術研究所）19.04.2007（2007-04-19） 全文, 全図	1-10	A	WO 2020/004578 A1（株式会社日立製作所）02.01.2020（2020-01-02） 全文, 全図	1-10	A	JP 9-322555 A（三洋電機株式会社）12.12.1997（1997-12-12） 全文, 全図	1-10	A	JP 2012-227517 A（ローム株式会社）15.11.2012（2012-11-15） 全文, 全図	1-10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	JP 2009-232637 A（ローム株式会社）08.10.2009（2009-10-08） 全文, 全図	1-10																					
A	JP 2010-10762 A（ローム株式会社）14.01.2010（2010-01-14） 全文, 全図	1-10																					
A	JP 2007-104488 A（株式会社オートネットワーク技術研究所）19.04.2007（2007-04-19） 全文, 全図	1-10																					
A	WO 2020/004578 A1（株式会社日立製作所）02.01.2020（2020-01-02） 全文, 全図	1-10																					
A	JP 9-322555 A（三洋電機株式会社）12.12.1997（1997-12-12） 全文, 全図	1-10																					
A	JP 2012-227517 A（ローム株式会社）15.11.2012（2012-11-15） 全文, 全図	1-10																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 29.09.2021		国際調査報告の発送日 12.10.2021																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 渡井 高広 5W 1208 電話番号 03-3581-1101 内線 3576																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/034072

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-232637	A	08.10.2009	(ファミリーなし)	
JP	2010-10762	A	14.01.2010	US 2009/0322380 A1 全文, 全図	
JP	2007-104488	A	19.04.2007	(ファミリーなし)	
WO	2020/004578	A1	02.01.2020	(ファミリーなし)	
JP	9-322555	A	12.12.1997	(ファミリーなし)	
JP	2012-227517	A	15.11.2012	US 2012/0250385 A1 全文, 全図	