



(12)发明专利申请

(10)申请公布号 CN 108184081 A

(43)申请公布日 2018.06.19

(21)申请号 201810036986.6

(22)申请日 2018.01.15

(71)申请人 北京时代民芯科技有限公司
地址 100076 北京市丰台区东高地四营门北路2号

申请人 北京微电子技术研究所

(72)发明人 刘丽艳 董珊 沈洁 朱庆炜 李想

(74)专利代理机构 中国航天科技专利中心
11009

代理人 徐辉

(51)Int. Cl.

H04N 5/374(2011.01)

H04N 5/3745(2011.01)

H04N 5/378(2011.01)

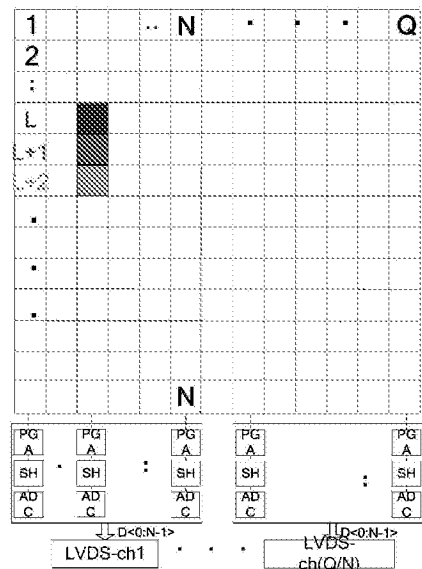
权利要求书2页 说明书5页 附图5页

(54)发明名称

一种用于CMOS图像传感器中的高速数据读出电路

(57)摘要

本发明涉及一种用于CMOS图像传感器中的高速数据读出电路,该电路用于对感光面阵输出的电压进行采样保持、AD转换、高速接口输出,适用于采用列级ADC的高帧速率CMOS图像传感器。所述高速数据传输电路连接在每列像素之后,由采样保持电路、列ADC电路、列LVDS输出电路组成。电路将每列像素输出的复位信号、光生信号通过流水线采样保持电路、列ADC电路进行模数转换,再通过流水线式锁存保持电路输出到列LVDS电路,实现数据的高速传输。按照本发明的方法可以实现各种面阵的高速数据传输,并且具有较小的电路规模。



1. 一种用于CMOS图像传感器中的中高速数据传输读出电路, CMOS图像传感器共Q列, 其特征在于, 高速数据传输电路包括Q/N个传输通道, 每个传输通道包括N个列读出电路和N路选通模块, 每个列读出电路包括可编程增益放大电路 (PGA)、采样保持电路 (SH)、列模数转换电路 (ADC) 其中:

可编程增益放大电路 (PGA) 接收外部输入的参考电压 (V_{ref1}) 和对应列图像传感器的像素单元输出的信号 (V_{pixel}), 像素单元输出的信号 (V_{pixel}) 为光生信号 V_{sig} 时, 输出信号 $V_{REF_AFE} = V_{ref1}$; 当信号像素单元输出的信号 (V_{pixel}) 为复位信号 V_{res} 时输出 $V_{SIG_AFE} = V_{ref1} + K * (V_{sig} - V_{res})$;

采样保持电路 (SH) 采集可编程增益放大电路 (PGA) 输出的信号, 并将 V_{REF_AFE} 和 V_{SIG_AFE} 分别保持输出;

列模数转换电路 (ADC) 将采样保持电路 (SH) 输出的信号进行处理后获得 $K * (V_{sig} - V_{res})$, 转换成时钟信号, 驱动计数器进行计数获得曝光有效信号;

N路选通模块使能N个列读出电路中的一列, 输出曝光有效信号。

2. 一种用于CMOS图像传感器中的中高速数据传输读出通道, 包括N个列读出电路和N路选通模块, 每个列读出电路包括可编程增益放大电路 (PGA)、采样保持电路 (SH)、列模数转换电路 (ADC) 其中:

可编程增益放大电路 (PGA) 接收外部输入的参考电压 (V_{ref1}) 和对应列图像传感器的像素单元输出的信号 (V_{pixel}), 像素单元输出的信号 (V_{pixel}) 为光生信号 V_{sig} 时, 输出信号 $V_{REF_AFE} = V_{ref1}$; 当信号像素单元输出的信号 (V_{pixel}) 为复位信号 V_{res} 时输出 $V_{SIG_AFE} = V_{ref1} + K * (V_{sig} - V_{res})$;

采样保持电路 (SH) 采集可编程增益放大电路 (PGA) 输出的信号, 并将 V_{REF_AFE} 和 V_{SIG_AFE} 分别保持输出;

列模数转换电路 (ADC) 将采样保持电路 (SH) 输出的信号进行处理后获得 $K * (V_{sig} - V_{res})$, 转换成时钟信号, 驱动计数器进行计数获得曝光有效信号;

N路选通模块使能N个列读出电路中的一列, 输出曝光有效信号。

3. 根据权利要求1所述的CMOS图像传感器中的中高速数据传输读出电路或权利要求2所述的CMOS图像传感器中的中高速数据传输读出通道, 其特征在于: 可编程增益放大电路 (PGA) 为开关电容放大电路。

4. 根据权利要求3所述的CMOS图像传感器中的中高速数据传输读出电路或CMOS图像传感器中的中高速数据传输读出通道, 其特征在于: 可编程增益放大电路 (PGA) 包括电容 C_0 、电容 C_1 、开关 $CTRL_0$ 和比较器 P_1 , 比较器 P_1 的正输入端接收外部输入的参考电压 V_{ref1} 、比较器 P_1 的负输入端通过电容 C_0 接收CMOS图像传感器的像素单元输出 V_{pixel} 信号。

5. 根据权利要求1所述的CMOS图像传感器中的中高速数据传输读出电路或权利要求2所述的CMOS图像传感器中的中高速数据传输读出通道, 其特征在于: 采样保持电路 (SH) 采集可编程增益放大电路 (PGA) 输出的第L周期信号, 并将 V_{REF_AFE} 和 V_{SIG_AFE} 分别保持并分别读出; 并在分别读出第L周期保持信号的同时采集可编程增益放大电路 (PGA) 输出的第L+1周期信号, 并将 V_{REF_AFE} 和 V_{SIG_AFE} 分别保持, 同时在读出第L+1周期保持信号的同时采集可编程增益放大电路 (PGA) 输出的第L+2周期信号, 如此循环, $N-1 \geq L \geq 0$ 。

6. 根据权利要求1所述的CMOS图像传感器中的中高速数据传输读出电路或权利要求2

所述的CMOS图像传感器中的中高速数据传输读出通道,其特征在于:包括读取开关SAS、SAR、RAS、RAR、SBS、SBR、RBS、RBR,电容CAS、CAR、CBS、CBR,

第L周期光生信号Vsig到达时,SAS导通,第L周期VREF_AFE信号经电容CAS采样保持,同时RBS导通,第L-1周期的VREF_AFE信号输出至列模数转换电路(ADC);第L周期复位信号Vres到达时,SAR导通,第L周期VSIG_AFE信号经电容CAR采样保持,同时RBR导通,第L-1周期的VSIG_AFE输出至列模数转换电路(ADC);

第L+1周期光生信号Vsig到达时,SBS导通,第L+1周期VREF_AFE信号经电容CBS采样保持,同时RAS导通,第L周期的VREF_AFE信号输出至列模数转换电路(ADC);第L+1周期复位信号Vres到达时,SBR导通,第L+1周期VSIG_AFE信号经电容CBR采样保持,同时RAR导通,第L周期的VSIG_AFE输出至列模数转换电路(ADC)。

7.根据权利要求6所述的CMOS图像传感器中的中高速数据传输读出电路或CMOS图像传感器中的中高速数据传输读出通道,其特征在于:列模数转换电路(ADC)包括斜坡产生电路、比较逻辑电路和计数器电路;

斜坡产生电路,分别产生斜率相同的第一级斜坡参考电压和第二级斜坡参考电压输出至比较逻辑电路的正相输入端,所述第一级和第二级斜坡参考电压的初始值相同低于列级参考电压VREF_AFE,第二级斜坡参考电压的最大值大于VSIG_AFE,第一级斜坡参考电压的时长小于第二级斜坡参考电压时长的1/3;

比较逻辑电路,将采样保持电路(SH)输出的VREF_AFE与第一级斜坡参考电压进行比较,当二者相等时计数器电路开始计数直至第一级斜坡参考电压结束;将采样保持电路(SH)输出的VSIG_AFE与第二级斜坡参考电压进行比较,当第二级斜坡参考电压开始时计数器电路继续计数,VSIG_AFE与第二级斜坡参考电压相等时,停止计数,将计数器电路的计数值进行锁存,在N路选通模块使能控制下输出。

8.根据权利要求7所述的CMOS图像传感器中的中高速数据传输读出电路或CMOS图像传感器中的中高速数据传输读出通道,其特征在于:计数器电路包括T个D触发器,构造成移位计数器,在每个D触发器输出端连接一个锁存保持电路,T为要求模数转换的位数。

9.根据权利要求8所述的CMOS图像传感器中的中高速数据传输读出电路或CMOS图像传感器中的中高速数据传输读出通道,其特征在于:锁存保持电路,包括开关S1、S2、S1N、S2N和4个反相器;两个反相器反向连接构成缓冲器;

当第L行的信号经计数器电路计数完毕时,S1导通,计数器电路输出信号经缓冲器保持,S1导通时间大于等于S1的传输时间;S2导通,计数器电路输出信号能够被读取,S2导通时间为 $T1*N$,T1为S2的传输时间;

当第L+1行的信号经计数器电路计数完毕时,S1N导通,计数器电路输出信号经缓冲器保持,S2N导通,计数器电路输出信号能够被读取。

10.根据权利要求9所述的CMOS图像传感器中的中高速数据传输读出电路或CMOS图像传感器中的中高速数据传输读出通道,其特征在于:锁存保持电路还包括三态门用于控制计数器电路的输出,多路选择电路产生三态门的使能信号。

一种用于CMOS图像传感器中的高速数据读出电路

技术领域

[0001] 本发明涉及CMOS图像传感器领域,特别是用于CMOS图像传感器中的中高速数据传输读出电路,适用于采用列级ADC电路结构,在保证AD转换精度的基础上有效提高数据传输速率。

背景技术

[0002] CMOS(互补金属氧化物半导体)图像传感器一般包括光敏像元阵列、行与列译码电路、读出电路等。光敏像元阵列将光信号转化为电信号,行/列译码电路完成对像元阵列中感兴趣区域像元的寻址,读出电路读出并处理被寻址的像元光生信号。

[0003] CMOS图像传感器有两种曝光方式:滚动曝光和全局曝光。4T滚动曝光像元可以通过相关双采样来降低噪声,但每行曝光不同时,在全画幅高速拍摄图像时,曝光的非同时性会引起图像失真与变形;5T结构像元可以实现全局同时曝光,在保证信号数模转换精度的同时,优化读出电路结构和时序可进一步提高图像传感器的帧频。

[0004] 在CMOS图像传感器中,ADC的集成方式主要有三种架构:芯片级、像素级和列并行级。芯片级ADC将核心器件与单个ADC模块集成在一块芯片上,此结构在面积占用小、像素填充因子较高,但功耗高且非并行处理,对ADC转换速度要求很高。像素级ADC即每个像素或几个像素共用一个ADC,采样完全并行的工作方式,信噪比高、ADC速度要求低、功耗小,但其填充因子低,且暗电流和像素间串扰影响大。列级ADC即像素阵列中每列像素共用一个ADC,像素阵列逐行读取,这一行像素通过每个列ADC并行工作进行模数转换,然后再串行逐个传输到接口输出。列级ADC是对芯片级ADC和像素级ADC的折衷,设计难度低且扩展性强,可以适应大阵列高速数据传输的需求。

发明内容

[0005] 本发明解决的技术问题:克服现有技术的不足,提供了一种用于CMOS图像传感器中的中高速数据传输读出电路,对像素阵列输出电压信号进行放大、采样保持、模数转换、接口输出,能在保证数据精度的情况下,提高数据传输速率,从而提高CMOS图像传感器的帧频。

[0006] 本发明的技术解决方案是:

[0007] 提供一种用于CMOS图像传感器中的中高速数据传输读出电路,CMOS图像传感器共Q列,高速数据传输电路包括Q/N个传输通道,每个传输通道包括N个列读出电路和N路选通模块,每个列读出电路包括可编程增益放大电路、采样保持电路、列模数转换电路其中:

[0008] 可编程增益放大电路接收外部输入的参考电压和对应列图像传感器的像素单元输出的信号,像素单元输出的信号为光生信号 V_{sig} 时,输出信号 $V_{REF_AFE} = V_{ref1}$;当信号像素单元输出的信号为复位信号 V_{res} 时输出 $V_{SIG_AFE} = V_{ref1} + K * (V_{sig} - V_{res})$;

[0009] 采样保持电路采集可编程增益放大电路输出的信号,并将 V_{REF_AFE} 和 V_{SIG_AFE} 分别保持输出;

[0010] 列模数转换电路将采样保持电路输出的信号进行处理后获得 $K*(V_{sig}-V_{res})$, 转换成时钟信号, 驱动计数器进行计数获得曝光有效信号;

[0011] N路选通模块使能N个列读出电路中的一列, 输出曝光有效信号。

[0012] 提供一种用于CMOS图像传感器中的中高速数据传输读出通道, 包括N个列读出电路和N路选通模块, 每个列读出电路包括可编程增益放大电路、采样保持电路、列模数转换电路其中:

[0013] 可编程增益放大电路接收外部输入的参考电压和对应列图像传感器的像素单元输出的信号, 像素单元输出的信号为光生信号 V_{sig} 时, 输出信号 $VREF_AFE = V_{ref1}$; 当信号像素单元输出的信号为复位信号 V_{res} 时输出 $VSIG_AFE = V_{ref1} + K*(V_{sig} - V_{res})$;

[0014] 采样保持电路采集可编程增益放大电路输出的信号, 并将 $VREF_AFE$ 和 $VSIG_AFE$ 分别保持输出;

[0015] 列模数转换电路将采样保持电路输出的信号进行处理后获得 $K*(V_{sig}-V_{res})$, 转换成时钟信号, 驱动计数器进行计数获得曝光有效信号;

[0016] N路选通模块使能N个列读出电路中的一列, 输出曝光有效信号。

[0017] 优选的, 可编程增益放大电路为开关电容放大电路。

[0018] 优选的, 其特征在于: 可编程增益放大电路包括电容 C_0 、电容 C_1 、开关 $CTRL_0$ 和比较器 P_1 , 比较器 P_1 的正输入端接收外部输入的参考电压 V_{ref1} 、比较器 P_1 的负输入端通过电容 C_0 接收CMOS图像传感器的像素单元输出 V_{pixel} 信号。

[0019] 优选的, 采样保持电路采集可编程增益放大电路输出的第L周期信号, 并将 $VREF_AFE$ 和 $VSIG_AFE$ 分别保持并分别读出; 并在分别读出第L周期保持信号的同时采集可编程增益放大电路输出的第L+1周期信号, 并将 $VREF_AFE$ 和 $VSIG_AFE$ 分别保持, 同时在读出第L+1周期保持信号的同时采集可编程增益放大电路输出的第L+2周期信号, 如此循环, $N-1 \geq L \geq 0$ 。

[0020] 优选的, 包括读取开关 SAS 、 SAR 、 RAS 、 RAR 、 SBS 、 SBR 、 RBS 、 RBR , 电容 CAS 、 CAR 、 CBS 、 CBR ,

[0021] 第L周期光生信号 V_{sig} 到达时, SAS 导通, 第L周期 $VREF_AFE$ 信号经电容 CAS 采样保持, 同时 RBS 导通, 第L-1周期的 $VREF_AFE$ 信号输出至列模数转换电路; 第L周期复位信号 V_{res} 到达时, SAR 导通, 第L周期 $VSIG_AFE$ 信号经电容 CAR 采样保持, 同时 RBR 导通, 第L-1周期的 $VSIG_AFE$ 输出至列模数转换电路;

[0022] 第L+1周期光生信号 V_{sig} 到达时, SBS 导通, 第L+1周期 $VREF_AFE$ 信号经电容 CBS 采样保持, 同时 RAS 导通, 第L周期的 $VREF_AFE$ 信号输出至列模数转换电路; 第L+1周期复位信号 V_{res} 到达时, SBR 导通, 第L+1周期 $VSIG_AFE$ 信号经电容 CBR 采样保持, 同时 RAR 导通, 第L周期的 $VSIG_AFE$ 输出至列模数转换电路。

[0023] 优选的, 列模数转换电路包括斜坡产生电路、比较逻辑电路和计数器电路;

[0024] 斜坡产生电路, 分别产生斜率相同的第一级斜坡参考电压和第二级斜坡参考电压输出至比较逻辑电路的正相输入端, 所述第一级和第二级斜坡参考电压的初始值相同低于列级参考电压 $VREF_AFE$, 第二级斜坡参考电压的最大值大于 $VSIG_AFE$, 第一级斜坡参考电压的时长小于第二级斜坡参考电压时长的1/3;

[0025] 比较逻辑电路, 将采样保持电路输出的 $VREF_AFE$ 与第一级斜坡参考电压进行比

较,当二者相等时计数器电路开始计数直至第一级斜坡参考电压结束;将采样保持电路输出的VSIG_AFE与第二级斜坡参考电压进行比较,当第二级斜坡参考电压开始时计数器电路继续计数,VSIG_AFE与第二级斜坡参考电压相等时,停止计数,将计数器电路的计数值进行锁存,在N路选通模块使能控制下输出。

[0026] 优选的,计数器电路包括T个D触发器,构造成移位计数器,在每个D触发器输出端连接一个锁存保持电路,T为要求模数转换的位数。

[0027] 优选的,锁存保持电路,包括开关S1、S2、S1N、S2N和4个反相器;两个反相器反向连接构成缓冲器;

[0028] 当第L行的信号经计数器电路计数完毕时,S1导通,计数器电路输出信号经缓冲器保持,S1导通时间大于等于S1的传输时间;S2导通,计数器电路输出信号能够被读取,S2导通时间为 $T1 * N$,T1为S2的传输时间;

[0029] 当第L+1行的信号经计数器电路计数完毕时,S1N导通,计数器电路输出信号经缓冲器保持,S2N导通,计数器电路输出信号能够被读取;

[0030] 优选的,锁存保持电路还包括三态门用于控制计数器电路的输出,多路选择电路产生三态门的使能信号。

[0031] 本发明与现有技术相比的有点在于:

[0032] (1) 本发明通过可编程增益放大电路、采样保持电路对每列像素的复位信号电压和光生信号电压进行采样,列ADC电路进行模数转换,可通过调整时序设计和斜坡产生电压模块设计,支持滚动曝光和全局曝光两种曝光方式。

[0033] (2) 本发明可编程增益放大电路中利用了开关电容电路的特征,实现了列读出电路输出的复位信号Vres和光生信号Vsig之差,消除像素级固定噪声,实现简单,在列级电路上占用的面积小,成本低。

[0034] (3) 本发明通过将采样保持电路分为两组,一组控制完成一行像素的采样,另一组控制完成下一行像素采样,两组组合实现两行像素的流水线式采样,提高了采样速度。

[0035] (4) 本发明电路将各列读出电路分组连接到输出通道,每组内各列间数据串行输出,各组间数据并行输出,整个阵列的读出、传输时间即为每组通道的数据读出、传输时间。且每组通道均有控制信号进行选择使能,可以实现图像水平方向画幅可选,可降低芯片功耗,减小数据量。

[0036] (5) 本发明电路属于列级电路,可以在更大面阵CMOS图像传感器中扩展使用,降低研发时间和成本。

附图说明

[0037] 图1为图像传感器结构示意图;

[0038] 图2为高速数据传输电路结构示意图

[0039] 图3为放大电路和采样保持电路的采样保持流水线电路示意图;

[0040] 图4为列ADC计数器中锁存输出流水线电路示意图;

[0041] 图5为曝光、采样、读出过程中两次pipeline时序;

[0042] 图6为列ADC计数原理示意图。

具体实施方式

[0043] 下面结合附图对本发明的具体实施方式做详细的说明。

[0044] 本发明提供一种CMOS图像传感器高速数据传输电路,适用于全局曝光、滚动曝光两种曝光方式、以及采用列级ADC电路的图像传感器。

[0045] 如图1所示,高速输出传输电路包括可编程增益放大电路PGA、采样保持电路SH、列模数转换电路ADC和输出接口电路,其中:

[0046] 可编程增益放大电路PGA,包括电容C0、电容C1、开关CTRL0和比较器P1,构成了开关电容放大电路。

[0047] 比较器P1的正输入端接收外部输入的参考电压Vref1、比较器P1的负输入端通过电容C0接收CMOS图像传感器的像素单元输出Vpixel信号。在全局曝光模式下,Vpixel信号包括焦平面CMOS图像传感器的像素单元先输出曝光积分电压信号Vsig,再输出复位电压信号Vres,在光生信号Vsig采样期间,SAS将参考电压Vref1伴随输出至CAS,得到列级参考电压VREF_AFE;在复位信号Vres采样期间,获取复位信号Vres和光生信号Vsig的压差,通过开关电容电路将其放大K倍并与列级参考电压VREF_AFE累加输出至CAR,从而得到列级光生电压VSIG_AFE;在外部输入的RAS选通信号和RAR选通信号的控制下,先后将得到的列级参考电压VREF_AFE和列级光生信号电压VSIG_AFE读出至比较逻辑电路的负相输入端;所述 $K \geq 1$ 。

[0048] 最终经可编程增益放大电路PGA的输出电压值为:

[0049] $VREF_AFE = Vref1$

[0050] $VSIG_AFE = Vref1 + K * (Vsig - Vres)$

[0051] 其中,K是可编程增益电路的增益,可以由设计者根据需要设计。在全局曝光模式下,VSIG_AFE小于VREF_AFE。经过PGA电路,对像素级复位信号和光信号进行了做差处理,消除了1/f噪声、KTC噪声等大部分噪声,存在于像素级的固定模式噪声被消除,从而减小了读出电路对成像质量的影响。

[0052] 采样保持电路SH由包括读取开关SAR、SAS、RAR、RAS、SBR、SBS、RBR、RBS,电容CAR、CAS、CBR、CBS,分为A、B两组,一组控制完成一行像素的采样,另一组控制完成下一行像素采样,两组组合实现两行像素的流水线式采样。以A组采集第L行像素采样为例,读取开关SAR、SAS的连接点为采样保持电路的输入,电容CAR一端连接读取开关SAR、RAR之间、另一端接地;电容CAS一端连接读取开关SAS、RAS之间、另一端接地;读取开关RAR和RAS的连接点为采样保持电路的输出。

[0053] SAS高电平时,Vpixel输出像素曝光积分信号Vsig,SAS将VREF_AFE采样保存到CAS;SAR高电平时,Vpixel输出像素复位电压Vres,SAR将VSIG_AFE采样保存到CAR;此时,第L行像素曝光产生的有关有效信号的采样过程完成。然后RAS为高电平,将CAS中的VREF_AFE读出;RAR高电平,将CAR中的VSIG_AFE读出,同时SBS、SBR开始采样第L+1行的像素曝光输出Vpixel,按相同时序关系进行采样读出。在L+1行信号被B组SH电路采样的同时,第L行像素曝光信号处在被A组SH电路读出的过程中。当A组SH电路完成第L行像素Vpix信号的读出后,立即开始对L+2行Vpix信号的采样,此时B组SH电路开始对L+1行的Vpix的读出。第一级pipeline采样时序如图5所示。

[0054] 经采样保持电路SH采样出的信号传输给列ADC电路。经比较逻辑电路、逻辑转换电路转换成时钟信号CLK_OUT, CLK_OUT再输入给计数器驱动移位计数, 得到数字信号, 如图2所示。

[0055] 由图1的图像传感器结构示意图可知, 全像素阵列Q列, 分为Q/N组, 即对应Q/N个输出通道。每组有N列像素列, 每列像素的列ADC包含一个移位计数器; 每组中N列读出电路的计数器同时进行计数, N列ADC同时输出N个计数器的AD转换结果, 即N个Tbit的数字信号; 然后再由每组内的N位使能输出信号, 将N个数字信号串行输出。

[0056] 如图6所示, 比较器先后将采样保持电路SH输出的列级参考电压VREF_AFE、列级光生电压VSIG_AFE与斜坡参考电压信号进行比较, 在第一级斜坡参考电压大于列级参考电压VREF_AFE、第二级斜坡参考电压小于列级光生电压VSIG_AFE的情况下产生时钟输出使能信号至逻辑控制电路, 逻辑控制电路在时钟输出使能信号的控制下输出时钟信号CLK_OUT至计数器。

[0057] 首先, 列级参考电压VREF_AFE与第一级斜坡电压相比较, 斜坡电压从t1时刻开始第一级斜坡Vramp1, 当Vramp1与列级参考电压VREF_AFE相等时, 记为t2时刻, 开始输出时钟CLK_OUT, 计数器开始计数; 第一级斜坡Vramp1在t3停止上升, 停止输出时钟CLK_OUT, 计数器停止计数; 然后, 信号电压VSIG_AFE与第二级斜坡电压Vramp2相比较, Vramp2从t4时刻起始, 输出时钟CLK_OUT继续输出; 当Vramp2与复位电压VSIG_AFE相等时, 记为t5时刻, 第二级斜坡电压在t6时刻停止上升, 此时比较逻辑电路输出在t2~t3、t4~t5时段有效的时钟信号CLK_OUT。

[0058] 计数器的结构如图4所示, 包括T个D触发器, 构造成移位计数器, 在每个D触发器输出端加入锁存保持电路, 实现第二级pipeline数据输出。锁存保持电路包括开关S1、S2、S1N、S2N、4个反向器和一个三态门。

[0059] 触发时钟为比较逻辑电路输出的时钟信号CLK_OUT, 控制计数器在第一有效时段t2时刻开始计数, t3时刻中止计数, 计数数值为Cnt1; 第二有效时段t4时刻开始在Cnt1基础上开始计数, 到t5时刻停止计数, 计数数值为Cnt2, Cnt2的值表示了列级光生电压VSIG_AFE与列级参考电压VREF_AFE之差: $VSIG_AFE - VREF_AFE = Vref + K * (Vsig - Vres) - Vref = K * (Vsig - Vres)$

[0060] S1锁存第L行信号, S2输出; S1N锁存第L+1行信号, S2N输出。第二级pipeline采样时序如图5所示。trL为第L行像素从曝光结束、开始被读出电路采样读出到由LVDS输出的时间, trL+1为第L+1行像素从曝光结束、开始被读出电路采样读出到由LVDS输出的时间。在S2高电平期间, Vrout为第L行的N列的AD转换结果, 即N个Tbit数字信号。通过三态门的使能信号, 控制该列ADC转换结果输出。

[0061] 通过多路选择电路, 控制每列三态门的使能, 输出列信号Vrout。Vrout连接到对应的LVDS通道, 将Tbit并行数字信号进行并转串处理, 输出串行信号OUT。Q/N个LVDS通道同步进行, 输出OUT0-OUT(Q/N-1)。

[0062] 以上所述, 仅为本发明最佳的具体实施方式, 但本发明的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本发明揭露的技术范围内, 可轻易想到的变化或替换, 都应涵盖在本发明的保护范围之内。

[0063] 本发明说明书中未作详细描述的内容属于本领域专业技术人员的公知技术。

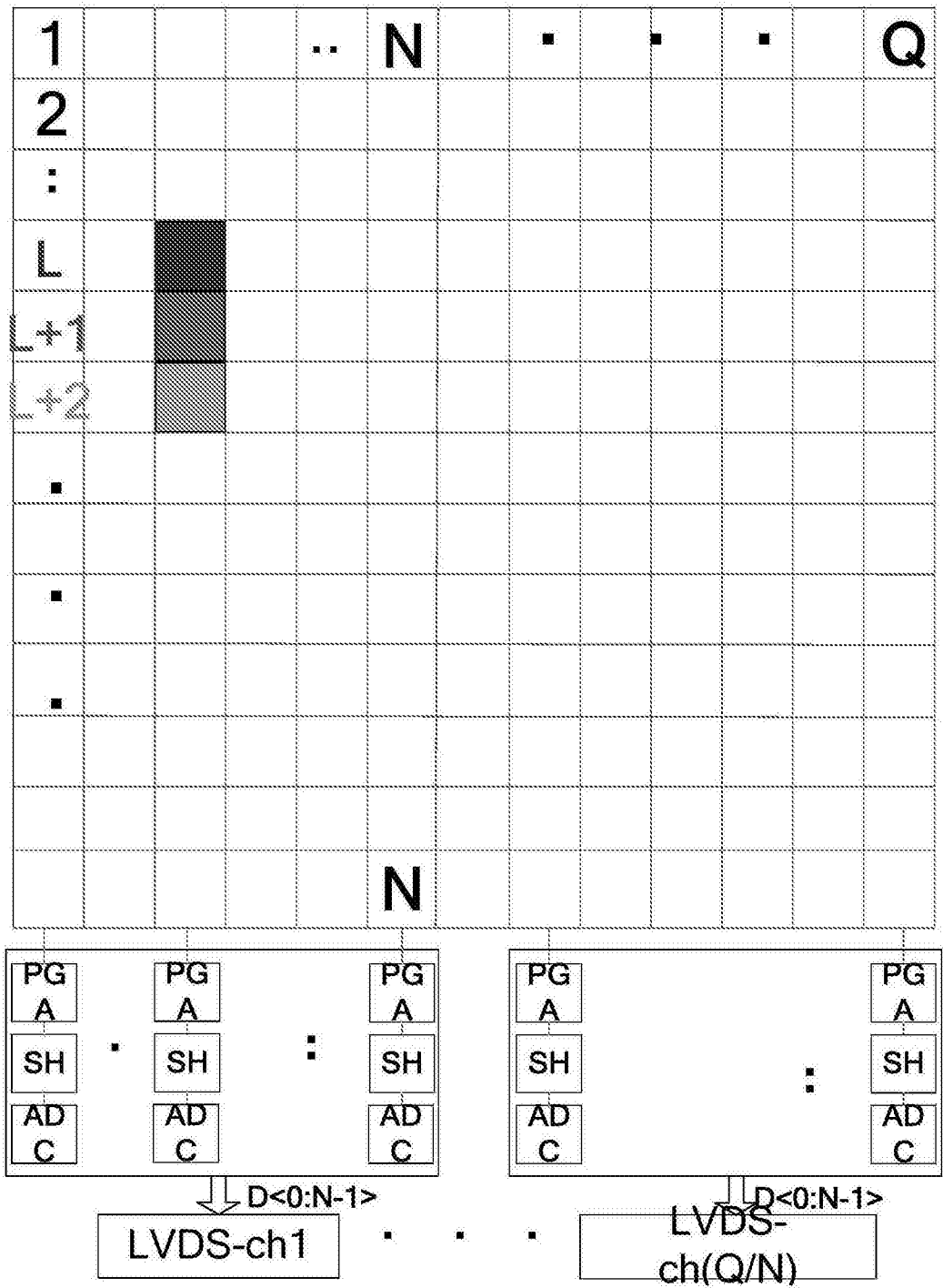


图1

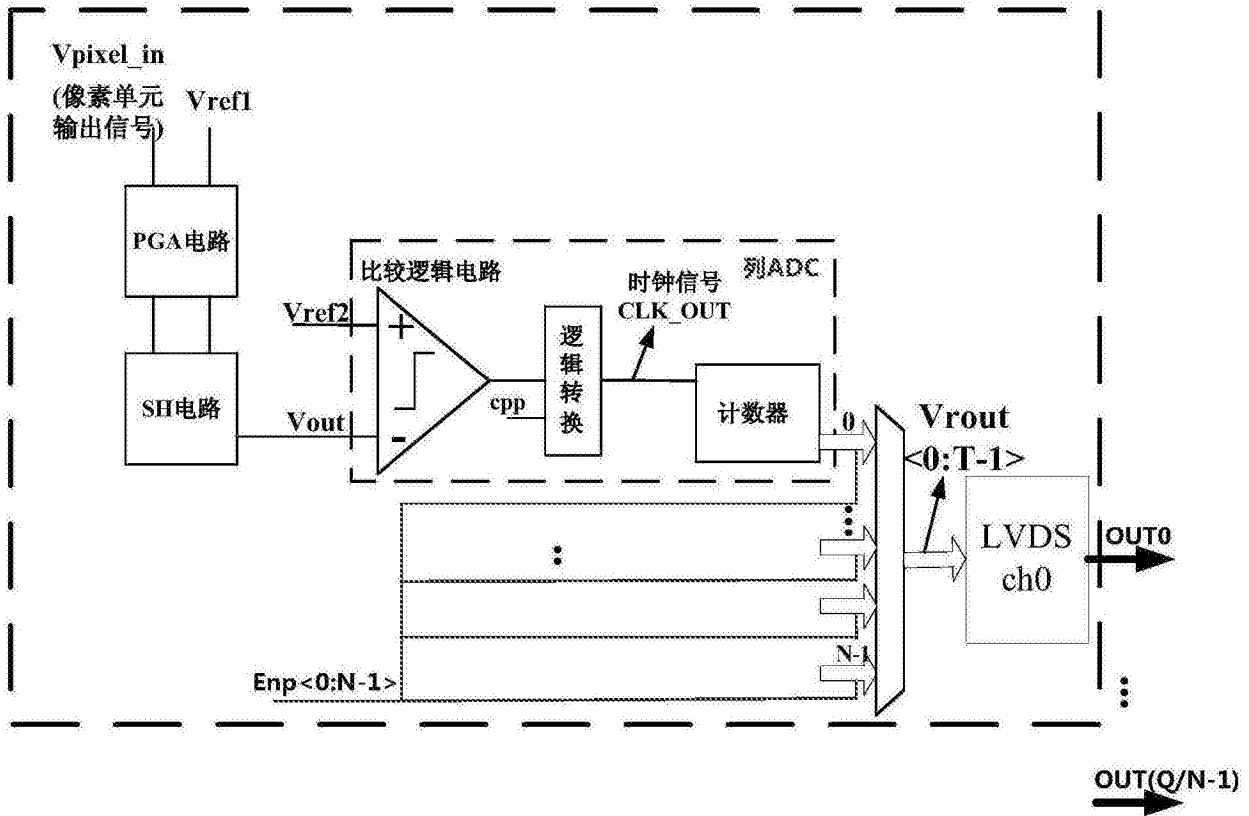


图2

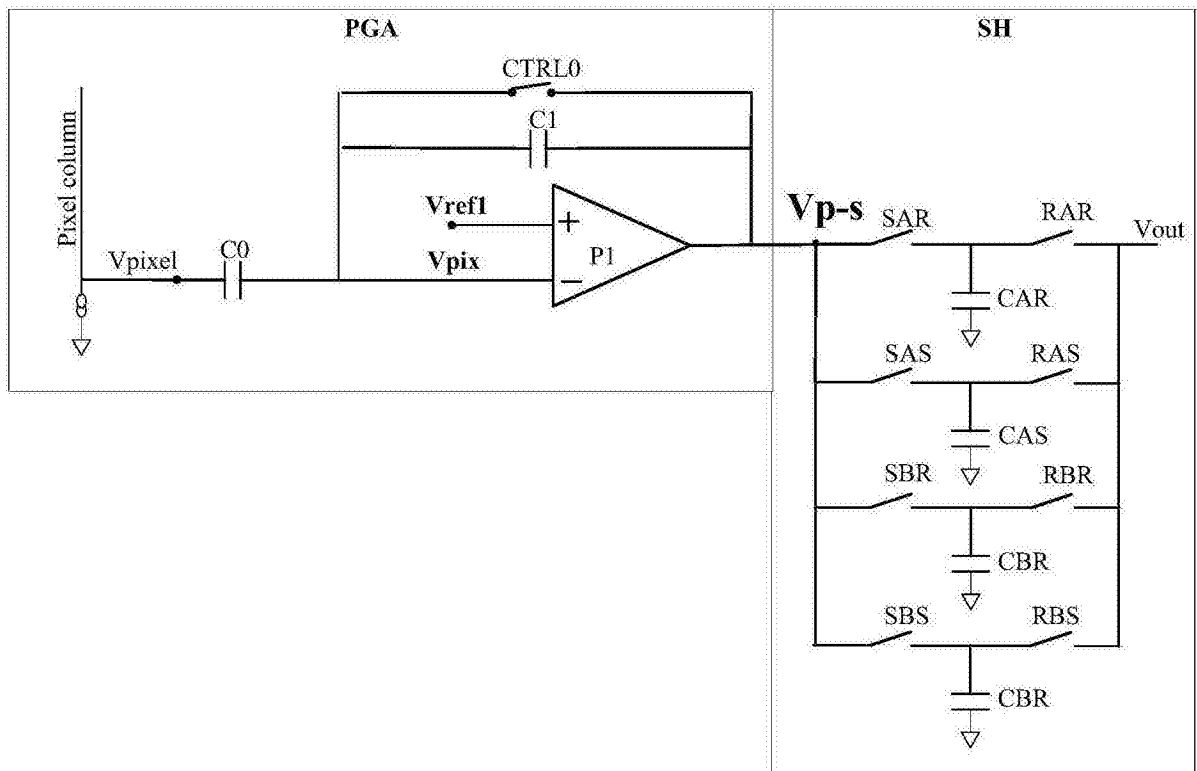


图3

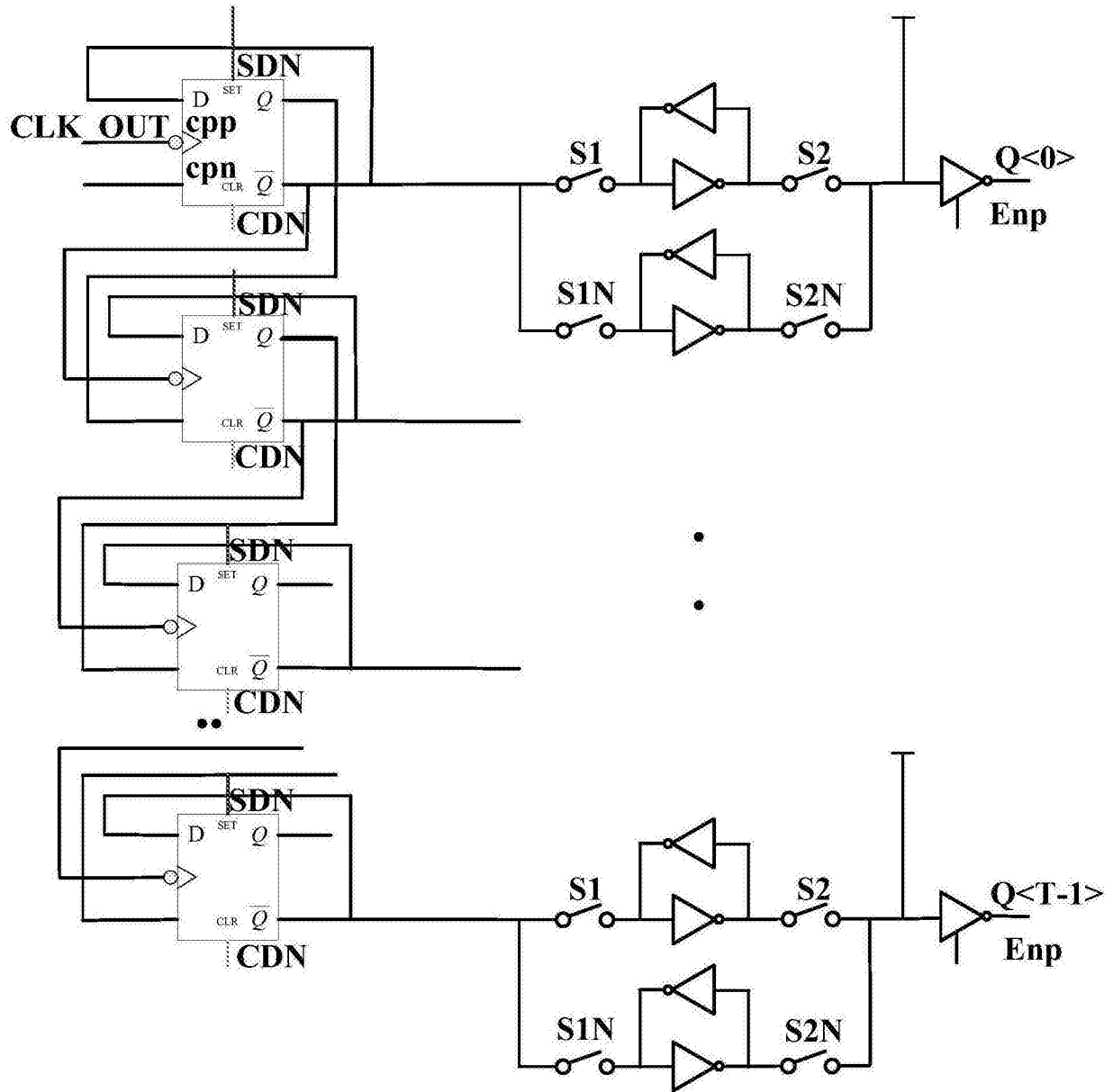


图4

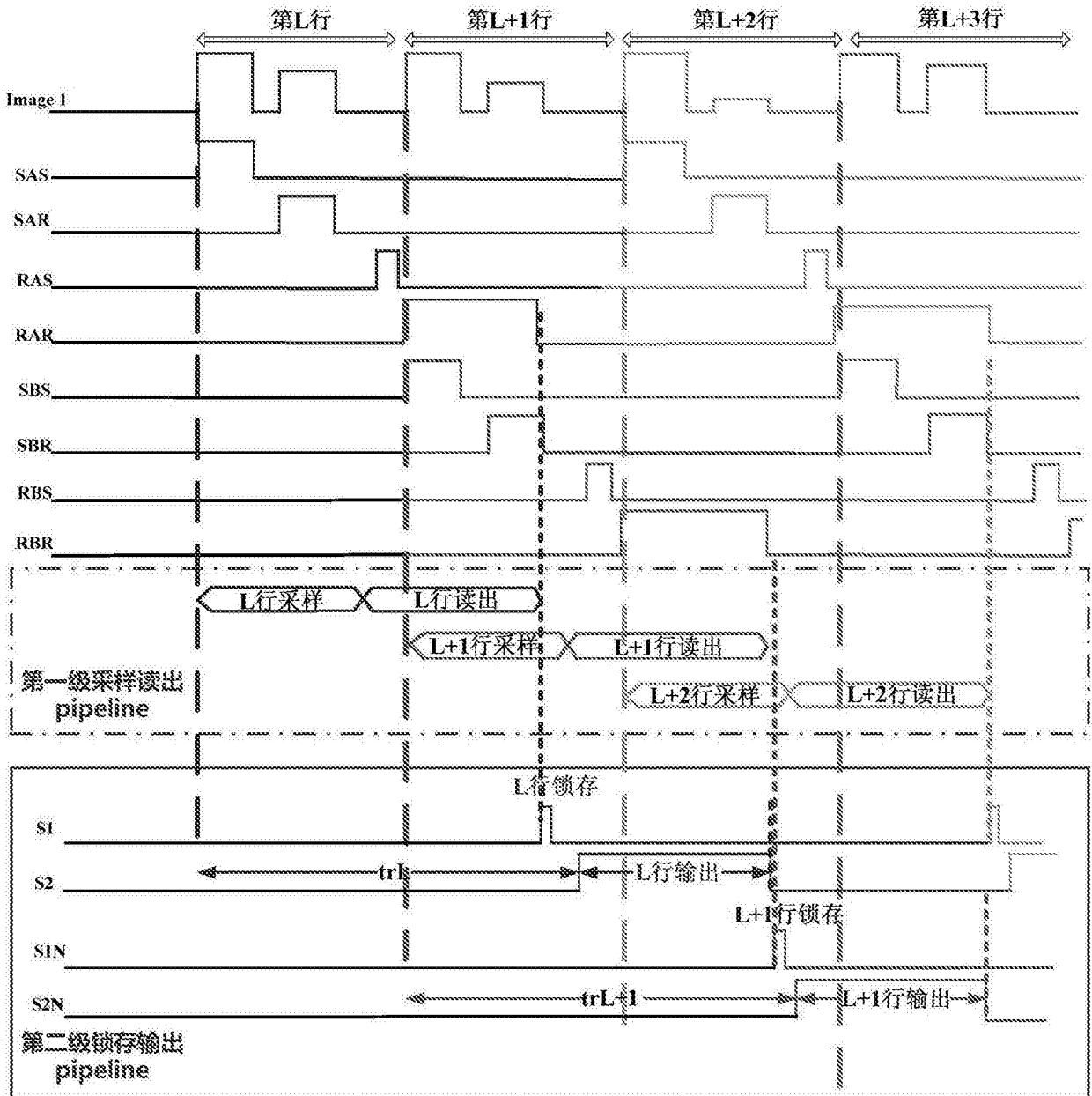


图5

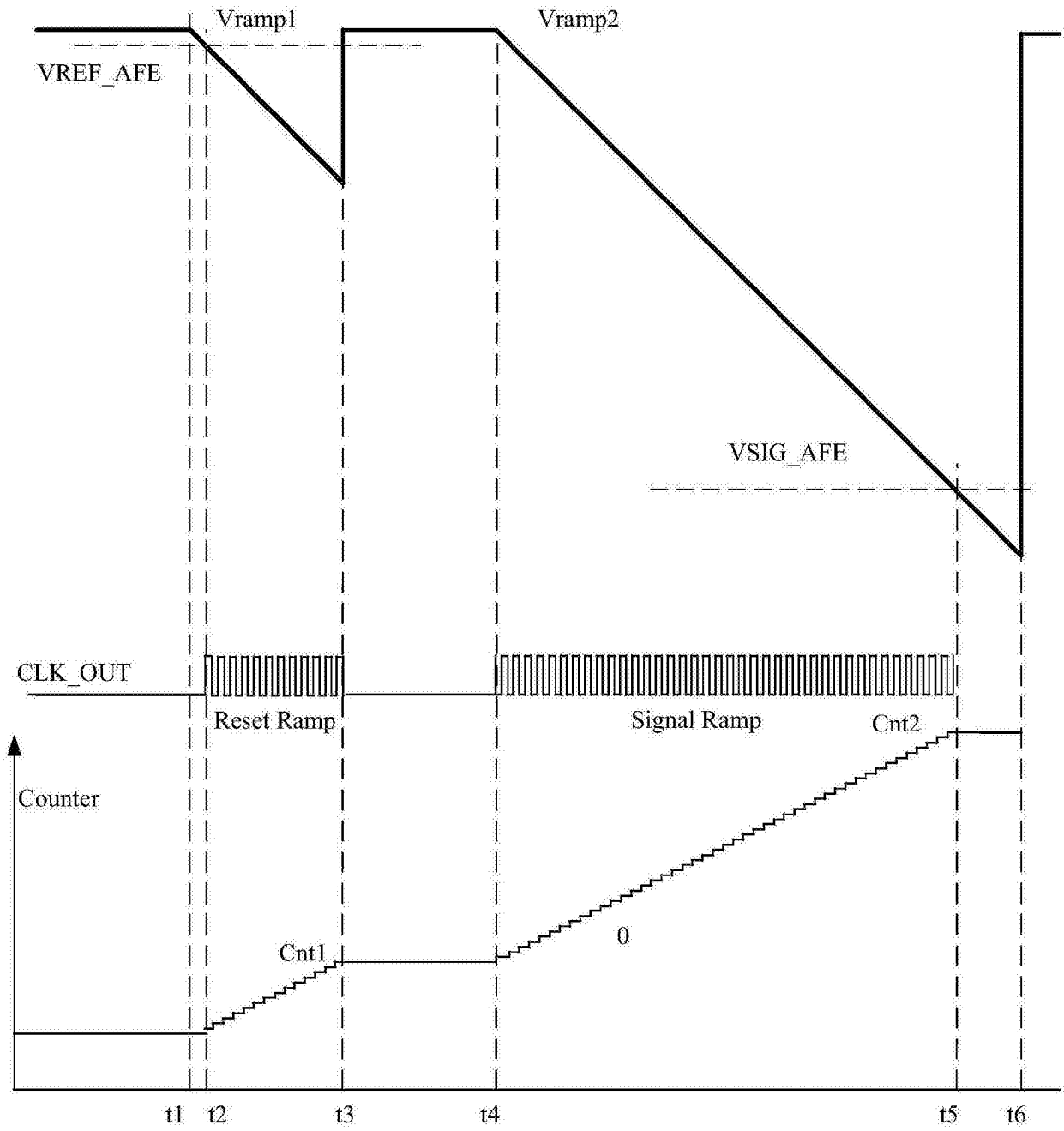


图6