

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6247299号
(P6247299)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.		F I			
HO2M	1/08	(2006.01)	HO2M	1/08	A
HO2M	7/48	(2007.01)	HO2M	7/48	M
			HO2M	7/48	Z

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2015-529292 (P2015-529292)	(73) 特許権者	000005108
(86) (22) 出願日	平成25年8月1日(2013.8.1)		株式会社日立製作所
(86) 国際出願番号	PCT/JP2013/070943		東京都千代田区丸の内一丁目6番6号
(87) 国際公開番号	W02015/015623	(74) 代理人	110001689
(87) 国際公開日	平成27年2月5日(2015.2.5)		青稜特許業務法人
審査請求日	平成28年1月20日(2016.1.20)	(72) 発明者	秋山 悟
			日本国東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		審査官	戸次 一夫

最終頁に続く

(54) 【発明の名称】 半導体装置及び電力変換装置

(57) 【特許請求の範囲】

【請求項1】

第1電源電圧にドレインが接続される第1スイッチ素子と第2電源電圧にソースが接続される第2スイッチ素子を有し、前記第1スイッチ素子のソースと前記第2スイッチ素子のドレインが電氣的に接続される電力変換装置に用いられる半導体装置であって、

前記第1スイッチ素子を駆動する第1駆動回路と、

前記第2スイッチ素子を駆動する第2駆動回路と、

第1レベルシフト回路と、

第2レベルシフト回路と、

を具備し、

前記第1レベルシフト回路および前記第2レベルシフト回路の前段には、低電圧レベルシフト回路を具備し、

前記第1駆動回路は、前記第1スイッチ素子のソース電位を基準として所定の電位だけ高電位の第3電源電圧と、前記ソース電位と、に接続され、

前記第2駆動回路は、前記第2電源電圧を基準として所定の電位だけ高電位の第4電源電圧と、前記第2電源電圧と、に接続され、

前記第1レベルシフト回路は、入力される信号の電圧レベルを前記第1駆動回路のために変換して出力するようにされ、

前記第2レベルシフト回路は、入力される信号の電圧レベルを前記第2駆動回路のために変換して出力するようにされ、

前記第 1 レベルシフト回路及び前記第 2 レベルシフト回路に入力される電源電位は、前記第 3 電源電圧と前記第 2 電源電圧であり、

デッドタイムを微調整するための遅延回路が、前記第 2 レベルシフト回路と前記第 2 駆動回路との間に配置される、
半導体装置。

【請求項 2】

請求項 1 において、

前記低電圧レベルシフト回路は、入力信号を前記第 4 電源電圧に変換する、
半導体装置。

【請求項 3】

請求項 2 において、

前記第 3 電源電圧は、高電圧側電源レベル V_B であり、
前記第 4 電源電圧は、低電圧側電源レベル V_{CC} であり、
 $V_B > V_{CC}$ である、

半導体装置。

【請求項 4】

請求項 1 において、

前記遅延回路は複数の遅延時間を生成する回路を有し、外部入力信号を用いて前記複数の遅延時間を選択するようにされる、

半導体装置。

【請求項 5】

第 1 電源電圧にドレインが接続される第 1 スイッチ素子と、
第 2 電源電圧にソースが接続される第 2 スイッチ素子と、
半導体装置と、

を具備し、

前記第 1 スイッチ素子とのソースと前記第 2 スイッチ素子のドレインが電氣的に接続され、

前記半導体装置は、前記第 1 スイッチ素子を駆動する第 1 駆動回路と、前記第 2 スイッチ素子を駆動する第 2 駆動回路と、第 1 レベルシフト回路と、第 2 レベルシフト回路と、デッドタイムを微調整するための遅延回路と、を有し、

前記第 1 レベルシフト回路および前記第 2 レベルシフト回路の前段には、入力信号を昇圧する低電圧レベルシフト回路を具備し、

前記第 1 駆動回路は、前記第 1 スイッチ素子のソース電位を基準として所定の電位だけ高電位の第 3 電源電圧と、前記ソース電位と、に接続され、

前記第 2 駆動回路は、前記第 2 電源電圧を基準として所定の電位だけ高電位の第 4 電源電圧が接続され、

前記第 1 レベルシフト回路は、入力される信号の電圧レベルを前記第 1 駆動回路のために変換して出力するようにされ、

前記第 2 レベルシフト回路は、入力される信号の電圧レベルを前記第 2 駆動回路のために変換して出力するようにされ、

前記第 1 レベルシフト回路及び前記第 2 レベルシフト回路に入力される電源電位は、前記第 3 電源電圧と前記第 2 電源電圧であり、

前記遅延回路は前記第 2 レベルシフト回路と前記第 2 駆動回路との間に配置される、
電力変換装置。

【請求項 6】

請求項 5 において、

前記第 1 レベルシフト回路は、第 1 の高耐圧トランジスタと第 1 の抵抗を含み、前記第 1 の高耐圧トランジスタのソースは前記第 2 電圧電源に接続され、前記第 1 の抵抗は、前記第 3 電源電圧と第 1 の出力ノードに接続され、

前記第 2 レベルシフト回路は、第 2 の高耐圧トランジスタと第 2 の抵抗を含み、前記第

10

20

30

40

50

2の高耐圧トランジスタのドレインは前記第3電圧電源に接続され、前記第2の抵抗は、前記第2電源電圧に接続され、前記高耐圧トランジスタのソースは第2の出力ノードに接続され、

前記第1の出力ノードは、300Vの高電位で動作する、
電力変換装置。

【請求項7】

請求項5において、

前記遅延回路は複数の遅延時間を生成する回路を有し、外部入力信号を用いて前記複数の遅延時間を選択するようにされる、

電力変換装置。

10

【請求項8】

請求項5において、

前記第1スイッチ素子および第2スイッチ素子のそれぞれと並列接続された第1の還流ダイオードおよび第2の還流ダイオードを有し、

前記第1および第2の還流ダイオードと前記第1スイッチ素子と第2スイッチ素子とを1つのパワーモジュールで構成するようにされる、

電力変換装置。

【請求項9】

請求項5において、

前記第1スイッチ素子及び前記第2スイッチ素子はシリコン、シリコンカーバイド、もしくはガリウムナイトライドである、

電力変換装置。

20

【請求項10】

請求項9において、

前記第1スイッチ素子及び前記第2スイッチ素子は前記シリコンカーバイドを用いたMOSFETであり、

前記電力変換装置は、前記第1スイッチ素子及び前記第2スイッチ素子の内蔵ダイオードを還流ダイオードとして用いるインバータ装置である、

電力変換装置。

【請求項11】

第1電源電圧にドレインが接続される第1スイッチ素子と、

第2電源電圧にソースが接続される第2スイッチ素子と、

前記第1スイッチ素子を駆動する第1駆動回路と、

前記第2スイッチ素子を駆動する第2駆動回路と、

第1レベルシフト回路と、

第2レベルシフト回路と、

デッドタイムを微調整するための遅延回路と、

を具備し、

前記第1スイッチ素子のソースと前記第2スイッチ素子のドレインが電氣的に接続され

、

前記第1駆動回路は、前記第1スイッチ素子のソース電位を基準として所定の電位だけ高電位の第3電源電圧と、前記ソース電位とを用いて動作し、

前記第2駆動回路は、前記第2電源電圧を基準として所定の電位だけ高電位の第4電源電圧とを用いて動作し、

前記第1レベルシフト回路は、前記第1駆動回路のために電圧レベルを変換するようにされ、

前記第2レベルシフト回路は、前記第2駆動回路のために電圧レベルを変換するようにされ、

前記第1レベルシフト回路及び前記第2レベルシフト回路に入力される電源電位は、前記第3電源電圧と前記第2電源電圧であり、

30

40

50

前記第1レベルシフト回路及び前記第2レベルシフト回路に制御信号が入力されることで、前記第2電源電圧と前記第3電源電圧を用いて、前記第1駆動回路及び前記第2駆動回路の動作電圧を生成し、

前記第1レベルシフト回路が出力する電圧レベルは300Vに達し、

前記遅延回路は前記第2レベルシフト回路と前記第2駆動回路との間に配置される、電力変換装置。

【請求項12】

請求項11において、

前記第1レベルシフト回路および前記第2レベルシフト回路の前段には、低電圧レベルシフト回路を具備し、

前記低電圧レベルシフト回路は、入力信号を15Vに変換する、電力変換装置。

【請求項13】

請求項11において、

前記遅延回路は複数の遅延時間を生成する手段を有し、外部入力信号を用いて前記複数の遅延時間を選択するようにされる、

電力変換装置。

【請求項14】

請求項11において、

前記第1スイッチ素子に並列接続された第1の還流ダイオードと、前記第2スイッチ素子に並列接続された第2の還流ダイオードと、を有する、

電力変換装置。

【請求項15】

請求項11において、

前記第1スイッチ素子及び前記第2スイッチ素子はシリコンカーバイドを用いたMOSFETであり、

前記電力変換装置は、前記第1スイッチ素子及び前記第2スイッチ素子の内蔵ダイオードを還流ダイオードとして用いるインバータ装置である、

電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関し、例えば、パワーデバイスとそれを駆動する半導体装置とを備えた電力変換装置に適用可能である。

【背景技術】

【0002】

地球環境保全という大きな社会潮流の中で、環境負荷を低減するエレクトロニクス事業の重要性が増している。中でもパワーデバイスは、鉄道車両やハイブリッド・電気自動車のインバータ装置やエアコンのインバータ装置、パソコン等の民生機器の電源に用いられており、パワーデバイスの性能改善は、インフラシステムや民生機器の電力変換効率改善に大きく寄与する。電力変換効率を改善するということは、システムの稼働に必要なエネルギー資源を削減できるということであり、言い換えれば二酸化炭素の排出量削減、即ち環境負荷を低減できる。このため、パワーデバイスの性能改善に向けた研究開発が各社で盛んに行われている。

【0003】

一般的にパワーデバイスは大規模集積回路(LSI)と同様シリコン(Si)を材料としている。このSiパワーデバイスを用いた電力変換装置(インバータ装置など)では、そのインバータ装置等で発生するエネルギー損失を低減するために、ダイオードやスイッチ素子の素子構造や不純物濃度のプロファイルを最適化して、低いオン抵抗(R_{on})、高い電流密度、高耐圧といった特性を実現するための開発が盛んに行われている。

10

20

30

40

50

【0004】

また近年、シリコンよりもバンドギャップが大きいシリコンカーバイド（SiC）やガリウムナイトライド（GaN）といった化合物半導体が、パワーデバイス材料として注目されている。前記化合物半導体はバンドギャップが大きいため、破壊耐圧がシリコンの10倍程度ある。このため化合物デバイスはSiデバイスよりも膜厚を薄くでき、導通時の抵抗値（ R_{on} ）を大幅に下げられる。その結果、抵抗値（ R_{on} ）と導通電流（ i ）の積であらわされる、所謂導通損失（ $R_{on} \cdot i^2$ ）を削減でき電力効率改善に大きく寄与できる。このような特長に着目し国内外で化合物材料を用いたダイオードやスイッチ素子の開発が盛んに進められている。

【0005】

パワーデバイスの応用としては、例えば同期整流型コンバータ装置や、DC/AC変換装置であるインバータ装置が一般的である。インバータ装置について簡単に説明すると、高電圧側（上アーム）の電源と低電圧側（下アーム）の電源との間に、パワーデバイスからなるスイッチ素子と還流ダイオードが直列に二つ接続されるものである。これら上下アームのスイッチ素子を交互にオン・オフさせることにより、インバータ装置前段のDCレベルをACレベルに変換して後段のAC絶縁トランスやモータといった負荷回路に供給する。なお、上下アームのスイッチを交互にオン・オフさせる、即ち、上下アームのスイッチ素子が同時にオン状態にならないように制御するために、ゲートドライブ回路にはデッドタイム生成回路が含まれている。同期整流型のコンバータ装置においても同様で、通常このデッドタイムが十分長い時間設定されているため、上下のスイッチ素子が同時にオンすることはない。しかし、デッドタイムが必要以上に長いとダイオードの導通損失成分が増加してしまい、インバータ装置もしくはコンバータ装置の電力変換効率を悪化させてしまう恐れがある。一方、デッドタイムが過少に短いと上下アームのスイッチ素子が同時にオンする状態が生じ、非常に大きな貫通電流が高電位電源側から低電位電源に流れ、上下アームのスイッチ素子を破壊してしまう恐れがある。このため、インバータ装置やコンバータ装置においてデッドタイムを最適に最小化することが、電力変換装置の損失低減に重要な役割を果たす。なお、メインスイッチ素子のオン抵抗が数mΩと小さく、還流時のダイオードのオン電圧よりもメインスイッチ素子の逆導通電圧の方が低い場合（数十V程度の電源電圧のアプリケーション）は、デッドタイム最小化による損失低減効果が大きい。

【0006】

例えば特許文献1には、同期整流型DC/DCコンバータにおいてデッドタイムの最適化をするために、ハイサイドドライバ及びロウサイドドライバの両方にレベルシフト回路を含む構成が開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2009-44814号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

数百ボルト以上の高電圧インバータ装置や同期整流型のコンバータ装置では、デッドタイムを最小化するという点で、次のような新たな課題が発明者の検討によってはじめて明らかになった。

【0009】

すなわち、(1)ゲートドライブ回路入力側の低電位（例えば15V前後）振幅で動作する制御信号を、高電位（例えば300V前後）に変換し、(2)その変換したハイサイド側のゲート駆動信号を生成する際の回路遅延時間と、ロウサイド側のゲート駆動信号を生成する際の回路遅延時間において、前記両方の遅延時間のプロセス・電圧・温度バラツキ依存性を可能な限り等しくすることである。

【0010】

10

20

30

40

50

特許文献 1 に開示された技術では、ハイサイドのレベルシフト回路の入力電位は低電位（例えば 15 V 前後）のため、ハイサイドのレベルシフト回路の動作電位が高電位に遷移した場合は、レベルシフト回路として動作できない問題がある。また、高電位（例えば 300 V 前後）に制御信号を変換するレベルシフト回路の具体的な記述もない。言い換えれば、高電圧電力変換回路において、上下アームのスイッチ素子を交互にオン・オフさせる際のデッドタイムの最小化が困難であると分かった。

【0011】

本開示の目的は、パワーデバイスを駆動する半導体装置において、上下アームのスイッチ素子をオン・オフさせる際のデッドタイムを最小化し、電力変換装置の損失を低減することにある。

10

【0012】

本開示の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本開示のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0014】

第 1 電源電圧にドレインが接続される第 1 スwitch素子と第 2 電源電圧にソースが接続される第 2 スwitch素子を有し、第 1 スwitch素子のソースと第 2 スwitch素子のドレインが電氣的に接続される電力変換装置に用いられる半導体装置は、第 1 スwitch素子を駆動する第 1 駆動回路と、第 2 スwitch素子を駆動する第 2 駆動回路と、第 1 レベルシフト回路と、第 2 レベルシフト回路と、を具備する。第 1 駆動回路は、第 1 スwitch素子のソース電位を基準として所定の電位だけ高電位の第 3 電源電圧と、ソース電位と、に接続される。第 2 駆動回路は、第 2 電源電圧を基準として所定の電位だけ高電位の第 4 電源電圧と第 2 電源電圧と、に接続される。第 1 レベルシフト回路及び第 2 レベルシフト回路に入力される電源電位は、第 3 電源電圧と第 2 電源電圧である。

20

【発明の効果】

【0015】

上記半導体装置を電力変換装置に用いれば、電力変換時における変換効率を向上することができる。

30

【図面の簡単な説明】

【0016】

【図 1】実施例 1 に係る半導体装置のブロック図である。

【図 2】実施例 1 に係るレベルシフト回路の回路図である。

【図 3】実施例 1 に係る遅延回路の回路図である。

【図 4】実施例 1 に係る半導体装置の動作タイミングを示す図である。

【図 5】実施例 2 に係る電力変換装置の構成を示す概略図である。

【図 6】実施例 2 に係る電力変換装置のスイッチ素子および還流ダイオードをパワーモジュールに実装した平面図である。

【図 7】実施例 3 に係る電力変換装置の構成を示す概略図である。

40

【図 8 A】実施例 4 に係る SiC-MOSFET の概略構成を示す平面図である。

【図 8 B】実施例 4 に係る SiC-MOSFET の概略構成を示す断面図である。

【図 9 A】図 8 B におけるアクティブ素子領域内の各要素トランジスタの構成例を示す断面図である。

【図 9 B】図 9 A の変形例の構成例を示す断面図である。

【図 10 A】実施例 4 に係る SiC-MOSFET をパッケージに実装した平面図である。

【図 10 B】実施例 4 に係る SiC-MOSFET をパッケージに実装した断面図である。

【図 11】実施の形態に係る半導体装置を説明する図である。

50

【発明を実施するための形態】

【0017】

図11は実施の形態に係る半導体装置を説明する図である。

実施の形態に係る半導体装置110は、電力変換装置101に用いられる。電力変換装置101は、第1電源電圧(V_{PP})にドレインD1が接続される第1スイッチ素子SW1と第2電源電圧(V_{SS})にソースS2が接続される第2スイッチ素子SW2を有する。第1スイッチ素子SW1のソースS1と第2スイッチ素子SW2のドレインD2が電氣的に接続される。半導体装置110は、第1スイッチ素子SW1を駆動する第1駆動回路112Hと、第2スイッチ素子SW2を駆動する第2駆動回路112Lと、第1レベルシフト回路104Hと、第2レベルシフト回路104Lと、を具備する。第1レベルシフト回路104Hは、入力される信号(I_U)の電圧レベルを第1駆動回路112Hのために変換して信号(O_U)を出力し、第2レベルシフト回路104Lは、入力される信号(I_D)の電圧レベルを第2駆動回路112Lのために変換して信号(O_D)を出力し、第1駆動回路112Hは、第1スイッチ素子SW1のソース電位(V_S)を基準として所定の電位だけ高電位の第3電源電圧(V_B)と、ソース電位(V_S)と、に接続される。第2駆動回路SW2は、第2電源電圧(V_{SS})を基準として所定の電位だけ高電位の第4電源電圧(V_{CC})と第2電源電圧(V_{SS})と、に接続される。第1レベルシフト回路104H及び第2レベルシフト回路104Lに入力される電源電位は、第3電源電圧(V_B)と第2電源電圧(V_{SS})である。

10

【0018】

20

半導体装置101は、デッドタイムを微調整するための遅延回路107を含むのが好ましい。遅延回路107は第2レベルシフト回路104Lと第2駆動回路112Lとの間に配置するのがより好ましい。また、遅延回路107は複数の遅延時間を生成する回路を有し、外部入力信号を用いて前記複数の遅延時間を選択するようにされるのがより好ましい。

【0019】

なお、電力変換装置101には、第1スイッチ素子SW1に並列に接続される第1還流ダイオードDi1と第2スイッチ素子SW2に並列に接続される第2還流ダイオードDi2が含まれる。

【0020】

30

実施の形態に係る半導体装置110を電力変換装置101に用いることによって、デッドタイムを最適化することができ、電力変換時における変換効率を向上することができる。

【0021】

以下の実施例においては便宜上その必要があるときは、複数のセクションまたは実施例に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施例において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0022】

40

さらに、以下の実施例において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施例において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0023】

なお、実施例では、MISFET(Metal Insulator Semiconductor Field Effect Transistor)の一例としてMOSFET(Metal Oxide Semiconductor Field Effect Transistor)(MOSトランジスタと略す)を用いるが、ゲート絶縁膜として非酸化膜を除外す

50

るものではない。図面において、pチャネル型MOSトランジスタ(PMOSトランジスタ)にはゲートに丸印の記号を付すことで、nチャネル型MOSトランジスタ(NMOSトランジスタ)と区別することとする。

【0024】

以下、実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【実施例1】

【0025】

以下図1から図4により第一の実施例である半導体装置について説明する。

図1は実施例1に係る半導体装置のブロック図である。半導体装置10は、ゲート駆動制御回路(GDCTL)11と上アーム用のゲート駆動回路(G/D)12Hと下アーム用のゲート駆動回路(G/D)12Lを有する。半導体装置10は、Si、SiC、GaNなどを用いたパワーデバイスで構成されるスイッチ素子を駆動する半導体装置である。半導体装置10は、1つのSi基板または複数のSi基板上に形成される。なお、図示していないが、半導体装置10は、後述するセンス用端子からの電流を受けてスイッチ素子の電流を監視する回路も有する。

10

【0026】

半導体装置10の構成と動作について、以下説明する。

(a) 信号入力

端子A1に入力されるハイ側入力信号(HIN)がアサートされると、ハイ側シュミットトリガ回路1Hを介してハイ側レベルシフト回路(V_{DD}/V_{CC} LEVEL SHIFT)2Hによる電圧レベル変換が行われる。ハイ側シュミットトリガ回路1H及び抵抗R1は、HINが揺らいだ場合においても、安定した出力レベルをハイ側レベルシフト回路2Hに転送するための回路である。なおハイ側レベルシフト回路2HはHINの出力レベルを端子A11に印加される低電圧側電源レベル(V_{CC}) (例えば15V等)に変換する。ハイ側シュミットトリガ回路1Hは、端子A3に印加される電源電圧(V_{DD})及び端子A4に印加される低電圧側ソースレベル(V_{SS})で動作する。端子A2に入力されるロウ側入力信号(LIN)がアサートされると、ロウ側シュミットトリガ回路1Lを介してロウ側レベルシフト回路(V_{DD}/V_{CC} LEVEL SHIFT)2Lによる電圧レベル変換が行われる。ロウ側シュミットトリガ回路1L及び抵抗R2は、LINが揺らいだ場合においても、安定した出力レベルをロウ側レベルシフト回路2Lに転送するための回路である。なおロウ側レベル変換回路2LはLINの出力レベルを低電圧側電源レベル(V_{CC})に変換する。ロウ側シュミットトリガ回路1Lは、端子A3に印加される電源電圧(V_{DD})及び端子A4に印加される低電圧側ソースレベル(V_{SS})で動作する。

20

30

【0027】

(b) ワンショットパルス生成回路

ワンショットパルス生成回路(PULSE GEN)3は、ハイ側レベルシフト回路2Hの出力の立上りと立下りでそれぞれワンショットパルス信号(IU0、IU1)を生成する。また、ワンショットパルス生成回路3は、ロウ側レベルシフト回路2Lの出力の立上りと立下りでそれぞれワンショットパルス信号(ID0、ID1)を生成する。ワンショットパルス生成回路3は、端子A11に印加される低電圧側電源レベル(V_{CC})及び端子A4に印加される低電圧側ソースレベル(V_{SS})で動作する。

40

【0028】

(c) ハイ側の制御信号生成

ハイ側高電圧レベルシフト回路(LVSU)4Hは、ワンショットパルス信号(立上り用(IU0)/立下り用(IU1))の出力レベルを端子A8に印加される高電圧側電源レベル(V_B)と端子A10に印加される低電圧側ソースレベル(V_{SS})のレベルに変換する。高電圧側電源レベル(V_B)は、上アーム用のゲート駆動回路12Hの高電圧側ソースレベル(V_S)を基準に、例えば15V等を加えた電圧(V_S+15V)に設定さ

50

れ、ゲート駆動回路 (G/D) 12H の高電圧側電源電圧となる。ハイ側高電圧レベルシフト回路 4H の詳細については、後述する。

【0029】

ハイ側高電圧レベルシフト回路 4H の出力信号 (OU0、OU1) は、ハイ側パルスフィルタ (PULSE FILTER) 5H を介してハイ側 RS ラッチ回路 6H に入力される。ハイ側高電圧レベルシフト回路 4H からのワンショットパルス信号 (立上り用) (OU0) はハイ側 RS ラッチ回路 6H のセット入力となり、ハイ側高電圧レベルシフト回路 4H からのワンショットパルス信号 (立下り用) (OU1) はハイ側 RS ラッチ回路 6H のリセット入力となる。この際に、パルスフィルタ 5H は、既定の制御信号以外の不定は信号を除去する。

10

【0030】

ハイ側 RS ラッチ回路 6H の出力信号を上アーム用のゲート駆動回路 12H に転送する。ゲート駆動回路 12H はハイ側 RS ラッチ回路 6H の出力信号を入力として動作し、上アームスイッチ用制御信号 (HO) を端子 A9 に出力する。ここで、/R (リセット入力)、/S (セット入力)、/Q (出力) はアクティブ・ロウ (Active Low) を示している。すなわち、ロウレベルの信号で活性化される。

【0031】

ハイ側電圧検出保護回路 (UV DETECT) 8H は、高電圧側電源レベル (VB) を監視し、高電圧側電源レベル (VB) が低下した際にハイ側 RS ラッチ回路 6H にリセット入力を行い、上アーム用のゲート駆動回路 12H 等を介してスイッチ素子の保護を図る。上アーム用のゲート駆動回路 12H は、入力信号がロウレベルのとき、ハイレベルの上アームスイッチ用制御信号 (HO) を出力し、入力信号がハイレベルのとき、ロウレベルの上アームスイッチ用制御信号 (HO) を出力する。

20

【0032】

ハイ側パルスフィルタ 5H、ハイ側 RS ラッチ回路 6H、ハイ側電圧検出保護回路 8H および上アーム用のゲート駆動回路 12H は、端子 A8 に印加される高電圧側電源レベル (VB) 及び端子 A10 に印加される高電圧側ソースレベル (VS) で動作する。

【0033】

(d) ロウ側の制御信号生成

ロウ側高電圧レベルシフト回路 (LVSD) 4L は、ワンショットパルス信号 (立上り用 (ID0) / 立下り用 (ID1)) の出力レベルを高電圧側電源レベル (VB) と低電圧側ソースレベル (VSS) に変換する。ロウ側高電圧レベルシフト回路 4L の詳細については、後述する。

30

【0034】

ロウ側高電圧レベルシフト回路 4L の出力信号 (OD0、OD1) は、ロウ側パルスフィルタ (PULSE FILTER) 5L を介してロウ側 RS ラッチ回路 6L に入力される。ロウ側高電圧レベルシフト回路 4L からのワンショットパルス信号 (立上り用) (OD0) はロウ側 RS ラッチ回路 6L のセット入力となり、ロウ側高電圧レベルシフト回路 4L からのワンショットパルス信号 (立下り用) (OD1) はロウ側 RS ラッチ回路 6L のリセット入力となる。この際に、ロウ側パルスフィルタ 5L は、既定の制御信号以外の不定は信号を除去する。

40

【0035】

遅延回路 (DELAY) 7 は、ロウ側 RS ラッチ回路 6L の出力信号 (Din) を入力として動作し、下アーム用のゲート駆動回路 12L にその出力信号を転送する。ゲート駆動回路 12L は遅延回路 7 の出力信号 (Dout) を入力として動作し、下アームスイッチ用制御信号 (LO) を端子 A12 に出力する。ここで、/R (リセット入力) はアクティブ・ロウ (Active Low) を、S (セット入力)、Q (出力) はアクティブ・ハイ (Active High) を示している。

【0036】

ロウ側電圧検出保護回路 (UV DETECT) 8L は、低電圧側電源レベル (VCC

50

)を監視し、低電圧側電源レベル(VCC)が低下した際にロウ側RSラッチ回路6Lにリセット入力を行い、また論理積回路9の出力をロウレベルにして、下アーム用のゲート駆動回路12L等を介してスイッチ素子の保護を図る。下アーム用のゲート駆動回路12Lは、入力信号がハイレベルのとき、ハイレベルの下アームスイッチ用制御信号(L0)を出力し、入力信号がロウレベルのとき、ロウレベルの下アームスイッチ用制御信号(L0)を出力する。

【0037】

遅延回路7はロウ側RSラッチ回路6Lの出力信号を遅延させて後段の論理積回路9にその出力信号を転送するもので、上下アームのスイッチ素子が同時にオンしないための所謂デッドタイム時間を調整する。なお遅延回路7の回路構成は特に限定されないが、例えば複数段のCMOS反転回路等によって構成すればよい。遅延回路7の詳細については、後述する。

【0038】

ロウ側パルスフィルタ5L、ロウ側RSラッチ回路6L、遅延回路7、ロウ側電圧検出保護回路8Lおよび下アーム用のゲート駆動回路12Lは、端子A11に印加される低電圧側電源レベル(VCC)及び端子A4に印加される高電圧側ソースレベル(VSS)で動作する。

【0039】

(e) 高電圧レベルシフト回路

図2は、ハイ側高電圧レベルシフト回路(LVSU)及びロウ側高電圧レベルシフト回路(LVSD)の回路構成を示す一例である。ハイ側高電圧レベルシフト回路4H、及びロウ側高電圧レベルシフト回路4Lは、複数の高耐圧NMOSトランジスタNMと複数の抵抗Rから構成される。

【0040】

ハイ側高電圧レベルシフト回路4Hを構成する高耐圧NMOSトランジスタNM1、NM2のソースは低電圧側ソースレベル(VSS)に接続される。また抵抗R3、R4は、高電圧側電源レベル(VB)と出力ノードN1、N2に接続される。上アーム側のゲート駆動回路12Hの立上り信号は、ワンショットパルス生成回路3からの出力信号であるIU0がハイ側高電圧レベルシフト回路4Hに入力されることで生成される。出力ノードN1、N2は高電位(例えば300V程度)で動作する場合があるが、高耐圧NMOSトランジスタNM1、NM2を適用することで、素子が破壊されることなくゲート駆動信号が正常に生成される。上アーム側のゲート駆動回路12Hの立下り信号についても同様であり、高電圧レベルシフト回路4Hに、ワンショットパルス生成回路3からの制御信号であるIU1が入力されることで、立下り信号が生成される。

【0041】

また、ロウ側高電圧レベルシフト回路4Lを構成する高耐圧NMOSトランジスタNM3、NM4のドレインは高電圧側電源レベル(VB)に接続され、抵抗R5、R6は低電圧側ソースレベル(VSS)に接続される。また高耐圧NMOSトランジスタNM3、NM4のソース側は、出力ノードN3、N4に接続される。ハイ側高電圧レベルシフト回路4Hと同様に、下アーム側のゲート駆動回路12Lの立上り信号は、ワンショットパルス生成回路3からの出力信号であるID0がロウ側高電圧レベルシフト回路4Lに入力されることで生成される。出力ノードN3は高耐圧NMOSトランジスタNM3がソースフォロアモードで動作するため、下アーム側のゲート駆動回路12Lの低電圧側電源レベル(VCC)とほぼ同程度に上昇し、そのハイレベル信号が後段の回路に入力され、下アーム側のゲート駆動回路12Lの立上り信号となる。下アーム側のゲート駆動回路12Lの立下り信号についても同様であり、高電圧レベルシフト回路4Lに、ワンショットパルス生成回路3からの制御信号であるID1が入力されることで、立下り信号が生成される。

【0042】

なお、ハイ側高電圧レベルシフト回路4H、及びロウ側高電圧レベルシフト回路4Lに入力される電源電位は、高電圧側電源レベル(VB)、低電圧側ソースレベル(VSS)

10

20

30

40

50

である。

【 0 0 4 3 】

以上のような構成にすることで、ハイ側高電圧レベルシフト回路 4 H とロウ側高電圧レベルシフト回路 4 L が同じ電源レベルで動作することができるため、レベルシフト回路の遅延時間のプロセス・電圧・温度依存性は、ハイ側とロウ側で同等にできる。言い換えれば、設計したデッドタイム時間 t_{de0} が確実に確保できるため、デッドタイムを最小化することができ、電力変換装置の変換効率を向上することができる。

【 0 0 4 4 】

なお説明では高電圧レベルシフト回路の高電圧入力レベルは V_B としたが、スイッチ素子の高電位電源 5 4 の電圧である V_{PP} (図 5 参照) にしてもよいことは言うまでもない。

【 0 0 4 5 】

(f) 遅延回路

図 3 は、図 1 の遅延回路の回路構成を示している。図 4 はゲート制御回路及びゲート駆動回路のタイミングチャートを示している。遅延回路 7 は、所謂 CMOS 反転回路を多段に接続し、所望の遅延時間 (t_{de0} 、 t_{de1} 、 t_{de2}) を生成することができる。また遅延時間選択信号 (T_{I0} 、 T_{I1} 、 T_{I2}) を選択的にハイレベルに設定することで、複数の遅延時間を適宜選択できる。具体的には、遅延回路 7 は、反転回路を 6 段接続した遅延生成回路 3 4 と反転回路を 4 段接続した遅延生成回路 3 5 と反転回路を 2 段接続した遅延生成回路 3 6 とを有する。遅延時間選択信号 (T_{I0}) がハイレベルのとき、反転論理積 (NAND) 回路 3 1 とスリーステートバッファ 3 7 が選択され、信号 (D_{in}) が遅延手段 3 4 によって遅延時間 (t_{de0}) だけ遅延して、信号 (D_{out}) として出力される。遅延時間選択信号 (T_{I1}) がハイレベルのとき、反転論理積 (NAND) 回路 3 2 とスリーステートバッファ 3 8 が選択され、信号 (D_{in}) が遅延手段 3 5 によって遅延時間 (t_{de1}) だけ遅延して、信号 (D_{out}) として出力される。遅延時間選択信号 (T_{I2}) がハイレベルのとき、反転論理積 (NAND) 回路 3 3 とスリーステートバッファ 3 9 が選択され、信号 (D_{in}) が遅延生成回路 3 6 によって遅延時間 (t_{de2}) だけ遅延して、信号 (D_{out}) として出力される。なお、遅延生成回路を構成する反転回路の数は 6 段、4 段、2 段に限定されるものではなく、所望の遅延時間によって変えてもよい。また、遅延生成回路の数は 3 つに限定されるものではなく、3 つより少なくても多くてもよい。図 2 の高電圧レベルシフト回路 4 H、4 L に図 3 の遅延回路を組み合わせた図 1 のような構成にすることで、設計したデッドタイム (t_{de0}) の微調整をすることができる。すなわち、ハイサイド側及びロウサイド側のスイッチ素子が同時にオンすることを防ぐことができ、デッドタイムを最小化できる。なお、図 3 では遅延生成回路の構成は簡単な反転回路としたが、反転論理和回路 (NOR) や反転論理積回路 (NAND) を適宜用いて、ゲート駆動信号の立上り時間を調整するための遅延生成回路と、立下り時間を調整するための遅延生成回路を作り分け、遅延時間選択信号 (T_{I0} 、 T_{I1} 、 T_{I2}) と同様な選択信号を用いることで、所望の遅延時間を自由に設計できることは言うまでもない。

【 0 0 4 6 】

(g) 回路動作

以上説明した回路の動作波形の一例を図 4 に示した。ハイ側入力信号 (H_{IN}) の立上りおよび立下りをワンショットパルス生成回路 3 が検知して、パルス信号である入力信号 (I_{U0}) および入力信号 (I_{U1}) を出力する。同様にロウ側入力信号 (L_{IN}) の立上りおよび立下りを検知して、パルス信号である入力信号 (I_{D0}) および入力信号 (I_{D1}) を出力する。

【 0 0 4 7 】

夫々の入力信号 (I_{U0} 、 I_{U1}) はハイ側高電圧レベルシフト回路 4 H を介して適切な電位の出力信号 (O_{U0} 、 O_{U1}) に変換される。ここで、出力信号 (O_{U0} 、 O_{U1}) は入力信号 (I_{U0} 、 I_{U1}) のハイレベルとロウレベルが反転した信号である。その

後、出力信号 (O U 0 , O U 1) は、ハイ側パルスフィルタ 5 H やハイ側 R S ラッチ回路 6 H を経由して、上アーム側のゲート駆動回路 1 2 H を駆動して上アームスイッチ用制御信号 (H O) を出力する。

【 0 0 4 8 】

夫々の入力信号 (I D 0 , I D 1) はロウ側高電圧レベルシフト回路 4 L を介して適切な電位の出力信号 (O D 0 , O D 1) に変換される。その後、出力信号 (O D 0 , O D 1) は、ロウ側パルスフィルタ 5 L やロウ側 R S ラッチ回路 6 L を経由して、入力信号 (D i n) となる。遅延回路 7 は、遅延時間 (t d e l a y) だけ遅延した信号 (D o u t) を出力し、下アーム側のゲート駆動回路 1 2 L を駆動して下アームスイッチ用制御信号 (L O) を出力する。

10

【 0 0 4 9 】

上アームスイッチ用制御信号 (H O) と下アームスイッチ用制御信号 (L O) のオン・オフのタイミングは、従来技術では図の t d 1 のように最小化できず、過剰なマージンが発生してしまっていた。しかしながら本実施例の技術を用いれば、遅延回路 7 によって遅延時間 (t d e l a y) が微調整され、最終的なデッドタイム (t d 0) のように適切に最小化することができる。

【 0 0 5 0 】

また、遅延回路 7 の入力信号 (D i n) から出力信号 (D o u t) までの遅延生成期間は、上アームスイッチ用制御信号 (H O) がハイレベルからロウレベルに遷移するタイミングや、ロウレベルからハイレベルに遷移するタイミングをさけるとよい。上アーム用制御信号 (H O) が遷移するときは、高電圧側電源レベル (V B) と高電圧側ソースレベル (V S) に接続されるスイッチ素子 (主スイッチ) がオン・オフ動作する。この結果、遅延回路 7 の動作電源レベルにノイズが流入し、その電位が揺らぐ可能性がある。その結果、遅延回路 7 が所望の遅延時間で動作しないおそれがある。このために図 1 に示すように、遅延回路 7 をロウ側高電圧レベルシフト回路 4 L より後段で、下アーム側のゲート駆動回路 1 2 L より前に配置するとよい。遅延回路 7 は下アーム側のゲート駆動回路 1 2 L にできるだけ近い位置に配置するのが好ましい。遅延回路 7 をロウ側高電圧レベルシフト回路 4 L と下アーム側のゲート駆動回路 1 2 L の間に配置することで、遅延回路 7 の動作電源電位が安定する、言い換えれば、上アームスイッチ用制御信号 (H O) が遷移するタイミングを避けて所望の遅延時間を生成できる。すなわちデッドタイムを適切に最小化することができる。

20

30

【 実施例 2 】

【 0 0 5 1 】

図 5 は、実施例 2 に係る電力変換装置の構成を示す概略図である。電力変換装置 5 1 は、実施例 1 の半導体装置 1 0 (ゲート駆動回路 1 2 H 、 1 2 L 及びゲート駆動制御回路 1 1) を用いた三相インバータ装置 5 2 とモータ等の負荷回路 (L O A D) 5 3 と電源 5 4 と容量 C 0 を有する。図 5 において、スイッチ素子 S W u , S W v , S W w , S W x , S W y , S W z のそれぞれは、nチャネル型の S i C - M O S F E T であり、ソース・ドレイン間には内蔵ダイオード (ボディダイオード) が形成されている。内蔵ダイオードは還流ダイオードとして動作する。また、スイッチ素子 S W u , S W v , S W w , S W x , S W y , S W z のそれぞれは、S i C - M O S F E T に流れる電流を監視するためのセンス用端子を有している。スイッチ素子 S W u , S W v , S W w , S W x , S W y , S W z の各ソース・ドレイン間にそれぞれ還流ダイオード D i u , D i v , D i w , D i x , D i y , D i z が接続されている。スイッチ素子 S W u , S W v , S W w は上アーム側に配置され、スイッチ素子 S W x , S W y , S W z は下アーム側に配置される。スイッチ素子 S W u , S W x は U 相用、スイッチ素子 S W v , S W y は V 相用、スイッチ素子 S W w , S W z は W 相用である。

40

【 0 0 5 2 】

ゲート駆動回路 G D u , G D x は、図 1 に示したような半導体装置 1 0 のうち、それぞれ、スイッチ素子 S W u , S W x を制御・駆動する回路部である。ゲート駆動回路 G D v

50

、 $G D y$ は、半導体装置10のうち、それぞれ、スイッチ素子 $S W v$ 、 $S W y$ を制御・駆動する回路部である。ゲート駆動回路 $G D w$ 、 $G D z$ は、半導体装置10のうち、それぞれ、スイッチ素子 $S W w$ 、 $S W z$ を制御・駆動する回路部である。なお、図示は省略しているが、各半導体装置10には、図1に示したようなゲート駆動制御回路11のうち上アーム側と下アーム側で共通の回路が付加されている。上アーム側スイッチ素子の一端(ドレインノード) $P T$ と下アーム側スイッチ素子の一端(ソースノード) $N T$ の間には、直流電源54とコンデンサ $C 0$ が接続される。ドレインノード $P T$ とソースノード $N T$ の間には電圧($V P P$)が印加されている。各ゲート駆動回路は、対応するスイッチ素子のオン・オフを適宜駆動し、これによって、直流信号となる $V P P$ からそれぞれ位相が異なる三相(U相、V相、W相)の交流信号を生成する。負荷回路53は、この三相(U相、V相、W相)の交流信号によって適宜制御される。

10

【0053】

ここで、U相、V相、W相のそれぞれのハードスイッチング動作時の詳細動作は実施例1(図4等)と同様である。三相インバータ装置52では、下アーム側のスイッチ素子 $S W x$ がオフの状態而上アーム側のスイッチ素子 $S W u$ がオン状態に遷移する。この時、スイッチ素子 $S W u$ 、 $S W x$ を駆動するゲート駆動回路やゲート制御回路において、それらがインバータの動作温度に影響を受け、スイッチ素子をオン・オフさせるタイミングがずれる可能性がある。この場合、三相インバータ装置52の高電位側から低電位側に貫通電流が流れる恐れがあり、発熱等による損失の増加を招く可能性がある。しかしながら、実施例1によるゲート駆動制御回路11及びゲート駆動回路12H、12Lは、デッドタイムを生成する主要な回路であるレベルシフト回路の遅延時間のバラツキが少ない。これにより、上下スイッチ素子のデッドタイムが確実に確保できる。言い換えれば信頼性が高く安定した電力変換動作が実現可能となる。特にこのような三相インバータ装置は、大電力で動作する場合が多く、デッドタイムマージン減少による貫通電流とそれによる損失増加した場合の損害も大きくなり得る。しかしながら本実施例の方式を用いれば、例えばSiC-MOSFETをインバータ装置に応用した際に得られる定常損失削減効果に加え、かつ、適切なデッドタイム最小化が実現できるため、インバータ装置の損失削減が可能になるなど有益な効果が得られる。

20

【0054】

図6は、図5の三相インバータ装置のスイッチ素子および還流ダイオードを実装したパワーモジュールの例を示している。パワーモジュールPMは、正側接続端子PTと、負側接続端子NTと、U相用上アームスイッチ群 $S W U 0$ 、 $S W U 1$ と、U相用下アームスイッチ群 $S W X 0$ 、 $S W X 1$ と、U相用上アーム還流ダイオード $D i u$ と、U相下アーム還流ダイオード $D i x$ と、を有する。パワーモジュールPMは、正側接続端子PTとU相用上アームスイッチ群 $S W U 0$ 、 $S W U 1$ のドレインパッドとU相用上アーム還流ダイオード $D i u$ のカソードが接続される上アームドレイン端子UDを有する。パワーモジュールPMは、U相用上アームスイッチ群 $S W U 0$ 、 $S W U 1$ のソースパッドとU相用上アーム還流ダイオード $D i u$ のアノードが接続される上アームソース端子USを有する。パワーモジュールPMは、U相用下アームスイッチ群 $S W X 0$ 、 $S W X 1$ のドレインパッドとU相下アーム還流ダイオード $D i x$ のカソードが接続される下アームドレイン端子XDを有する。パワーモジュールPMは、U相用下アームスイッチ群 $S W X 0$ 、 $S W X 1$ のソースパッドとU相下アーム還流ダイオード $D i x$ のアノードが接続される下アームソース端子XSを有する。パワーモジュールPMは、上アームソース端子USと下アームドレイン端子XDを接続する接続端子MUを有する。パワーモジュールPMは、ゲート制御端子GSIG0、GSIG1と、センス制御端子SESIG0、SESIG1と、U相出力端子Uと、V相出力端子Vと、W相出力端子Wを有する。ゲート制御端子GSIG0、GSIG1は、U相用上アームスイッチ群 $S W U 0$ 、 $S W U 1$ およびU相用下アームスイッチ群 $S W X 0$ 、 $S W X 1$ のゲートパッドと接続される。センス制御端子SESIG0、SESIG1は、U相用上アームスイッチ群 $S W U 0$ 、 $S W U 1$ のセンスパッドと接続される。U相出力端子Uは下アームドレイン端子XDと接続される。なおV相、W相に関する各素子

30

40

50

や端子の説明記号は、U相の構造と同じである点、図面が煩雑になる点を考慮して説明を省略した。

【0055】

図6では、上下アームの各スイッチ素子を4つ並列接続した構成を示している。また4つのスイッチ素子を二つずつに分割した例を示している。このためゲート制御端子とセンス制御端子はU相上アームで二つずつ、U相下アームで二つずつとなる。スイッチ素子二つに一つの制御端子を配置するか、スイッチ素子一つに一つの制御端子を配置するかは、実装する形態によって適宜選択すればよい。例えば図6の場合では、一般的なパワーモジュールPMに実装するため、制御端子を多数配置すると駆動回路基板からの配線数が増加してシステム実装面積を増加させてしまう点、また4つのスイッチ素子を二つずつ左右対称に配置して、制御端子をそれぞれ配置すれば、配線寄生インピーダンスのずれも比較的小さく抑えられる点を鑑み、図のような構成とした。もちろんU相上アームのスイッチ素子が8個になった場合においても、それを4分割制御するか、8分割制御するかは、その実装形態を鑑み最適な分割制御を選択すればよい。このように本実施例は、パワーモジュールPMの面積増加を最小限に抑えつつ、複数スイッチ素子の駆動タイミングを適宜調整でき、電力変換回路の損失増加を抑えることが可能となる。また実施例1に示したゲート駆動回路及びゲート制御回路を用いれば、実施例1及び実施例2において説明した効果が得られることは言うまでもない。

【実施例3】

【0056】

図7は、実施例3に係る電力変換装置の構成を示す概略図である。電力変換装置であるAC/DC電源装置71は、実施例1のゲート駆動回路及びゲート駆動制御回路を用いたインバータ装置(DCAC)72と、交流入力(例えばAC 200V)をラインフィルタ(LINFIL)73にてノイズを除去し、整流回路(例えばダイオードブリッジおよび出力コンデンサ)(RCT)74を介してAC電圧をDC電圧に変換(AC/DC)する。次いで、昇圧回路(PFC)75にてDCレベルを例えば約400Vまで昇圧する。ここで、昇圧回路75は、コイルL、チョッパーダイオードDi、メインスイッチ素子Q1(2並列)、メインスイッチ用駆動回路GDR、安定化コンデンサC1で構成される。なお昇圧回路75の制御方法は一般的な制御方法のためここでは説明を省略する。

【0057】

続いて、昇圧回路75からの約400VのDCレベルをインバータ装置72にてACレベルに変換し、トランスTRにてAC/AC変換(例えばAC 400V AC 10V)する。そして、トランスTRの二次コイル側から得られるAC信号を、AC/DC変換回路(ACDC)76にて例えばDC 10V、DC 100A等に変換して出力する。ここで、インバータ装置72は、例えば、4個のスイッチ素子Q2, Q3, Q4, Q5およびそのゲート駆動制御回路(GDCTL)77からなる所謂フルブリッジ回路で構成される。なお特に図示しなかったが、スイッチ素子Q2からQ5のそれぞれは複数個のチップを並列接続した構成としてもよい。このような構成例において、インバータ装置72のゲート駆動制御回路77に実施例1の方式(ゲート駆動回路12及びゲート駆動制御回路11)を適用することで、低損失な電源装置を実現することが可能になる。

【実施例4】

【0058】

図8A、図8Bは、実施例4に係るSiC-MOSFETの概略構成を示す図である。図8Aは、SiC-MOSFETの概略構成を示す平面図であり、図8Bは、図8AにおけるA-A'間の概略構成を示す断面図である。SiC-MOSFET81は、実施例2および実施例3の電力変換装置に用いられるスイッチ素子を構成する。図8Aに示すように、アクティブ素子領域ACTの外側にソースパッドSPの端辺(端部)が位置し、ソースパッドSPの端辺の外側にターミネーション領域TMの端辺(端部)が位置する。言い換えると、ターミネーション領域TMの内側とアクティブ素子領域ACTの外側との間にセンスパッドSEPの端辺(端部)が位置する。ゲートパッドGP、およびソースパッド

10

20

30

40

50

S Pは、ソースパッドS Pの外側とターミネーション領域T Mの内側との間に位置する。図8 Aでは、ゲートパッドG Pの位置を自由に配置できるため、後述する図10 Aに示すような実装形態に適用する場合において、ワイヤボンディングの長さを短くすることができる。

【0059】

また、図8 Bに示すように、SiC-MOSFET 81は、SiC基板SUBと、SiC基板SUB上に形成されたドリフト層DFTと、ドリフト層DFTの中に形成されたp型のベース層83と、p型のベース層83の中に形成されたn⁺型のソース層84と、ドリフト層DFTの中に形成されたターミネーション領域T Mを有する。SiC-MOSFET 81は、ドリフト層DFTとp型のベース層83とn⁺型のソース層84の上に形成されたゲート絶縁膜Toxと、ゲート絶縁膜Tox上に形成されたゲート電極G P mと、ゲート電極G P m等の上に形成された層間絶縁膜Lay 1を有する。SiC-MOSFET 81は、層間絶縁膜Lay 1の上に形成されたソースパッドS Pと、層間絶縁膜Lay 1とソースパッドS Pの上に形成されたシリコン酸化膜(SiO₂) 82と、SiC基板SUBの裏面側形成されたドレイン電極D R mを有する。アクティブ素子領域A C T内では、SiC MOSからなる複数の要素トランジスタが形成され、これらが並列に接続されて1個のスイッチ素子となる。すなわち、複数のソース層84は、図示しない領域でソースパッドS Pに共通に接続され、複数のゲート電極G P mも図示しない領域で図8 AのゲートパッドG Pに共通に接続される。図8 Bでは、ターミネーション領域T Mをアクティブ素子領域A C Tの周辺に配置することで、チップ内にアクティブ素子領域A C Tを十分に確保でき、オン電流を大きくとることができる、すなわちオン抵抗を小さくできる利点がある。

【0060】

<変形例>

図9 A、図9 Bは、SiC-MOSFETの断面構造を示す図である。図9 Aは、図8 Bにおけるアクティブ素子領域内の各要素トランジスタの構成例を示す断面図であり、図9 Bは、図9 Aの変形例を示す断面図である。まず、図9 Bでは、トレンチ構造を有する1個の縦型SiC-MOSFET 81 Aが示されている。ソース電極S P mに接続されたn⁺型の領域となるソース層84は、p型の領域となるベース層83内に形成されるチャネルを介してドリフト層DFTに接続される。ドリフト層DFTは、例えばn⁻型の領域であり、耐圧を確保する役目を担う。SiC基板SUBは、例えばn⁺型の領域であり、SiC基板SUBにドレイン電極D R mが接続される。

【0061】

このようなトレンチ構造の場合、ベース層83で挟まれたn型半導体領域である所謂JFET領域が存在しないため、SiC-MOSFET全体のオン抵抗が下げられるという利点がある。言い換えれば、実施例1による半導体装置(ゲート駆動回路およびゲートドライバ制御回路)と組み合わせて利用することで、より損失の少ない電力変換システムが実現できる。SiC-MOSFET 81 Aは、実施例2および実施例3の電力変換装置に用いられるスイッチ素子を構成するようにしてもよい。

【0062】

一方、図9 Aでは、トレンチ構造を有さない、所謂DMOS(Double Diffusion Metal Oxide Semiconductor)タイプのSiC-MOSFET 81が示されている。この場合、素子構造が簡素でありトレンチ構造タイプのSiC-MOSFET 81 Aに比べて製造コストが低くできるという利点がある。

【0063】

図10 A、図10 Bは、実施例4に係るSiC-MOSFETをパッケージに実装した図である。図10 Aは、平面図であり、図10 Bは、図10 Aのa-a'間の断面図である。図10 Aおよび図10 Bの例では、パッケージ内の金属板P L T上にSiC-MOSFET 81(81 A)を搭載している。SiC-MOSFET 81(81 A)のドレイン電極D R mは金属板P L Tを経由してドレイン端子D Tに接続され、ソースパッドS Pは

ソース端子STに、ゲートパッドGPはゲート端子GTに、それぞれボンディングワイヤWsm, Wgm等を用いて接続される。SiC-MOSFET81(81A)およびボンディングワイヤWsm, Wgm等は樹脂83で封止される。なお、図10Bでは、便宜上、a-a'がWgmに沿うと共に、DTにも沿うものと仮定して図示を行っている。

【0064】

このようなチップの配置と接続構成とすることで、SiC-MOSFET81(81A)のゲートパッドGPに接続されているボンディングワイヤWgmの長さ、ソースパッドSPに接続されているボンディングワイヤWsmの長さを短くできる。すなわちボンディングワイヤの寄生インダクタンスやワイヤによる寄生抵抗(オン抵抗成分)を小さくできる。このためスイッチング時のノイズを小さく抑えることができ、過剰な電位がSiC-MOSFET81(81A)にバイアスされないようにできる。さらに、本実施例ではチップを平面的に配置するため、SiC-MOSFET81(81A)のチップ面積を自由に設計できる。このため低オン抵抗の設計やオン電流密度の設計も容易となり、より多様な仕様のパワー半導体チップが実現できる。

【0065】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0066】

例えば図5においては、スイッチ素子と還流ダイオードを論理的に一つのスイッチとしてインバータ装置を構築した例を示したが、外付けのダイオード(例えばSiCショットキーダイオード)を還流用に利用せず、SiC-MOSFETだけで構成してもよい。この場合、通常だと還流電流がSiC-MOSFETの内蔵ダイオードを流れるが、実施例1のゲート駆動回路及びゲート制御回路を用いれば、デッドタイムが最小化できるので、内蔵ダイオードに流れる還流電流の総計時間が短くできる。還流電流がSiC-MOSFETの内蔵ダイオードを流れる時間が短くできるため、SiC-MOSFETの長期信頼性を改善し、SiC-MOSFETのスイッチ素子としての寿命を長くでき、電力変換装置の高信頼化が実現できるとい利点も得られる。

【0067】

また、各スイッチ素子は、シリコン(Si)、シリコンカーバイド(SiC)に限らず、ガリウムナイトライド(GaN)等の化合物デバイスを用いてもよい。化合物材料をインバータ装置等のスイッチ素子として用いた場合、実施例1の半導体装置と組み合わせることでインバータ装置の損失を低減できることは言うまでもない。また、実施例1の半導体装置を用いた電力変換装置は、様々な用途の電力システムに適用して同様の効果が得られることは言うまでもない。代表的には、エアコンのインバータ装置、サーバー電源のDC/DCコンバータ、太陽光発電システムのパワーコンディショナー、ハイブリッド車・電気自動車のインバータ装置などが挙げられる。

【符号の説明】

【0068】

- 1 H・・・ハイ側シュミットトリガ回路
- 1 L・・・ロウ側シュミットトリガ回路
- 2 H・・・ハイ側レベルシフト回路
- 2 L・・・ロウ側レベルシフト回路
- 3・・・ワンショットパルス発生回路
- 4 H・・・ハイ側高電圧レベルシフト回路
- 4 L・・・ロウ側高電圧レベルシフト回路
- 5 H・・・ハイ側パルスフィルタ
- 5 L・・・ロウ側パルスフィルタ
- 6 H・・・ハイ側RSラッチ回路
- 6 L・・・ロウ側RSラッチ回路

10

20

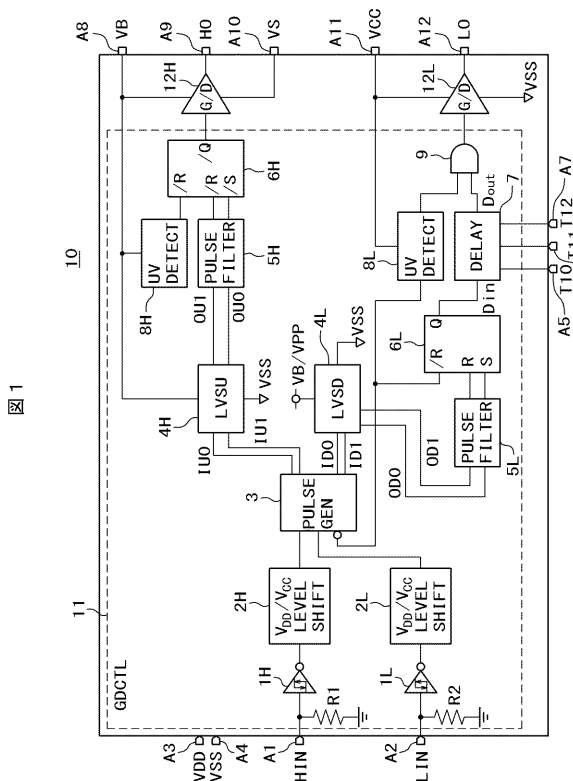
30

40

50

- 7 . . . 遅延回路
- 8 H . . . ハイ側電圧検出保護回路
- 8 L . . . ロウ側電圧検出保護回路
- 9 . . . 論理積回路
- 10 . . . 半導体装置
- 11 . . . ゲート駆動制御回路
- 12 H . . . 上アーム用ゲート駆動回路
- 12 L . . . 下アーム用ゲート駆動回路
- 101 . . . 電力変換装置
- 104 H . . . 第1レベルシフト回路
- 104 L . . . 第2レベルシフト回路
- 107 . . . 遅延回路
- 110 . . . 半導体装置
- 112 H . . . 第1駆動回路
- 112 L . . . 第2駆動回路
- SW1 . . . 第1スイッチ素子
- SW2 . . . 第2スイッチ素子

【図1】



【図2】

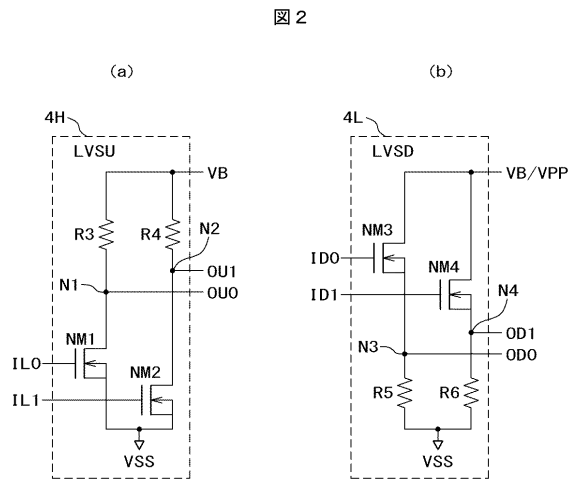
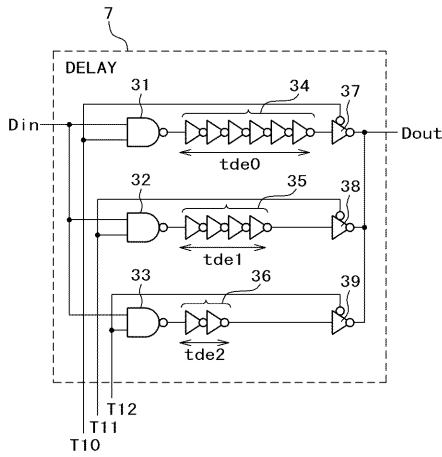


図2

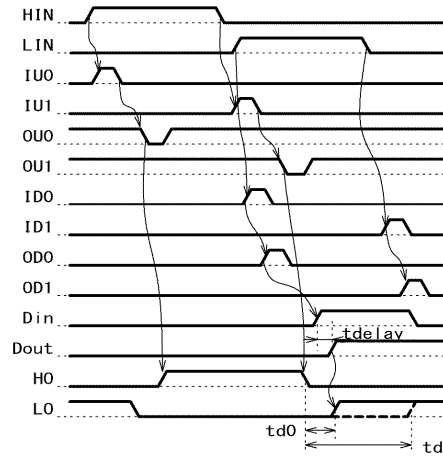
【 図 3 】

図 3

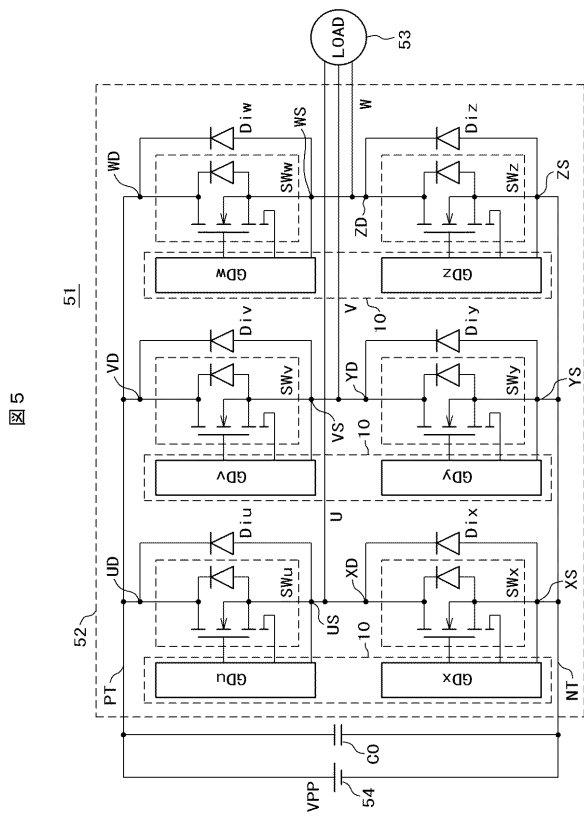


【 図 4 】

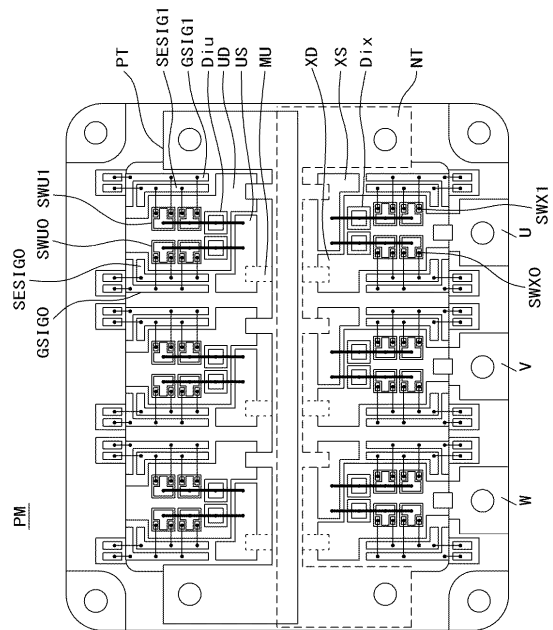
図 4



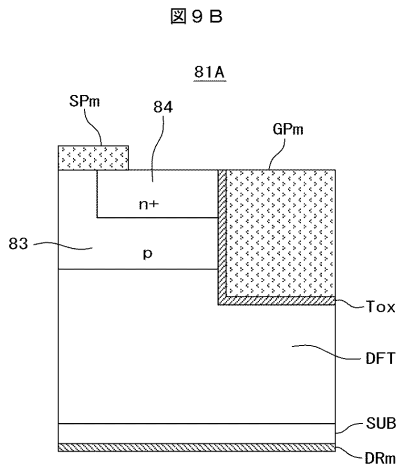
【 図 5 】



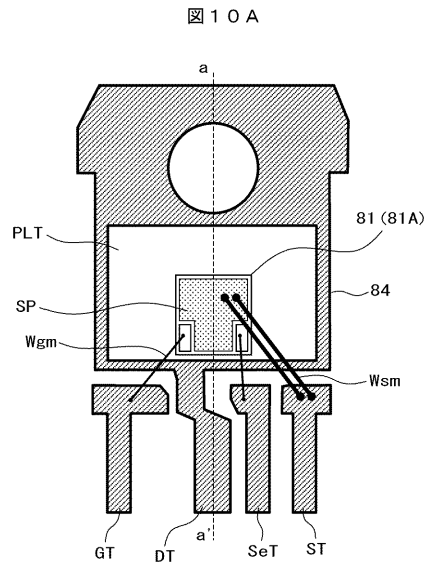
【 図 6 】



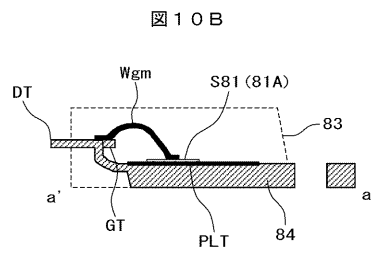
【 図 9 B 】



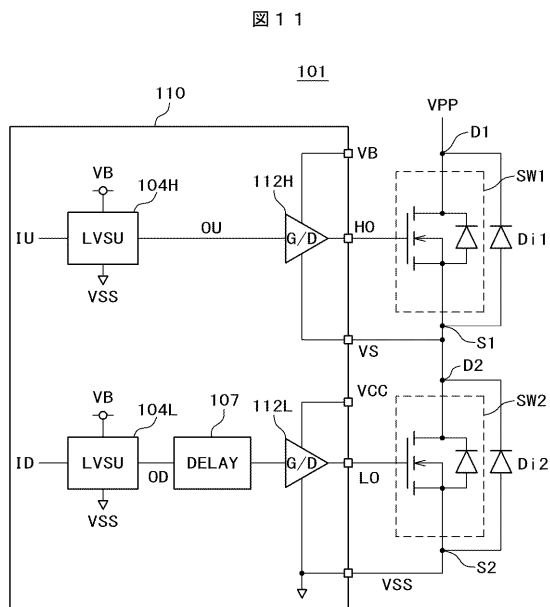
【 図 1 0 A 】



【 図 1 0 B 】



【 図 1 1 】



フロントページの続き

(56)参考文献 特開2006-352195(JP,A)
特開2002-152023(JP,A)
特開2012-130209(JP,A)
特開2006-047953(JP,A)
特開2009-044814(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M1/00-1/44
7/42-7/98
H03K17/00-17/70
19/00
19/01-19/082
19/094-19/096